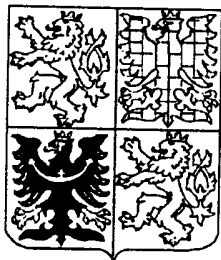


ČESKÁ
REPUBLIKA

(19)



ÚŘAD
PRŮMYSLVÉHO
VLASTNICTVÍ

ZVEŘEJNĚNÁ PŘIHLÁŠKA VYNÁLEZU

(12)

(22) 08.10.91

(40) 17.03.93

(21) 3055-91.P

(13) A3

(51) G 06 F 9/00

G 06 F 9/06

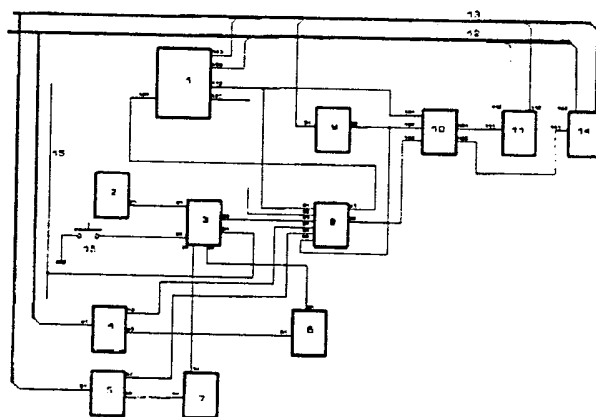
G 06 F 13/10

(71) CEGELEC ČKD, a. s., Praha, CS;

(72) Marčan Miloslav ing., Praha, CS;
Mirtes Oldřich ing., Praha, CS;
Žádný Otmar ing., Praha, CS;
Soukup Josef ing., Praha, CS;

(54) Zapojení pro vyhodnocení restartu řídicího počítače

(57) Sestává z centrálního procesoru (1), spojeného jednak s obvodem (8) pro vyhodnocení teplého restartu a jednak multiplexorem (10), jehož výstupy jsou spojeny se zaváděcí pamětí (11) a operační pamětí (14). Skupinové obousměrné výstupy obou pamětí (11, 14) a centrálního procesoru (1) jsou připojeny na datovou a adresovou sběrnici (12, 13). Obvod (2) vyhodnocení napětí je spojen s obvodem (3) pro vyhodnocení studeného restartu, propojeného s prvním a druhým signalizačním obvodem (6, 7), s inicializační linkou (15) mikropočítače a s obvodem (8) pro vyhodnocení teplého restartu, propojeného zároveň s komparátorem (4) parity a s obvodem (5) pro hlídání běhu programu, jehož výstup je spojen s druhým signalizačním obvodem (7), a jehož skupinový vstup je spojen s adresovou sběrnici (13). Výstup komparátoru (4) parity je spojen s prvním signalizačním obvodem (6) a jeho skupinový vstup je spojen s datovou sběrnici (12). Adresová sběrnice (13) je dále propojena se skupinovým vstupem komparátoru (9) adresy, jehož výstup je spojen se vstupem multiplexoru (10).



Zapojení pro vyhodnocení restartu řídicího počítače

Oblast techniky

Vynález se týká zapojení pro vyhodnocení restartu řídicího počítače, pracujícího zejména v řídicích systémech technologických procesů.

Dosavadní stav techniky

V řídicích systémech technologických objektů pro řízení v reálném čase je nutno vyhodnocovat nejen stav a chování řízeného technologického objektu, ale i stav řídicího mikropočítače. Součástí řídicího počítače bývají i obvody pro vyhodnocení chodu mikropočítače popsané v např. PV 455-90, obvody pro vyhodnocení parity, obvody vyhodnocení napájecího napětí a další. V případě chybného stavu řídicího počítače je nutné v závislosti na typu poruchy provést odpovídající akci, přičemž není vhodné vždy restartovat všechny periferie řídicího počítače, neboť by to mohlo vést i k případnému poškození řízeného technologického objektu.

Podstata vynálezu

Uvedený problém řeší zapojení pro vyhodnocení restartu řídicího počítače podle vynálezu, sestávající z centrálního procesoru, obvodu pro vyhodnocení napětí, obvodu pro vyhodnocení studeného restartu, komparátoru parity, obvodu pro hlídání běhu programu, prvního a druhého signalizačního obvodu, obvodu pro vyhodnocení teplého restartu, komparátoru adresy, multiplexoru, zaváděcí paměti, datové a adresové sběrnice a inicializační linky mikropočítače. Podstata vynálezu spočívá v tom, že centrální procesor je svým prvním výstupem spojen ^{jednak} s prvním vstupem obvodu pro vyhodnocení teplého restartu a ^{jednak} s prvním vstupem multiplexoru, jehož první výstup je spojen se vstupem výběru zaváděcí paměti a jehož druhý výstup je spojen se vstupem operační paměti. Skupinové obousměrné výstupy zaváděcí paměti a skupinové obousměrné výstupy operační paměti jsou po řadě připojeny na datovou a adresovou sběrnici, na které jsou po řadě připojeny i skupinové obousměrné výstupy centrálního procesoru, jehož druhý výstup je spojen s druhým vstupem obvodu pro vyhodnocení teplého restartu, jehož druhý výstup je připojen na třetí vstup multiplexoru, jehož druhý vstup je

spojen jednak se šestým vstupem obvodu pro vyhodnocení teplého restartu a jednak s výstupem komparátoru adresy. Skupinový vstup komparátoru adresy je připojen na adresovou sběrnici, která je zároveň připojena na skupinový vstup obvodu pro hlídání běhu programu, jehož řídicí výstup je spojen s pátým vstupem obvodu pro vyhodnocení teplého restartu, jehož čtvrtý vstup je připojen na řídicí výstup komparátoru parity, jehož skupinový vstup je připojen na datovou sběrnici a jehož signalizační výstup je spojen se vstupem prvního signalizačního obvodu, jehož výstup je spojen s třetím vstupem obvodu pro vyhodnocení studeného restartu. Signalizační výstup obvodu pro hlídání běhu programu je spojen se vstupem druhého signalizačního obvodu, jehož výstup je spojen se čtvrtým vstupem obvodu pro vyhodnocení studeného restartu, jehož první vstup je spojen s výstupem obvodu vyhodnocení napětí. První výstup obvodu pro vyhodnocení studeného restartu je spojen s třetím vstupem obvodu pro vyhodnocení teplého restartu, jehož první výstup je spojen se vstupem centrálního procesoru a dále druhý výstup obvodu pro vyhodnocení studeného restartu je spojen s inicia- lizační linkou mikropočítače.

Druhý vstup obvodu pro vyhodnocení studeného restartu může být přes tlačítko uzemněn.

Výhoda ~~zapojení~~ pro vyhodnocení restartu řídicího počítače podle vynálezu spočívá oproti známým zapojením ve zjednodušení obvodového řešení, tj. snížení počtu součástek, ve zvýšení spolehlivosti chodu řídicího mikropočítače a řízeného technologického objektu a tím i ve zvýšené ochraně řízeného objektu před poškozením.

Přehled obrázků na výkresech

Na přiloženém výkresu je uvedeno ~~zapojení~~ _____ pro vyhodnocení restartu řídicího počítače v blokovém schématu.

Příklad provedení vynálezu

Centrální procesor 1 je svým prvním výstupem 110 připojen na první vstup 81 obvodu 8 pro vyhodnocení teplého restartu a na první vstup 101 multiplexoru 10, jehož první výstup 104 je přiveden na vstup 111 výběru zaváděcí paměti 11 a jehož druhý výstup 105 je spojen se vstupem 141 operační paměti 14. Skupinové obousměrné výstupy 112, 113 zaváděcí paměti 11 a skupino-

vé obousměrné výstupy 142 a 143 operační paměti 14 jsou po řadě připojeny na datovou a adresovou sběrnici 12, 13, na něž jsou po řadě připojeny i skupinové obousměrné výstupy 140, 150 centrálního procesoru 1. Druhý výstup 120 centrálního procesoru 1 je připojen na druhý vstup 82 obvodu 8 pro vyhodnocení teplého restartu, jehož druhý výstup 88 je připojen na třetí vstup 103 multiplexoru 10. Druhý vstup 102 multiplexoru 10 je spojen jednak se šestým vstupem 86 obvodu 8 pro vyhodnocení teplého restartu a jednak s výstupem 92 komparátoru 9 adresy, jehož skupinový vstup 91 je připojen na adresovou sběrnici 13, která je zároveň připojena na skupinový vstup 51 obvodu 5 pro hlídání běhu programu. Řídící výstup 52 obvodu 5 pro hlídání běhu programu je připojen na pátý vstup 85 obvodu 8 pro vyhodnocení teplého restartu, jehož čtvrtý vstup 84 je spojen s řídicím výstupem 42 komparátoru 4 parity. Skupinový vstup 41 komparátoru 4 parity je připojen na datovou sběrnici 12 a jeho signalizační výstup 43 je spojen se vstupem 61 prvního signalizačního obvodu 6, jehož výstup 64 je spojen s třetím vstupem 35 obvodu 3 pro vyhodnocení studeného restartu. Signalizační výstup 53 obvodu 5 pro hlídání běhu programu je spojen se vstupem 71 druhého signalizačního obvodu 7, jehož výstup 74 je spojen se čtvrtým vstupem 36 obvodu 3 pro vyhodnocení studeného restartu. Dále výstup 21 obvodu 2 vyhodnocení napětí je spojen s prvním vstupem 31 obvodu 3 pro vyhodnocení studeného restartu, jehož druhý vstup 32 je přes tlačítko 16 uzemněn a jehož první výstup 33 je spojen s třetím vstupem 83 obvodu 8 pro vyhodnocení teplého restartu a druhý výstup 34 je spojen s inicializační linkou 15 mikropočítače. První výstup 87 obvodu 8 pro vyhodnocení teplého restartu je připojen na vstup 130 centrálního procesoru 1.

Funkce zapojení pro vyhodnocení restartu řídicího počítače je následující:

Po zapnutí napájecího napětí generuje obvod 2 vyhodnocení napětí inicializační signál na svém výstupu 21. Tento signál je zpracováván obvodem 3 pro vyhodnocení studeného restartu, který jednak na svém druhém výstupu 34 aktivuje signál pro inicializaci celého mikropočítače včetně periferních jednotek, přičemž tento signál je rozveden inicializační linkou 15 (tzv.

studený restart), a jednak je svým prvním výstupem 33 spojen s obvodem 8 pro vyhodnocení teplého restartu. Tento obvod jednak restartuje svým prvním výstupem 87 centrální procesor 1 a jednak přes multiplexor 10 aktivuje vstup 111 výběru zaváděcí paměti 11. Centrální procesor 1 vykonává instrukce ze zaváděcí paměti 11 do té doby, než je komparátorem 9 adresy vyhodnocen skok na předem definovanou adresu, tj. poslední instrukce v zaváděcí paměti 11 musí být skok na tuto adresu. Po vyhodnocení této adresy komparátor 9 adresy generuje na svém výstupu 92 signál, který přes multiplexor 10 deaktivuje vstup 111 výběru zaváděcí paměti 11. Tímto je zaváděcí paměť 11 odpojována od datové a adresové sběrnice 112, 113 a na tyto sběrnice je připojena operační paměť 14 mikropočítače. Proces studeného restartu lze vyvolat i uzemněním druhého vstupu 32 obvodu 3 pro vyhodnocení studeného restartu tlačítkem 16.

Při správné funkci řídicího mikropočítače se předpokládá cyklické provádění určitých sekcí programu, vykonávaných z operační paměti. Do těchto sekcí je vložena instrukce přístupu na obvod 5 pro hlídání běhu programu. Pokud z jakéhokoliv důvodu program mikropočítače poruší sled vykonávaných instrukcí tak, že se nebudou exektovat výše popsané kritické sekce programu, obvod 5 pro hlídání běhu programu aktivuje svým signalizačním výstupem 53 druhý signalizační obvod 7 a svým řídicím výstupem 52 obvod 8 pro vyhodnocení teplého restartu. Tento obvod, jak již bylo popsáno u procesu studeného restartu, jednak restartuje svým prvním výstupem 87 centrální procesor 1 a jednak přes multiplexor 10 aktivuje vstup 111 výběru zaváděcí paměti 11. Centrální procesor 1 opět začne vykonávat instrukce ze zaváděcí paměti 11. Na rozdíl od studeného restartu není v tomto případě aktivována inicializační linka 15 mikropočítače, tj. periferní jednotky zůstávají v posledním stavu před aktivací obvodu 5 pro hlídání běhu programu a tím též nedojde k náhlé změně stavu řízené technologie. Tento proces tzv. teplého restartu lze vyvolat i při vyhodnocení chyby parity dat komparátorem 4 parity, s tím rozdílem, že chyba parity je signalizována prvním signalizačním obvodem 6.

První signalizační obvod 6 i druhý signalizační obvod 7 jsou uvedeny do výchozího stavu pouze studeným restartem.

Průmyslová využitelnost

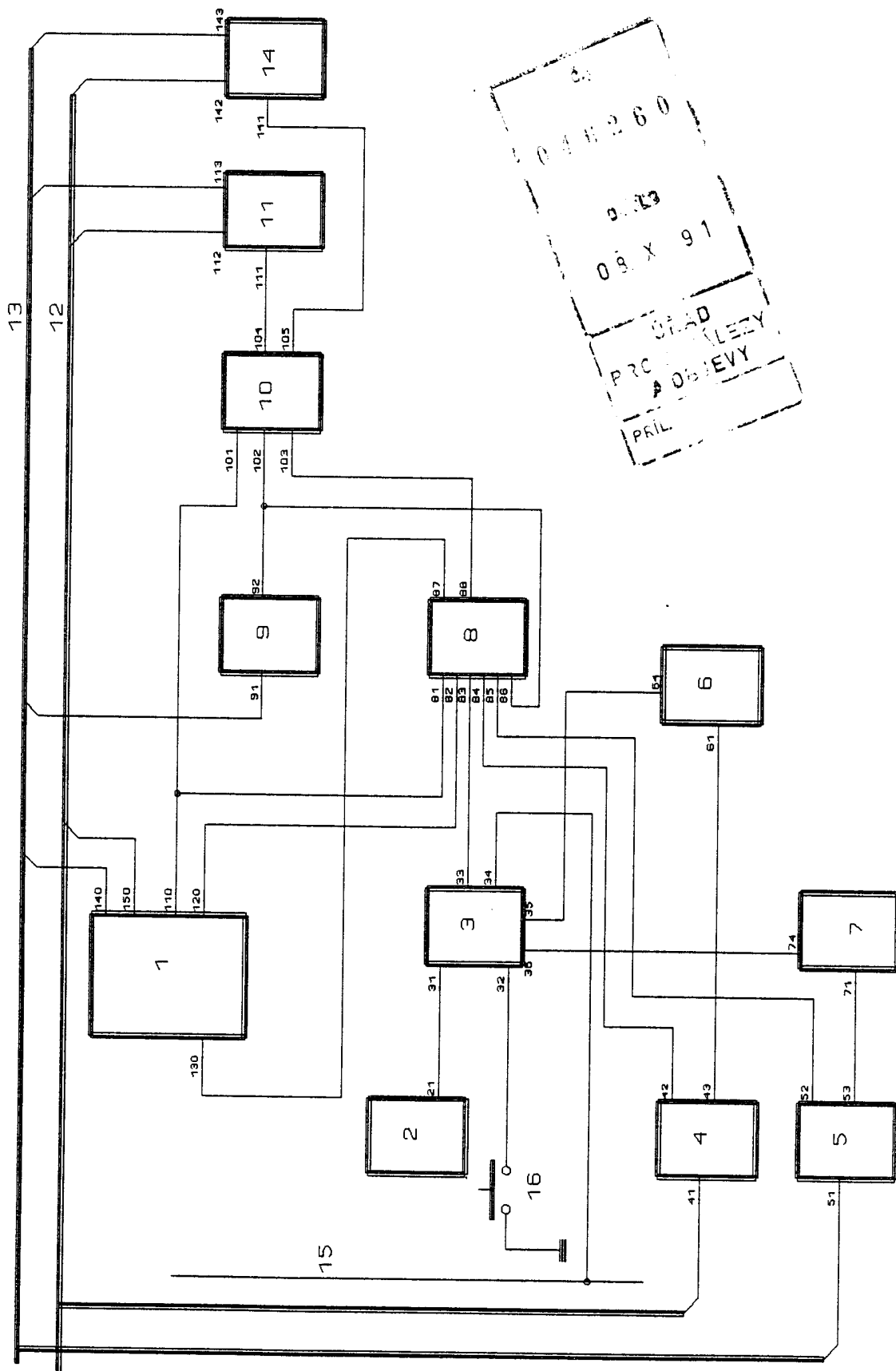
Obvod pro vyhodnocení restartu řídicího počítače podle vynálezu je určen pro využití v elektronických modulech systémů pro řízení technologických objektů v reálném čase.

číslo	0 4 6 2 6 0
doslo	0 8 . X 9 1
ÚŘAD PRO VYHLEDÁVÁNÍ A OBJEVY	PŘÍL.

1. Zapojení pro vyhodnocení restartu řídicího počítače, sestávající z centrálního procesoru, obvodu pro vyhodnocení napětí, obvodu pro vyhodnocení studeného restartu, komparátoru parity, obvodu pro hlídání běhu programu, prvního a druhého signalizačního obvodu, obvodu pro vyhodnocení teplého restartu, komparátoru adresy, multiplexoru, zaváděcí paměti, operační paměti, datové a adresové sběrnice a inicializační linky mikropočítače, vyznačující se tím, že centrální procesor (1) je svým prvním výstupem (110) spojen ^{jednak} s prvním vstupem (81) obvodu (8) pro vyhodnocení teplého restartu a ^{jednak} s prvním vstupem (101) multiplexoru (10), jehož první výstup (104) je spojen se vstupem (111) výběru zaváděcí paměti (11), přičemž druhý výstup (105) ^{multiplexoru (10)} je spojen se vstupem (141) operační paměti (14), přičemž skupinový obousměrný výstup (112) zaváděcí paměti (11) a skupinový obousměrný výstup (142) operační paměti (14) a skupinový obousměrný výstup (150) centrálního procesoru (1) jsou připojeny na datovou sběrnici (12), zatímco skupinový obousměrný výstup (113) zaváděcí paměti (11) a skupinový obousměrný výstup (143) operační paměti (14) a skupinový obousměrný výstup (140) centrálního procesoru (1) jsou připojeny na adresovou sběrnici (13), přičemž ^{centrálního procesoru (1)} druhý výstup (120) je spojen s druhým vstupem (82) obvodu (8) pro vyhodnocení teplého restartu, jehož druhý výstup (88) je připojen na třetí vstup (103) multiplexoru (10), jehož druhý vstup (102) je spojen jednak se šestým vstupem (86) obvodu (8) pro vyhodnocení teplého restartu a jednak s výstupem (92) komparátoru (9) adresy, jehož skupinový vstup (91) je připojen na adresovou sběrnici (13), která je zároveň připojena na skupinový vstup (51) obvodu (5) pro hlídání běhu programu, jehož řídicí výstup (52) je spojen s pátým vstupem (85) obvodu (8) pro vyhodnocení teplého restartu, jehož čtvrtý vstup (84) je připojen na řídicí výstup (42) komparátoru (4) parity, jehož skupinový vstup (41) je připojen na datovou sběrnici (12) a jehož signalizační výstup (43) je spojen se vstupem (61) prvního signalizačního obvodu (6), jehož výstup (64) je spojen s třetím vstupem (35) obvodu (3) pro vyhodnocení studeného restartu, zatímco signalizační výstup (53) obvodu (5) pro hlídání běhu programu je spojen se vstupem (71) druhého signalizačního obvodu (7), jehož výstup (74) je spojen

se čtvrtým vstupem (36) obvodu (3) pro vyhodnocení studeného restartu, jehož první vstup (31) je spojen s výstupem (21) obvodu (2) vyhodnocení napětí, přičemž první výstup (33) obvodu (3) pro vyhodnocení studeného restartu je spojen s třetím vstupem (83) obvodu (8) pro vyhodnocení teplého restartu, jehož první výstup (37) je spojen se vstupem (130) centrálního procesoru (1), zatímco druhý výstup (34) obvodu (3) pro vyhodnocení studeného restartu je spojen s inicializační linkou (15) mikropočítače.

2. Zapiš pro vyhodnocení restartu řídicího počítače podle bodu 1, vyznačující se tím, že druhý vstup (32) obvodu (3) pro vyhodnocení studeného restartu — je přes tlačítko (16) uzemněn.



044260
0.023
0.9 X 91
PRC
AD
ALEY
ADVEY
PRIL