

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3874776号
(P3874776)

(45) 発行日 平成19年1月31日(2007. 1. 31)

(24) 登録日 平成18年11月2日(2006. 11. 2)

(51) Int. Cl.		F I			
H03F	1/52	(2006.01)	H03F	1/52	Z
H03F	3/45	(2006.01)	H03F	3/45	A

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2004-300998 (P2004-300998)	(73) 特許権者	000116024
(22) 出願日	平成16年10月15日(2004. 10. 15)		ローム株式会社
(65) 公開番号	特開2006-115255 (P2006-115255A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成18年4月27日(2006. 4. 27)	(74) 代理人	100105924
審査請求日	平成16年10月15日(2004. 10. 15)		弁理士 森下 賢樹
		(72) 発明者	花田 幸一
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		(72) 発明者	鹿山 正規
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		(72) 発明者	野村 尚弘
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内

最終頁に続く

(54) 【発明の名称】 演算増幅器

(57) 【特許請求の範囲】

【請求項 1】

反転入力端子および非反転入力端子に接続される入力差動対を構成する少なくとも一方のトランジスタの制御端子と接地電位端子間に、カソード端子が前記制御端子側に、アノード端子が前記接地電位端子側となる向きに接続される保護ダイオードを備え、

前記入力差動対を構成するトランジスタはPNP型バイポーラトランジスタであって、前記保護ダイオードのサイズは、カソード端子からアノード端子に向かって流れる逆方向電流が前記トランジスタのベース電流と略等しくなるように設定されたことを特徴とする演算増幅器。

【請求項 2】

反転入力端子および非反転入力端子に接続される入力差動対を構成する少なくとも一方のトランジスタの制御端子と電源電圧端子間に、アノード端子が前記制御端子側に、カソード端子が前記電源電圧端子側となる向きに接続される保護ダイオードを備え、

前記入力差動対を構成するトランジスタはNPN型バイポーラトランジスタであって、前記保護ダイオードのサイズは、カソード端子からアノード端子に向かって流れる逆方向電流が前記トランジスタのベース電流と略等しくなるように設定されたことを特徴とする演算増幅器。

【請求項 3】

反転入力端子および非反転入力端子に接続される入力差動対を構成する少なくとも一方のトランジスタの制御端子と接地電位端子間に、カソード端子が前記制御端子側に、アノ

10

20

ード端子が前記接地電位端子側となる向きに接続される第1保護ダイオードと、
前記トランジスタの制御端子と電源電圧端子間に、アノード端子が前記制御端子側に、
カソード端子が前記電源電圧端子側となる向きに接続される第2保護ダイオードと、
を備え、

前記第1、第2保護ダイオードのサイズは、前記第1保護ダイオードのカソード端子からアノード端子に向かって流れる逆方向電流と、前記第2保護ダイオードのカソード端子からアノード端子に向かって流れる逆方向電流との差電流が、前記トランジスタのベース電流と略等しくなるように設定されたことを特徴とする演算増幅器。

【請求項4】

前記保護ダイオードは、配線によって並列に接続された複数のダイオードを含み、トリミングによって並列に接続されるダイオードの数を変更することによって、前記保護ダイオードのサイズを調節可能としたことを特徴とする請求項1または2に記載の演算増幅器。

10

【請求項5】

前記演算増幅器は一体集積化されており、前記保護ダイオードは、該保護ダイオードが接続される前記反転入力端子あるいは前記非反転入力端子に対応する電極パッドと隣接して設けられることを特徴とする請求項1または2に記載の演算増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算増幅器に関し、特にその回路保護技術に関する。

20

【背景技術】

【0002】

演算増幅器は、電子回路を構成する基本回路としてあらゆる用途において広く用いられている。このような演算増幅器は、LSIの一部に集積化されて使用される場合のほか、プリント基板上などに実装される単体のパッケージ商品としても多くの用途で必要とされている。

【0003】

このような回路部品のパッケージ品では、特にサージ、静電気などに対する信頼性が強く要求されている。演算増幅器を単体のパッケージ品として構成した場合、反転、非反転入力端子は外部電極として引き出されることになるため、これらの入力端子に対して保護回路を設ける必要性がある。

30

【0004】

演算増幅器の反転、非反転入力端子は、差動入力対を構成するトランジスタに接続されており、静電気放電(Electro Static Discharge、以下ESDと略す)などに対して保護を行う必要がある。こうした演算増幅器の保護に関しては例えば特許文献1に記載されている。

【0005】

【特許文献1】特開平11-74742号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

上記文献に記載の技術においては、差動入力対を構成するトランジスタをバイポーラトランジスタにすることによって耐圧を向上させる手法がとられている。しかしながら、バイポーラトランジスタであっても、ベースエミッタ間、あるいはベースコレクタ間に数百Vから数kV近い高い電圧が印加されるとその信頼性に影響を受ける場合がある。

【0007】

本発明はこうした課題に鑑みてなされたものであり、その目的は、高耐圧性を備えた演算増幅器の提供にある。

【課題を解決するための手段】

50

【0008】

本発明のある態様は演算増幅器に関する。この演算増幅器は、反転入力端子および非反転入力端子に接続される入力差動対を構成する少なくとも一方のトランジスタの制御端子にカソード端子が接続され、接地電位端子にアノード端子が接続される保護ダイオードを備える。

【0009】

「制御端子」とは、バイポーラトランジスタではベース端子を、電界効果トランジスタ（以下FETと略す）ではゲート端子をいう。

この態様によれば、保護ダイオードを反転、非反転入力端子と固定電位である接地電位間に設けることによって、差動対を構成するトランジスタにサージ電流が流れる前に保護ダイオードが逆方向にオンし、トランジスタに印加される電圧がクランプされるため、耐圧を高めることができる。

10

なお、本明細書における「演算増幅器」は、入力差動対を備えるコンパレータも含む広い概念である。

【0010】

入力差動対を構成するトランジスタはPNP型バイポーラトランジスタであって、保護ダイオードのサイズは、カソード端子からアノード端子に向かって流れる逆方向電流がトランジスタのベース電流と略等しくなるように設定されてもよい。

【0011】

バイポーラトランジスタを用いることによってFETよりも高耐圧とすることができ、さらに、ダイオードの逆方向電流を利用して、バイポーラトランジスタのベース電流を接地に逃がすことによって、演算増幅器の入力端子に接続される回路にベース電流が与える影響を低減することができる。

20

【0012】

本発明の別の態様もまた、演算増幅器である。この演算増幅器は、反転入力端子および非反転入力端子に接続される入力差動対を構成する少なくとも一方のトランジスタの制御端子にアノード端子が接続され、固定電位である電源電圧端子にカソード端子が接続される保護ダイオードを備える。

【0013】

この態様によれば、電源電圧端子あるいは反転、非反転入力端子にサージが入力された場合においても、トランジスタを保護することができる。

30

【0014】

入力差動対を構成するトランジスタはNPN型バイポーラトランジスタであって、保護ダイオードのサイズは、カソード端子からアノード端子に向かって流れる逆方向電流がトランジスタのベース電流と略等しくなるように設定されてもよい。

【0015】

バイポーラトランジスタを用いることによってFETよりも高耐圧とすることができ、さらに、保護ダイオードの逆方向電流を利用して、バイポーラトランジスタのベース電流を保護ダイオードを介して供給することによって、演算増幅器の入力端子に接続される回路にベース電流が与える影響を低減することができる。

40

【0016】

保護ダイオードは、複数個並列に接続されてもよい。

複数のダイオードを並列にトリミングによって面積が調節できるように形成することによって、半導体製造プロセスなどのばらつきによってトランジスタの耐圧が変化した場合に、保護ダイオードのサイズをトランジスタの耐圧に応じて調節することができる。さらに、半導体製造プロセスのばらつきなどによってトランジスタの電流増幅率がばらついた場合には演算増幅器のバイアス電流、すなわち差動入力対を構成するトランジスタのベース電流がばらつくことになるため、このベース電流に応じて保護ダイオードのサイズを調節することにより、入力端子に接続される回路に及ぼす影響を低減することができる。

【0017】

50

演算増幅器は一体集積化されており、保護ダイオードは、該保護ダイオードが接続される反転入力端子あるいは非反転入力端子に対応する電極パッドと隣接して設けられてもよい。

【0018】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を方法、装置、システムなどの間で相互に置換したのもまた、本発明の態様として有効である。

【発明の効果】

【0019】

本発明に係る演算増幅器によれば、高い耐圧を得ることができる。

【発明を実施するための最良の形態】

10

【0020】

図1は、実施の形態に係る演算増幅器100の構成を示す回路図である。この演算増幅器100は、入力段に設けられた差動増幅回路10と、後段の増幅回路20を含んでおり、反転入力端子102および非反転入力端子104に入力される信号を差動増幅して出力端子106から出力する。以降の図において、同一の構成要素には同一の符号を付し、重複した説明を省略する。

【0021】

差動増幅回路10は、第1から第6バイポーラトランジスタQ1～Q6と、定電流源12、第1、第2保護ダイオードD1、D2を含む。

第1バイポーラトランジスタQ1、第3バイポーラトランジスタQ3は、いずれもPNP型バイポーラトランジスタであって、ダーリントン接続されており、第1バイポーラトランジスタQ1のベース端子には、反転入力端子102が接続されている。

20

同様に、第2バイポーラトランジスタQ2、第4バイポーラトランジスタQ4も、いずれもPNP型バイポーラトランジスタでありダーリントン接続され、第2バイポーラトランジスタQ2のベース端子には、非反転入力端子104が接続されている。

【0022】

第1、第3バイポーラトランジスタQ1、Q3と、第2、第4バイポーラトランジスタQ2、Q4は、差動増幅回路10において差動入力対を構成している。第3バイポーラトランジスタQ3および第4バイポーラトランジスタQ4のエミッタ端子は互いに共通に、定電流源12に接続されている。

30

第5バイポーラトランジスタQ5および第6バイポーラトランジスタQ6はNPN型バイポーラトランジスタであって、ベース、エミッタ端子が共通に接続されてカレントミラー回路を形成している。この第5、第6バイポーラトランジスタQ5、Q6は、差動入力対を構成する第1、第3バイポーラトランジスタQ1、Q3および第2、第4バイポーラトランジスタQ2、Q4に対して定電流負荷として機能する。

【0023】

本実施の形態に係る演算増幅器100において、その差動入力対を構成する第1、第2バイポーラトランジスタQ1、Q2のベース端子と接地電位間には、それぞれ第1保護ダイオードD1、第2保護ダイオードD2が接続されている。これらの保護ダイオードは、カソード端子がバイポーラトランジスタのベース端子側に、アノード端子が接地電位側となるように接続される。

40

【0024】

第4バイポーラトランジスタQ4および第6バイポーラトランジスタQ6の接続点は増幅回路20に接続されている。この増幅回路20は、一般的な演算増幅器の出力段の構成するものであればよく、その回路形式は何であってもよい。

【0025】

以上のように構成された演算増幅器100の回路保護について説明する。反転入力端子102あるいは非反転入力端子104から数百Vから数kVのサージ電圧が入力されると、第1保護ダイオードD1、第2保護ダイオードD2が逆方向にオンすることになる。このとき、第1保護ダイオードD1、第2保護ダイオードD2には逆方向に大電流が流れ、

50

アノードカソード間の電位差は、ツェナー電圧 V_z でクランプされる。その結果、第1バイポーラトランジスタ Q_1 、第2バイポーラトランジスタ Q_2 のベースエミッタ間には、ツェナー電圧 V_z 以上の電圧が印加されることはないため、保護ダイオードのツェナー電圧 V_z を、バイポーラトランジスタのベースエミッタ間あるいはベースコレクタ間耐電圧よりも低く設定することによって、バイポーラトランジスタの信頼性に影響を及ぼす高電圧が印加されるのを未然に防ぐことができる。

【0026】

つぎに、本実施の形態に係る演算増幅器100における保護ダイオードのサイズについて説明する。

差動増幅回路10において差動対を構成する第3バイポーラトランジスタ Q_3 、第4バイポーラトランジスタ Q_4 には、定電流源12によってバイアス電流が流れている。ここで、バイポーラトランジスタのベース電流 I_b とコレクタ電流 I_c には、電流増幅率を用いて $I_c = I_b \times$ の関係が成り立っている。

いま、定電流源12によって、 $2 \times I_x$ の電流が生成されているとすると、第3バイポーラトランジスタ Q_3 および第4バイポーラトランジスタ Q_4 には平衡時においてそれぞれ I_x のコレクタ電流が流れることになる。したがって、第3、第4バイポーラトランジスタ Q_3 、 Q_4 のベース電流はそれぞれ $I_x /$ の電流が流れることになる。

【0027】

差動対を構成する第1から第4トランジスタ $Q_1 \sim Q_4$ は、一つの集積回路内に近接して形成されるため、その電流増幅率はいずれも等しいと考えられる。第3バイポーラトランジスタ Q_3 、第4バイポーラトランジスタ Q_4 のベース電流は、それぞれにダーリントン接続されている第1バイポーラトランジスタ Q_1 、第2バイポーラトランジスタ Q_2 のコレクタ電流に相当するから、第1バイポーラトランジスタ Q_1 および第2バイポーラトランジスタ Q_2 のベース電流は、 $I_x / ($)で与えられることになる。

【0028】

この第1、第2バイポーラトランジスタ Q_1 、 Q_2 のベース電流はそれぞれ、反転入力端子102、非反転入力端子104からこの演算増幅器100の外部へと流れ出ることになる。一般的には、演算増幅器100の入力インピーダンスに対して、演算増幅器100の反転入力端子102、非反転入力端子104に接続される回路の出力インピーダンスは十分に低いため、上記のベース電流が回路動作に及ぼす影響はそれほど問題となることはない。ところが、演算増幅器100の反転入力端子102、あるいは非反転入力端子104に、フォトダイオードなどのように、入力信号に対応する検出電流を出力するような素子が接続される場合において、その検出電流が微弱であるような場合には、第1バイポーラトランジスタ Q_1 、第2バイポーラトランジスタ Q_2 に流れるベース電流が、回路動作に及ぼす影響が無視できない場合がある。

【0029】

そこで、このような場合には、本実施の形態に係る演算増幅器100の保護ダイオードのサイズを以下のようにして決定することが望ましい。

第1保護ダイオードD1、第2保護ダイオードD2として設けられているダイオードに逆方向に印加される電圧がツェナー電圧 V_z よりも小さい場合には、これらのダイオードにはカソード端子からアノード端子に向かって微少な逆方向電流が流れている。この保護ダイオードに流れる逆方向電流は、ダイオードのサイズに比例する。

【0030】

そこで、このダイオードのサイズを調節し、保護ダイオードに流れる逆方向電流と、平衡時に第1バイポーラトランジスタ Q_1 、第2バイポーラトランジスタ Q_2 に流れるベース電流と実質的に等しくなるようにすることによって、第1、第2バイポーラトランジスタ Q_1 、 Q_2 に流れるベース電流は、第1、第2保護ダイオードD1、D2を介して接地へと流れることになる。その結果、反転入力端子102および非反転入力端子104から外部へと電流が流れなくなるため、外部に接続される回路に及ぼす影響を低減することができる。ここでバイポーラトランジスタのベース電流と保護ダイオードの逆方向電流をど

10

20

30

40

50

の程度等しくすればよいが、外部に接続される回路に応じて決めればよいが、少なくとも1/2から2倍以内とすることが望ましい。

【0031】

第1保護ダイオードD1、第2保護ダイオードD2は、複数のダイオードを並列に接続して形成してもよい。図2は、図1の演算増幅器100における反転入力端子102の周辺回路を示している。

【0032】

図2において、第1保護ダイオードD1は、ダイオード30が4つ並列に接続されて形成されており、それぞれのダイオード30は配線によって接続されている。このダイオード間を接続する配線をレーザートリミングにより切断し、並列に接続されるダイオードの数を変更することによって、第1保護ダイオードD1のサイズを調節することができる。

10

【0033】

保護ダイオードのサイズは、たとえば次のような事情によって調節する必要がある。まず、保護対象となっているバイポーラトランジスタの耐圧は、演算増幅器100を製造する半導体製造プロセスなどのばらつきによって変化することになる。一方で、保護ダイオードの保護能力はダイオードのツェナー電圧 V_Z の他、そのサイズによっても決まる。そこで、バイポーラトランジスタの耐圧に応じてダイオード30を接続する配線をトリミングし、所望のサイズとすることによって保護対象のバイポーラトランジスタを適切に保護することが可能となる。

【0034】

20

また、半導体製造プロセスのばらつきなどによってバイポーラトランジスタの電流増幅率がばらついた場合には演算増幅器100のバイアス電流、すなわち差動入力対を構成する第1、第2バイポーラトランジスタQ1、Q2のベース電流もばらつくことになる。したがって、演算増幅器100の反転入力端子102、非反転入力端子104に接続される回路にベース電流が与える影響を低減する必要がある場合には、ベース電流と逆方向電流が等しくなるように第1保護ダイオードD1、第2保護ダイオードD2のサイズをトリミングによって調節することができる。

【0035】

また、半導体集積回路の設計においては、同一のマスクを複数の製品で共通して用いたい場合もある。たとえば演算増幅器100に要求されるスルーレートなどの特性が製品ごとに異なる場合には、それに従ってバイアス電流、すなわち第1、第2バイポーラトランジスタQ1、Q2のベース電流も変更される場合がある。このときにダイオードサイズをトリミングによって調整可能に形成することによって、大幅に設計変更することなく複数の製品に対応させることができる。

30

【0036】

図3(a)、(b)は、図1の演算増幅器100の反転入力端子102、非反転入力端子104の電極パッド、第1保護ダイオードD1、第2保護ダイオードD2の半導体チップ上の配置を示す図である。図3(a)、(b)に示すように、演算増幅器100を構成するバイポーラトランジスタは、半導体チップ上の中心の領域200に形成される。

半導体チップの外周には、この領域200を囲うようにして反転入力端子102、非反転入力端子104、接地端子GND、電源電圧端子Vccなどの電極パッドが配置される。

40

【0037】

保護ダイオードのサイズは、電極パッドのサイズと同程度となる。そこで、保護ダイオードを半導体チップの外周部に電極パッドと並べて配置している。すなわち、第1、第2保護ダイオードD1、D2はそれぞれ、反転入力端子102、非反転入力端子104に対応する電極パッドと隣接して設けられている。

【0038】

反転入力端子102、非反転入力端子104にサージ電圧が入力されて保護ダイオードが逆方向にオンすると、保護ダイオードには大電流が流れる。そのため、保護ダイオード

50

のアノード端子が接続される接地電位は、図3(a)、(b)に示すように太い接地配線40によって接地端子GNDと接続されている。この接地配線40は、領域200を囲うようにして敷設されている。接地配線40によって演算増幅器100を構成する回路素子の周辺を囲うことによって、外部からのノイズなどが除去されることになるため、演算増幅器100の動作をより安定化させることができる。

【0039】

図3(a)のように反転入力端子102、非反転入力端子104を隣り合わせて配置した場合、差動対を構成する第1～第4バイポーラトランジスタQ1～Q4は、近接して配置されるため、配線の引き回しを最短とすることができる。

また、図3(b)のように配置した場合には、第1保護ダイオードD1、第2保護ダイオードD2が隣接することになるため、ダイオードの特性を均一にそろえることが可能となる。また、反転入力端子102、非反転入力端子104間の信号の干渉を低減することができる。

【0040】

このように、本実施の形態に係る演算増幅器100によれば、保護ダイオードによって差動入力対を構成する第1、第2バイポーラトランジスタQ1、Q2を保護することが可能となる。さらに保護ダイオードのサイズを調節することによって、第1、第2バイポーラトランジスタQ1、Q2に流れるベース電流が演算増幅器100の外部へ及ぼす影響を低減することが可能となる。

【0041】

差動増幅回路10における保護ダイオードの接続態様には様々な変形例が考えられる。図4は、こうした差動増幅回路10の構成の変形例を示す。図4に示す差動増幅回路10bは、図1に示す差動増幅回路10と同一の回路素子によって構成されているが、保護ダイオードの接続が異なっている。

【0042】

すなわち、図4の差動増幅回路10bにおいては、差動増幅対を構成する第1バイポーラトランジスタQ1、第2バイポーラトランジスタQ2は、それぞれのベース端子と電源電圧端子Vcc間に、第3保護ダイオードD3、第4保護ダイオードD4を備えている。

【0043】

バイポーラトランジスタのベース端子および電源電圧間にも第3、第4保護ダイオードD3、D4を設けることによって、電源電圧端子Vccにサージ電圧が印加された場合や、反転入力端子102、非反転入力端子104に負のサージ電圧が印加された場合などにおいても、これらの保護ダイオードが逆方向にオンし、ツェナー電圧Vzにクランプされるため、第1～第4バイポーラトランジスタQ1～Q4に耐圧以上の電圧が印加されることを防止することができ、回路の信頼性をさらに高めることができる。

【0044】

また、図4の差動増幅回路10bが通常動作をする際に、第1保護ダイオードD1には、カソード端子からアノード端子に向かって、すなわち反転入力端子102から接地端子GNDに向かって微少な逆方向電流Ir1が流れている。同様に、第3保護ダイオードD3にも、電源電圧端子Vccから反転入力端子102に向かって微少な逆方向電流Ir3が流れている。各保護ダイオードの逆方向電流の大きさは、それぞれのダイオードサイズにほぼ比例した値となる。

【0045】

したがって、第1バイポーラトランジスタQ1のベース電流をIbとすると、第1、第3保護ダイオードD1、D3のサイズを、 $I_b = I_{r1} - I_{r3}$ が成り立つように設定した場合、演算増幅器100の反転入力端子102に接続される回路にバイアス電流が与える影響を低減することができる。非反転入力端子104側についても同様である。

【0046】

図5は、差動増幅回路および保護ダイオードの接続形態の別の変形例を示す。図1、図4の差動増幅回路10はいずれもPNP型のバイポーラトランジスタによって入力差動対

10

20

30

40

50

が形成されていたが、図5の差動増幅回路10cにおいては、NPN型バイポーラトランジスタによって入力差動対が形成されている。NPN型のバイポーラトランジスタでは、ベース電流 I_b は、トランジスタに流れ込む方向に流れる。そこで、第3保護ダイオードD3を、反転入力端子102および電源電圧端子Vcc間に設けている。なお、入力差動対を構成するバイポーラトランジスタは必ずしもダーリントン接続されている必要はなく、図5に示すように1段構成であってもよい。

【0047】

その結果、電源電圧端子Vccにサージ電圧が印加された場合や、反転入力端子102、非反転入力端子104に負のサージ電圧が印加された場合などにおいて、第3、第4保護ダイオードD3、D4が逆方向にオンし、ツェナー電圧 V_z にクランプされるため、第1、第2バイポーラトランジスタQ1、Q2に耐圧以上の電圧が印加されることを防止することができ、回路の信頼性をさらに高めることができる。

10

また、このとき第3保護ダイオードD3のサイズを調節し、第3保護ダイオードD3に流れる逆方向電流 I_{r3} と、第1バイポーラトランジスタQ1のベース電流 I_b を略等しく設定することにより、演算増幅器100の反転入力端子102に接続される回路にバイアス電流が与える影響を低減することができる。非反転入力端子104側についても同様である。

【0048】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

20

【0049】

実施の形態では、演算増幅器100を構成するトランジスタ素子がバイポーラトランジスタの場合を例に説明したが、FETであってもよい。いずれのトランジスタを用いるかについては、半導体の製造プロセスや要求される特性、コストなどに応じて選択すればよい。

【0050】

図1、図4、図5に示す以外にも差動増幅回路10の回路構成およびダイオードの接続形式については様々な変形例が考えられる。たとえば、必ずしも反転入力端子102および非反転入力端子104の両方に保護ダイオードを設ける必要はなく、いずれか一方の入力端子にのみ保護ダイオードを設けてもよく、図4において、第1、第3保護ダイオードD1、D3のみを備える構成としてもよい。

30

そのほか、図5において第1、第2バイポーラトランジスタQ1、Q2は更にそれぞれのベース端子と接地端子間にも保護ダイオードを備えていても良い。また、図5の第1、第2バイポーラトランジスタQ1、Q2には別のトランジスタがダーリントン接続されていても良く、それぞれのベース端子と接地端子間に保護ダイオードを設け、あるいは更にベース端子と電源電圧端子間にも保護ダイオードを設けても良い。逆に図1、図4の入力差動対をダーリントン形式ではなく、一段構成とし、第3、第4バイポーラトランジスタQ3、Q4のベースと固定電位間に保護ダイオードを設けても良い。

【0051】

また、保護ダイオードとしては、ショットキーダイオードやツェナーダイオードなどのダイオードのうち、保護対象となるバイポーラトランジスタの耐圧とツェナー電圧の関係から適切なものを選択すればよい。

40

【0052】

また、本実施の形態で説明した演算増幅器には、一般的に演算増幅器として製品化される汎用ICの他、単体でIC化される汎用のコンパレータなども含まれ、コンパレータにおいても、差動入力対に保護ダイオードを設けることにより本発明を適用することができる。

【図面の簡単な説明】

【0053】

50

【図1】実施の形態に係る演算増幅器の構成を示す回路図である。

【図2】図1の演算増幅器における反転入力端子の周辺回路を示す図である。

【図3】図3(a)、(b)は、図1の演算増幅器の反転、非反転入力端子の電極パッドおよび第1、第2保護ダイオードの半導体チップ上の配置を示す図である。

【図4】差動増幅回路の構成の変形例を示す図である。

【図5】差動増幅回路の変形例および保護ダイオードの接続形態を示す図である。

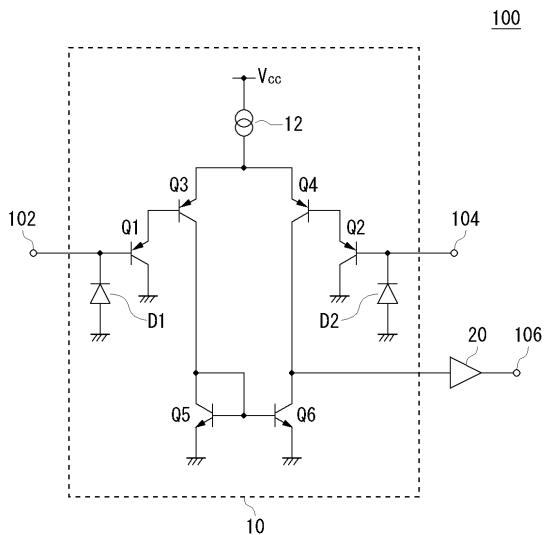
【符号の説明】

【0054】

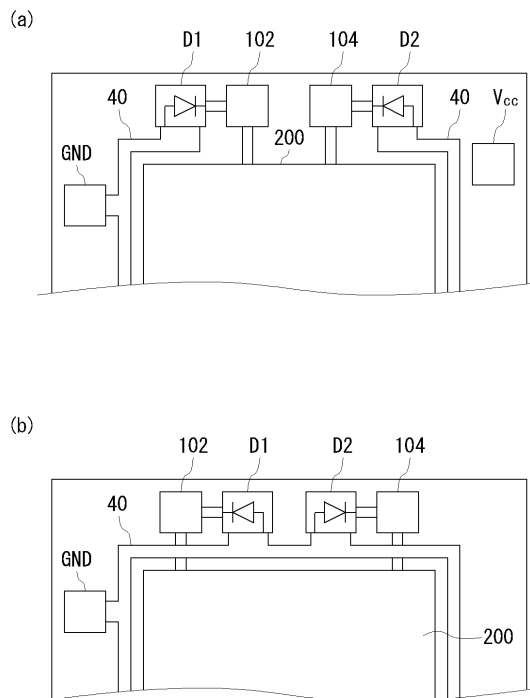
Q1 第1バイポーラトランジスタ、 Q2 第2バイポーラトランジスタ、 Q3 第3バイポーラトランジスタ、 Q4 第4バイポーラトランジスタ、 Q5 第5バイポーラトランジスタ、 Q6 第6バイポーラトランジスタ、 D1 第1保護ダイオード、 D2 第2保護ダイオード、 D3 第3保護ダイオード、 D4 第4保護ダイオード、 10 差動増幅回路、 12 定電流源、 20 増幅回路、 100 演算増幅器、 102 反転入力端子、 104 非反転入力端子、 106 出力端子。

10

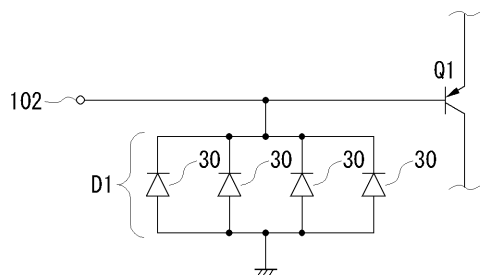
【図1】



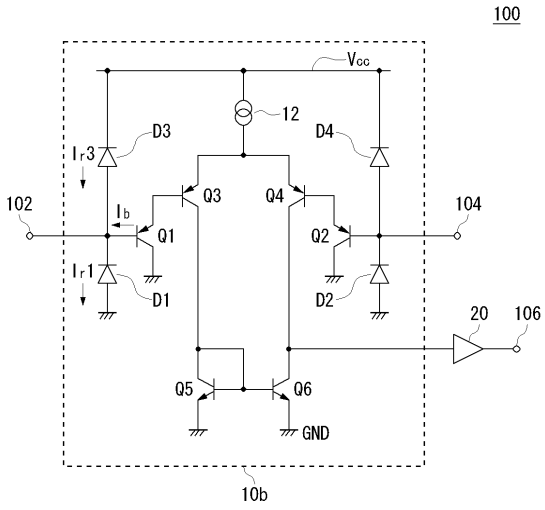
【図3】



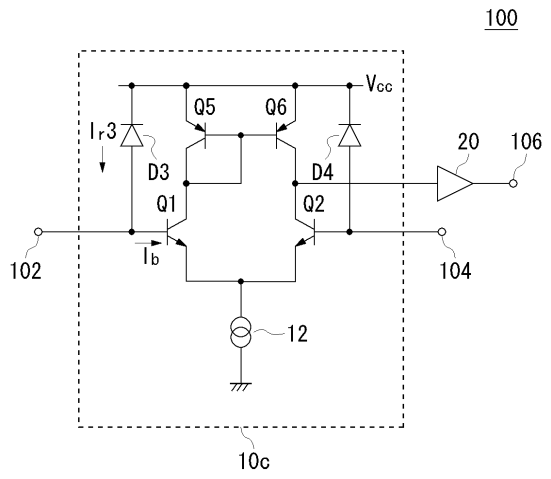
【図2】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 野口 章

京都府京都市右京区西院溝崎町2番地 ローム株式会社内

審査官 白井 孝治

(56)参考文献 特開平06-237124(JP,A)

特開2002-141421(JP,A)

実開昭60-155213(JP,U)

特開昭62-291175(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00 - 3/45

H03F 3/50 - 3/52

H03F 3/62 - 3/64

H03F 3/68 - 3/72