

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年12月7日 (07.12.2006)

PCT

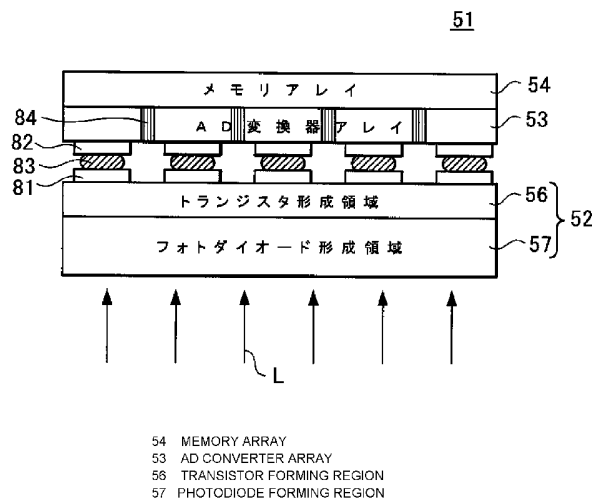
(10) 国際公開番号
WO 2006/129762 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 27/146 (2006.01)
H01L 27/00 (2006.01) H04N 5/335 (2006.01)
H01L 27/10 (2006.01)
- (21) 国際出願番号: PCT/JP2006/311007
- (22) 国際出願日: 2006年6月1日 (01.06.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-163267 2005年6月2日 (02.06.2005) JP
特願2005-197730 2005年7月6日 (06.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岩淵 信 (IWABUCHI, Shin) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号ソニー株式会社内 Tokyo (JP). 元吉 真 (MOTOYOSHI, Makoto) [JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 角田 芳末, 外 (TSUNODA, Yoshisue et al.); 〒1600023 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

/ 続葉有 /

(54) Title: SEMICONDUCTOR IMAGE SENSOR MODULE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体イメージセンサ・モジュール及びその製造方法



(57) Abstract: A CMOS type semiconductor image sensor module wherein a pixel aperture ratio is improved, chip use efficiency is improved and furthermore, simultaneous shutter operation by all the pixels is made possible, and a method for manufacturing such semiconductor image sensor module are provided. The semiconductor image sensor module is provided by stacking a first semiconductor chip, which has an image sensor wherein a plurality of pixels composed of a photoelectric conversion element and a transistor are arranged, and a second semiconductor chip, which has an A/D converter array. Preferably, the semiconductor image sensor module is provided by stacking a third semiconductor chip having a memory element array. Furthermore, the semiconductor image sensor module is provided by stacking the first semiconductor chip having the image sensor and a fourth semiconductor chip having an analog nonvolatile memory array.

(57) 要約: 本発明は、画素の開口率が向上すると共に、チップ使用効率の向上を図り、しかも全画素の同時シャッタを可能にしたCMOS型の半導体イメージセンサ・モジュール及びその製造方法を提供する。本発明の半導体イメージセンサ・モジュールは、光電変換素子とトランジスタで構成する複数の画素が配列されたイメー

/ 続葉有 /



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ジセンサを備えた第1の半導体チップと、A/D変換器アレイを備えた第2の半導体チップを積層して構成される。好ましくは、さらにメモリ素子アレイを備えた第3の半導体チップを積層して構成される。また、本発明の半導体イメージセンサ・モジュールは、上記イメージセンサを備えた第1の半導体チップと、アナログ型不揮発性メモリアレイを備えた第4の半導体チップを積層して構成される。

明 細 書

半導体イメージセンサ・モジュール及びその製造方法

技術分野

- [0001] 本発明は、半導体イメージセンサ・モジュール及びその製造方法に関する。より詳しくは、例えばデジタルスチルカメラ、ビデオカメラ、あるいはカメラ付き携帯電話等のシャッター速度の高速化に対応した同時シャッタを実現する半導体イメージセンサ・モジュールに関する。

背景技術

- [0002] CMOSイメージセンサは、CCDイメージセンサと比較して単一電源、低消費電力で且つ標準CMOSプロセスにより製造できることから、システムオンチップが容易であるという利点がある。近年、CMOSイメージセンサは、この利点により高級一眼レフのデジタルスチルカメラや携帯電話まで使われだしている。
- [0003] 図54及び図55に、それぞれCCDイメージセンサと、CMOSイメージセンサの簡略化した構成を示す。

図54に示すCCDイメージセンサ1は、撮像領域2内に画素となる複数の受光センサ(光電変換素子)3が規則的に例えば2次元マトリックス状に配列されると共に、各受光センサ列に対応して信号電荷を垂直方向へ転送するCCD構造の垂直転送レジスタ4が配置され、さらに各垂直転送レジスタ4に接続されて信号電荷を水平方向へ転送するCCD構造の水平転送レジスタ5が配置され、この水平転送レジスタ5の終段に電荷電圧変化して出力する出力部6が接続されて成る。このCCDイメージセンサ1では、撮像領域2で受光した光を各受光センサ3で信号電荷に変換して蓄積し、この各受光センサ3の信号電荷を読み出しゲート部7を介して垂直転送レジスタ4へ読み出して垂直方向へ転送する。また、垂直転送レジスタ4から1ライン毎に水平転送レジスタ5に読み出した信号電荷は、水平方向へ転送して出力部6より電圧信号に変換して撮像信号として出力する。

- [0004] 一方、図55に示すCMOSイメージセンサ11は、撮像領域12内に複数の画素12が配列された撮像領域13と、制御回路14と、垂直駆動回路15と、カラム部16と、水

平駆動回路17と、出力回路18とを備えて構成される。撮像領域12では、複数の画素12が2次的に規則配列、例えば2次元マトリックス状に配列される。各画素12は光電変換素子(例えば、フォトダイオード)と複数のMOSTランジスタで形成される。制御回路14は、入力クロックと、動作モードなどを指令するデータを受け取り、またイメージセンサの情報を含むデータを出力する。

このCMOSイメージセンサ11では、垂直駆動回路15からの駆動パルスにより画素12の行が選択され、選択され行の画素12の出力が垂直選択線21を通じてカラム部16に送られる。カラム部16ではカラム信号処理回路19が画素12の列に対応して配列されており、1行分の画素12の信号を受けて、その信号にCDS(Correlated Double Sampling: 固定パターンノイズ除去の処理)や信号増幅やアナログ/デジタル(AD)変換等の処理が行われる。そして、水平駆動回路17によりカラム信号処理回路19が順番に選択されて、その信号が水平信号線20に導かれ、出力回路18より撮像信号として出力される。

[0005] 図56A, Bに、CCDイメージセンサ1とCMOSイメージセンサ11の各走査線に対応した画素行の蓄積タイミングチャートを示す。CCDイメージセンサ1の場合は、同じ期間中に各受光センサ3に信号電荷を蓄積し、全ての画素で受光センサ3から信号電荷を同時に垂直転送レジスタ4へ読み出している。すなわち、図56Aに示すように、あるフレームの蓄積期間で全ての行の画素が同時刻に蓄積される。これにより、蓄積の同時性が得られ、同時電子シャッタを可能にしている。

[0006] これに対して、CMOSイメージセンサ11の場合は、基本的な動作方式から、信号を出力した画素12はその時点から再び光電変換した信号の蓄積を開始するので、図56Bに示すように、あるフレーム期間でみると走査タイミングにしたがって蓄積の期間がずれる。これにより、蓄積の同時性が得られず、同時電子シャッタが得られない。すなわち、CMOSイメージセンサ11は、CCDイメージセンサのような転送タイミングをずらせる垂直転送レジスタが無いため、画素の蓄積時間をリセットタイミングで調節してデータをカラム信号処理回路へ送るタイミングを調節している。このため、信号電荷の蓄積期間をずらす必要があり、全ての画素を同一タイミングで電荷蓄積する同時シャッタ化が出来ない(非特許文献1の179頁参照)。

- [0007] 特に、高速で動く画像の撮影のとき、この違いが出てくる。図57A, Bは高速で回転する羽をCCDイメージセンサとCMOSイメージセンサで記録した場合の記録画像を示す。同図から分かるように、CCDイメージセンサで記録した羽25は正常に記録されるが、CMOSイメージセンサで記録した羽25は形が歪んで記録される(非特許文献1の180頁参照)。
- [0008] 非特許文献1:CQ出版株式会社2003年8月10日発行、米本和也著「CCD／CMOSイメージセンサの基礎と応用」179～180頁
- [0009] 上述のCMOSイメージセンサにおける高速で動く画像の撮影の対策として、図52及び図53に示す構成が提案されている。このCMOSイメージセンサ31は、表面照射型のCMOSイメージセンサに適用した場合であり、図52の平面ブロックレイアウトで示すように、1つの半導体チップの所要領域に、光電変換素子であるフォトダイオードと複数のMOSTランジスタとからなる画素を配列してなる撮像領域、いわゆるフォトダイオードPD・センサ回路領域32を形成し、このフォトダイオードPD・センサ回路領域32に隣接して各画素に接続した複数のアナログ／デジタル(AD)変換回路及びメモリ手段を配置したADC・メモリ領域33を形成して構成される。
- [0010] 図53に、CMOSイメージセンサ31の単位画素の断面構造を示す。この例では、n型半導体基板35にp型半導体ウェル領域36を形成し、画素分離領域37で区画された各領域のp型半導体ウェル領域36にフォトダイオードPDと複数のMOSTランジスタTrからなる単位画素38を形成し、基板表面側に層間絶縁膜43を介して多層、例えば1層目配線441、2層目配線442、3層目配線443が形成された多層配線層39を形成し、さらにこの上にカラーフィルタ41及びオンチップマイクロレンズ42を形成して表面照射型に構成される。フォトダイオードPDは、n型半導体領域46と表面のアクセシビリティ層となるp⁺半導体領域47とを有した埋込み型フォトダイオードで構成される。画素を構成するMOSTランジスタTrは、図示しないが例えば、読出しトランジスタ、リセットトランジスタ、増幅トランジスタを有した3トランジスタ構造、さらに垂直選択トランジスタを加えた4トランジスタ構造とすることができる。
- [0011] このCMOSイメージセンサ31では、フォトダイオードで光電変換した後は直ちに一齐にアナログ／デジタル変換させ、メモリ手段にデータとして保持し、その後、メモリ

手段から順次読み出すようにしている。この構成は、アナログ／デジタル変化した信号をメモリ手段に一旦保持した後信号処理するので、同時シャッタを可能にする。

- [0012] しかしながら、図52の構成のCMOSイメージセンサでは、1つの半導体チップ内にフォトダイオードPD・センサ回路領域32と、ADC・メモリ領域33とを有するので、画素数を増やして高解像度化したときにその単位画素、すなわち微細画素の開口面積が小さくなり、大きな感度が得られない。そして、チップ使用効率が悪く面積の増大があり、コスト高は免れない。

発明の開示

- [0013] 本発明は、画素の開口率が向上すると共に、チップ使用効率の向上を図り、しかも全画素の同時シャッタを可能にしたCMOS型の半導体イメージセンサ・モジュール及びその製造方法を提供するものである。
- [0014] 本発明に係る半導体イメージセンサ・モジュールは、複数の画素が規則的に配列され、各画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の半導体チップと、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップとが積層されて成ることを特徴とする。
- [0015] 本発明の好ましい形態は、上記半導体イメージセンサ・モジュールにおいて、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップが、さらに積層された構成とする。
- [0016] 本発明の好ましい形態は、複数の光電変換素子と複数のメモリ素子が、1つのアナログ／デジタル変換器を共有するように、第1及び第2の半導体チップが第3の半導体チップに対して近接して配置された構成とする。
- [0017] メモリ素子は、揮発性メモリ、フローティングゲート型の不揮発性メモリ、MONOS型の不揮発性メモリ、多値をとる不揮発性メモリ、等で構成することができる。
- メモリ素子アレイは、メモリ素子アレイ中にパリティチェック用のメモチビットを有する構成とすることができる。メモリ素子アレイは、メモリ素子アレイ中に欠陥救済用のスペアビットを有する構成とすることができる。
- [0018] 本発明に係る半導体イメージセンサ・モジュールは、複数の画素が規則的に配列され、各画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の

半導体チップと、複数のアナログ型不揮発性メモリからなるアナログ型不揮発性メモリアレイを備えた第4の半導体チップとが積層されて成り、アナログ型不揮発性メモリにより、蓄積電荷量に応じた情報量を記憶させるようにして成ることを特徴とする。

[0019] 本発明に係る半導体イメージセンサ・モジュールの製造方法は、各画素が光電変換素子とトランジスタで構成された複数の画素を2次元状に規則的に配列したイメージセンサを備えた第1の半導体チップを形成する工程と、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップを形成する工程と、第1の半導体チップと第2の半導体チップとを積層して前記イメージセンサの画素とアナログ／デジタル変換器を接続する工程とを有することを特徴とする。この接続工程では、第1の半導体チップのイメージセンサの画素と、第2の半導体チップのアナログ／デジタル変換器を、フェースダウンでバンプで接合、またはLSIチップ面に対して垂直にウェーハを貫通するスルーホールで接続する。

[0020] 本発明の半導体イメージセンサ・モジュールの製造方法の好ましい形態は、上記半導体イメージセンサ・モジュールの製造方法において、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを有する第3の半導体チップを形成する工程を有し、第1の半導体チップと第2の半導体チップと第3の半導体チップとを積層し、イメージセンサの画素をアナログ／デジタル変換器を通じてメモリに接続する工程を有する。この接続工程では、第1の半導体チップのイメージセンサの画素を、第2の半導体チップのアナログ／デジタル変換器を通じて第3の半導体チップのメモリに、ウェーハ面に垂直にウェーハを貫通するスルーホールで接続する。

[0021] 本発明に係る半導体イメージセンサ・モジュールの製造方法は、各画素が光電変換素子とトランジスタで構成された複数の画素を2次元状に規則的に配列したイメージセンサを備えた第1の半導体チップを形成する工程と、複数のアナログ型不揮発性メモリからなるアナログ不揮発性メモリアレイを備えた第4の半導体チップを形成する工程と、第1の半導体チップと第4の半導体チップとを積層してイメージセンサの画素とアナログ型不揮発性メモリを接続する工程とを有することを特徴とする。

[0022] 本発明に係る半導体イメージセンサ・モジュールによれば、画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の半導体チップと、複数のアナ

ログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップとが積層されて構成されるので、第1の半導体チップでは大部分を画素領域として形成できることから、光電変換素子の開口率が向上し、かつチップ利用率を向上することができる。また、複数のメモリ素子からなるメモリ素子アレイを有する半導体チップを設けて、第1の半導体チップからの画素の信号を短時間で第2の半導体チップでアナログ／デジタル変換し、一旦メモリ素子アレイに保持してから、信号処理することができるので、画素の同時シャッタを実現することができる。

[0023] 画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の半導体チップと、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップと、さらに少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップを積層して構成することにより、1つの単一化されたデバイスとなり、光電変換素子の開口率の向上、チップ利用率の向上、さらに全画素の同時シャッタを実現することができる。

[0024] 複数の光電変換素子と複数のメモリ素子が1つのアナログ／デジタル変換器を共有するように、第1及び第3の半導体チップを第2の半導体チップに対して近接して配置する構成とすることにより、複数の光電変換素子からの信号をシリアルにアナログ／デジタル変換器でアナログ／デジタル変換し、メモリ素子に短時間で保持することができ、全画素の同時シャッタを実行することができる。

[0025] 本発明に係る半導体イメージセンサ・モジュールによれば、画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の半導体チップと、アナログ型不揮発性メモリアレイを備えた第4の半導体チップとを積層した構成とすることにより、第1の半導体チップでは大部分を画素領域として形成できることから、光電変換素子の開口率が向上し、かつチップ利用率を向上することができる。また、第1の半導体チップからの画素の信号をアナログ型不揮発性メモリセルに一旦保持してから信号処理するので、画素の同時シャッタを実現することができる。

[0026] 本発明に係る半導体イメージセンサ・モジュールの製造方法によれば、光電変換素子の開口率の向上、チップ利用率の向上、さらに全画素の同時シャッタを実現することができる、CMOSイメージセンサを備えた半導体イメージセンサ・モジュールを製造

することができる。

図面の簡単な説明

- [0027] [図1]本発明に係る半導体イメージセンサ・モジュールの第1実施の形態を示す概略構成図である。
- [図2]本発明に適用する裏面照射型のCMOSイメージセンサの要部の断面図である。
- [図3]図1の実施の形態の要部の模式的な斜視図である。
- [図4]第1実施の形態のデータ転送の説明に供するブロック構成図である。
- [図5]第1実施の形態の全体のブロックダイアグラムである。
- [図6]本発明に係る半導体イメージセンサ・モジュールの第2実施の形態を示す概略構成図である。
- [図7]第2実施の形態に係る多値をとる不揮発性メモリ(抵抗変化型多値メモリ)の概略断面図である。
- [図8]多値メモリの回路図である。
- [図9]2値の抵抗変化型メモリの場合のパルス印加の説明図である。
- [図10]2値の抵抗変化型メモリの場合の電圧—電流特性図である。
- [図11]メモリアレイの結線図である。
- [図12]"0"書き込みの動作説明図である。
- [図13]"1"書き込みの動作説明図である。
- [図14]読み出し動作説明図である。
- [図15]多値メモリの電流—電圧特性図である。
- [図16]多値メモリの説明に供するプログラム図である。
- [図17]多値メモリの複数パルスプログラムの理想的な場合の説明図である。
- [図18]フローティングゲート型の不揮発性メモリの概略構成図である。
- [図19]代表的なフローティングゲート型の不揮発性メモリのセルアレイ結線、書き込み動作、消去動作を説明する説明図である。
- [図20]MONOS型の不揮発性メモリの概略構成図である。
- [図21]MONOS型メモリのセルアレイ結線、書き込み動作、消去動作を説明する説

明図である。

[図22]本発明に係る半導体イメージセンサ・モジュールの第3実施の形態を示概略構成図である。

[図23]スイッチトキャパシタ型アナログメモリのメモリセル回路図である。

[図24]スイッチトキャパシタ型アナログメモリの概略構成図である。

[図25]スイッチトキャパシタ型アナログメモリの結線図である。

[図26]A～Cは本発明に係る半導体イメージセンサ・モジュールの製造方法の一実施の形態を示す製造工程図である。

[図27]A及びBはそれぞれ本発明に係る半導体イメージセンサ・モジュールの第4実施の形態を示す概略構成図である。

[図28]A及びBはそれぞれ本発明に係る半導体イメージセンサ・モジュールの第5実施の形態を示す概略構成図である。

[図29]A及びBはそれぞれ本発明に係る半導体イメージセンサ・モジュールの第6実施の形態を示す概略構成図である。

[図30]A及びBはそれぞれ本発明に係る半導体イメージセンサ・モジュールの第7実施の形態を示す概略構成図である。

[図31]A及びBはそれぞれ本発明に係る半導体イメージセンサ・モジュールの第8実施の形態を示す概略構成図である。

[図32]A及びBは本発明に係る半導体イメージセンサ・モジュールの第9実施の形態を製造方法と共に示す概略構成図である。

[図33]A及びBは第8実施の形態に係る図31Aの半導体イメージセンサ・モジュールの製造方法を示す製造工程図である。

[図34]A及びBは第8実施の形態に係る図31Bの半導体イメージセンサ・モジュールの製造方法を示す製造工程図である。

[図35]A及びBは本発明に係る半導体イメージセンサ・モジュールの第10実施の形態を製造方法と共に示す概略構成図である。

[図36]A及びBは本発明に係る半導体イメージセンサ・モジュールの第11実施の形態を製造方法と共に示す概略構成図である。

[図37]A及びBは本発明に係る半導体イメージセンサ・モジュールの第12実施の形態を製造方法と共に示す概略構成図である。

[図38]本発明に係る半導体イメージセンサ・モジュールの第13実施の形態の説明に供する画素内の等価回路図である。

[図39]本発明に係る半導体イメージセンサ・モジュールの第14実施の形態を示す概略構成図である。

[図40]本発明に係る半導体イメージセンサ・モジュールの第15実施の形態の構成を示すブロック図である。

[図41]第15実施の形態に係る半導体イメージセンサ・モジュールの動作の説明に供するタイミングチャートである。

[図42]本発明に係る半導体イメージセンサ・モジュールの第16実施の形態を示す模式断面図である。

[図43]本発明の第16実施の形態に係る半導体イメージセンサ・モジュールの構成を示すブロック図である。

[図44]本発明の第16実施形態に係るCMOS固体撮像素子の画素の構成を示す等価回路図である。

[図45]A～Cは本発明の第16実施の形態に係る裏面照射型CMOS固体撮像素子の製造工程を示す断面図(その1)である。

[図46]A及びBは本発明の第16実施の形態に係る裏面照射型CMOS固体撮像素子の製造工程を示す断面図(その2)である。

[図47]A及びBは本発明の第16実施の形態に係る裏面照射型CMOS固体撮像素子の製造工程を示す断面図(その3)である。

[図48]本発明に係る半導体イメージセンサ・モジュールの第17実施の形態を示す模式断面図である。

[図49]A～Cは本発明の第17実施の形態に係る裏面照射型CMOS固体撮像素子の製造工程を示す断面図(その1)である。

[図50]A及びBは本発明の第17実施の形態に係る裏面照射型CMOS固体撮像素子の製造工程を示す断面図(その2)である。

[図51]A及びBは本発明の第17実施の形態に係る裏面照射型CMOS固体撮像素子の製造工程を示す断面図(その3)である。

[図52]先行技術に係る半導体イメージセンサ・モジュールの概略平面レイアウト図である。

[図53]表面照射型のCMOSイメージセンサの要部の断面図である。

[図54]CCDイメージセンサの概略構成図である。

[図55]CMOSイメージセンサの概略構成図である。

[図56]A及びBはCCDイメージセンサとCMOSイメージセンサの蓄積タイミングチャートである。

[図57]A及びBはCCDイメージセンサとCMOSイメージセンサの高速撮像したときの記録画像の差を示す説明図である。

発明を実施するための最良の形態

[0028] 以下、図面を参照して本発明の実施の形態を説明する。

[0029] 図1は、本発明に係る半導体イメージセンサ・モジュールの第1実施の形態の概略構成を示す。本発明実施の形態に係る半導体イメージセンサ・モジュール51は、複数の画素が規則的に配列され、各画素が光電変換素子となるフォトダイオードとトランジスタで構成されたイメージセンサを備えた第1の半導体チップ52と、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイ(いわゆるアナログ／デジタル変換回路)を備えた第2の半導体チップ53と、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップ54とを積層して構成される。

[0030] 第1の半導体チップ52のイメージセンサは、本例ではチップ表面側に単位画素を構成するトランジスタが形成されたトランジスタ形成領域56を形成し、チップ裏面側に光Lを入射する入射面を有して複数の光電変換素子となるフォトダイオードを規則的に2次元配列、例えば2次元マトリックス状に配列したフォトダイオード形成領域57を形成した、いわゆる裏面照射型のCMOSイメージセンサで構成される。

[0031] 図2に、裏面照射型のCMOSイメージセンサの単位画素の例を示す。本例の裏面照射型のCMOSイメージセンサ60は、薄膜化された半導体基板、例えばn型のシリ

コン基板61の撮像領域59に画素分離領域62が形成され、画素分離領域62にて区画された各画素領域のp型半導体ウェル領域63にn型のソース・ドレイン領域64、ゲート絶縁膜65及びゲート電極66からなる複数のMOSTランジスタTrが形成される。この複数のMOSTランジスタTrは、増幅ランジスタ及びXY選択スイッチ用ランジスタなどによる所謂センサランジスタであり、基板表面側に形成される。複数のランジスタTrとしては、例えばフローティングディフュージョン領域FDとなるソース・ドレイン領域を有する読出しランジスタ、リセットランジスタ及び増幅ランジスタによる3トランジスタ、あるいは更に垂直選択ランジスタを加えた4トランジスタで構成することができる。基板表面側には、層間絶縁膜76を介して多層配線77を形成した多層配線層78が形成される。さらに多層配線層78上に例えばシリコン基板等による補強用の支持基板79が接合される。

フォトダイオードPDは、n⁺電荷蓄積領域68a及びn型半導体領域68bと、基板の表裏両面に形成した暗電流を抑制するためのアキュムレーション層となるp⁺半導体領域69とにより形成される。そして、基板裏面側にパシベーション膜71を介してカラーフィルタ72が形成され、さらにカラーフィルタ72上に各画素に対応したオンチップマイクロレンズ73が形成される。この撮像領域59は、いわゆるフォトダイオードPD・センサ回路領域となる。

[0032] 一方、第2の半導体チップ53では、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイが複数2次元的に配置される。

[0033] 第3の半導体チップ54では、複数のメモリ素子からなるメモリ素子サブアレイが2次元的に配列されたメモリアレイが形成される。このメモリ素子サブアレイはデコーダ及びセンスアンプを備えて構成される。各メモリ素子サブアレイは、後述するように複数の画素(ピクセル)を組として纏めた各ピクセルアレイブロックに対応するように、複数のメモリ素子からなりデコーダ及びセンスアンプを備えたメモリアレイブロックとして形成される。

メモリ素子としては、例えば、DRAM、SRAMに代表される揮発性メモリ、フローティングゲート型の不揮発性メモリ、MONOS型の不揮発性メモリ等を用いることができる。

- [0034] 図18及び図19にフローティングゲート型の不揮発性メモリの概略構成を示す。図18に示すように、このフローティングゲート型の不揮発性メモリ101は、半導体基板102にソース領域103及びドレイン領域104が形成され、ゲート絶縁膜を介してフローティングゲート105及びコントロールゲート106が形成されて構成される。図19には代表的なNAND型、NOR型、AND型のフラッシュメモリのセルアレイ結線図、書き込み動作、消去動作を示す。NAND型はビット線と単一セルのコンタクトが省略できるので理想的には $4F^2$ (Fはデザインルールで決まる最小ピッチの1/2)の最小セルサイズが実現できる。書き込みはチャネルFNTンネル(Fowler-Nordheim Tunneling)で、消去は基板FNTンネル放出方式である。NOR型は高速ランダムアクセス可能でCHE(Channel Hot Electron)書き込み、消去はソース端へのFNTンネル放出方式である。AND型の書き込みはドレイン端のFNTンネル、読み出しはチャネルFNTンネル方式である。NAND型のフラッシュメモリの書き込み速度は25—50 μ sと遅いが、図4、図5に示すように並列度を上げて処理することにより、GBPS(ギガバイト/sec)の高速データ転送が可能になる。
- [0035] 図20及び図21にMONOS型の不揮発性メモリの概略構成を示す。図20に示すように、MONOS型の不揮発性メモリ111は、半導体基板112にソース領域113及びドレイン領域114が形成され、トンネル酸化膜115、Si₃N₄チャージトラップ層116、トップ酸化膜117及びゲートポリ電極118が順次形成されて構成される。図21には、MONOS型メモリのセルアレイ結線図、書き込み動作、消去動作を示す。プログラムはSi₃N₄チャージトラップ層116にCHEでホットエレクトロンを注入し、閾値を変えることによって行う。消去はホットホール注入又はFNTンネルによる引き抜きで行う。
- [0036] CMOSイメージセンサ60を備えた第1の半導体チップ52とアナログ／デジタル変換器アレイを備えた第2の半導体チップ53とは、第1の半導体チップ52の光入射側と反対の表面側を第2の半導体チップ53と対向するように積層し、互いの接続用のパッド81、82間を、導電性接続体、例えばバンプ83を介して電氣的に接続される。また、アナログ／デジタル変換器アレイを備えた第2の半導体チップ53とその上に積層したメモリ素子アレイを有する第3の半導体チップ54とは、第2の半導体チップ53を貫通する貫通コンタクト部84を介してアナログ／デジタル変換器とメモリ素子とを電

氣的に接続するように接合される。

[0037] 通常、1ピクセル(1つの画素)の面積に対して、アナログ／デジタル変換器は50～100倍のレイアウト面積を要する。そこで、本実施の形態では、1つのアナログ／デジタル変換器で、1つのアナログ／デジタル変換器のレイアウト面積程度のピクセル数を纏めて処理するように構成される。さらに、複数ピクセルのデータを、その上に積層した第3の半導体チップ54のメモリ素子に保存するように構成される。通常1ピクセル当たり、10～14ビットのデータ量があるため、1つのアナログ／デジタル変換器の直上に対応するピクセル数に1ピクセル当たりの情報量が記憶できるメモリ素子の積に対応したビット数を有するメモリ素子アレイが配置される。

[0038] 図3は、上記の複数ピクセルからなる1つのピクセルアレイブロックと、1つのアナログ／デジタル変換器と、ピクセルアレイブロックのピクセル数に対応してデータを格納する複数のメモリ素子からなる1つのメモリ素子サブアレイ(すなわちメモリアレイブロック)との関係を、模式的な斜視図で示す。イメージセンサの第1の半導体チップ52と、アナログ／デジタル変換器アレイの第2の半導体チップ53と、メモリ素子アレイの第3の半導体チップ54とが積層され、複数のピクセル(画素)からなる1つのピクセルアレイブロック86に対して1つのアナログ／デジタル変換器87が対応し、この1つのアナログ／デジタル変換器87に対してピクセルアレイブロック86の情報が記憶できる複数のメモリ素子からなる1つのメモリ素子サブアレイ(メモリアレイブロック)88が対応するように相互に接続される。

[0039] 図4は1つのピクセルアレイブロック86のデータ転送の例である。この例では1つのアナログ／デジタル変換器(ADC)87に対して64(=8×8)個のピクセル86aからなるピクセルアレイブロック86が対応する。ピクセルアレイブロック86からアナログ／デジタル変換器87にはシリアルで画像データが転送される。アナログ／デジタル変換器87からメモリには分解能に応じたバス幅でメモリアレイブロック88にシリアルにデータを書き込む。この例では1ピクセルデータを12ビットに変換してメモリアレイブロック88に書き込む。メモリアレイブロック88には、セスアンプ93、ピクセル86aを選択するデコーダ94[Xデコーダ94X, Yデコーダ94Y]を備えている。1つのアナログ／デジタル変換器87で処理されるピクセル数はセンサ上にアナログ／デジタル変換器87

が配置されるのでアナログ／デジタル変換器87の面積とピクセルアレイブロック86の面積が同程度になるようピクセル数を選び、メモリアレイブロック88もアナログ／デジタル変換器87の上に配置されるので同程度のサイズになるように選ぶのがチップ面積効率上望ましい。また、アナログ／デジタル変換器87の上にメモリアレイブロック88が配置される。ピクセルアレイブロック86、アナログ／デジタル変換器87、メモリアレイブロック88の位置関係は必ずしも直上でなくても良く、それぞれ信号配線取り出し部分が重なっていれば良い。

[0040] 図5は全体のブロックダイアグラムである。64ピクセルアレイブロック86が複数配列されたピクセルアレイ121と、各ピクセルアレイブロック86に対して1つのアナログ／デジタル変換器87が対応するように複数のアナログ／デジタル変換器87からなるアナログ／デジタル変換器アレイが複数2次元的に配置されたアナログ／デジタル変換器アレイ122と、複数のメモリアレイブロック88が複数2次元的に配列されたメモリアレイ123と、デジタル信号処理装置124とが設けられている。各ピクセルアレイ121、アナログ／デジタル変換器アレイ122、メモリアレイ123、デジタル信号処理装置124は、制御回路125によって制御される。このブロックダイアグラムでは、ピクセルアレイ121における各64(=8×8)ピクセルアレイブロック86内の各ピクセルデータを1つのアナログ／デジタル変換器87シリアル転送し、かつ各ピクセルアレイブロック86のピクセルデータをアナログ／デジタル変換器アレイ122の対応する各アナログ／デジタル変換器87に平行転送する。アナログ／デジタル変換器アレイ122に転送されたデータは、1ピクセルデータをこの例では12ビットに変換し、アナログ／デジタル変換器数×12ビットの平行処理でメモリアレイ123に書き込まれる。このメモリアレイ123のデータがデジタル信号処理装置124で処理される。このように全ピクセルまたは1ブロック中のピクセル数のデータが並列に転送されるのでシステムとして非常に高速な転送速度が実現できる。

[0041] 本実施の形態において、前述のメモリ素子アレイ(メモリアレイブロック)88は、500～1kbit程度で読出し回路(センスアンプ)、書き込み回路、デコーダを備える。例えば、 $2\mu\text{m}^2$ のピクセルサイズで、アナログ／デジタル変換器87が $100\mu\text{m}^2$ であれば、1つのアナログ／デジタル変換器87で処理するピクセル数を50個とし、その上

のメモリ素子アレイサイズを、 $50 \times 10 \sim 14$ ビットのデコーダを含んだサイズにすればよい。最大14ビットの情報量とすると、メモリアレイブロック内のセル占有率を60%とすると、メモリセル面積は $0.01 \mu\text{m}^2$ となり、90nm世代のDRAMのセルサイズで実現できる。

[0042] 第1の半導体チップ52の裏面側は、主に大部分をフォトダイオードPDのアレイとして形成されるので、フォトダイオードPDとして十分なる開口性、つまり開口率が得られる。また、十分な開口率が得られるので、逆に微細画素の作製もできる。

[0043] アナログ／デジタル変換された信号は、メモリ素子セルに一旦保持される。メモリ素子への書き込み時間は、例えばDRAMを用いてシリアルアクセスさせれば、 μs オーダーで転送できるので、フォトダイオードPDの蓄積時間に対して十分短く、結果として全ての画素の同時シャッタが実現できる。

[0044] 図3に示すように、メモリ素子サブアレイ88内にパリティチェック用ビット89、欠陥救済用冗長ビット90を備えておいても良い。

[0045] 第1実施の形態に係る半導体イメージセンサ・モジュール51によれば、裏面照射型のCMOSイメージセンサ60を備えた第1の半導体チップ52と、複数のアナログ／デジタル変換器87からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップ53と、メモリ素子アレイを備えた即ち複数のメモリ素子サブアレイ(メモリアレイブロック)88が2次元的に配列されたメモリアレイ(メモリ素子アレイ)を備えた第3の半導体チップ54とを積層一体化することにより、裏面側のフォトダイオードPDの面積、すなわち画素の開口率を十分に大きくすることができる。これにより、光学系のシュリンクに応じた画素の微細化が可能になり、かつCCDイメージセンサ並の低ノイズ化を実現できる。特に開口率の大きい微細画素の作製も可能になるため、高解像度の半導体イメージセンサ・モジュールが得られる。また、1つのアナログ／デジタル変換器87に対して、複数の画素からなる画素アレイ86と複数のメモリ素子からなるメモリ素子アレイ88とを共有するように構成し、画素アレイ86から短時間でアナログ／デジタル変換された信号をメモリ素子アレイ88に保持してから信号処理するようにしたので、全画素の同時シャッタを行うことができる。したがって、高感度で、且つ同時電子シャッタ可能なCMOSイメージセンサ・モジュール、を提供することができる。本実施

の形態のCMOSイメージセンサ・モジュールは、例えば高級一眼レフのデジタルスチルカメラ、携帯電話等に適用して好適である。

[0046] 第1実施の形態では、第1、第2及び第3の半導体チップ52、53及び54を積層したが、その他、例えばCMOSイメージセンサの第1の半導体チップ52とアナログ／デジタル変換器アレイの第2の半導体チップ53を積層し、メモリ素子アレイを有する第3の半導体チップ54を積層せずに、第1及び第2の半導体チップ52、53の積層体と共に、所要の基板あるいはパッケージ内に配置し、外部配線を介して第2に半導体チップ53と第3の半導体チップ54間を接続するようにして、半導体イメージセンサ・モジュールを構成することもできる。

[0047] 図6に、本発明に係る半導体イメージセンサ・モジュールの第2実施の形態の概略構成を示す。本実施の形態に係る半導体イメージセンサ・モジュール99は、前述と同様に、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備えた第1の半導体チップ52と、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップ53と、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップ54とを積層して構成される。

[0048] そして、本実施の形態においては、第3の半導体チップ54のメモリ素子として多値をとる不揮発性メモリ(以下、多値メモリという)で形成して構成される。この多値メモリは、例えばIEDM Technical Digest pp193-196(2002)で発表された巨大磁気抵抗の薄膜による不揮発性の抵抗ランダム・アクセス・メモリ(RRAM)を用いることができる。

[0049] このRRAM(Resistance RAM)の一例を、図7(断面構造)及び図8～図17(プログラミング)に示す。

図8に簡単な素子の特性評価回路を示す。図9にパルス印加図及び図10に電圧電流図を示す。

このRRAMすなわち抵抗変化型多値メモリ素子は、図7に示すように、シリコン基板172に素子分離領域173が形成され、素子分離領域173で区画された基板172に第1、第2及び第3のソース／ドレイン領域174、175及び176が形成される。第1

及び第2のソース／ドレイン領域174及び175と絶縁膜を介して形成されたゲート電極(いわゆるワード線)177とにより第1のMOSTランジスタTr1が形成される。また、第2及び第3のソース／ドレイン領域175及び176と絶縁膜を介して形成されたゲート電極(いわゆるワード線)178とにより第2のMOSTランジスタTr2が形成される。第2のソース／ドレイン領域175には層間絶縁膜を貫通する導電プラグ179を介してセンス線181が接続される。一方、第1及び第3のソース／ドレイン領域174及び176に、それぞれ導電プラグ179を介して抵抗変化型多値メモリ素子182及び183が接続される。抵抗変化型多値メモリ素子182及び183の他端はビット線180が接続される。メモリ素子182及び183は、例えばSrZrO₃:Cr系材料を用いることができる。メモリ材料はこの他にPCMO (Pr_{0.7}Ca_{0.3}MnO₃)、カルコゲナイドにCu, やAgを添加した材料などが有る。このメモリ材料184の上下にPt電極185, 186が形成されてメモリ素子182, 183が形成される。1つのメモリ素子と1つのMOSTランジスタで1ビットが構成される。図7ではセンス線を共通とした2ビット分のメモリ素子が構成される。図8に単一のメモリ素子の回路を示す。

[0050] 先ず2値の抵抗変化型メモリの場合で考える。

メモリ素子に図9のようにパルス電圧を印加する。スイッチング電圧閾値は材料、膜厚によって変わる。図9で閾値電圧を $\pm 0.7\text{V}$ とする。実際には多くの場合対象でないがここでは“0”書き込み, “1”書き込みの閾値電圧の絶対値は等しいとして説明する。パルス電圧を閾値以上に上げると抵抗値が変化する(4→5, 10→11: (図10参照))。実際の読み出し動作は閾値より低い電圧を印加して流れる電流から“0”, “1”を判定する。多くの場合、“0”の抵抗値と“1”の抵抗値の間の中間抵抗を作り、この抵抗とメモリの抵抗を比較して“0”, “1”を判定する。図11にメモリアレイの結線図を示す。図12で“0”書き込み動作の説明図を示す。“1”(低抵抗)のビットに“0”(高抵抗)を書き込む場合、選択セルのワード線をオンにしビット線に、メモリ素子に閾値電圧以上の電圧が加わるようにパルス電圧を加え“0”書き込みを行う。

[0051] 図13で“1”書き込み(Reset)を説明する。“1”書き込み動作選択セルのワード線をオンにしセンス線—ビット線間に、メモリ素子に閾値電圧以上の電圧が加わるようにパルス電圧を加え“1”書き込みを行う。図14は読み出し動作の説明である。センス線

ービット線間に、メモリ素子に閾値電圧より十分に低い電圧を印加し、この電流を電圧に変換し、中間抵抗(reference)に流れる電流と比較して"1","0"を判定する。

[0052] 図15は、閾値が4ヶの多値メモリの電流-電圧特性例である。多値メモリの場合、閾値が複数になる図15の電流-電圧特性の例にあつては、 V_0, V_1', V_2', V_3' における読み出しは V_1 より低い電圧(図では V_{read})で行う。以前のレベルより高いレベルへの書き込み動作の場合、 V_1-V_2 の間の電圧でレベル2の書き込みを、 V_2-V_3 の間の電圧でレベル3の書き込みを、 V_3 以上の電圧でレベル4の書き込みを行う。また、前の状態より低いレベルに書き込む場合は V_3' から V_2' の間の電圧でレベル3の書き込みを、 V_2' から V_1' の間の電圧でレベル2の書き込みを、 V_1' から V_0 の間の電圧でレベル1の書き込みを行う。読み出しは発生させたそれぞれのレベルの中間抵抗と大小を比較して行う。メモリアレイの外部からのバイアス電圧の制御で多値の制御ができるのでセルアレイ回路自身は2値と同じである(図11参照)。多値メモリは書き込みパルスを変化させても実現できる。

[0053] 図16は前記IEDM(International Electron Device Meeting)の実測結果である。図17でこの理想的な場合について説明する。図のようにプログラムパルス数により素子抵抗がステップ的に変化する。リセットは逆方向のパルスを印加して行う。読み出しはプログラム電圧に対し十分低い電圧を印加し抵抗値を検出する。この場合もセルアレイ回路は図11と同じである。

[0054] このように、RRAMは、フォトダイオードPDの蓄積電荷量に応じて、メモリの書き込みのパルス数を調節すれば、記録することができる。また、読出しはメモリに電流を流し、抵抗値(電圧)の違いを検出することにより行える。1画素当たりのデータ量を x で n 値のメモリとすると、1画素当たりのメモリセルを構成するメモリビット数 y は、 x の n 乗根になり、メモリアレイブロック中のメモリビット数を減らすことができる。

[0055] 図6において、その他の構成は前述の第1実施の形態と同様であるので、対応する部分に同一符号を付して重複説明を省略する。

[0056] 第2実施の形態に係るCMOSイメージセンサ・モジュール99によれば、第3の半導体チップのメモリ素子アレイを構成するメモリ素子に不揮発性の多値メモリを用いることにより、1画素に対応する情報を記録するメモリ素子数が大幅に低減される。そして

、第1実施の形態と同様に、裏面側は、主に大部分をフォトダイオードPDのアレイとして形成されるので、フォトダイオードPDの開口率が十分に得られ、また微細画素も作製することができる。アナログ／デジタル変換された信号は、メモリ素子セルに一旦保持される。メモリ素子への書き込み時間はシリアルアクセスさせれば、 μ sオーダーで転送できるので、フォトダイオードPDの蓄積時間に対して十分短く、全画素の同時シャッタが実現できる。従って、高感度で、且つ同時電子シャッタが可能なCMOSイメージセンサ・モジュールを提供することができる。

[0057] 図22に、本発明に係る半導体イメージセンサ・モジュールの第3実施の形態の概略構成を示す。本実施の形態に係る半導体イメージセンサ・モジュール100は、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成された前述と同様のCMOSイメージセンサ60を備えた第1の半導体チップ52と、メモリ素子アレイを形成してなる第4の半導体チップ55とを積層して構成される。

[0058] そして、本実施の形態においては、第4の半導体チップ55のメモリ素子アレイを構成するメモリ素子を例えばスイッチトキャパシタに代表されるアナログ型不揮発性メモリで形成して構成される。このアナログ型の不揮発性メモリ、例えばスイッチトキャパシタでは、画素のフォトレジストPDで蓄積された電荷量に応じた電位を増幅器によって発生させ、この電位によってキャパシタの蓄積電荷量を制御する。キャパシタに蓄積される電荷は、増幅器で増幅された信号電荷に比例する。この場合、対応するピクセル数分のメモリ素子があればよい。

[0059] 図23にスイッチトキャパシタを使ったメモリセル回路図を示す。このメモリセル回路130は、メモリキャパシタ131と、書き込み用スイッチ132と、書き込みダミースイッチ133と、書き込み用のD型フリップフロップ134と、読み出し用スイッチ135と、読み出し用のD型フリップフロップ136とを有して構成される。各スイッチ132, 133, 135は、NMOSTランジスタTrn及びPMOSTランジスタTrpから構成される。すなわち各スイッチはCMOSTランジスタで構成される。このスイッチトキャパシタ型アナログメモリにおいて、書き込みは、書き込み用のD型フリップフロップ134のQ出力が高レベル(High)になると書き込み用スイッチ132がオンになりメモリキャパシタ131を V_{in} - V_c 間電圧

になるよう充電される。読み出しは、読み出し用D型フリップフロップ136の出力Qが高レベル(High)になると、読み出し用スイッチ135(いわゆるCMOSパストランジスタ)がオンになり出力が出てくる。この後段に増幅器を入れても良い。スイッチトキャパシタ型アナログメモリのデータは、アナログ／デジタル変換器(ADC)に転送される。

[0060] 図24は、スイッチトキャパシタ断面構造の一例を示す。図はメモリキャパシタと読み出し用スイッチの部分を示す。p型半導体基板141に素子分離領域142が形成され、素子分離領域142で区画された基板141にn型のソース領域143及びドレイン領域144と、ゲート絶縁膜を介して1層ポリシリコンによるゲート電極145が形成されてNMOSTランジスタTrnが形成される。p型領域146は基板電位を固定するための電位供給領域である。p型半導体基板141にはn型半導体ウェル領域147が形成され、このn型半導体ウェル領域147にp型のソース領域148及びドレイン領域149と、ゲート絶縁膜を介して1層ポリシリコンによるゲート電極150が形成されてPMOSTランジスタTrpが形成される。n型領域151はウェル領域電位を固定するための電位供給領域である。このNMOSTランジスタTrnとPMOSTランジスタTrpで読み出し用スイッチ135を構成するCMOSTランジスタが形成される。一方、素子分離領域142上には、1層ポリシリコンによる第1電極153と誘電膜(層間絶縁膜)154と2層ポリシリコンによる第2電極155とを積層したメモリキャパシタ131が形成される。層間絶縁膜156を貫通する各導電プラグ157を介して各領域に接続する配線158が形成される。配線158は、1層メタルのみ示したが複数層の配線パターンがあってもかまわない。メモリキャパシタ131としては、この他に2層メタルを使ったキャパシタ、MOSキャパシタが使える。

[0061] 図25に、スイッチトキャパシタ型アナログメモリによるアナログメモリアレイを使ったブロック図を示す。複数のスイッチトキャパシタ型アナログメモリ130が行列状に配列されてアナログメモリアレイ161が形成される。各列ごとのアナログメモリ130には、書き込み制御信号の入力線162と、読み出し制御信号の入力線163が接続されるようになされる。アナログメモリセル161の各行のアナログメモリ130に対応して、アナログメモリアレイ161の入力側にそれぞれピクセルアレイブロック164が接続され、出力側にアナログ／デジタル変換器165が接続される。ピクセルアレイブロック164の各ピク

セルからアナログメモリアレイ161に入力されたアナログ信号はシリアルで各アナログメモリ(メモリセル)130に順次蓄積される。読み出しは、読み出し制御信号により先頭メモリセルからピクセルアレイブロック164に対応するアナログ／デジタル変換器165に順次入力されデジタル信号が出力される。

[0062] その他の構成は、前述の第1実施の形態と同様であるので、対応する部分に同一符号を付して重複説明を省略する。

[0063] このアナログ型の不揮発性メモリへの書き込みは、複数画素毎に各複数画素の情報を記憶させるメモリ素子サブアレイを対応させ、複数画素の情報をシリアルアクセスして対応するメモリアレイに書き込むようにする。書き込み時間は、このアナログメモリを用い、シリアルアクセスさせれば μ sオーダー以下で転送できる。

[0064] 第3実施の形態に係る半導体イメージセンサ・モジュール100によれば、裏面照射型のCMOSイメージセンサを備えた第1の半導体チップ52と、アナログ型の不揮発性メモリアレイを備えた第4の半導体チップ55を積層一体化することにより、前述の第1実施の形態と同様に、第1の半導体チップ52の裏面側が主に大部分をフォトダイオードPDのアレイとして形成されることになり、フォトダイオードPDの開口率が十分に得られ、また微細画素も作製することができる。また、アナログ型の不揮発性メモリへの書き込み時間も μ sオーダー以下で転送できるので、フォトダイオードPDの蓄積時間に対して十分短く、全画素の同時シャッタが実現できる。

[0065] 次に、図26を用いて本発明に係る半導体イメージセンサ・モジュールの製造方法の実施の形態を説明する。本例は図1の第1実施の形態に係る半導体イメージセンサ・モジュール51の製造に適用した場合である。

[0066] 先ず、図26Aに示すように、半導体基板の第1の表面側にトランジスタ形成領域を形成し、その裏面である第2の表面に光電変換素子となるフォトダイオードの形成領域を形成した第1の半導体チップ52を形成する。具体的には、図2で示すように、薄膜化した半導体基板の表面側に画素トランジスタを形成し、裏面側が光入射面となるようにフォトダイオードを形成する。半導体基板の表面側には多層配線層を形成し、その上に補強用の支持基板、例えばシリコン基板を接合する。半導体基板の裏面側にはパシベーション膜を介してカラーフィルタを形成し、さらにオンチップマイクロレン

ズを形成する。半導体基板の薄膜化は支持基板を接合した後で、研削及びCMP（化学機械研磨）などを用いて行う。そして例えば貫通コンタクトを介して支持基板上に多層配線と接続したパッド81を形成する。

[0067] 次に、図26Bに示すように、半導体基板に少なくともアナログ／デジタル変換器アレイを形成し、半導体基板の表面に各アナログ／デジタル変換器の接続用のパッド82を形成し、さらに半導体基板の裏面側に臨むように半導体基板を貫通する貫通コンタクト部84を形成した第2の半導体チップ53を形成する。この半導体基板も薄膜化される。

この第2の半導体チップ53のパッド82に導電性のマイクロバンプ83を設け、このマイクロバンプ83を介してフェースダウンで、第2の半導体チップ53のパッド82と第1の半導体チップ52の表面側のパッド81とを電氣的に接続する。

[0068] 次に、図26Cに示すように、メモリ素子アレイを2次元的に配列してメモリアレイを形成した第3の半導体チップ54を形成する。この第3の半導体チップ54を第2の半導体チップ53上に積層し、貫通コンタクト部84を介して第2のアナログ／デジタル変換器アレイと、第3の半導体チップ54のメモリ素子アレイとを電氣的に接続する。これによって、目的のCMOSイメージセンサを備えた半導体イメージセンサ・モジュール51を得る。

[0069] 本実施の形態に係る半導体イメージセンサ・モジュールの製造方法によれば、第1の半導体チップ52に主に裏面照射型のCMOSイメージセンサを形成するので、フォトダイオードの開口率が大きくなり微細画素であっても高感度化を図ることができる。そして、第1、第2及び第3の半導体チップ52、53及び54を積層してマイクロバンプ83、貫通コンタクト部84により相互の電氣的接続を行うので、相互接続の配線を最短にすることができ、高速にフォトダイオードのデータをメモリ素子アレイに蓄積でき、全画素の同時シャッタが可能になる。従って、CMOSイメージセンサを備えて高感度で且つ同時電子チャッタ可能な半導体イメージセンサ・モジュールを製造することができる。

[0070] 図26の実施の形態では、CMOSイメージセンサを形成した第1の半導体チップ52の表面側にフェースダウンで接続するようにして、アナログ／デジタル変換器アレイを

形成した第2の半導体チップ53を積層したが、その他、第1の半導体チップ52と第2の半導体チップ53との接続を、第2の半導体チップ53を貫通させた貫通コンタクト部で行うようにしても良い。

[0071] 図6の第2実施の形態に係る半導体イメージセンサ・モジュール99も、基本的に図25で示したと同様の製造方法で製造することができる。

また、図22の第3実施の形態に係る半導体イメージセンサ・モジュール100も、図25Bの工程でアナログ型の不揮発性メモリアレイを形成した第4の半導体チップ55のパッドにマイクロバンプを設け、フェースダウンで第4の半導体イメージセンサ・モジュール55を第1の半導体チップ52に接続することにより、製造することができる。

[0072] 図27A, Bに、本発明に係る半導体イメージセンサ・モジュールの第4実施の形態の概略構成を示す。本実施の形態に係る半導体イメージセンサ・モジュール166, 167は、前述と同様に、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備えた第1の半導体チップ52と、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップ53と、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップ54とを積層して構成される。第1の半導体チップ52と第2の半導体チップ53は、互いに形成した接続用のパッド81、82間を、例えばバンプ(マイクロバンプ)83を介して電氣的に接続される。また、第2の半導体チップ53と第3の半導体チップ54とは、第2の半導体チップ53を貫通する貫通コンタクト部84を介してアナログ／デジタル変換器とメモリ素子とを電氣的に接続するように接合される。そして、本実施の形態においては、第2の半導体チップ53の下面側にアナログ／デジタル変換器87を形成して構成される。

[0073] 図27Aの半導体イメージセンサ・モジュール166は、貫通コンタクト部84をパッド82に直接接続せずに、パッド82の直上から外して形成した例である。つまり、この半導体イメージセンサ・モジュール166は、貫通コンタクト部84をパッド82に直接接続したくない場合に適する。

[0074] 図27Bの半導体イメージセンサ・モジュール167は、貫通コンタクト部84をパッド82直上に形成した例である。図27Bは模式図であり、貫通コンタクト部84とパッド82と

の間にアナログ／デジタル変換器87が介在して見えるが、実際は、貫通コンタクト部84が直接パッド82に接続され、貫通コンタクト部84の回りにアナログ／デジタル変換器が形成された形となる。つまり、この半導体イメージセンサ・モジュール167は、貫通コンタクト部84をパッド82に直接接続したい場合に適する。

[0075] 図27A, Bの第4実施の形態に係る半導体イメージセンサ・モジュール166、167によれば、貫通コンタクト部84におけるノイズを拾うことなくアナログ／デジタル変換器87に信号を送ることができる。

[0076] 図28A, Bに、本発明に係る半導体イメージセンサ・モジュールの第5実施の形態の概略構成を示す。本実施の形態に係る半導体イメージセンサ・モジュール168、169は、前述と同様に、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備えた第1の半導体チップ52と、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップ53と、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップ54とを積層して構成される。第1の半導体チップ52と第2の半導体チップ53は、互いに形成した接続用のパッド81、82間を、例えばバンプ(マイクロバンプ)83を介して電氣的に接続される。また、第2の半導体チップ53と第3の半導体チップ54とは、第2の半導体チップ53を貫通する貫通コンタクト部84を介してアナログ／デジタル変換器とメモリ素子とを電氣的に接続するように接合される。そして、本実施の形態においては、第2の半導体チップ53の上面側にアナログ／デジタル変換器87を形成して構成される。第1の半導体チップ52からの各画素の信号は、貫通コンタクト部84を通過してアナログ／デジタル変換器87でアナログ／デジタル変換される。

[0077] 図28Aの半導体イメージセンサ・モジュール168は、貫通コンタクト部84をパッド82に直接接続せずに、パッド82の直上から外して形成した例である。この場合、第2の半導体チップ53の下面側にパッド82に接続する配線層170が形成され、この配線層170を介してパッド82と貫通コンタクト部84が電氣的に接続される。つまり、この半導体イメージセンサ・モジュール168は、貫通コンタクト部84をパッド82に直接接続したくない場合に適する。

- [0078] 図28Bの半導体イメージセンサ・モジュール169は、貫通コンタクト部84をパッド82直上に形成した例である。また、図28Bは模式図であり、前述と同様に、貫通コンタクト部84は上面側のアナログ／デジタル変換器87の中央部に位置するようにアナログ／デジタル変換器87に接続される。つまり、この半導体イメージセンサ・モジュール169は、貫通コンタクト部84をパッド82に直接接続したい場合に適する。
- [0079] 図28A, Bの第5実施の形態に係る半導体イメージセンサ・モジュール168、169は、第2の半導体チップ53の下面側に歪みが大きく、下面側にアナログ／デジタル変換器87を形成しにくい場合に適用して好適である。
- [0080] 図29A, Bに、本発明に係る半導体イメージセンサ・モジュールの第6実施の形態の概略構成を示す。本実施の形態に係る半導体イメージセンサ・モジュール187、188は、前述と同様に、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備えた第1の半導体チップ52と、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップ53と、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップ54とを積層して構成される。第1の半導体チップ52と第2の半導体チップ53は、互いに形成した接続用のパッド81、82間を、例えばバンプ(マイクロバンプ)83を介して電氣的に接続される。また、第2の半導体チップ53と第3の半導体チップ54とは、第2の半導体チップ53を貫通する貫通コンタクト部84を介してアナログ／デジタル変換器とメモリ素子とを電氣的に接続するように接合される。そして、本実施の形態においては、第3の半導体チップ54の下面側にメモリアレイブロック88を形成して構成される。第2の半導体チップ53のアナログ／デジタル変換器アレイでアナログ／デジタル変換された信号は、メモリアレイブロック88に記憶される。
- [0081] 図29Aの半導体イメージセンサ・モジュール187は、第2の半導体チップ53内の貫通コンタクト部84をパッド82に直接接続せずに、パッド82の直上から外して形成した例である。この場合、第2の半導体チップ53の下面側にパッド82に接続する配線層170が形成され、この配線層170を介してパッド82と貫通コンタクト部84が電氣的に接続される。つまり、この半導体イメージセンサ・モジュール187は、第2の半導体

チップ53内の貫通コンタクト部84とパッド82とを直接接続したくない場合に適する。

[0082] 図29Bの半導体イメージセンサ・モジュール188は、第2の半導体チップ53内の貫通コンタクト部84をパッド82直上に形成した例である。つまり、この半導体イメージセンサ・モジュール188は、第2の半導体チップ53内の貫通コンタクト部84とパッド82とを直接接続する場合に適する。

[0083] 図29A, Bの第6実施の形態に係る半導体イメージセンサ・モジュール187、188は、第3の半導体チップ54の上面側の歪みが大きく、上面側にメモリアレイブロック88を形成しにくい場合に適用して好適である。

[0084] 図30A, Bに、本発明に係る半導体イメージセンサ・モジュールの第7実施の形態の概略を示す。本実施の形態に係る半導体イメージセンサ・モジュール189、190は、前述と同様に、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備えた第1の半導体チップ52と、複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップ53と、少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップ54とを積層して構成される。第1の半導体チップ52と第2の半導体チップ53は、互いに形成した接続用のパッド81、82間を、例えばバンプ(マイクロバンプ)83を介して電氣的に接続される。また、第2の半導体チップ53と第3の半導体チップ54とは、第2の半導体チップ53を貫通する貫通コンタクト部84、及び第3の半導体チップ53を貫通する貫通コンタクト部84' を介してアナログ／デジタル変換器とメモリ素子とを電氣的に接続するように接合される。そして、本実施の形態においては、第3の半導体チップ54の上面側にメモリアレイブロック88を形成し、両貫通コンタクト部84及び84' を突き合わせるように接続して構成される。第2の半導体チップ53のアナログ／デジタル変換器アレイでアナログ／デジタル変換された信号は、貫通コンタクト部84及び84' を通してメモリアレイブロック88に記憶される。

[0085] 図30Aの半導体イメージセンサ・モジュール189は、第3の半導体チップ54内の貫通コンタクト部84' に接続された第2の半導体チップ53内の貫通コンタクト部84をパッド82に直接接続せずに、パッド82の直上から外して形成した例である。この場合

、第2の半導体チップ53の下面側にパッド82に接続する配線層170が形成され、この配線層170を介してパッド82と貫通コンタクト部84が電氣的に接続される。つまり、この半導体イメージセンサ・モジュール189は、第2の半導体チップ53内の貫通コンタクト部84とパッド82とを直接接続したくない場合に適する。

[0086] 図30Bの半導体イメージセンサ・モジュール190は、第3の半導体チップ54内の貫通コンタクト部84' に接続された第2の半導体チップ53内の貫通コンタクト部84をパッド82直上に形成した例である。つまり、この半導体イメージセンサ・モジュール190は、第2の半導体チップ53内の貫通コンタクト部84とパッド82とを直接接続する場合に適する。

[0087] 図30A, Bに係る半導体イメージセンサ・モジュール189、190は、第3の半導体チップ54の下面側の歪みが大きく、下面側にメモリアレイブロック88を形成しにくい場合に適用して好適である。

[0088] 図31A, Bに、本発明に係る半導体イメージセンサ・モジュールの第8実施の形態の概略を示す。本実施の形態に係る半導体イメージセンサ・モジュール191、192は、第1の半導体チップ52と第2の半導体チップ193とを積層して構成される。第1の半導体チップ52は、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備えて成る。第2の半導体チップ193は、下部側に複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えると共に、上部側に少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えて成る。また、第2の半導体チップ193では、アナログ／デジタル変換器アレイが形成される領域を貫通する貫通コンタクト部84を介してアナログ／デジタル変換器とメモリ素子とが電氣的に接続される。

[0089] 図31Aの半導体イメージセンサ・モジュール191は、第2の半導体チップ193の下面にパッド82を形成し、第1の半導体チップ52の上面にパッド81を形成し、両パッド82及び81同士を接続するように第1の半導体チップ52と第2の半導体チップ193を加熱圧着して構成される。パッド81、82以外の領域を接着材により接着することにより、更に第1及び第2の半導体チップ52及び193間の接着強度が強まる。

[0090] 図31Bの半導体イメージセンサ・モジュール192では、パッドを形成せず、第2の

半導体チップ193の下部側におけるアナログ／デジタル変換器アレイが形成された領域に貫通コンタクト部84を形成し、第1の半導体チップ52のトランジスタ形成領域56にコンタクト部84' 'を形成する。そして、半導体イメージセンサ・モジュール192は、この両コンタクト部84及び84' 'を突き合わせ加熱圧着して第1の半導体チップ52と第2の半導体チップ193を接続して構成される。

[0091] 図32に、本発明に係る半導体イメージセンサ・モジュールの第9実施の形態の概略をその製造方法と共に示す。本実施の形態に係る半導体イメージセンサ・モジュール194は、先ず図32Aに示すように、第1の半導体チップ52と第2の半導体チップ193を形成する。第1の半導体チップ52は、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備え、トランジスタ形成領域56の上面にパッド81を形成して構成される。第2の半導体チップ193は、下部側に複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えると共に、上部側に少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えて構成される。この第2の半導体チップ193では、アナログ／デジタル変換器アレイが形成された下部側の下面にパッド82を形成し、下部側を貫通する貫通コンタクト部84を形成すると共に、パッド82と貫通コンタクト部84を配線層170を介して接続して構成される。

[0092] 次に、図32Bに示すように、バンプ(マイクロバンプ)83を介して第1の半導体チップ52のパッド81と第2の半導体チップ193のパッド82を加熱圧着して接合する。このバンプ83により、数画素単位の並列接続が可能になる。このようにして、第9実施の形態に係る半導体イメージセンサ・モジュール194を製造する。

[0093] 図33に、図31Aの半導体イメージセンサ・モジュール191の製造方法を示す。先ず、図33Aに示すように、第1の半導体チップ52と第2の半導体チップ193を形成する。第1の半導体チップ52は、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備え、トランジスタ形成領域56の上面にパッド81を形成して構成される。第2の半導体チップ193は、下部側に複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えると共に、上部側に少なくともデコーダとセンス

アンプを備えたメモリ素子アレイを備えて構成される。この第2の半導体チップ193では、アナログ／デジタル変換器アレイが形成された下部側の下面にパッド82を形成し、下部側を貫通する貫通コンタクト部84を形成すると共に、パッド82と貫通コンタクト部84を配線層170を介して接続して構成される。

[0094] 次に、図33Bに示すように、第1の半導体チップ52と第2の半導体チップ193を、互いのパッド81及び82が突き合わされて接続されるように、加熱圧着して接合する。パッド81、82を小さく形成することにより、数画素単位の並列接続が可能になる。パッド81、82の接続領域以外の領域を接着材により接着することにより、接着強度は更に強まる。このようにして、図31Aの半導体イメージセンサ・モジュール191を製造する。

[0095] 図34に、図31Bの半導体イメージセンサ・モジュール192の製造方法を示す。先ず、図34Aに示すように、第1の半導体チップ52と第2の半導体チップ193を形成する。第1の半導体チップ52は、複数の画素が規則的に配列され、各画素を構成するフォトダイオード形成領域57とトランジスタ形成領域56で構成されたCMOSイメージセンサ60を備え、トランジスタ形成領域56内にコンタクト部84' 'を形成して構成される。第2の半導体チップ193は、下部側に複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えると共に、上部側に少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えて構成される。この第2の半導体チップ193では、アナログ／デジタル変換器アレイが形成された下部側に、これを貫通する貫通コンタクト部84を形成構成される。第1及び第2の半導体チップ52、193にはパッドが形成されない。

[0096] 次に、図34Bに示すように、第1の半導体チップ52と第2の半導体チップ193とを、互いのコンタクト部84' '及び貫通コンタクト部84とが突き合わされて接続されるように、加熱圧着により接合する。このようにして、図31Bの半導体イメージセンサ・モジュール192を製造する。この製造方法では、アライメントが難しいが、最も単位面積当たりの画素数を多くすることができる。また、図32から図34の実施の形態の中で、図34の半導体イメージセンサ・モジュール192は、第1の半導体チップ下面から第2の半導体チップ上面までの高さを最も小さくすることができる。

[0097] 図35～図37に、本発明に係る半導体イメージセンサ・モジュールの第10実施の形態～第12実施の形態の概略をその製造方法と共に示す。第10実施の形態～第12実施の形態に係る半導体イメージセンサ・モジュールは、フォトダイオード形成領域57、トランジスタ形成領域56及びアナログ／デジタル変換器アレイ195を内蔵した第1半導体チップ196と、メモリアレイが形成された第2の半導体チップ197を接合して構成される。第1の半導体チップ196では、アナログ／デジタル変換器アレイ195がトランジスタ形成領域56側に接続される。このような構成をとることにより、フォトダイオード形成領域57で発生したアナログ信号が例えば図32Bのバンプ(マイクロバンプ)83におけるノイズを拾うことなく、アナログ／デジタル変換器によりデジタル信号とすることができる。このため、最終的な画像出力信号はノイズが少ない。

[0098] 図35に、第10実施の形態の半導体イメージセンサ・モジュールを示す。本実施の形態に係る半導体イメージセンサ・モジュール198は、第1の半導体チップ196と第2の半導体チップ197を形成する。第1の半導体チップ196は、下部側に形成したフォトダイオード形成領域57と中間部分に形成したトランジスタ形成領域56とで構成されたCMOSイメージセンサと、上部側に形成したアナログ／デジタル変換器アレイ195を内蔵して構成される。アナログ／デジタル変換器アレイ195が形成された領域には貫通コンタクト部84が形成され、上面に貫通コンタクト部84に接続したパッド81が形成される。第2の半導体チップ197は、メモリアレイを形成し、下面にパッド82を形成して構成される。

[0099] 次に、図35Bに示すように、第1の半導体チップ196と第2の半導体チップ197とを、パッド81及び82間にバンプ(マイクロバンプ)83を形成して、加熱圧着して接合する。これにより、第10実施の形態の半導体イメージセンサ・ブロック198を製造する。この半導体イメージセンサ・ブロック198では、バンプ83により数画素単位の並列接続が可能になる。

[0100] 図36に、第11実施の形態の半導体イメージセンサ・モジュールを示す。本実施の形態に係る半導体イメージセンサ・モジュール199は、先ず、図36Aに示すように、前述と同様に、第1の半導体チップ196と第2の半導体チップ197を形成する。第1の半導体チップ196と第2の半導体チップ197の構成は、図35と同様であるので、対

応する部分に同一符号を付して詳細説明を省略する。

[0101] 次に、図36Bに示すように、第1の半導体チップ196と第2の半導体チップ197とを、互いのパッド81及び82が突き合わされて接続されるように、加熱圧着して接合する。これにより、第11実施の形態の半導体イメージセンサ・ブロック199を製造する。この半導体イメージセンサ・モジュール199では、パッド81及び82を小さく形成することにより、数画素単位の並列接続が可能になる。なお、パッド81及び82の接続領域以外の領域を接着材により接着することにより更に第1及び第2の半導体チップ196及び197間の接着強度を強めることができる。

[0102] 図37に、第12実施の形態の半導体イメージセンサ・モジュールを示す。本実施の形態に係る半導体イメージセンサ・モジュール200は、先ず、図37Aに示すように、前述と同様に、第1の半導体チップ196と197を形成する。第1の半導体チップ196は、パッドを形成しない以外は図35と同様の構成であるので、対応する部分に同一符号を付して詳細説明を省略する。また、第2の半導体チップ197は、メモリアレイを形成すると共に、下面に臨むようにコンタクト部201を形成して構成される。コンタクト部201の形態は種々考えられ、例えば貫通するように形成することもできる。この第2の半導体チップ197にパッドは形成されない。

[0103] 次に、図37Bに示すように、第1の半導体チップ196と第2の半導体チップ197とを、貫通コンタクト部84とコンタクト部201が突き合わされて接続されるように、加熱圧着して接合する。これにより、第12実施の形態の半導体イメージセンサ・モジュール200を製造する。この第12実施の形態に係る半導体イメージセンサ・モジュール200の製造方法では、アライメントが難しいが、最も単位面積当たりの画素数を多くすることができる。また、第10実施の形態～第12実施の形態の中で、第2実施の形態の半導体イメージセンサ・モジュール200は、第1の半導体チップ196下面から第2の半導体チップ197上面までの高さを最も小さくすることができる。

[0104] 次に、本発明に係る半導体イメージセンサ・モジュールの第13実施の形態について説明する。本実施の形態に係る半導体イメージセンサ・モジュールは、前述の各実施の形態において、そのトランジスタ形成領域内でフローティングディフュージョンを複数画素で共有した構成とする。これにより、単位画素面積当りのフォトダイオード面

積を大きくすることができる。

[0105] また、トランジスタ形成領域内でフローティングディフュージョンを複数画素で共有した上で、更に増幅トランジスタも複数画素で共有する構成とすることができる。これによっても更に単位画素面積当りのフォトダイオード面積を大きくすることができる。

[0106] 図38に、トランジスタ形成領域内において4つの画素で画素トランジスタ回路の一部を共用する場合の画素内の等価回路を示す。

この等価回路は、4つの画素の4つの受光部(フォトダイオードPD)210に対応した別々の転送トランジスタ212を備え、これらの転送トランジスタ212を共通のフローティングディフュージョン(FD)部に接続し、それ以降の1つの増幅トランジスタ214、及び、1つのリセットトランジスタ220等を共用するような構成となっている。信号電荷は増幅トランジスタ214を介して、信号出力線へと接続される。増幅トランジスタ214と信号出力線との間には転送トランジスタを設けて、信号出力線への出力をスイッチングすることもできる。

[0107] このフローティングディフュージョンを複数画素で共有する画素構成は、本発明に係る裏面照射型CMOSイメージセンサに適用させることができる。例えば、マイクロバンプが4画素当りの面積を要する場合、フローティングディフュージョンFD、増幅トランジスタ214、及び、リセットトランジスタ220を4画素で共有する。これにより、マイクロバンプの必要面積が大きい場合であっても、そのマイクロバンプの必要面積に対応して1画素を大きな面積で設計しなくても済むので、単位面積当りの画素数をかせぐことができる。

[0108] また、上記はトランジスタ形成領域内において4つの画素で画素トランジスタ回路の一部を共用する場合を示したが、トランジスタ形成領域内において3つの画素で画素トランジスタ回路の一部を共用する場合や、トランジスタ形成領域内において6つの画素で画素トランジスタ回路の一部を共用する場合も考えられる。

[0109] 次に、本発明に係る半導体イメージセンサ・モジュールの第14実施の形態について説明する。本実施の形態に係る半導体イメージセンサ・モジュールは、画素をジグザグに配置(いわゆる斜め配列)するカラーコーディング技術を搭載して構成される。この画素配列の構成により、正方画素配列に比べて、単位画素面積当りの仮想画素

数が増える。この画素配列を本発明に係る裏面照射型CMOSイメージセンサに適用させることができる。例えば、マイクロバンプが複数画素分の面積を要する場合、前述の第13実施形態のようにフローティングディフュージョンFDを複数画素で共有すれば、マイクロバンプの必要面積に対応して1画素を大きな面積で設計しなくても済む。したがって、単位面積当りの画素数をかせぐことができ、更に、正方面素配列に比べて、単位画素面積当りの仮想画素数が増える。

[0110] 図39に、本発明の第14実施形態に係る半導体イメージセンサ・モジュール、すなわち裏面照射型CMOSイメージセンサの概略構成を示す。本実施の形態の半導体イメージセンサは、オンチップカラーフィルタを用いないで色分離する例である。本実施の形態に係る半導体イメージセンサ261は、同一半導体チップ262(第1の半導体チップ52に相当)の表面上に形成した、複数の画素263を二次元的に配列した受光領域となる撮像領域264と、この撮像領域264の外側に配置した画素263の選択と信号出力のための周辺回路265、266を備えて成る。周辺回路265、266は、前述したフォトダイオード形成領域57内でなく、トランジスタ形成領域56内にあってもよい。一方の周辺回路265は、撮像領域264の側辺に位置する垂直走査回路(いわゆる垂直レジスタ回路)にて構成される。他方の周辺回路266は、撮像領域264の下側に位置する水平走査回路(いわゆる水平レジスタ回路)及び出力回路等(信号増幅回路、A/D変換回路、同期信号発生回路等を含む)にて構成される。

[0111] 撮像領域264では、複数の画素がいわゆる斜め配列される。すなわち、二次元的に複数の画素263Aを水平方向及び垂直方向にそれぞれ所定ピッチW1で略格子状に配置した第1画素グループと、第1画素グループに対して水平方向及び垂直方向共に前記ピッチW1の略1/2のピッチだけずらした状態で二次元的に複数の画素263Bを配置した第2画素グループとにより構成され、丁度画素263A、263Bが斜めにずらした正方格子状に配列形成されている。本例では、奇数行に画素263Bが配列され、1/2ピッチずれて偶数行に画素263Aが配列される。オンチップカラーフィルタは、本例では赤(R)、緑(G)、青(B)の原色フィルタが用いられる。図39において、R/Bの表記は、赤(R)か青(B)のいずれか一方であることを示している。すなわち、赤(R)と青(B)は、図39において垂直方向に沿って、赤(R)－青(B)－赤(R)－

青(B)・・と交互に配列される。

[0112] 次に、本発明に係る半導体イメージセンサ・モジュールの第15実施の形態について説明する。本実施の形態の半導体イメージセンサ・モジュールは、画素共有ADCを搭載した例である。ここでは、前述した第1～第14実施形態のいずれかの実施形態である場合における電荷信号の流れを示す。FD画素共有(第13実施形態)及びジグザグコーディング(第14実施形態)により、トランジスタ形成領域から出力された電荷信号はAD変換アレイ内に送られる。

[0113] 図40は、第15実施形態に係る半導体イメージセンサ・モジュールに適用される固体撮像装置、例えば画素並列ADC搭載のCMOSイメージセンサの構成を示すブロック図である。

図40に示すように、本実施形態に係るCMOSイメージセンサ310は、光電変換素子を含む単位画素311が行列状(マトリックス状)に多数2次元配置されてなる画素アレイ部312に加えて、行又は単位画素走査回路313、カラム処理部314、参照電圧供給部315、列又は単位画素走査回路316、水平出力線317およびタイミング制御回路318を有する構成となっている。

[0114] このシステム構成において、タイミング制御回路318は、マスタークロックMCKに基づいて、行又は単位画素走査回路313、カラム又は単位画素処理部314、参照電圧供給部315および列又は単位画素走査回路316などの動作の基準となるクロック信号や制御信号などを生成し、行又は単位画素走査回路313、カラム処理部314、参照電圧供給部315および列又は単位画素走査回路316などに対して与える。

[0115] また、画素アレイ部312の各単位画素311を駆動制御する周辺の駆動系や信号処理系、即ち行又は単位画素走査回路313、参照電圧供給部315、列又は単位画素走査回路316、およびタイミング制御回路318などは、画素アレイ部312と同一のチップ(第1の半導体チップ52に相当)319上のトランジスタ形成領域356に集積される。

[0116] 単位画素311としては、ここでは図示を省略するが、光電変換素子(例えば、フォトダイオード)に加えて、例えば、当該光電変換素子で光電変換して得られる電荷をFD(フローティングディフュージョン)部に転送する転送トランジスタと、このFD部の

電位を制御するリセットトランジスタと、FD部の電位に応じた信号を出力する増幅トランジスタとを有する3トランジスタ構成のものや、さらに画素選択を行うための選択トランジスタを別に有する4トランジスタ構成のものなどを用いることができる。

[0117] 画素アレイ部312には、単位画素311が m 列 n 行分だけ2次元配置されるとともに、この m 行 n 列の画素配置に対して行毎又は単位画素毎に行又は単位画素制御線321(321-1~321- n)が配線され、列毎又は単位画素毎に列又は単位画素信号線322(322-1~322- m)が配線されている。又は、この m 行 n 列の画素配置に対して画素毎に画素制御線が配線され、画素毎に制御されてもよい。行制御線321-1~321- n の各一端は、行走査回路313の各行に対応した各出力端に接続されている。行又は単位画素走査回路313は、シフトレジスタなどによって構成され、行又は単位画素制御線321-1~321- n を介して画素アレイ部312の行又は単位画素アドレスや行又は単位画素走査の制御を行う。カラム又は単位画素処理部314は、例えば、画素アレイ部312の画素列または単位画素毎、即ち列または単位画素信号線322-1~322- m 毎に設けられたADC(アナログ-デジタル変換回路)323-1~323- m を有し、画素アレイ部312の各単位画素311から列または単位画素毎に出力されるアナログ信号をデジタル信号に変換して出力する。

[0118] 本実施の形態では、これらADC323-1~323- m の構成を特徴としており、その詳細については後述する。

[0119] 参照電圧供給部315は、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ(RAMP)波形の参照電圧 V_{ref} を生成する手段として、例えばDAC(デジタル-アナログ変換回路)351を有している。なお、ランプ波形の参照電圧 V_{ref} を生成する手段としては、DAC351に限られるものではない。DAC351は、タイミング制御回路318から与えられる制御信号CS1による制御の下に、このタイミング制御回路318から与えられるクロックCKに基づいてランプ波形の参照電圧 V_{ref} を生成してカラム又は単位画素処理部314のADC323-1~323- m に対して供給する。

[0120] ここで、本実施の形態が特徴とするADC323-1~323- m の構成の詳細について具体的に説明する。なお、ADC323-1~323- m の各々は、単位画素311全ての情報を読み出すプログレッシブ走査方式での通常フレームレートモードと、通常

フレームレートモード時に比べて、単位画素311の露光時間を $1/N$ に設定してフレームレートをN倍、例えば2倍に上げる高速フレームレートモードとの各動作モードに対応したAD変換動作を選択的に実行し得る構成となっている。この動作モードの切り替えは、タイミング制御回路318から与えられる制御信号CS2、CS3による制御によって実行される。また、タイミング制御回路318に対しては、外部のシステムコントローラ(図示せず)から、通常フレームレートモードと高速フレームレートモードの各動作モードとを切り替えるための指示情報が与えられる。

[0121] ADC323-1~323-mは全て同じ構成となっており、前述の第1の半導体チップ52または第2の半導体チップのうちAD変換アレイに配置する。また、カラム又は単位画素処理部314、比較器331、計数手段である例えばアップ/ダウンカウンタ(図中、U/DCNTと記している)332、転送スイッチ333およびメモリ装置334、DAC351、参照電圧供給部315、タイミング制御回路318を第1の半導体チップ52または第2の半導体チップのAD変換アレイに配置してもよい。また、上記第1の半導体チップ52のトランジスタ形成領域56に参照電圧供給部315、列又は単位画素走査回路316、およびタイミング制御回路318を設けるのとは別に、参照電圧供給部、列又は単位画素走査回路、およびタイミング制御回路を第1の半導体チップ52または第2の半導体チップのうちAD変換アレイに配置してもよい。

[0122] ここでは、ADC323-mを列又は単位画素毎に挙げて説明するものとする。ADC323-mは、比較器331、計数手段である例えばアップ/ダウンカウンタ(図中、U/DCNTと記している)332、転送スイッチ333およびメモリ装置334を有する構成となっている。

[0123] 比較器331は、画素アレイ部312のn列目の各単位画素311から出力される信号に応じた列又は単位画素信号線322-mの信号電圧 V_x と、参照電圧供給部315から供給されるランプ波形の参照電圧 V_{ref} とを比較し、例えば、参照電圧 V_{ref} が信号電圧 V_x よりも大になるときに出力 V_{co} が“H”レベルになり、参照電圧 V_{ref} が信号電圧 V_x 以下のときに出力 V_{co} が“L”レベルになる。

[0124] アップ/ダウンカウンタ332は非同期カウンタであり、タイミング制御回路318から与えられる制御信号CS2による制御の下に、タイミング制御回路318からクロックCK

がDAC351と同時に与えられ、このクロックCKに同期してダウン(DOWN)カウントまたはアップ(UP)カウントを行うことにより、比較器331での比較動作の開始から比較動作の終了までの比較期間を計測する。具体的には、通常フレームレートモードでは、1つの単位画素311からの信号の読み出し動作において、1回目の読み出し動作時にダウンカウントを行うことにより1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことにより2回目の読み出し時の比較時間を計測する。一方、高速フレームレートモードでは、ある行の単位画素311についてのカウント結果をそのまま保持しておき、引き続き、次の行の単位画素311について、前回のカウント結果から1回目の読み出し動作時にダウンカウントを行うことで1回目の読み出し時の比較時間を計測し、2回目の読み出し動作時にアップカウントを行うことで2回目の読み出し時の比較時間を計測する。

[0125] 転送スイッチ333は、タイミング制御回路318から与えられる制御信号CS3による制御の下に、通常フレームレートモードでは、ある行の単位画素311についてのアップ／ダウンカウンタ332のカウント動作が完了した時点でオン(閉)状態となってこのアップ／ダウンカウンタ332のカウント結果をメモリ装置334に転送する。一方、例えば $N=2$ の高速フレームレートでは、ある行の単位画素311についてのアップ／ダウンカウンタ332のカウント動作が完了した時点でオフ(開)状態のままであり、引き続き、次の行の単位画素311についてのアップ／ダウンカウンタ332のカウント動作が完了した時点でオン状態となってこのアップ／ダウンカウンタ332の垂直2画素分についてのカウント結果をメモリ装置334に転送する。このようにして、画素アレイ部312の各単位画素311から列または単位画素信号線 $322-1 \sim 322-m$ を経由して列または単位画素毎に供給されるアナログ信号が、ADC323($323-1 \sim 323-m$)における比較器331およびアップ／ダウンカウンタ332の各動作により、Nビットのデジタル信号に変換されてメモリ装置334($334-1 \sim 334-m$)に格納される。

[0126] 列または単位画素走査回路316は、シフトレジスタなどによって構成され、カラム又は単位画素処理部314におけるADC323-1 $\sim$ 323-mの列または単位画素アドレスや列または単位画素の走査の制御を行う。この列または単位画素走査回路316による制御の下に、ADC323-1 $\sim$ 323-mの各々でAD変換されたNビットのデ

デジタル信号は順に水平出力線317に読み出され、この水平出力線317を経由して撮像データとして出力される。

[0127] なお、本実施の形態には直接関連しないため特に図示しないが、水平出力線317を経由して出力される撮像データに対して各種の信号処理を施す回路等を、上記構成要素以外に設けることも可能である。上記構成の本実施形態に係る列又は単位画素並列ADC搭載のCMOSイメージセンサ310では、アップ／ダウンカウンタ332のカウンタ結果を、転送スイッチ333を介して選択的にメモリ装置334に転送することができるため、アップ／ダウンカウンタ332のカウンタ動作と、このアップ／ダウンカウンタ332のカウンタ結果の水平出力線17への読み出し動作とを独立して制御することが可能である。

[0128] 次に、上記構成の第15実施形態に係るCMOSイメージセンサ310の動作について、図41のタイミングチャートを用いて説明する。

[0129] ここでは、単位画素311の具体的な動作については説明を省略するが、周知のように、単位画素311ではリセット動作と転送動作とが行われ、リセット動作では所定の電位にリセットされたときのFD部の電位がリセット成分として単位画素311から列又は単位画素信号線322-1～322-mに出力され、転送動作では光電変換素子から光電変換による電荷が転送されたときのFD部の電位が信号成分として単位画素311から列又は単位画素信号線322-1～322-mに出力される。

[0130] 行又は単位画素走査回路313による行又は単位画素走査によってある行又は単位画素*i*が選択され、その選択行又は単位画素*i*の単位画素311から列又は単位画素信号線322-1～322-mへの1回目の読み出し動作が安定した後、DAC351からランプ波形の参照電圧V_{ref}がADC323-1～323-mの各比較器331に与えられることで、比較器331において列又は単位画素信号線322-1～322-mの各信号電圧V_xと参照電圧V_{ref}との比較動作が行われる。参照電圧V_{ref}が比較器331に与えられると同時に、タイミング制御回路318からアップ／ダウンカウンタ332に対してクロックCKが与えられることで、このアップ／ダウンカウンタ332では1回目の読み出し動作時の比較器331での比較時間がダウンカウント動作によって計測される。

- [0131] そして、参照電圧 V_{ref} と列又は単位画素信号線 $322-1 \sim 322-m$ の信号電圧 V_x とが等しくなったときに比較器331の出力 V_{co} は“H”レベルから“L”レベルへ反転する。この比較器321の出力 V_{co} の極性反転を受けて、アップ／ダウンカウンタ332は、ダウンカウント動作を停止して比較器331での1回目の比較期間に応じたカウント値を保持する。この1回目の読み出し動作では、先述したように、単位画素311のリセット成分 ΔV が読み出される。このリセット成分 ΔV 内には、単位画素311毎にばらつく固定パターンノイズがオフセットとして含まれている。
- [0132] しかし、このリセット成分 ΔV のばらつきは一般に小さく、またリセットレベルは全画素共通であるため、列又は単位画素信号線 $322-1 \sim 322-m$ の信号電圧 V_x はおおよそ既知である。したがって、1回目のリセット成分 ΔV の読み出し時には、参照電圧 V_{ref} を調整することにより比較期間を短くすることが可能である。
- [0133] 本実施の形態では、7ビット分のカウント期間(128クロック)でリセット成分 ΔV の比較を行っている。2回目の読み出し動作では、リセット成分 ΔV に加えて、単位画素311毎の入射光量に応じた信号成分 V_{sig} が、1回目のリセット成分 ΔV の読み出し動作と同様の動作によって読み出される。すなわち、選択行又は単位画素 i の単位画素311から列又は単位画素信号線 $322-1 \sim 322-m$ への2回目の読み出しが安定した後、DAC351から参照電圧 V_{ref} がADC323-1～323-mの各比較器331に与えられることで、比較器331において列又は単位画素信号線 $322-1 \sim 322-m$ の各信号電圧 V_x と参照電圧 V_{ref} との比較動作が行われる。同時に、この比較器331での2回目の比較時間が、アップ／ダウンカウンタ332において1回目とは逆にアップカウント動作によって計測される。
- [0134] このように、アップ／ダウンカウンタ332のカウント動作を1回目にダウンカウント動作とし、2回目にアップカウント動作とすることにより、このアップ／ダウンカウンタ332内で自動的に(2回目の比較期間)－(1回目の比較期間)の減算処理が行われる。そして、参照電圧 V_{ref} と列信号線 $322-1 \sim 322-m$ の信号電圧 V_x とが等しくなったときに比較器331の出力 V_{co} が極性反転し、この極性反転を受けてアップ／ダウンカウンタ332のカウント動作が停止する。その結果、アップ／ダウンカウンタ332には、(2回目の比較期間)－(1回目の比較期間)の減算処理の結果に応じたカウント値

が保持される。(2回目の比較期間)－(1回目の比較期間)＝(信号成分 V_{sig} ＋リセット成分 ΔV ＋ADC323のオフセット成分)－(リセット成分 ΔV ＋ADC323のオフセット成分)＝(信号成分 V_{sig})であり、以上2回の読み出し動作とアップ／ダウンカウンタ332での減算処理により、単位画素311毎のばらつきを含んだリセット成分 ΔV に加えて、ADC323(323－1～323－m)毎のオフセット成分も除去されるため、単位画素311毎の入射光量に応じた信号成分 V_{sig} のみを取り出すことができる。

[0135] ここで、単位画素311毎のばらつきを含んだリセット成分 ΔV を除去する処理は、いわゆるCDS(Correlated Double Sampling;相関二重サンプリング)処理である。2回目の読み出し時には、入射光量に応じた信号成分 V_{sig} が読み出されるので、光量の大小を広い範囲で判定するために参照電圧 V_{ref} を大きく変化させる必要がある。そこで、本実施の形態に係るCMOSイメージセンサ310では、信号成分 V_{sig} の読み出しを10ビット分のカウント期間(1024クロック)で比較を行うようにしている。この場合、1回目と2回目との比較ビット数が異なるが、参照電圧 V_{ref} のランプ波形の傾きを1回目と2回目とで同じにすることにより、AD変換の精度を等しくできるため、アップ／ダウンカウンタ332による(2回目の比較期間)－(1回目の比較期間)の減算処理の結果として正しい減算結果が得られる。

[0136] 上述した一連のAD変換動作の終了後、アップ／ダウンカウンタ332にはNビットのデジタル値が保持される。そして、カラム処理部314の各ADC323－1～323－mでAD変換されたNビットのデジタル値(デジタル信号)は、列又は単位画素走査回路316による列又は単位画素走査により、Nビット幅の水平出力線317を経て順次外部へ出力される。その後、同様の動作が順次行又は単位画素毎に繰り返されることによって2次元画像が生成される。また、本実施の形態に係る列又は単位画素並列ADC搭載のCMOSイメージセンサ310では、ADC323－1～323－mの各々がメモリ装置334を持っているため、i行目の単位画素311についてAD変換後のデジタル値をメモリ装置34に転送し、水平出力線317から外部へ出力しながら、i＋1行目の単位画素311について読み出し動作とアップ／ダウンカウント動作を並行して実行することができる。

[0137] 本実施の形態によれば、単位画素から列信号線を介して出力されるアナログ信

号をデジタル値に変換して読み出す構成の固体撮像装置において、デジタル値を複数の単位画素間で加算して読み出すことにより、単位画素の露光時間を短縮したとしても、結果として1つの画素情報の情報量が減ることはないため、感度低下を招くことなく、高フレームレート化を図ることができる。

[0138] 前述の全実施の形態における貫通コンタクト部(第1、2、3の半導体チップ内)、或いはコンタクト部84'、201は、Cu、Al、W、WSi、Ti、TiN、シリサイド又はこれらの組合せで形成することができる。

[0139] 図42に、本発明に係る半導体イメージセンサ・モジュールの第16実施の形態を示す。図42は、裏面照射型CMOS固体撮像素子を実装した半導体イメージセンサ・モジュールの構成を示す模式断面図である。本実施形態に係る半導体イメージセンサ・モジュール400は、例えば、インタポーザ(中間基板)403上に、撮像画素部が設けられた裏面照射型CMOS固体撮像素子であるセンサチップ401aと、信号処理などの周辺回路部が設けられた信号処理チップ402が実装されて成る。

[0140] センサチップ401aは、支持基板430上に層間絶縁層420が形成されており、内部に埋め込み配線層421が埋め込まれている。その上層に半導体層412が形成されており、その表面に表面絶縁膜411が形成されている。半導体層412中には、光電変換素子となるフォトダイオード414及びテスト用電極413などが形成されている。また、埋め込み配線層421の一部が半導体層412に対してゲート絶縁膜を介して形成されたゲート電極となり、MOSTランジスタ415が構成される。さらに、支持基板430を貫通して埋め込み配線層421に接続する支持基板貫通配線431が形成されており、支持基板430の表面から突出する突起電極(バンプ)432が支持基板貫通配線431の表面に形成されている。バンプ(マイクロバンプ)432は、ワイヤボンディングに用いる通常のパッド電極よりも小さいパッド上に、電解メッキなどで形成された突起状金属電極である。

[0141] 上記の構成のセンサチップ401aは、半導体層412中に形成されたフォトダイオード414に対して、表面絶縁膜411側から光が照射されると信号電荷が発生し、フォトダイオードに蓄積される、いわゆる裏面照射型のCMOS固体撮像素子である。MOSTランジスタ415は、フォトダイオード414に蓄積された信号電荷のFD部への

転送や信号増幅、あるいはリセットなどの機能を有する。上記の構成において、半導体層は半導体基板の裏面を薄膜化して得られたものであり、基板形状を安定させるために支持基板430と貼りあわせた構造となっている。

[0142] 上記のように、本実施の形態に係るCMOS固体撮像素子は、光電変換素子と電界効果トランジスタを含む複数の画素が形成された半導体層の一方の面に複数の画素に接続する埋め込み配線が形成され、半導体層の他方の面が光電変換素子の受光面となる裏面照射型の固体撮像素子である。

[0143] 上記のセンサチップ401aは、光照射側の反対側である支持基板430側から、表面に配線440及びそれらを絶縁する絶縁層441が形成されたインタポーザ403上に、絶縁層の開口部から配線の表面の一部が露出してなるランドとバンプが接合するようにフリップチップで実装される。

一方、周辺回路部が形成された信号処理チップ402は、例えばバンプを介してフリップチップでインタポーザ403上に実装されている。

このような構成の半導体イメージセンサ・モジュール400が、インタポーザ403ごと他の実装基板に実装され、例えばワイヤボンディング442などにより電氣的に接続されて用いられる。例えば、インタポーザ403上には上記センサチップ(CMOS固体撮像素子)401aと信号処理チップ402を接続して1チップ化した機能を評価する電極PADが形成されている。

[0144] 図43は、本実施の形態に係るCMOS固体撮像素子を組み込んだイメージセンサ(半導体イメージセンサ・モジュールに相当)の構成を示すブロック図である。図44は、本実施の形態に係るCMOS固体撮像素子の画素の構成を示す等価回路図である。本実施の形態に係るイメージセンサは、撮像画素部512、V選択手段(垂直転送レジスタ)514、H選択手段(水平転送レジスタ)516、タイミングジェネレータ(TG)518、S/H・CDS(サンプリングホールド・相関二重サンプリング)回路部520、AGC部522、A/D変換部524、デジタルアンプ部526等から構成されている。例えば、撮像画素部512と、V選択手段514、H選択手段516及びS/H・CDS回路部520を1チップ上にまとめて図42におけるセンサチップ401aとし、残りの回路部分を信号処理チップ402上にまとめた形態とすることができる。あるいは、センサチ

ップ401aには撮像素部512のみが形成されている構成とすることもできる。

[0145] 撮像素部512は、多数の画素が2次元マトリクス状に配列されており、各画素には、図44に示すように、受光量に応じた信号電荷を生成し蓄積する光電変換素子であるフォトダイオード(PD)600が設けられ、さらに、このフォトダイオード600が変換して蓄積した信号電荷をフローティングディフュージョン部(FD部)610に転送する転送トランジスタ620と、FD部610の電圧をリセットするリセットトランジスタ630と、FD部610の電圧に対応する出力信号を出力する増幅トランジスタ640と、この増幅トランジスタ640の出力信号を垂直信号線660に出力する選択(アドレス)トランジスタ650の4つのMOSTランジスタが設けられている。

[0146] このような構成の画素では、フォトダイオード600で光電変換された信号電荷を転送トランジスタ220によってFD部610に転送する。FD部610は、増幅トランジスタ640のゲートにつながっており、増幅トランジスタ640は撮像素部512の外部に設けられた定電流源670とソースフォロアを構成するので、アドレストランジスタ650をONすると、FD部610の電圧に応じた電圧が垂直信号線660に出力される。また、リセットトランジスタ630は、FD部610の電圧を信号電荷によらない定電圧(図44では駆動電圧Vdd)にリセットする。また、撮像素部512には各MOSTランジスタを駆動制御するための各種駆動配線が水平方向に配線されており、撮像素部512の各画素は、V選択手段514によって垂直方向に水平ライン(画素行)単位で順次選択され、タイミングジェネレータ518からの各種パルス信号によって各画素のMOSTランジスタが制御されることにより、各画素の信号が垂直信号線660を通して画素列毎にS/H・CDS部520に読み出される。

[0147] S/H・CDS部520は、撮像素部512の画素列毎にS/H・CDS回路を設けたものであり、撮像素部512の各画素列から読み出された画素信号に対し、CDS(相関二重サンプリング)等の信号処理を行うものである。H選択手段516は、S/H・CDS部520からの画素信号をAGC部522に出力する。AGC部522は、H選択手段516によって選択されたS/H・CDS部520からの画素信号に対して所定のゲインコントロールを行い、その画素信号をA/D変換部524に出力する。A/D変換部524は、AGC部522からの画素信号をアナログ信号からデジタル信号に変

換してデジタルアンプ部526に出力する。デジタルアンプ部526は、A/D変換部524からのデジタル信号出力について必要な増幅やバッファリングを行い、図示しない外部端子より出力するものである。タイミングジェネレータ518は、上述した撮像素部512の各画素以外の各部にも各種のタイミング信号を供給する。

[0148] 上述の第16実施の形態に係る半導体イメージセンサ・モジュール(すなわち、CMOSイメージセンサ)400は、従来のように画素から出力される信号を画素 周辺回路に出力してからチップ周辺のパッド電極から出力信号を信号処理デバイスに入力することなく、CMOSイメージセンサの画素から出力される信号を画素単位もしくは複数の画素単位ごとに直接マイクロバンプを介して信号処理デバイスに入力させることが可能となる。これによって、デバイス間の信号処理スピードが高く高性能で、イメージセンサと信号処理デバイスを1チップ化した高機能なデバイスを提供することが可能となる。また、フォトダイオードの開口率が向上し、チップ利用率が向上し、全画素の同時シャッタが実現できる。

[0149] 第16実施の形態に係る裏面照射型のCMOS固体撮像素子の製造方法について説明する。まず、図45Aに示すように、例えば、シリコンなどからなる半導体基板410の表面に、熱酸化法あるいはCVD(化学気相成長)法などにより、酸化シリコンなどからなり、後工程で表面絶縁膜となる絶縁膜411を形成する。さらに、例えば、絶縁膜411の上層に、例えば貼り合わせ法あるいはエピタキシャル成長法などにより、シリコンなどの半導体層412を形成し、SOI(semiconductor on insulator)基板とする。ここで、半導体層412にテスト用電極413を形成しておく。

[0150] 次に、図45Bに示すように、例えば、n型の半導体層412にp型の導電性不純物をイオン注入してpn接合を形成することにより、半導体層412中に光電変換素子としてフォトダイオード414を形成し、さらに半導体層412の表面にゲート絶縁膜を介してゲート電極を形成し、フォトダイオード414などに接続してMOSTランジスタ415を形成して、上記の構成の複数の画素を形成する。さらに、例えばMOSTランジスタを被覆する層間絶縁層420を形成する。このとき、トランジスタや半導体層412などに接続するように埋め込み配線層421を層間絶縁層420中に埋め込みながら形成する。

- [0151] 次に、図45Cに示すように、例えば、熱硬化樹脂を接着剤とした熱圧着などにより、層間絶縁層420の上層に、シリコン基板あるいは絶縁性の樹脂基板などからなる支持基板430を貼り合わせる。
- [0152] 次に、図46Aに示すように、例えば機械的研削などにより、貼り合わせ面の反対側から支持基板430を薄膜化する。
- [0153] 次に、図46Bに示すように、埋め込み配線層421に接続するように、支持基板430を貫通する支持基板貫通配線431を形成する。これは、例えば、フォトリソグラフィ工程によりレジスト膜をパターン形成し、ドライエッチングなどのエッチングを行うことで、埋め込み配線層421に達する開口部を支持基板430に形成し、銅などの低抵抗金属で埋め込むことで形成することができる。
- [0154] 次に、図47Aに示すように、例えば金属メッキ処理などにより、支持基板430の表面から突出するバンプ432を支持基板貫通配線431の表面に形成する。
- [0155] 次に、図47Bに示すように、例えばSOI基板の半導体基板410側からフォトダイオード414が受光可能となるまで、半導体基板410を薄膜化する。例えば、絶縁膜411をストップとし、絶縁膜411が露出するまで半導体基板410の裏面側から機械的研削またはウェットエッチング処理などにより行う。これにより、SOI基板の半導体層412が残される構成となる。ここで、表面に露出した絶縁膜412を表面絶縁膜と称する。図面上、図47Aに対して上下関係を逆にして図示している。
- [0156] 以上のようにして、本実施の形態に係る裏面照射型CMOS固体撮像素子(センサチップ)401aが形成される。さらに、薄膜化して得られた半導体基板(半導体層412)の裏面上に、例えばCVD法によって絶縁膜を成膜することが好ましい。この絶縁膜は裏面のシリコン面を保護する目的と入射光に対して反射防止膜として機能することも兼ねることができる。
- [0157] 上記のように形成された裏面照射型CMOS固体撮像素子(センサチップ)401aを、受光面側を上向きにしてバンプ432を介してフリップチップでインタポーザ03上に実装する。例えば、インタポーザ403の配線上のランドやバンプと、センサチップの支持基板上のバンプ同士を、センサチップ401aや信号処理チップ402内に使用されている配線融点よりも低い温度で、かつバンプが電氣的に安定に接続する温度

で、圧着させる。また、例えば信号処理チップ 402上に直接センサチップ401aを実装してモジュール化することも可能であり、この場合も上記と同様に行うことができる。

[0158] 一方、周辺回路部が形成された信号処理チップ402も同様に、バンプを介してフリップチップでインタポーザ403上に実装する。これにより、裏面照射型CMOS固体撮像素子(センサチップ)401aと信号処理チップ402とをインタポーザ403に形成された配線を介して接続する。

[0159] 以上のようにして、本実施の形態に係る裏面照射型CMOS固体撮像素子を組み込んだイメージセンサを製造することができる。また、フリップチップで実装した後も、テスト用電極413を用いてセンサチップの回路を試験することができる。

[0160] 上記のように、本実施の形態に係る裏面照射型CMOS固体撮像素子の製造方法によれば、支持基板を貼り合わせて強度を確保してから半導体基板を薄膜化し、また、支持基板を薄膜化して貫通配線を形成するので、半導体基板の裏面から電極を取らずに支持基板から電極を取り出すことができ、簡便、容易に、照射面の反対側の面から電極を取り出す構成の裏面照射型のCMOS固体撮像素子を製造することができる。また、光が入射する面とは反対側の支持基板側に電極を形成できることから、電極の配置の自由度があがり、CMOSイメージセンサの開口率を損なうことなく、多数のマイクロバンプを画素直下や画素の周辺直下に形成することが可能となる。このように、半導体基板の裏面を薄膜化することと、バンプが形成されたインタポーザなどの実装基板や信号処理チップなどの他の半導体チップとバンプ同士で接続することにより、高性能、高機能なデバイスを製造することが可能となる。

[0161] 半導体基板としては、例えばSOI基板のように基板中に酸化膜が予め形成されているものが好ましく、半導体基板の薄膜化におけるウェットエッチングのストップとしてSOI基板中の酸化膜を用いることができ、薄膜化後に均一で平坦な半導体基板を得ることができるので好ましい。

[0162] 図48に、本発明に係る半導体イメージセンサ・モジュールの第17実施の形態を示す。図48は、裏面照射型CMOS固体撮像素子を実装した半導体イメージセン

サ・モジュールの構成を示す模式断面図である。本実施の形態に係る半導体イメージセンサ・モジュール401は、第16実施の形態と同様に、例えば、インタポーザ(中間基板403上に、撮像画素部が設けられた裏面照射型CMOS固体撮像素子であるセンサチップ401bと、信号処理などの周辺回路部が設けられた信号処理チップ402が実装されて成る。

[0163] センサチップ401bは、支持基板430上に層間絶縁層420が形成されており、内部に埋め込み配線層421が埋め込まれている。その上層に半導体層412が形成されており、その表面に表面絶縁膜(411, 419)が形成されている。半導体層412中には、フォトダイオード414及びテスト用电極413などが形成されている。また、埋め込み配線層421の一部が半導体層412に対してゲート絶縁膜を介して形成されたゲート電極となり、MOSトランジスタ415が構成される。また、半導体層412を貫通して埋め込み配線層421に接続する半導体層貫通配線416が形成されている。

[0164] さらに、支持基板430を貫通する支持基板貫通配線431が形成されており、支持基板430の表面から突出する突起電極(バンプ)432が支持基板貫通配線431の表面に形成されている。一方で、例えば半導体層412及び層間絶縁層420を貫通して支持基板貫通配線431に接続する半導体層絶縁層貫通配線417が形成されており、半導体層貫通配線416と半導体層絶縁層貫通配線417とが表面絶縁膜411上に形成された接続配線418により接続されている。

[0165] 支持基板貫通配線431は、本実施の形態では上記のように半導体層絶縁層貫通配線417、接続配線418、半導体層貫通配線416を介して埋め込み配線層421に接続する構成となっているが、これに限らず、これらの内の一部を介して、あるいはこれらを介さず直接、埋め込み配線層421に接続するような構成であってもよい。

[0166] 上記の構成のセンサチップ401bは、半導体層412中に形成されたフォトダイオード414に対して、表面絶縁膜(411, 419)側から光が照射されると信号電荷が発生し、フォトダイオードに蓄積される構成である。そしてこのセンサチップ401bは、光電変換素子と電界効果トランジスタを含む複数の画素が形成された半導体層の一

方の面に複数の画素に接続する埋め込み配線が形成され、半導体層の他方の面が光電変換素子の受光面となる裏面照射型の固体撮像素子である。

[0167] 上記のセンサチップ401bは、光照射側の反対側である支持基板430側から、表面に配線440及びそれらを絶縁する絶縁層441が形成されたインタポーザ403上に、絶縁層の開口部から配線の表面の一部が露出してなるランドなどとバンプが接合するようにフリップチップで実装されている。

[0168] 一方、周辺回路部が形成された信号処理チップ402は、例えばバンプを介してフリップチップでインタポーザ上に実装されている。このような構成の半導体イメージセンサ・モジュール401が、インタポーザ403ごと他の実装基板に実装され、例えばワイヤボンディング442などにより電氣的に接続されて用いられる。本実施の形態に係るCMOS固体撮像素子を組み込んだイメージセンサ(半導体イメージセンサ・モジュールに相当)の構成及び画素の構成は、第16実施の形態と同様である。

[0169] 上述の第17実施の形態に係る半導体イメージセンサ・モジュール(すなわち、CMOSイメージセンサ)401は、第16実施の形態と同様の効果を奏する。

[0170] 第17実施の形態に係る裏面照射型のCMOS固体撮像素子の製造方法について説明する。まず、図49Aに示すように、例えば、シリコンなどからなる半導体基板410の表面に、熱酸化法あるいはCVD(化学気相成長)法などにより、酸化シリコンなどからなり、後工程で表面絶縁膜となる絶縁膜411を形成する。さらに、例えば、絶縁膜411の上層に、例えば貼り合わせ法あるいはエピタキシャル成長法などにより、シリコンなどの半導体層412を形成し、SOI基板とする。ここで、半導体層412にテスト用電極413を形成しておく。

[0171] 次に、図49Bに示すように、例えば導電性不純物をイオン注入して、半導体層412中に光電変換素子としてフォトダイオード414を形成し、さらに半導体層412の表面にゲート絶縁膜を介してゲート電極を形成し、フォトダイオード414などに接続してMOSTランジスタ415を形成して、上記の構成の複数の画素を形成する。 さ

らに、例えばMOSトランジスタを被覆する層間絶縁層420を形成する。このとき、トランジスタや半導体層412などに接続するように埋め込み配線層421を層間絶縁層420中に埋め込みながら形成する。

[0172] 一方で、シリコン基板あるいは絶縁性の樹脂基板などからなる支持基板430の一方の主面の表面から少なくとも所定の深さにまで至る支持基板貫通配線となる支持基板配線431を形成する。次に、図49Cに示すように、層間絶縁層420の上層に、支持基板430を支持基板配線431の形成面側から貼り合わせる。

[0173] 次に、図50Aに示すように、例えばSOI基板の半導体基板410側からフォトダイオード414が受光可能となるまで、半導体基板410を薄膜化する。例えば、絶縁膜411をストップとし、絶縁膜411が露出するまで半導体基板410の裏面側から機械的研削またはウェットエッチングなどにより行う。これにより、SOI基板の半導体層412が残される構成となる。図面上、図49Cに対して上下関係を逆にして図示している。

[0174] 次に、図50Bに示すように、支持基板配線431と埋め込み配線層421を接続する接続配線を形成する。具体的には、例えば、半導体層412を貫通して埋め込み配線層421に接続する半導体層貫通配線416を形成する。半導体層412及び層間絶縁層420を貫通して支持基板貫通配線431に接続する半導体層絶縁層貫通配線417を形成する。半導体層貫通配線416と半導体層絶縁層貫通配線417とを接続する接続配線418を形成する。この後、保護膜となる表面絶縁膜419を形成する。

[0175] 次に、図51Aに示すように、例えば機械的研削などにより、支持基板配線431が露出するまで貼り合わせ面の反対側から支持基板430を薄膜化して、支持基板配線431を、支持基板430を貫通する支持基板貫通配線とする。

[0176] 次に、図51Bに示すように、例えば金属メッキ処理などにより、支持基板430の表面から突出するバンプ432を支持基板貫通配線431の表面に形成する。以上のようにして、本実施形態に係る裏面照射型CMOS固体撮像素子(センサチップ)401bが形成される。

[0177] 上記のように形成された裏面照射型CMOS固体撮像素子(センサチップ)40

1bを、受光面側を上向きにしてバンプ432を介してフリップチップでインタポーザ403上に実装する。信号処理チップ402も同様にフリップチップで実装する。そして、裏面照射型CMOS固体撮像素子(センサチップ)401bと信号処理チップ402とをインタポーザ403に形成された配線を介して接続する。以上のようにして、本実施の形態に係る裏面照射型CMOS固体撮像素子を組み込んだイメージセンサを製造することができる。

[0178] 本実施の形態においては、半導体基板上に形成された埋め込み配線と支持基板中の貫通電極を直接接続するのではなく、半導体基板の裏面の薄膜化後に、配線によって貫通電極と埋め込み配線とを接続する。この方法では信号処理デバイスと支持基板の裏面に形成したマイクロバンプで接続するためにワイヤボンディングを行う必要がなく、1チップ化したときのサイズをより小さくすることができる。

[0179] 上記のように、本実施の形態に係る裏面照射型CMOS固体撮像素子の製造方法によれば、支持基板を貼り合わせて強度を確保してから半導体基板を薄膜化しており、また、支持基板を薄膜化して貫通配線を形成するので、簡便、容易に、照射面の反対側の面から電極を取り出す構成の裏面照射型のCMOS固体撮像素子を製造することができる。

[0180] 上記のように、第17実施の形態に係る半導体イメージセンサ・モジュール(すなわちCMOS固体撮像素子を組み込んだCMOSイメージセンサ)401では、画素から出力される信号を画素単位もしくは複数の画素単位ごとに直接マイクロバンプを介して信号処理デバイスに入力させることが可能となる。これによって、デバイス間の信号処理スピードが高く高性能で、イメージセンサと信号処理デバイスを1チップ化した高機能なデバイスを提供することが可能となる。また、フォトダイオードの開口率が向上し、チップ利用率が向上し、全画素の同時シャッタが実現できる。また、ワイヤボンディングによってチップやウェハに接続する必要がないため、チップサイズを縮小することができ、ウェハの収率が上がり、チップコストを下げるができる。

[0181] 前述の第16、第17実施の形態における貫通配線は、Cu, Al, W, WSi, Ti, TiN, シリサイド又はこれらの組合せで形成することができる。

[0182] 図42、図48を用いて説明した本発明は、上記の第16、第17実施の形態の説明に限定されない。例えば、上記の実施の形態においては半導体基板としてSOI基板を使用しているが、これに限らず、通常の半導体基板を用いて、フォトダイオードやトランジスタの形成面の反対側の面から薄膜化することも可能である。また、支持基板から突出して形成されるバンプはチップ面積全体に形成でき、例えばCMOSイメージセンサの画素ごとに独立したバンプを形成してインタポーザなどに接続し、画素ごとに読み出すことができるようにしてもよい。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

[0183] 上述した各第1乃至第17実施の形態に係る半導体イメージセンサ・モジュールは、例えば、デジタルスチルカメラ、ビデオカメラ、カメラ付き携帯電話などに用いるカメラモジュールに適用される。さらに、電子装置などに用いる電子機器モジュールに適用される。

[0184] 上述の半導体イメージセンサは、裏面照射型のCMOSイメージセンサを備えた構成としたが、その他、図27の表面照射型のCMOSイメージセンサを備えた構成とすることもできる。

引用符号の説明

[0185]

1・・・CCDイメージセンサ、2・・・撮像領域、3・・・受光センサ、4・・・つい直転送レジスタ、5・・・水平転送レジスタ、6・・・出力部、7・・・読み出しゲート部、11・・・CMOSイメージセンサ、12・・・画素、13・・・撮像領域、14・・・制御部、15・・・垂直駆動回路、16・・・カラム部、17・・・手兵駆動回路、18・・・出力回路、19・・・カラム信号処理回路、20・・・水平信号線、
21・・・垂直信号線、31・・・CMOSイメージセンサ、32・・・フォトダイオード・センサ回路領域、33・・・ADC・メモリ領域、35・・・n型半導体基板、36・・・p型半導体ウェル領域、37・・・画素分離領域、38・・・単位画素、41・・・カラーフィルタ、42・・・オンチップマイクロ

レンズ、43・・層間絶縁膜、
441、442、443・・配線、47・・p+半導体領域、
51、99、100・・半導体イメージセンサ・モジュール、52・・イメージセンサを備えた第1の半導体チップ、53・・アナログ／デジタル変換器アレイを備えた第2の半導体チップ、54・・メモリ素子アレイを備えた第3の半導体チップ、55・・アナログ型不揮発性メモリアレイを備えた第4の半導体チップ、56・・トランジスタ形成領域、57・・フォトダイオード形成領域、61・・n型シリコン基板、62・・画素分離領域、63・・p型半導体ウェル領域、64・・ソース・ドレイン領域、65・・ゲート絶縁膜、66・・ゲート電極、68a・・n+電荷蓄積領域、68b・・n型半導体領域、69・・p⁺半導体領域、71・・パシベーション膜、72・・カラーフィルタ、73・・オンチップマイクロレンズ、76・・層間絶縁膜、77・・多層配線、78・・多層配線層、81、82・・パッド、83・・マイクロバンプ、84・・貫通コンタクト部、84、201・・コンタクト部、86・・ピクセルアレイブロック、86a・・ピクセル、87・・AD変換器、88・・メモリ素子サブアレイ、89・・パリティチェック用ビット、90・・冗長ビット、93・・センスアンプ、94X・・Xデコーダ、94Y・・Yデコーダ、101・・フローティングゲート型の不揮発性メモリ、102・・半導体基板、103・・ソース領域、104・・ドレイン領域、105・・フローティングゲート、106・・コントロールゲート、111・・MONOS型の不揮発性メモリ、112・・半導体基板、113・・ソース領域、114・・ドレイン領域、115・・トンネル酸化膜、116・・Si₃N₄チャージトラップ層、117・・トラップ酸化膜、118・・ゲートポリ電極、121・・ピクセルアレイ、122・・A/D変換器アレイ、123・・メモリアレイ、124・・デジタル信号処理装置、125・・制御回路、130・・メモリセル回路、131・・メモリキャパシタ、132・・書き込み用スイッチ、133・・書き込みダミースイッチ、134・・書き込み用のD型フリップフロップ、135・・読み出し用スイッチ、136・・読み出し用のD型フリップフロップ、141・・p型半導体基板、142・・素子分離領域、143・・n型ソース領域、144・・n型ドレイン領域、145・・ゲート電極、146・・p型領域、147・・n型半導体ウェル領域、148・・p型ソース領域、149・・p型ドレイン領域、150・・ゲート電極、151・・n型領域、153・・第1電極、154・・誘電膜、155・・第2電極、156・・層間絶縁膜、157・・導電プラグ、158・・配線、161・・アナログメモリセル、1

62・・・書き込み制御信号の入力線、163・・・読み出し制御信号の入力線、164・・・ピクセルアレイブロック、165・・・A/D変換器、170・・・配線層、172・・・シリコン基板、173・・・素子分離領域、

174、175、176・・・ソース・ドレイン領域、177、178・・・ワード線、179・・・導電プラグ、180・・・ビット線、181・・・センス線、182、183・・・抵抗変化型多値メモリ素子、184・・・メモリ材料、185、186・・・Pt電極、

166、167、168、169、187、188、189、190・・・半導体イメージセンサ・モジュール、193・・・第2の半導体チップ、196・・・第1の半導体チップ、197・・・第2の半導体チップ、191、192、194、198、199・・・半導体イメージセンサ・モジュール、200、261、300・・・半導体イメージセンサ・モジュール、210・・・フォトダイオード、212・・・転送トランジスタ、214・・・増幅トランジスタ、

220・・・リセットトランジスタ、262・・・半導体チップ、

263[263A、263B]・・・画素、264・・・撮像領域、265、266・・・周辺回路、311・・・単位画素、312・・・画素アレイ部、313・・・行又は単位画素走査回路、314・・・カラム又は単位画素処理部、315・・・参照電圧供給部、316・・・列又は単位画素走査回路、317・・・水平出力線、318・・・タイミング制御回路、319・・・チップ、356・・・トランジスタ形成領域、400・・・半導体イメージセンサ・モジュール、401a、402b・・・センサチップ、402・・・信号処理チップ、403・・・インタポータ、410・・・半導体基板、411・・・(表面)絶縁膜、412・・・半導体層、413・・・テスト用電極、414・・・フォトダイオード(光電変換素子)、415・・・トランジスタ、416・・・半導体層貫通電極、417・・・半導体層絶縁層貫通配線、418・・・接続配線、419・・・表面絶縁膜、420・・・層間絶縁層、421・・・埋め込み配線、430・・・支持基板、431・・・支持基板貫通配線(支持基板配線)、432・・・バンプ(突起電極)、440・・・配線、441・・・絶縁層、442・・・ワイヤボンディング、512・・・撮像画素部、514・・・V選択手段、516・・・H選択手段、518・・・タイミングジェネレータ(TG)、520・・・S/H・CDS回路部、522・・・AGC部、524・・・A/D変換部、526・・・デジタルアンプ部、600・・・フォトダイオード(PD)、610・・・フローティングディフュージョン部(FD部)、620・・・転送トランジスタ、630・・・リセットトランジスタ、640・・・増幅トランジスタ、650・・・アドレスタランジスタ、660・・・垂直信号線、660、670・・・定電流源

請求の範囲

- [1] 複数の画素が規則的に配列され、前記各画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の半導体チップと、
複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップとが積層されて成る
ことを特徴とする半導体イメージセンサ・モジュール。
- [2] 少なくともデコーダとセンスアンプを備えたメモリ素子アレイを備えた第3の半導体チップが、さらに積層されて成る
ことを特徴とする請求の範囲第1項記載の半導体イメージセンサ・モジュール。
- [3] 複数の光電変換素子と複数のメモリ素子が、1つのアナログ／デジタル変換器を共有するように、
前記第1及び第2の半導体チップが前記第3の半導体チップに対して近接して配置されて成る
ことを特徴とする請求の範囲第2項記載の半導体イメージセンサ・モジュール。
- [4] 前記メモリ素子が揮発性メモリである
ことを特徴とする請求の範囲第3項記載の半導体イメージセンサ・モジュール。
- [5] 前記メモリ素子がフローティングゲート型の不揮発性メモリである
ことを特徴とする請求の範囲第3項記載の半導体イメージセンサ・モジュール。
- [6] 前記メモリ素子がMONOS型の不揮発性メモリである
ことを特徴とする請求の範囲第3項記載の半導体イメージセンサ・モジュール。
- [7] 前記メモリ素子が多値をとる不揮発性メモリである
ことを特徴とする請求の範囲第3項記載の半導体イメージセンサ・モジュール。
- [8] 前記メモリ素子アレイ中にパリティチェック用のメモリビットを有する
ことを特徴とする請求の範囲第2項記載の半導体イメージセンサ・モジュール。
- [9] 前記メモリ素子アレイ中に欠陥救済用のスペアビットを有する
ことを特徴とする請求の範囲第2項記載の半導体イメージセンサ・モジュール。
- [10] 複数の画素が規則的に配列され、前記各画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の半導体チップと、

複数のアナログ型不揮発性メモリからなるアナログ型不揮発性メモリアレイを備えた第4の半導体チップとが積層されて成り、

前記アナログ型不揮発性メモリにより、蓄積電荷量に応じた情報量を記憶させるようにして成る

ことを特徴とする半導体イメージセンサ・モジュール。

- [11] 各画素が光電変換素子とトランジスタで構成された複数の画素を2次元状に規則的に配列したイメージセンサを備えた第1の半導体チップを形成する工程と、
複数のアナログ／デジタル変換器からなるアナログ／デジタル変換器アレイを備えた第2の半導体チップを形成する工程と、
前記第1の半導体チップと前記第2の半導体チップとを積層して前記イメージセンサの画素と前記アナログ／デジタル変換器をフェースダウンでバンプで接合またはLSIチップ面に対して垂直にウェーハを貫通するスルーホールで接続する工程とを有する

ことを特徴とする半導体イメージセンサ・モジュールの製造方法。

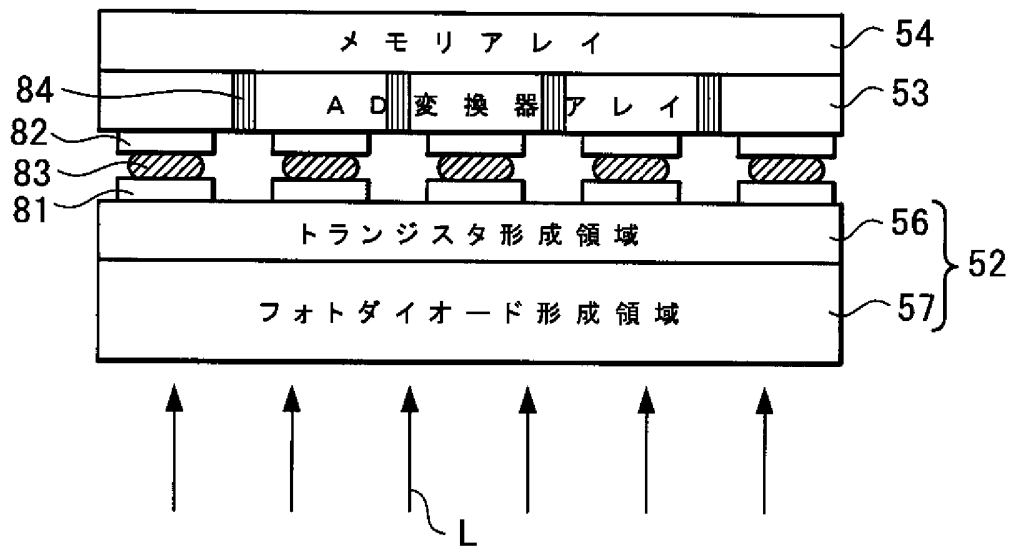
- [12] 少なくともデコーダとセンスアンプを備えたメモリ素子アレイを有する第3の半導体チップを形成する工程を有し、
前記第1の半導体チップと前記第2の半導体チップと前記第3の半導体チップとを積層し、前記イメージセンサの画素を前記アナログ／デジタル変換器を通じて前記メモリにウェーハ面に垂直にウェーハを貫通するスルーホールで接続する工程を有する

ことを特徴とする請求の範囲第11項記載の半導体イメージセンサ・モジュールの製造方法。

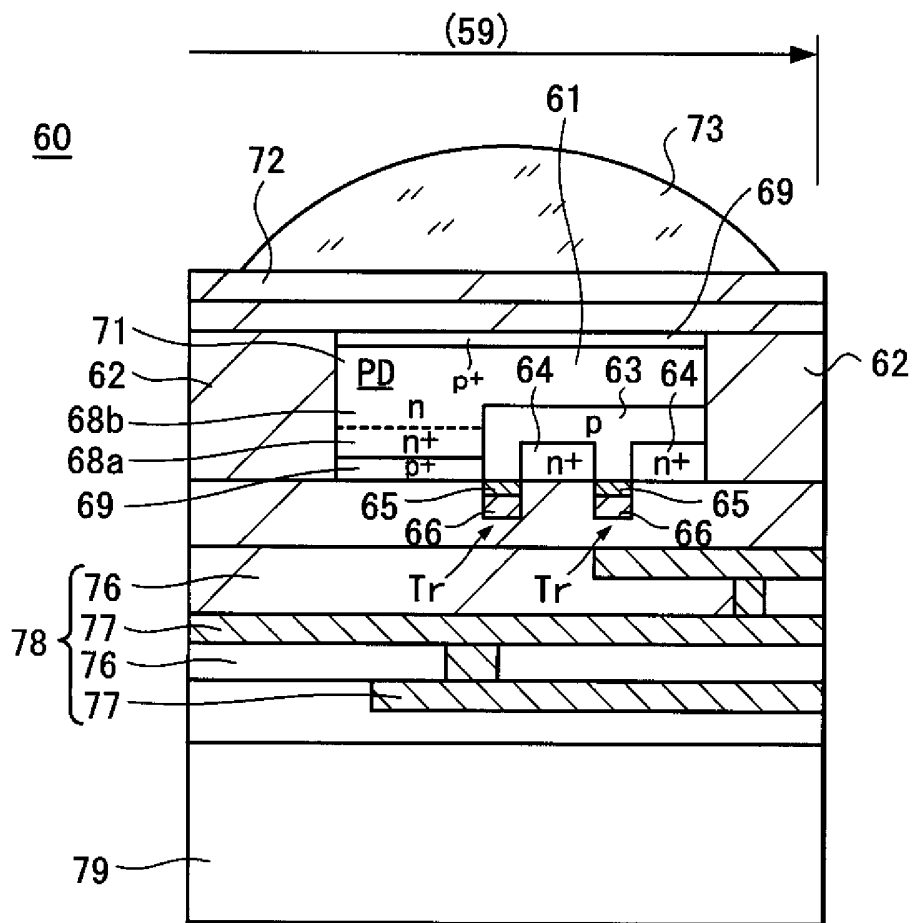
- [13] 各画素が光電変換素子とトランジスタで構成された複数の画素を2次元状に規則的に配列したイメージセンサを備えた第1の半導体チップを形成する工程と、
複数のアナログ型不揮発性メモリからなるアナログ不揮発性メモリアレイを備えた第4の半導体チップを形成する工程と、
前記第1の半導体チップと前記第4の半導体チップとを積層して前記イメージセンサの画素と前記アナログ型不揮発性メモリを接続する工程とを有する

ことを特徴とする半導体イメージセンサ・モジュールの製造方法。

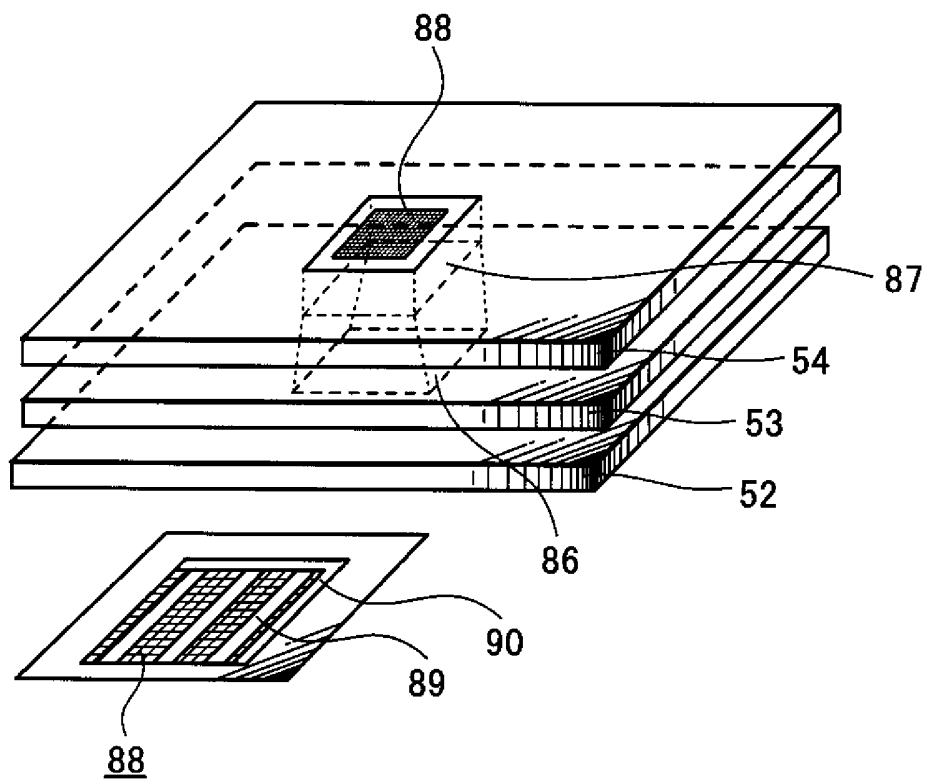
[図1]

FIG. 151

[図2]

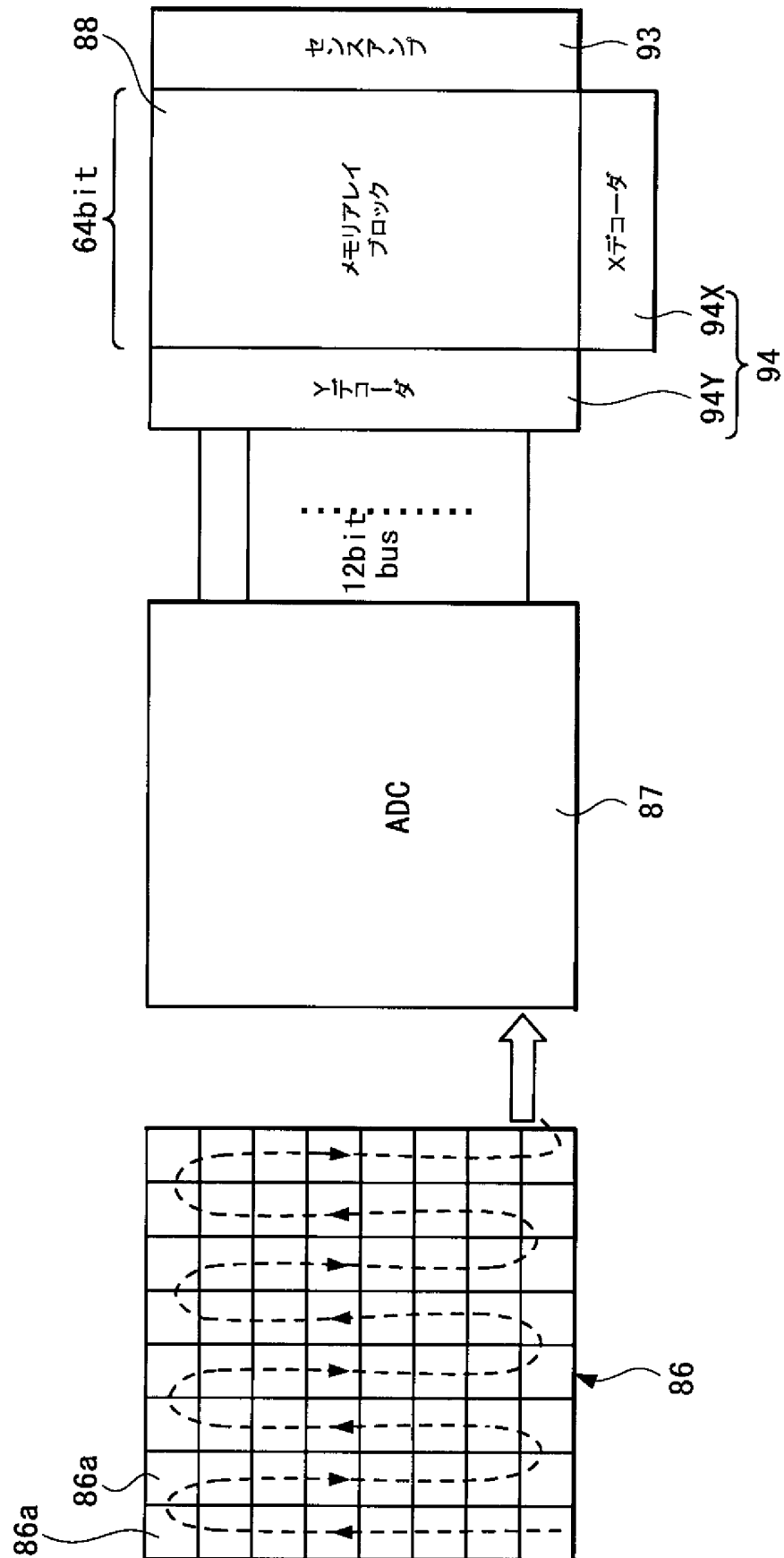
FIG. 2

[図3]

FIG. 3

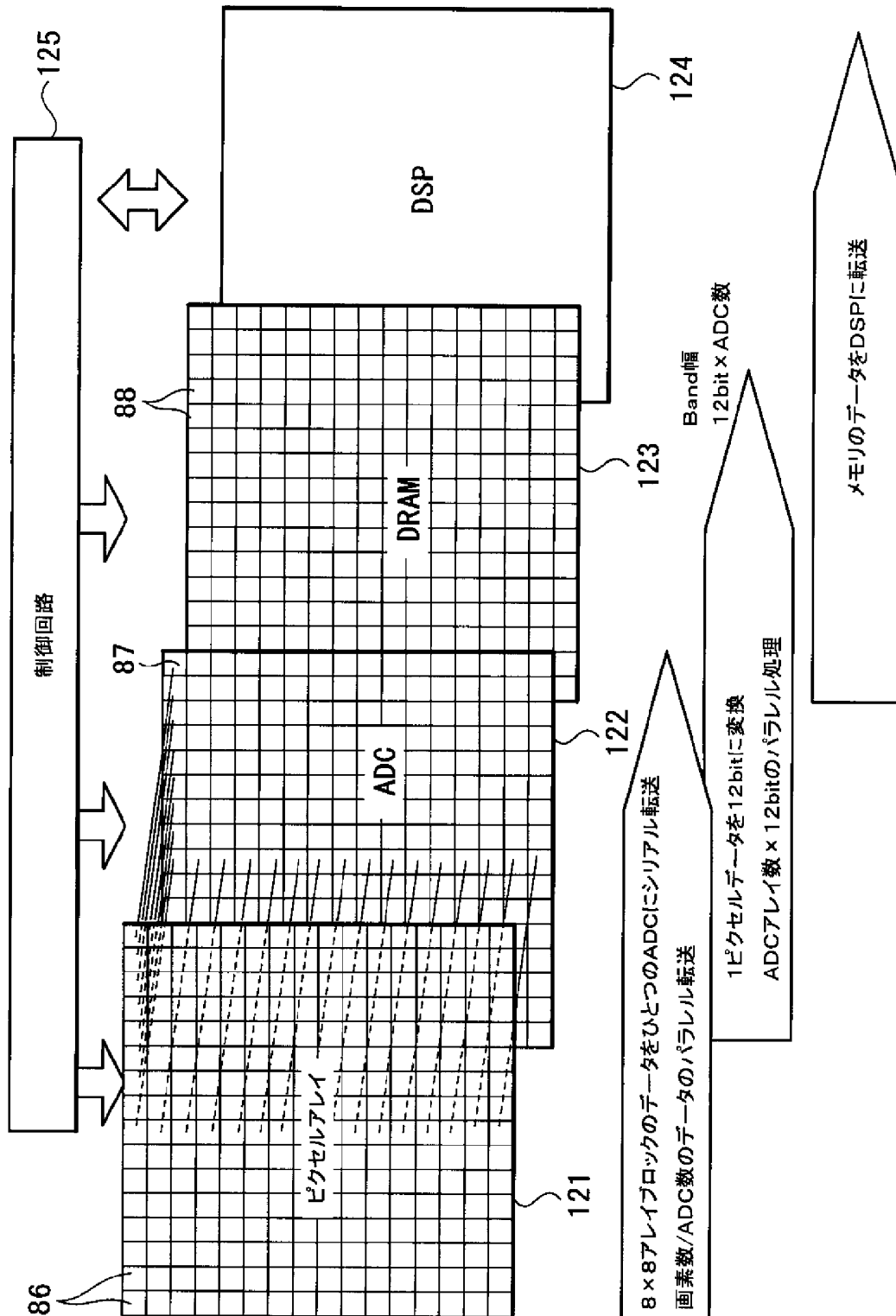
[図4]

FIG. 4

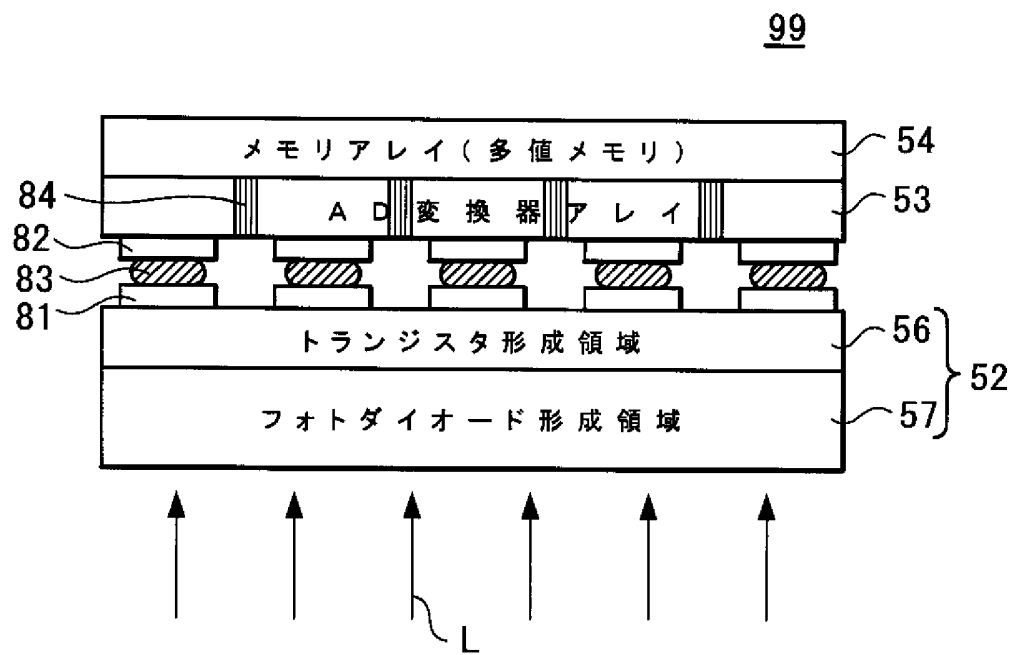


[図5]

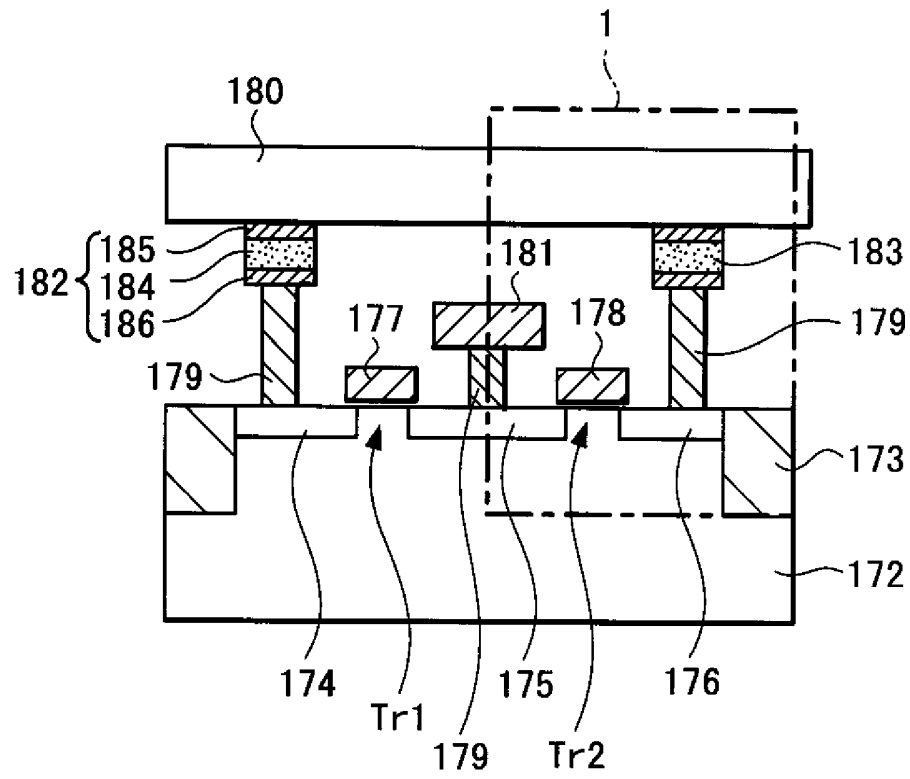
FIG. 5



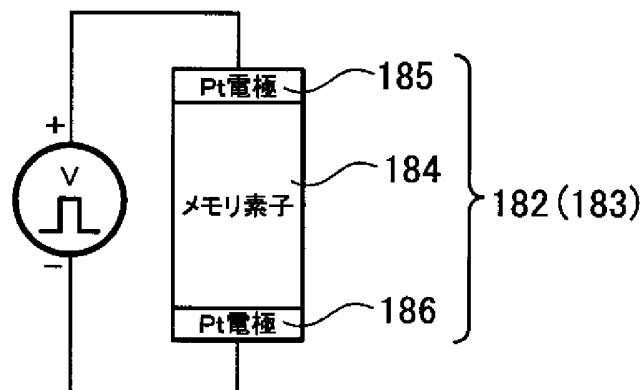
[図6]

FIG. 6

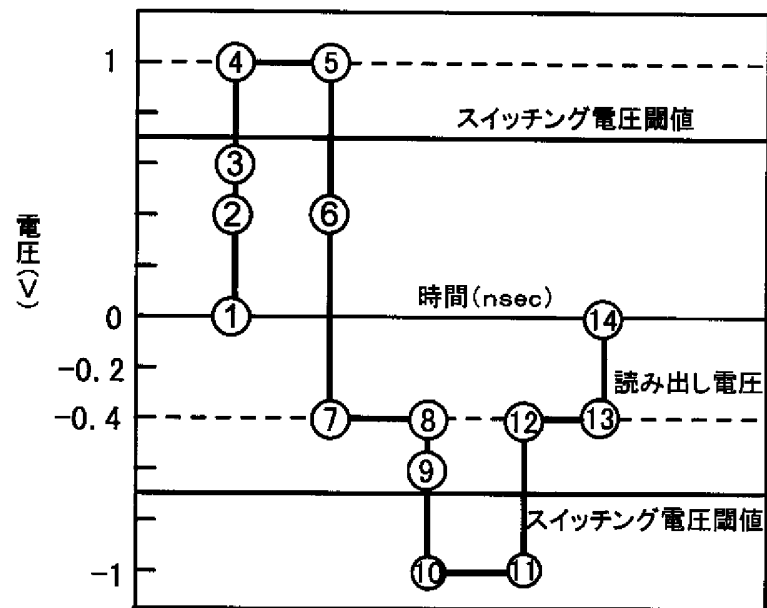
[図7]

FIG. 7

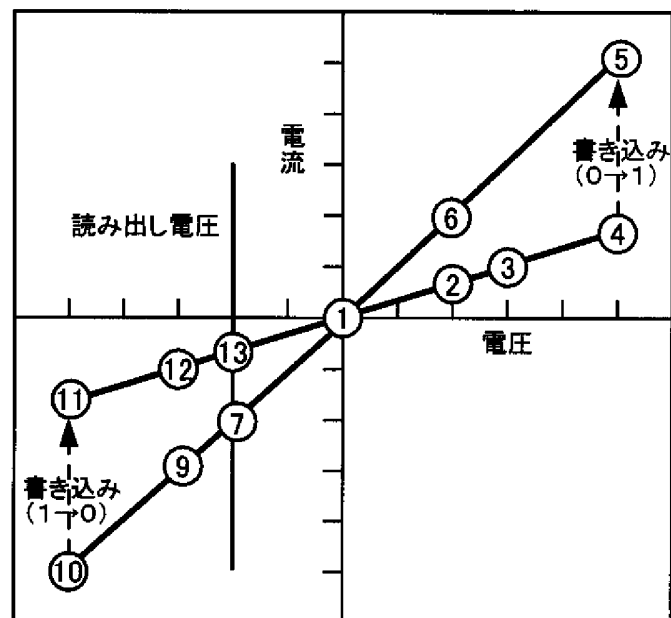
[図8]

FIG. 8

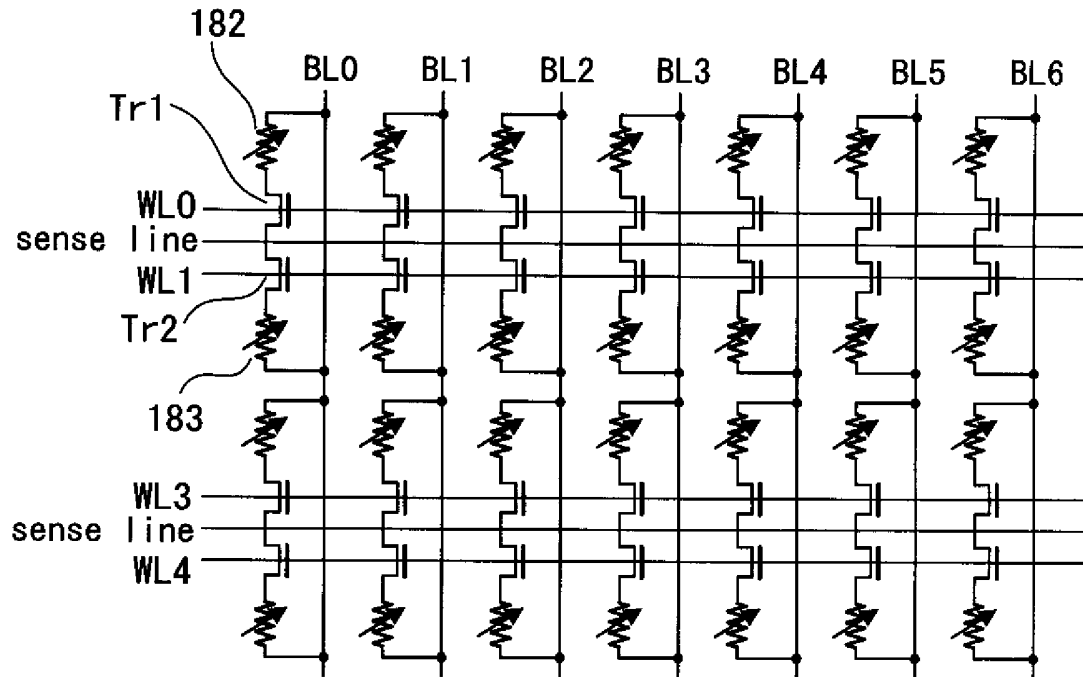
[図9]

FIG. 9

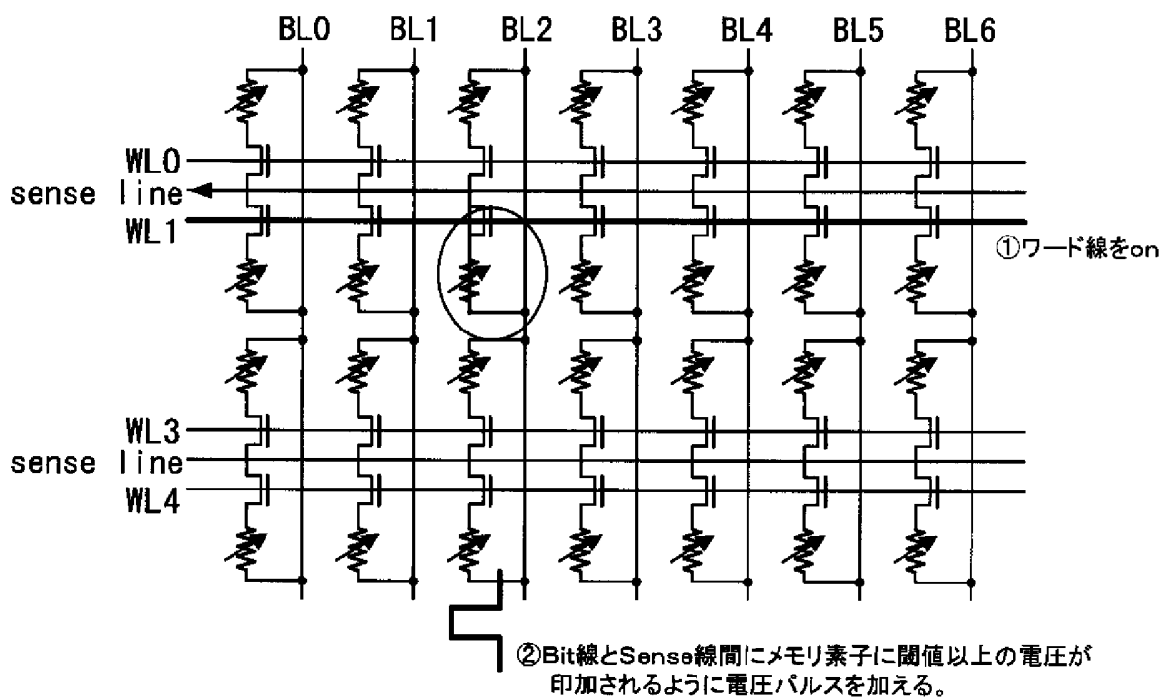
[図10]

FIG. 10

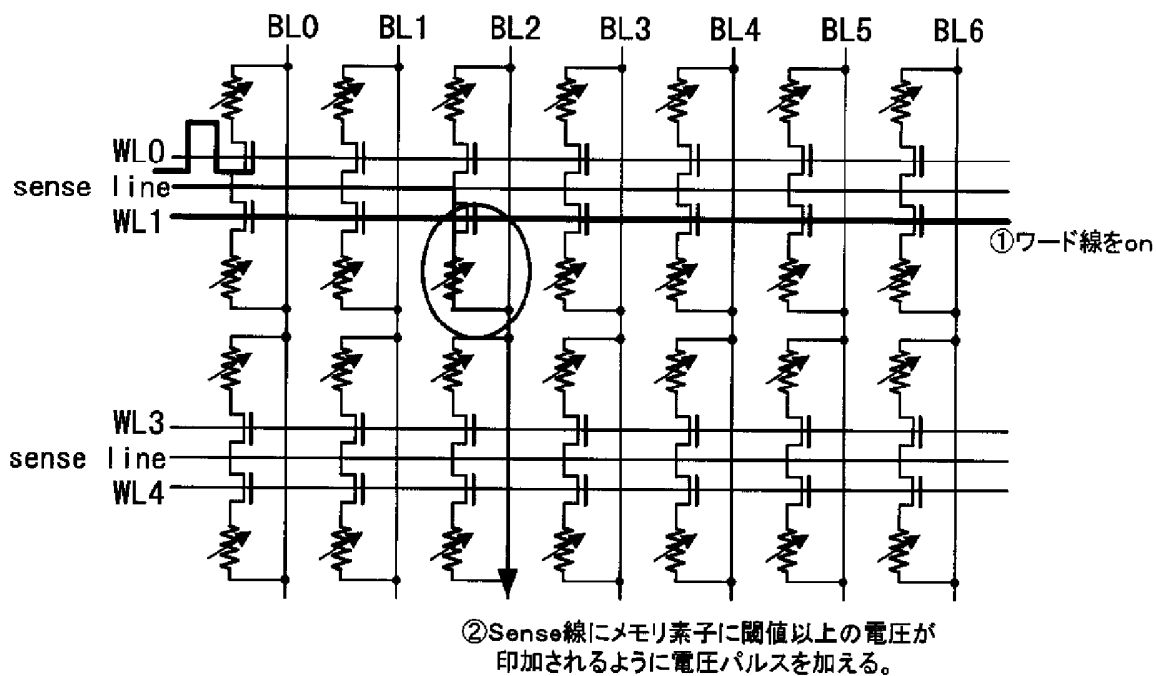
[図11]

FIG. 11

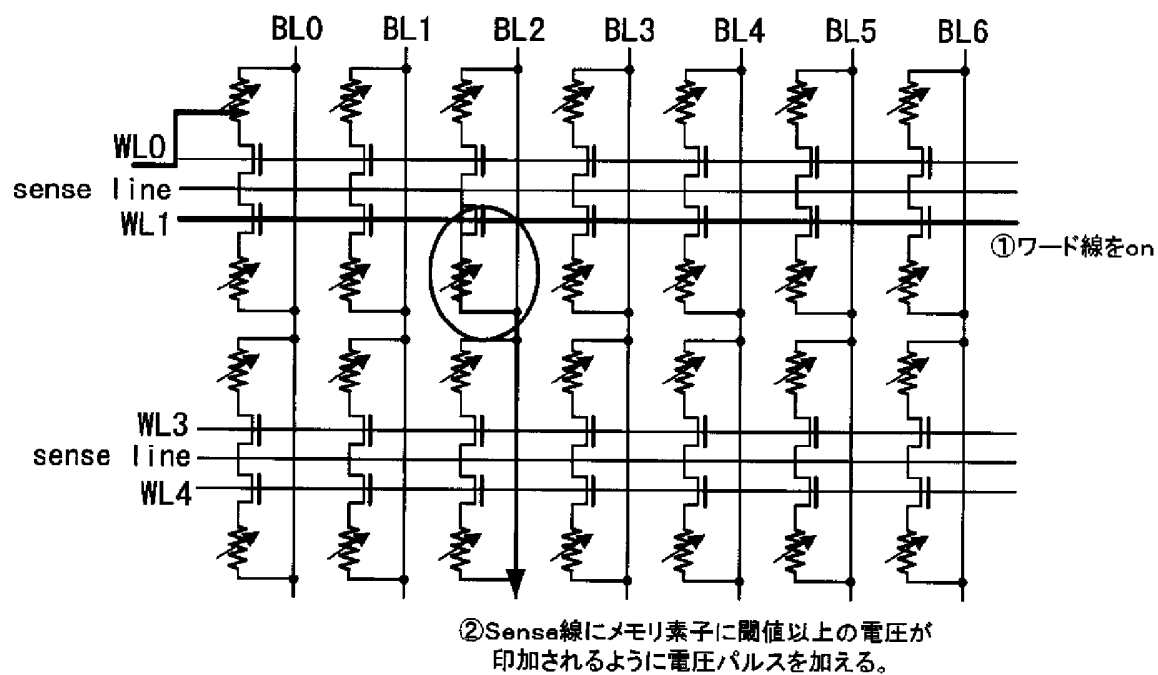
[図12]

FIG. 12

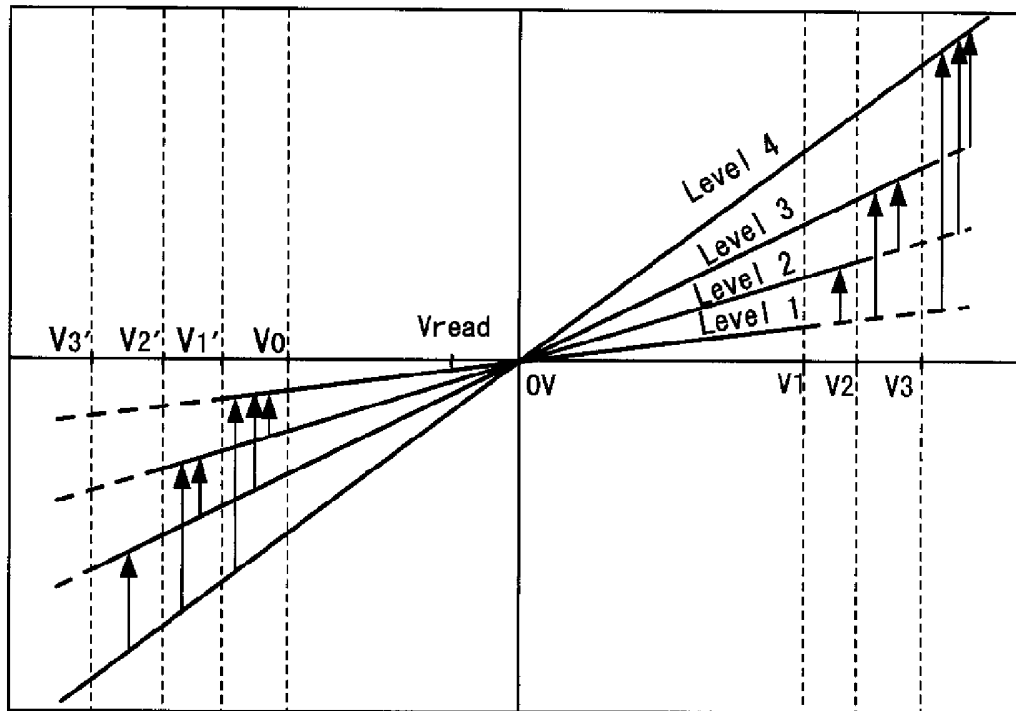
[図13]

FIG. 13

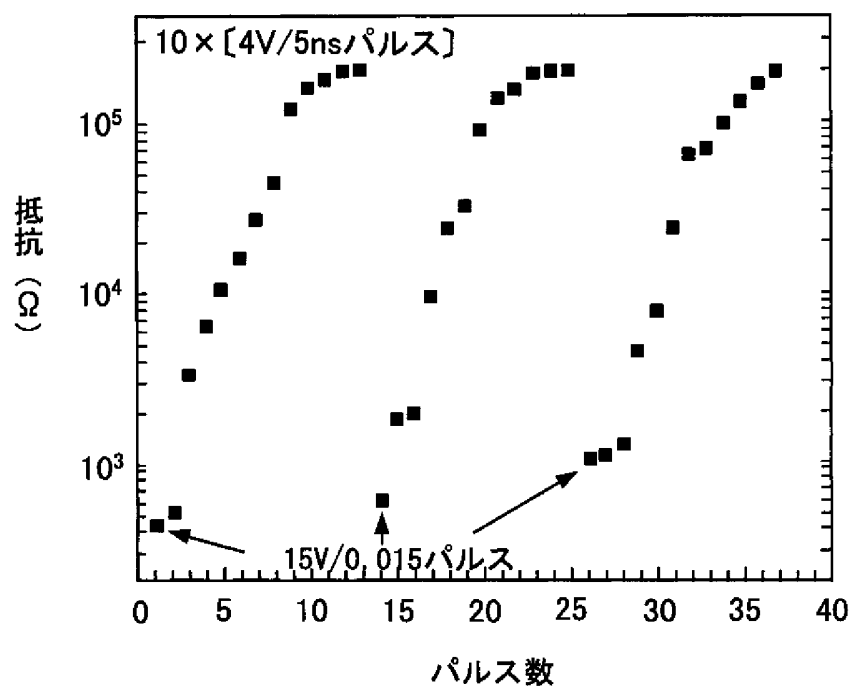
[図14]

FIG. 14

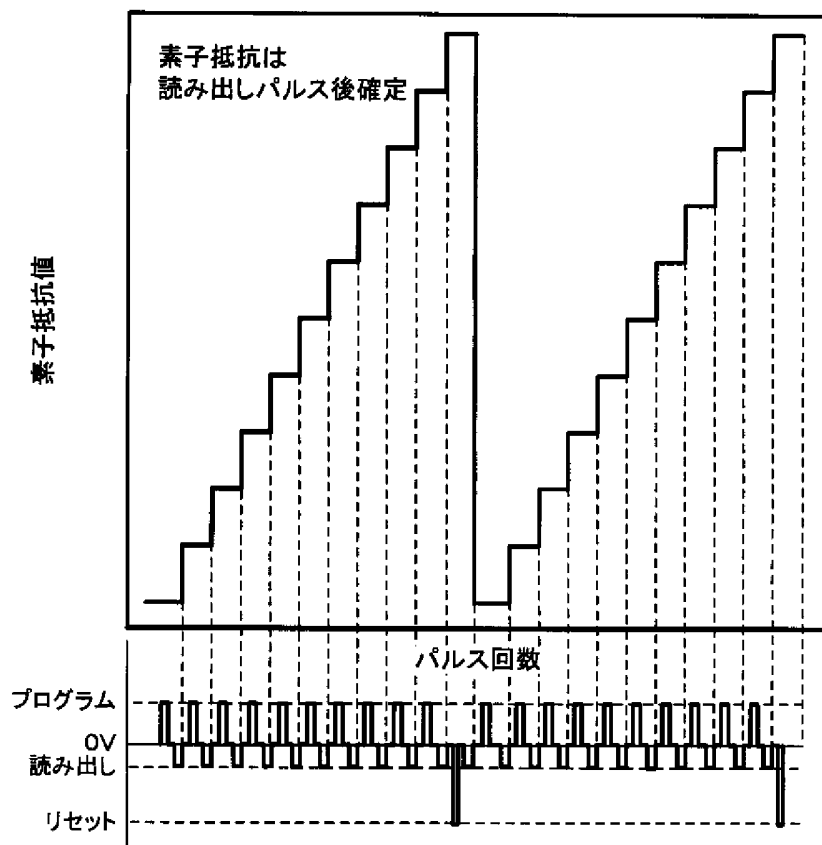
[図15]

FIG. 15

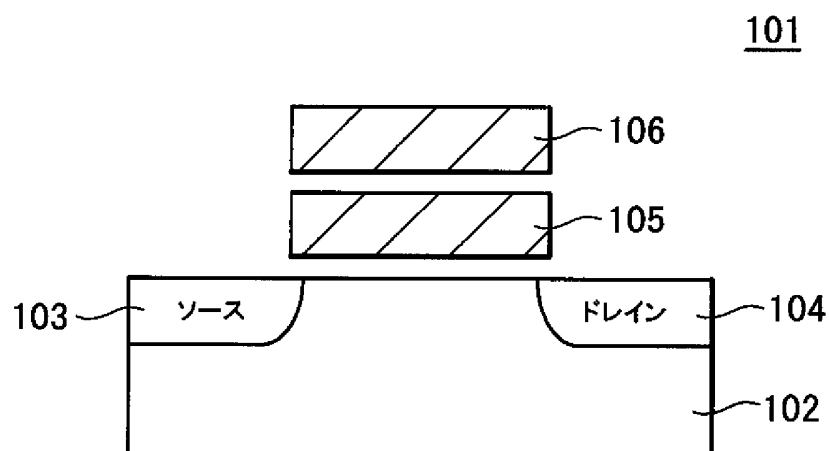
[図16]

FIG. 16

[図17]

FIG. 17

[図18]

FIG. 18

[図19]

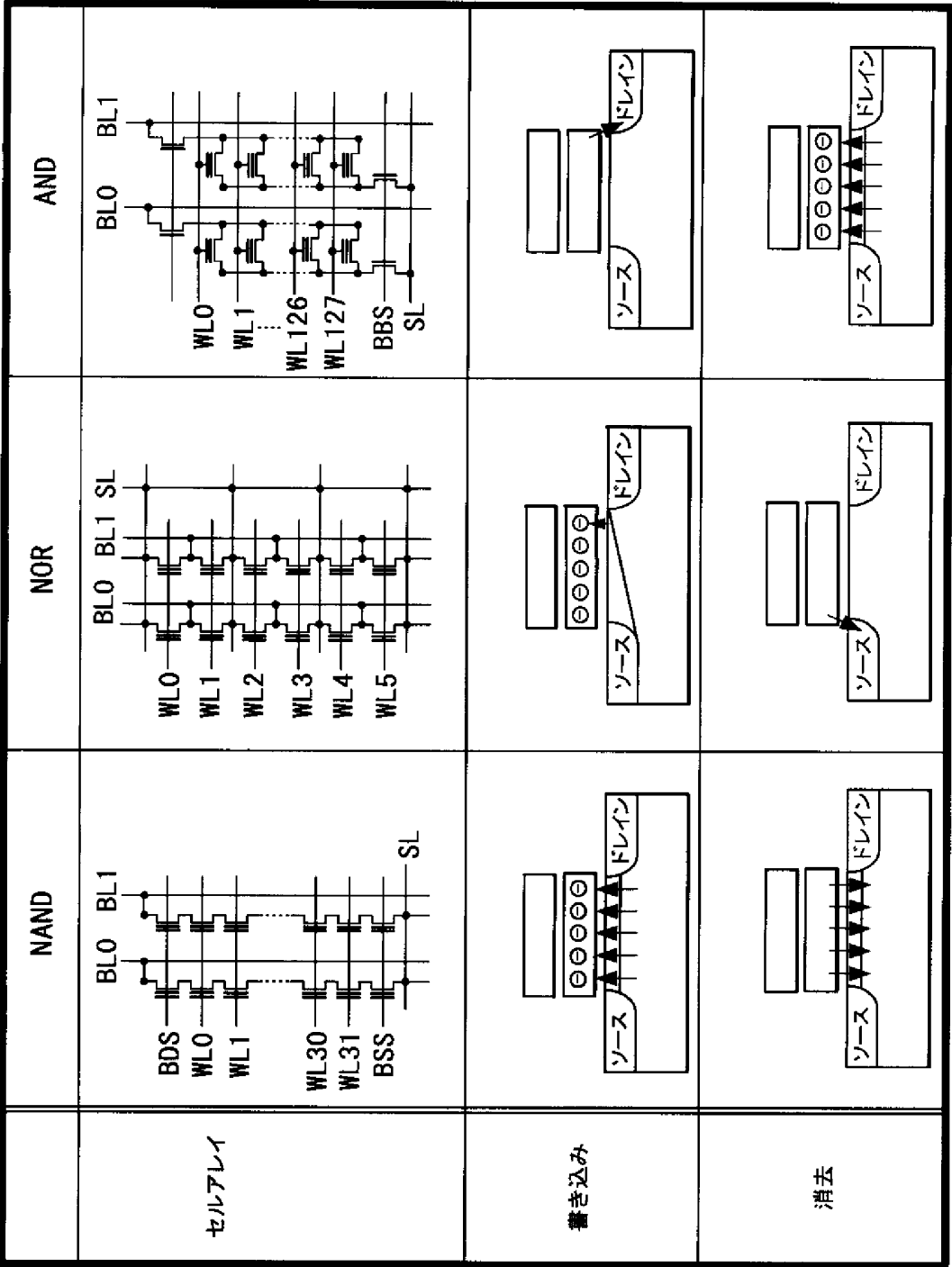
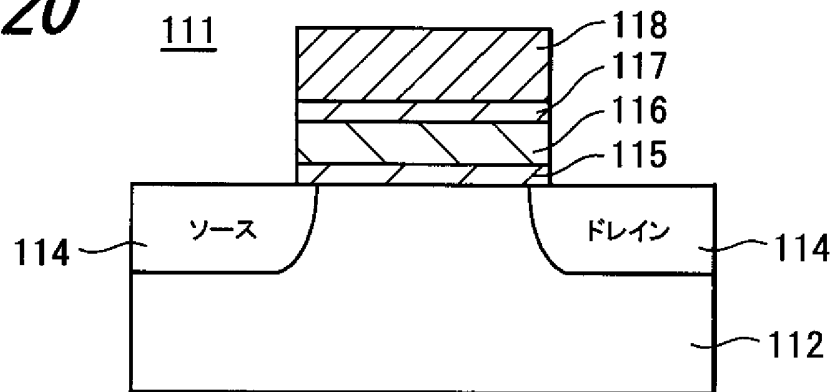
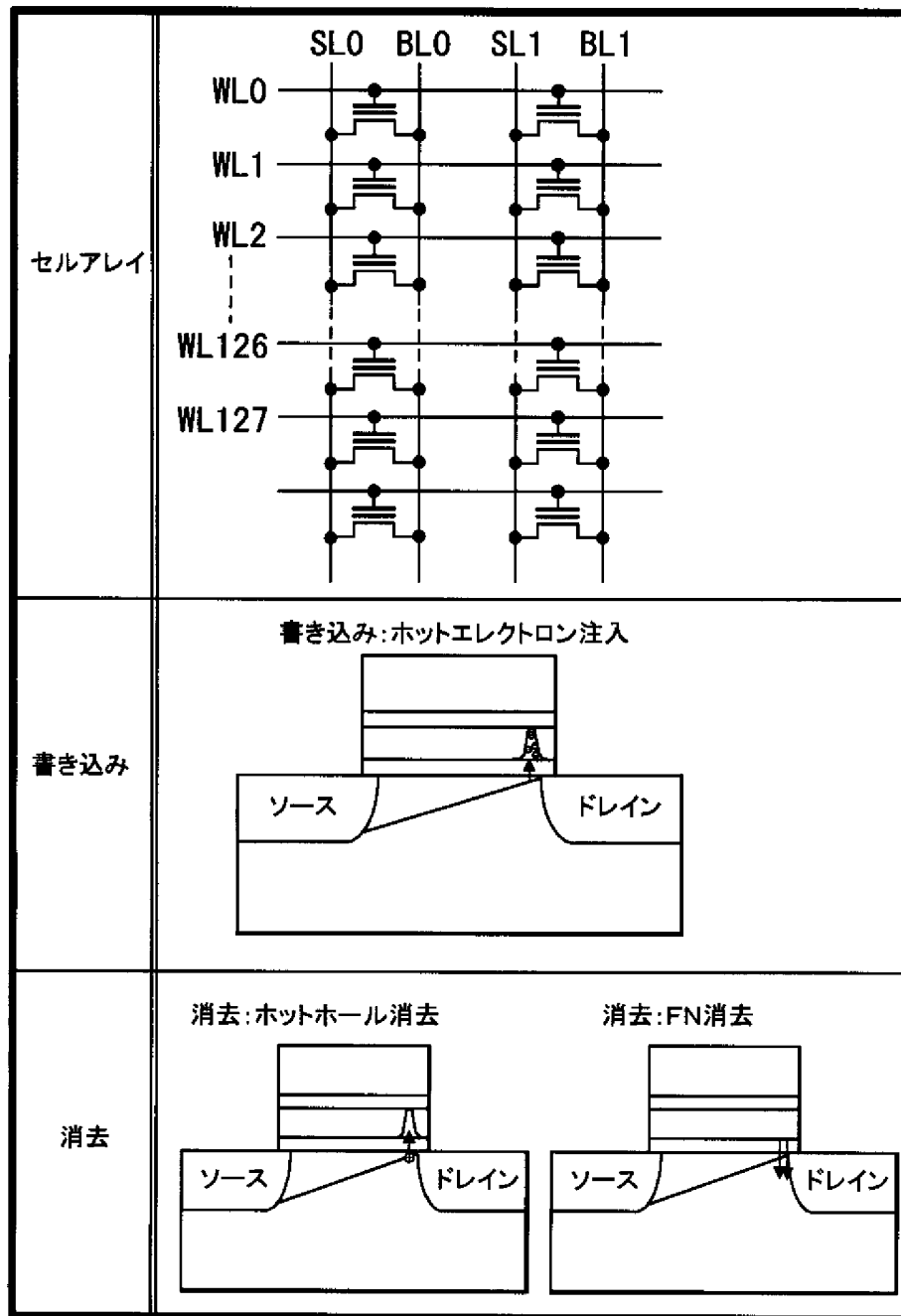


FIG. 19

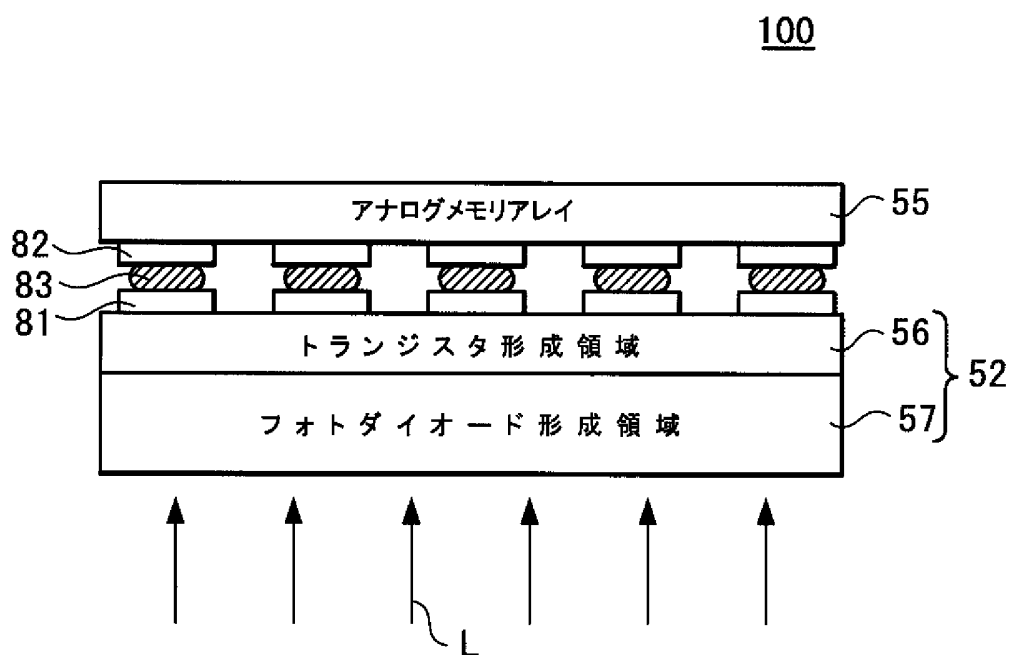
[図20]

FIG. 20

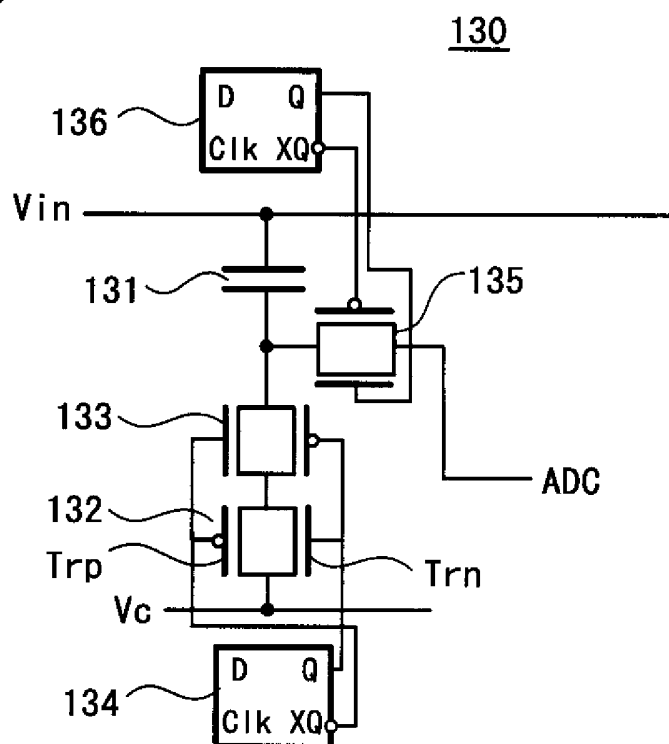
[図21]

FIG. 21

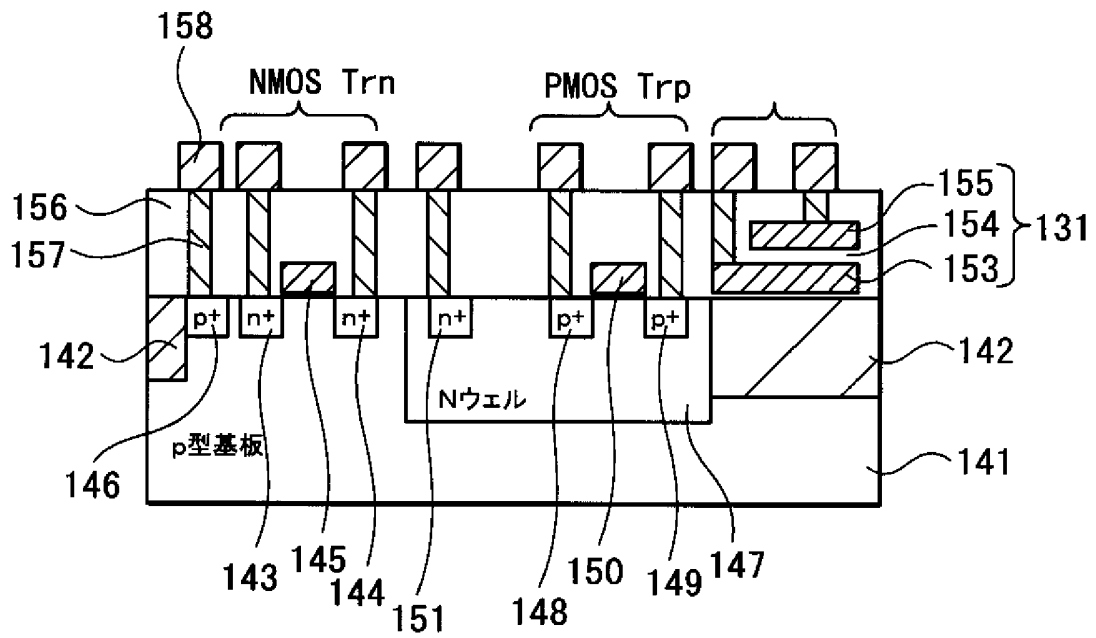
[図22]

FIG. 22

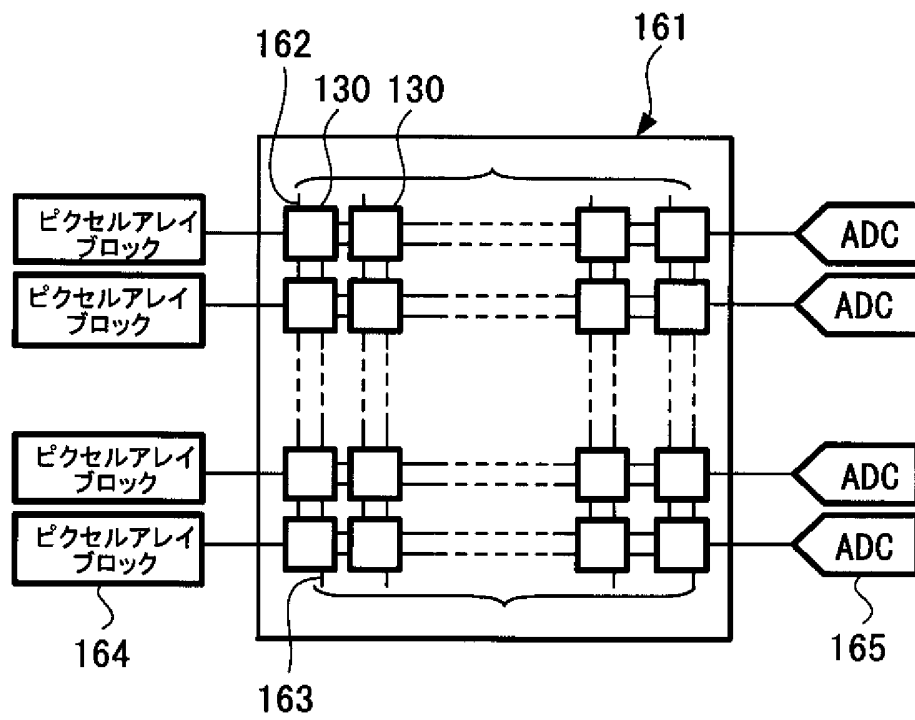
[図23]

FIG. 23

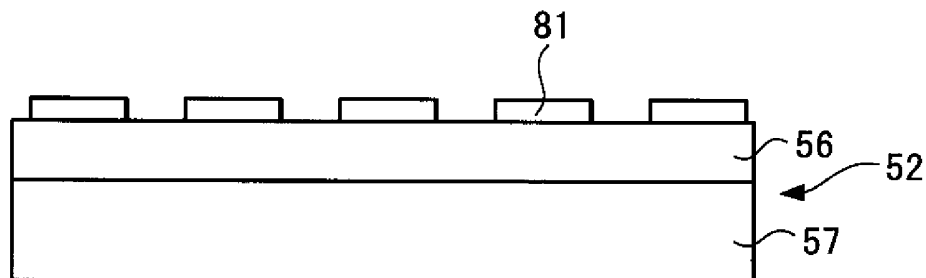
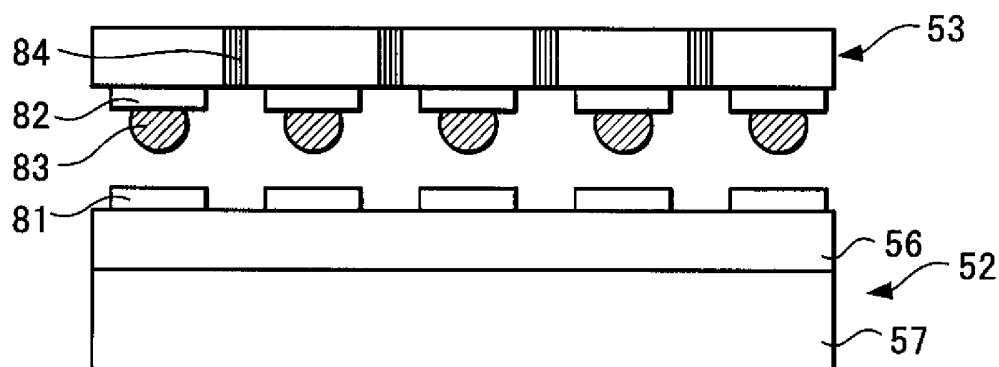
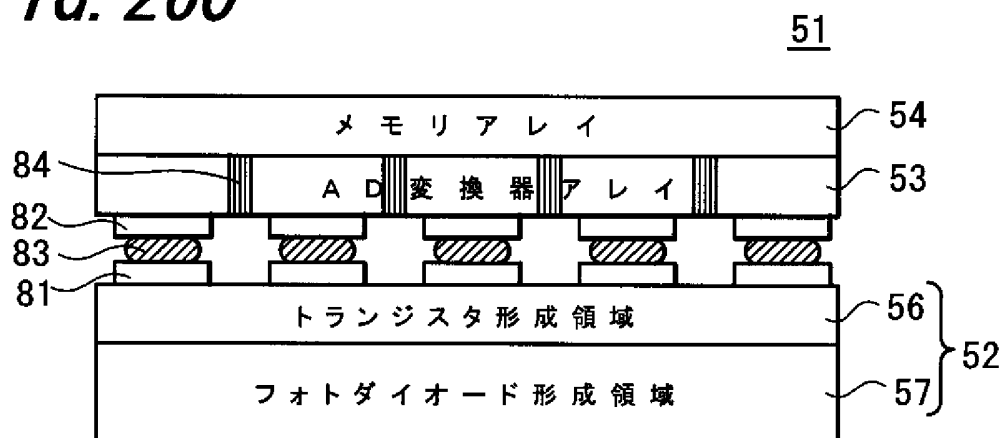
[図24]

FIG. 24

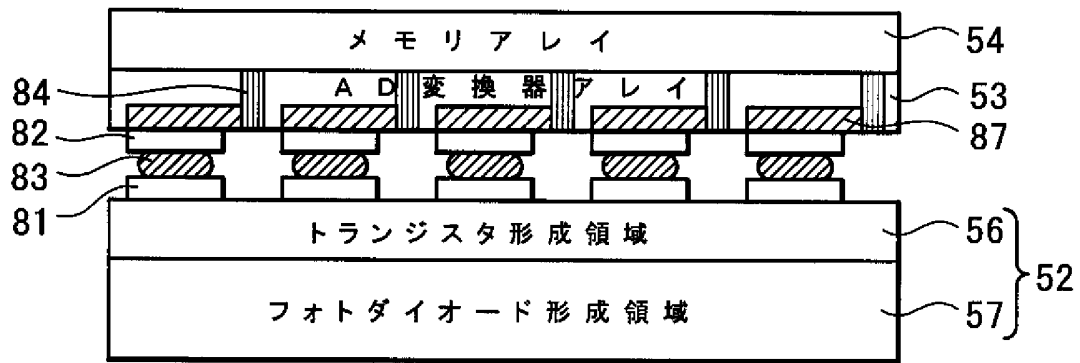
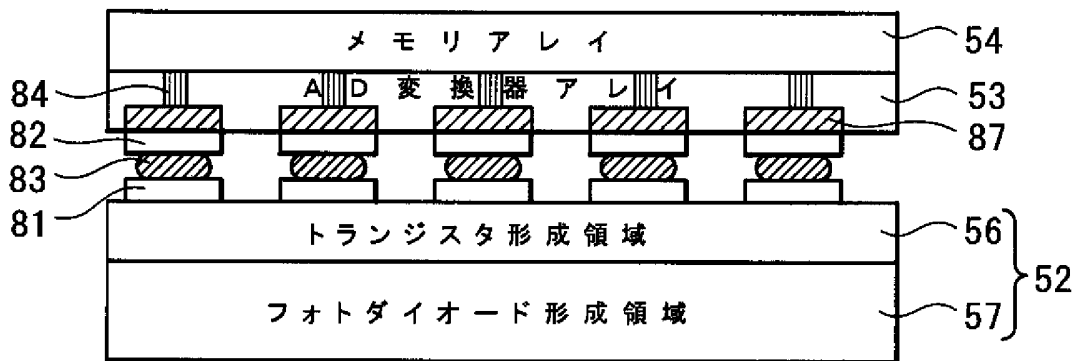
[図25]

FIG. 25

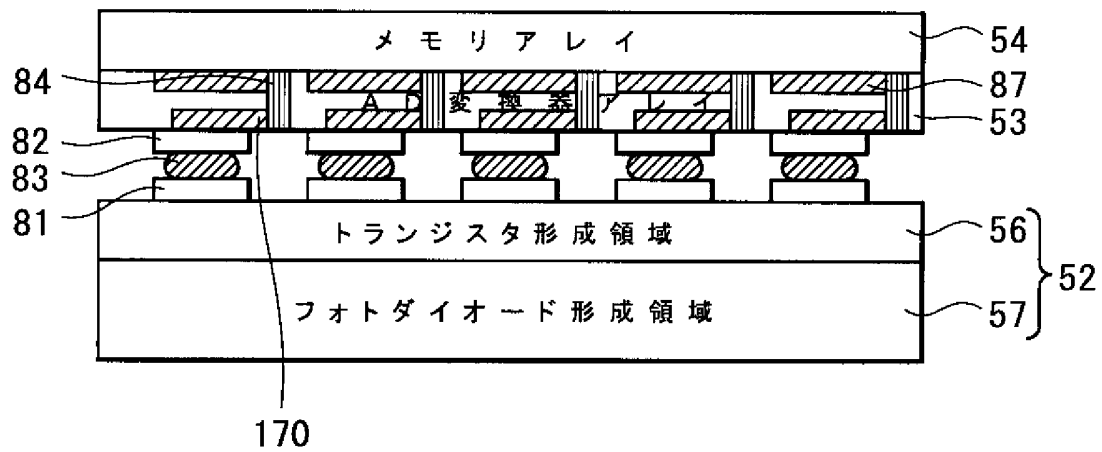
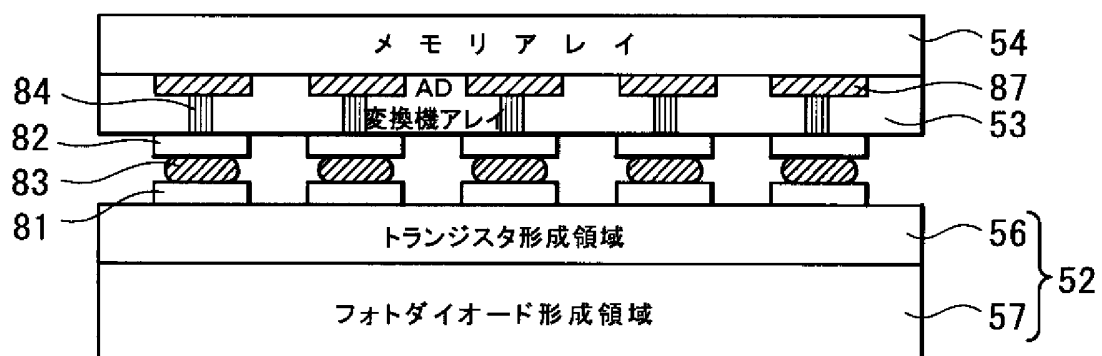
[図26]

FIG. 26A**FIG. 26B****FIG. 26C**

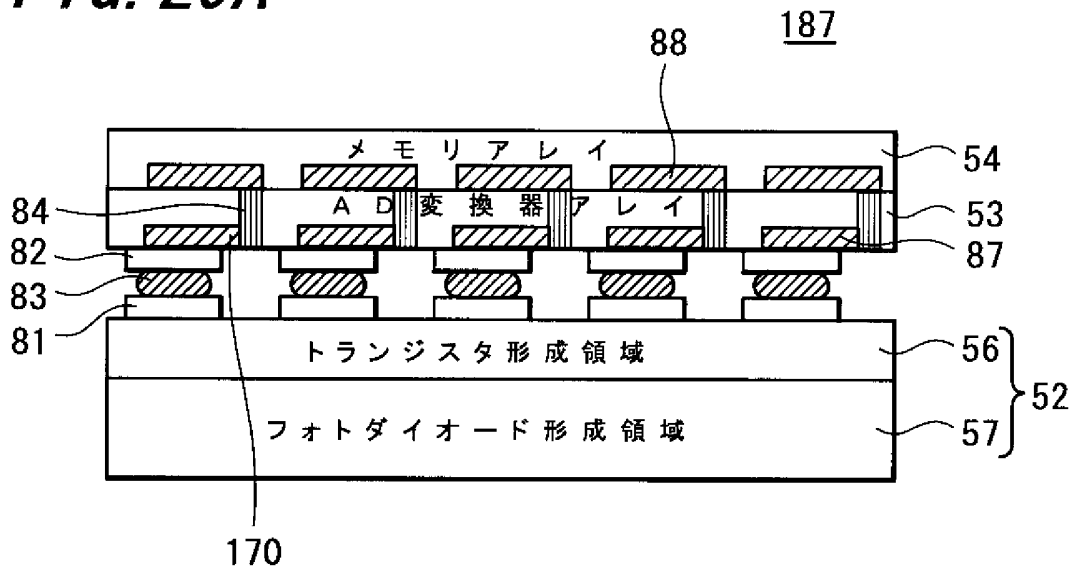
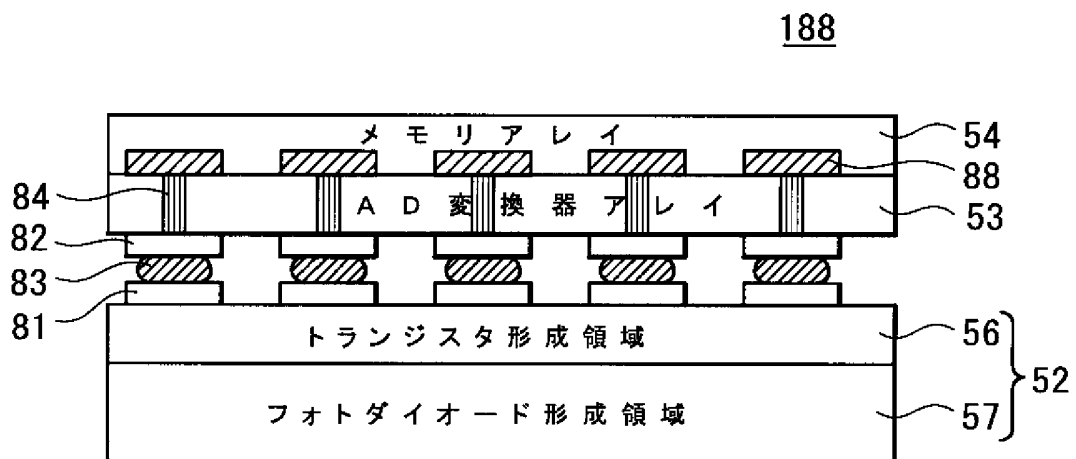
[図27]

FIG. 27A166**FIG. 27B**167

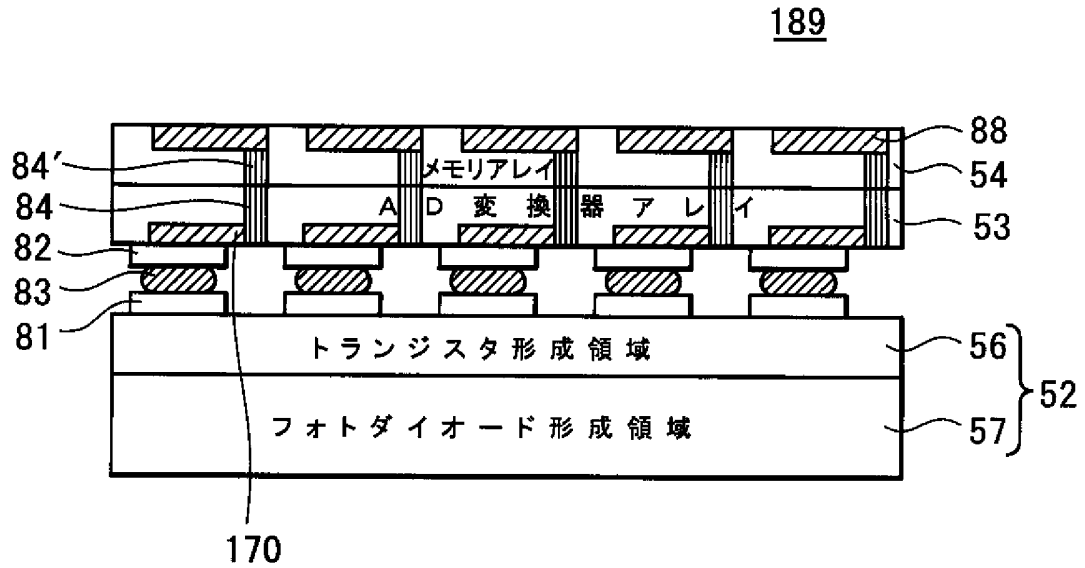
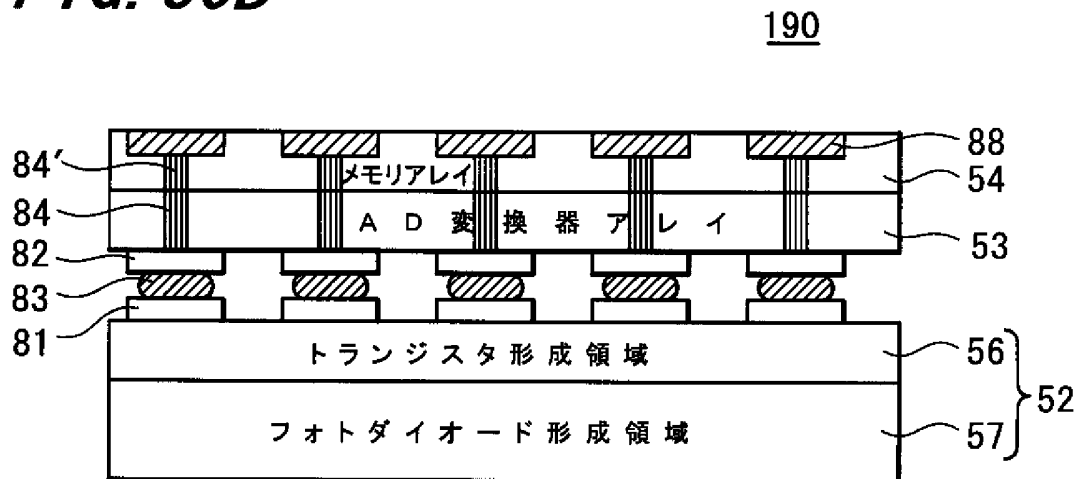
[図28]

FIG. 28A168**FIG. 28B**169

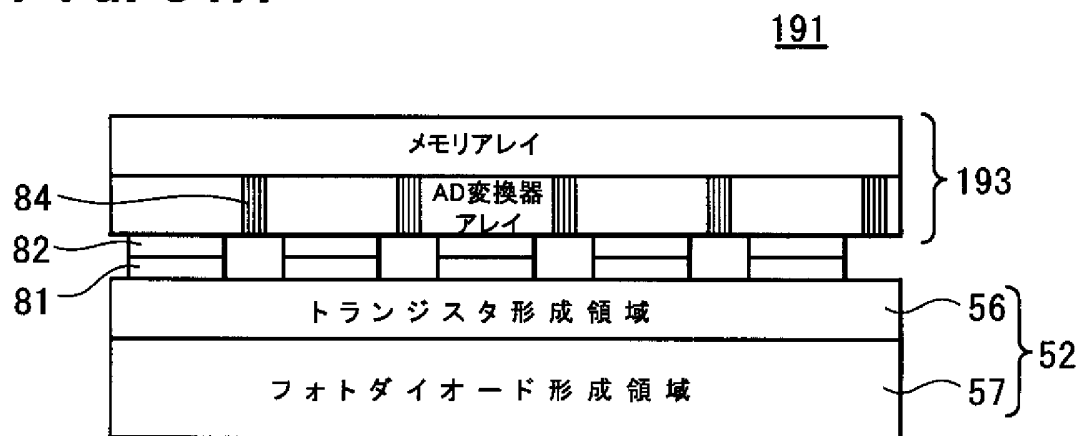
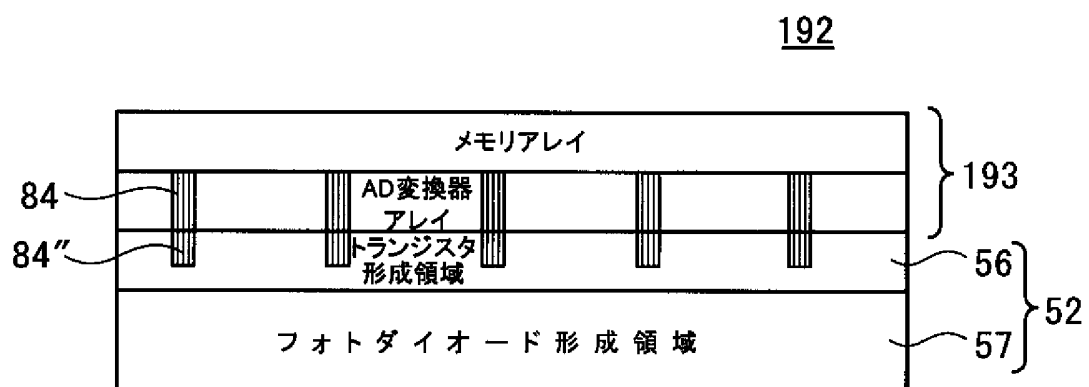
[図29]

FIG. 29A**FIG. 29B**

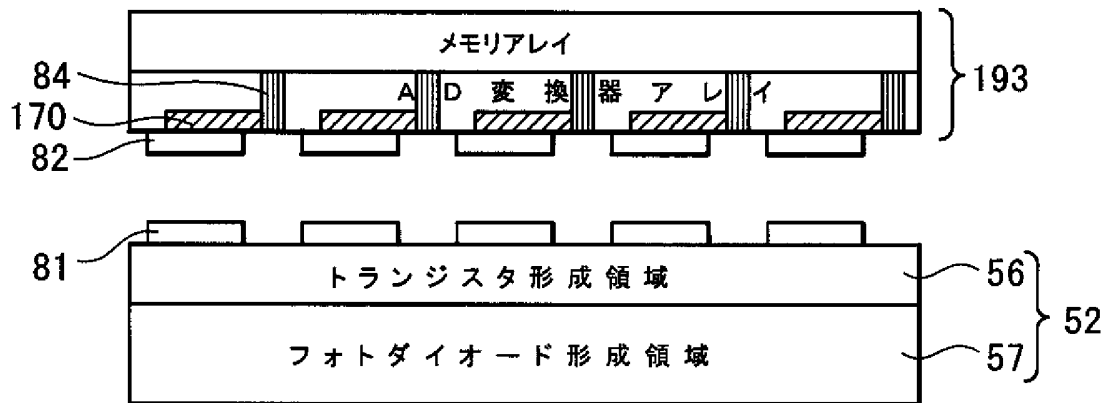
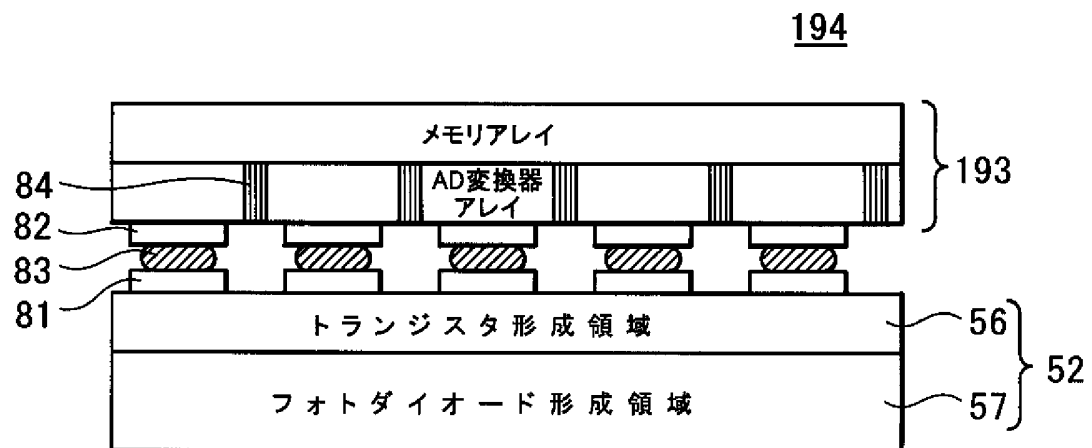
[図30]

FIG. 30A**FIG. 30B**

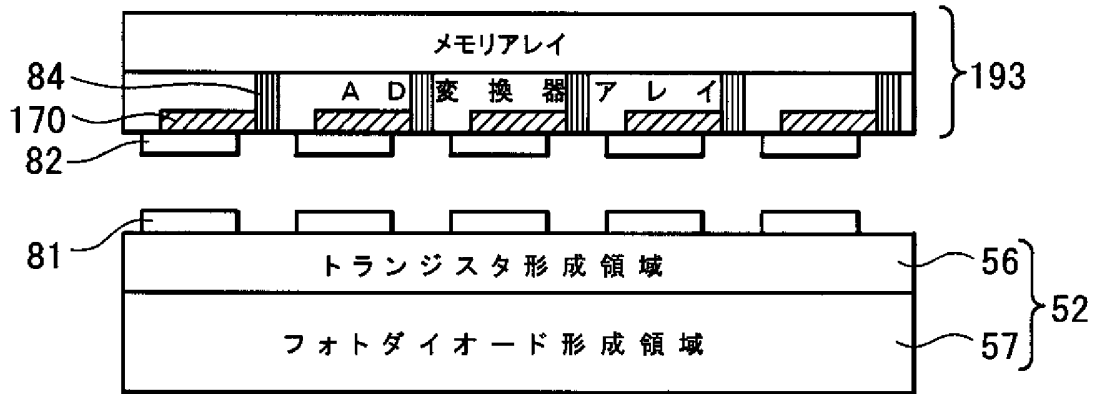
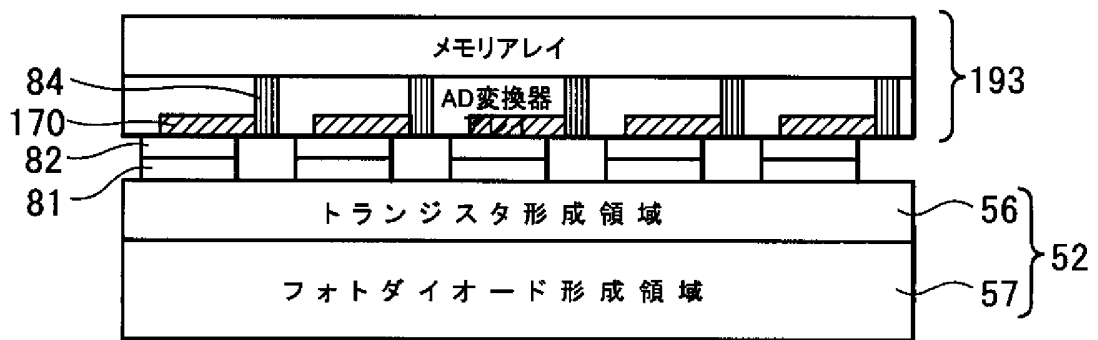
[図31]

FIG. 31A**FIG. 31B**

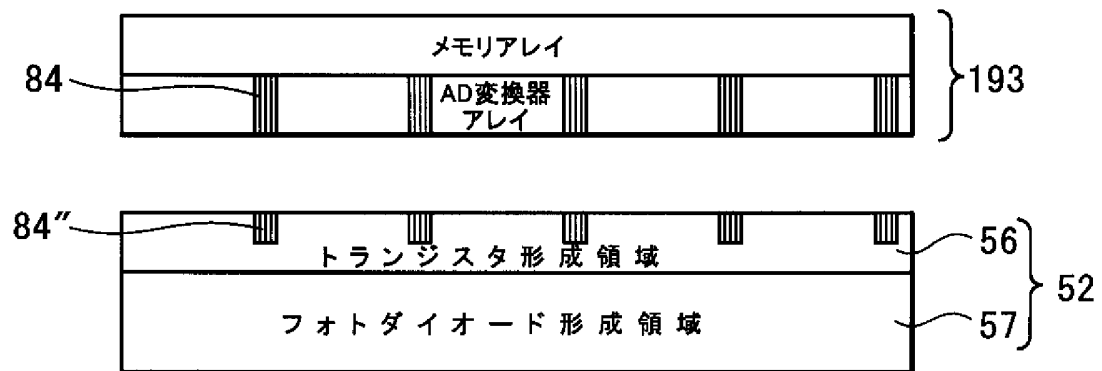
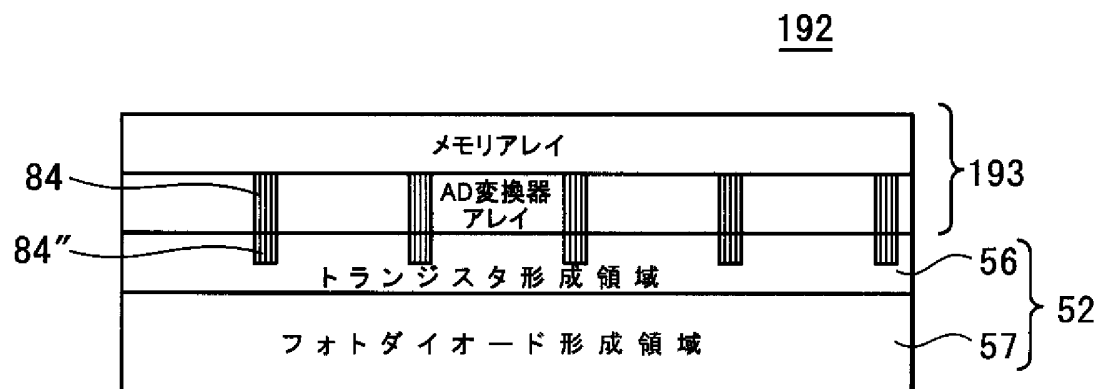
[図32]

FIG. 32A**FIG. 32B**

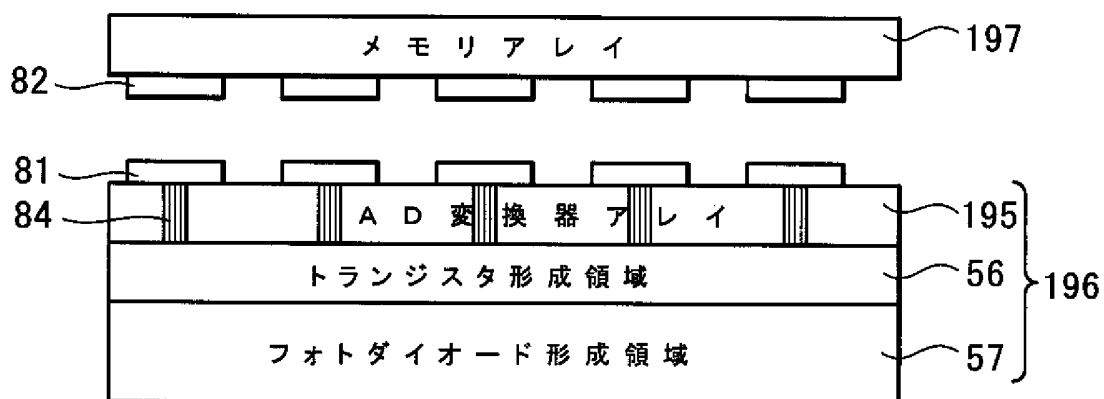
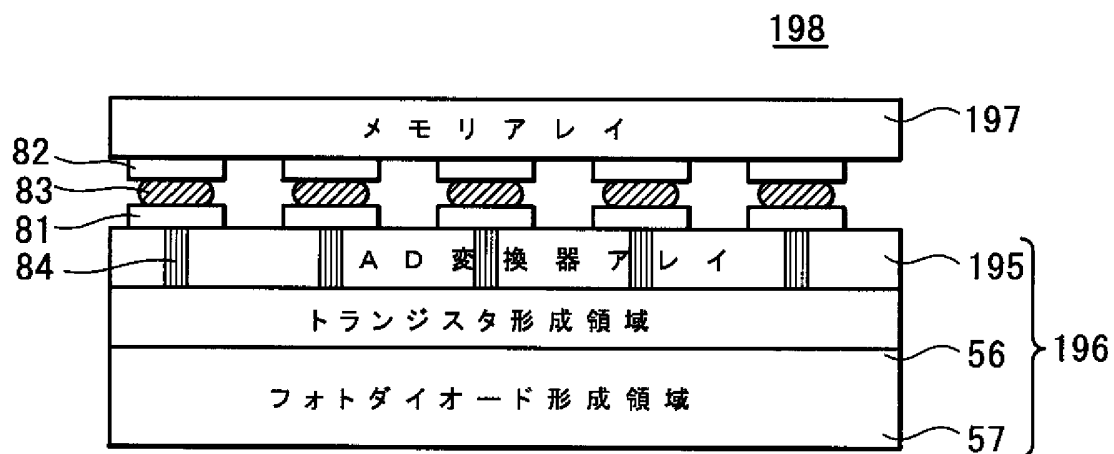
[図33]

FIG. 33A**FIG. 33B**191

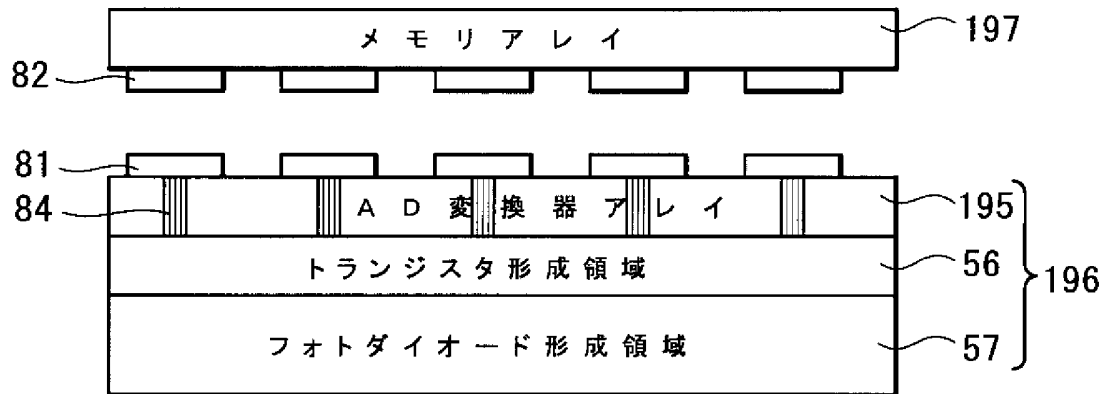
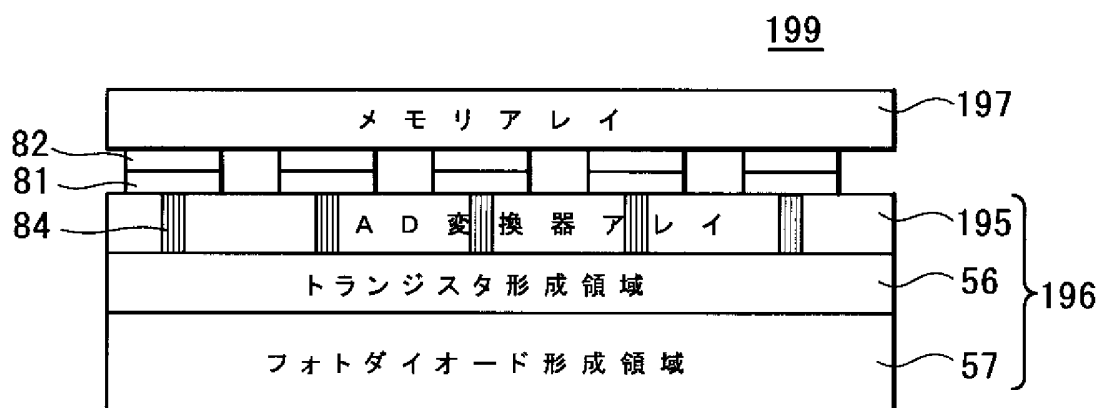
[図34]

FIG. 34A**FIG. 34B**

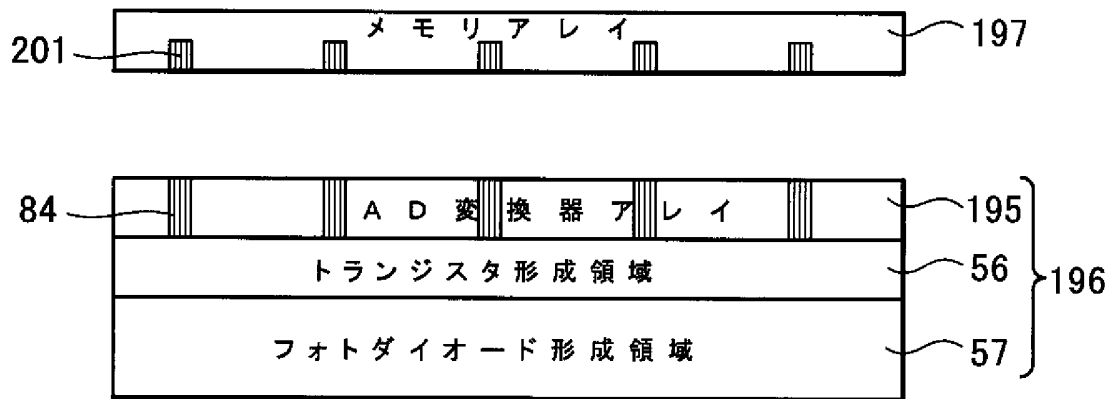
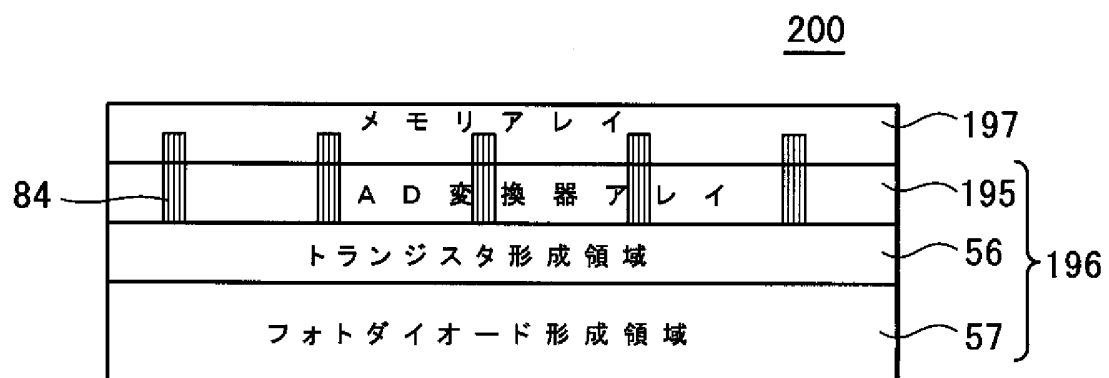
[図35]

FIG. 35A**FIG. 35B**

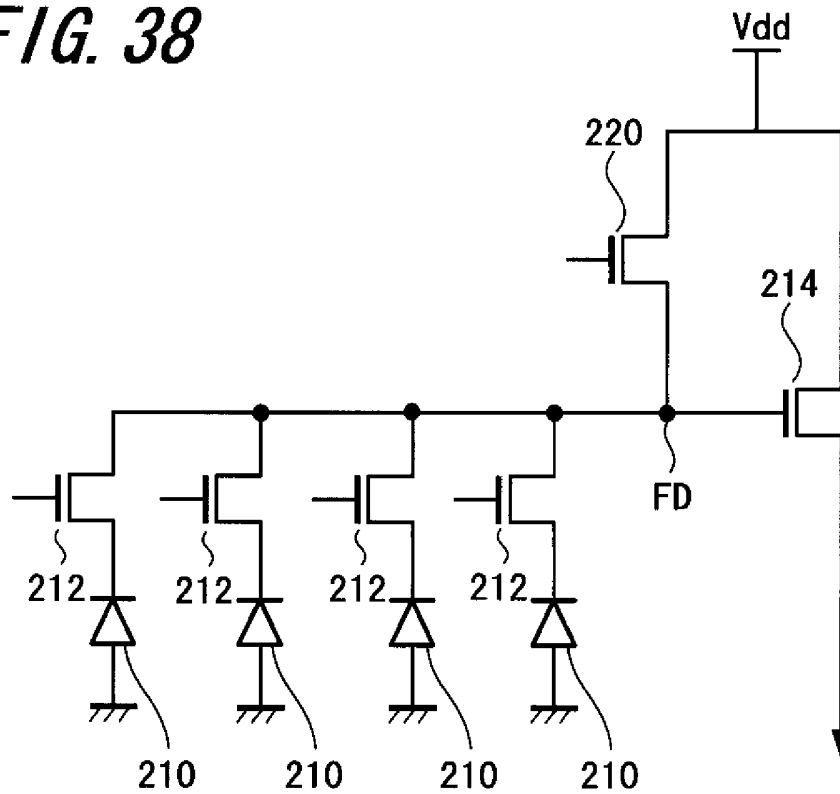
[図36]

FIG. 36A*FIG. 36B*

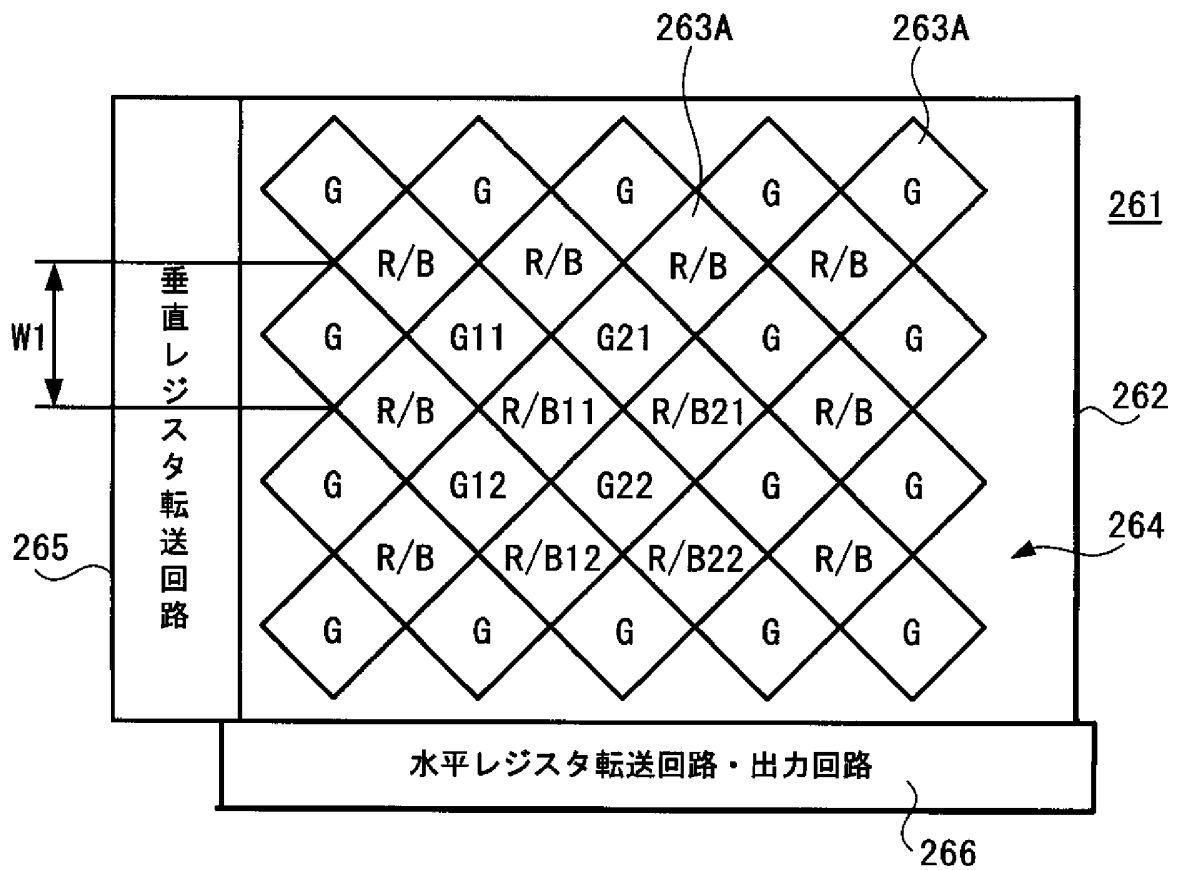
[図37]

FIG. 37A**FIG. 37B**

[図38]

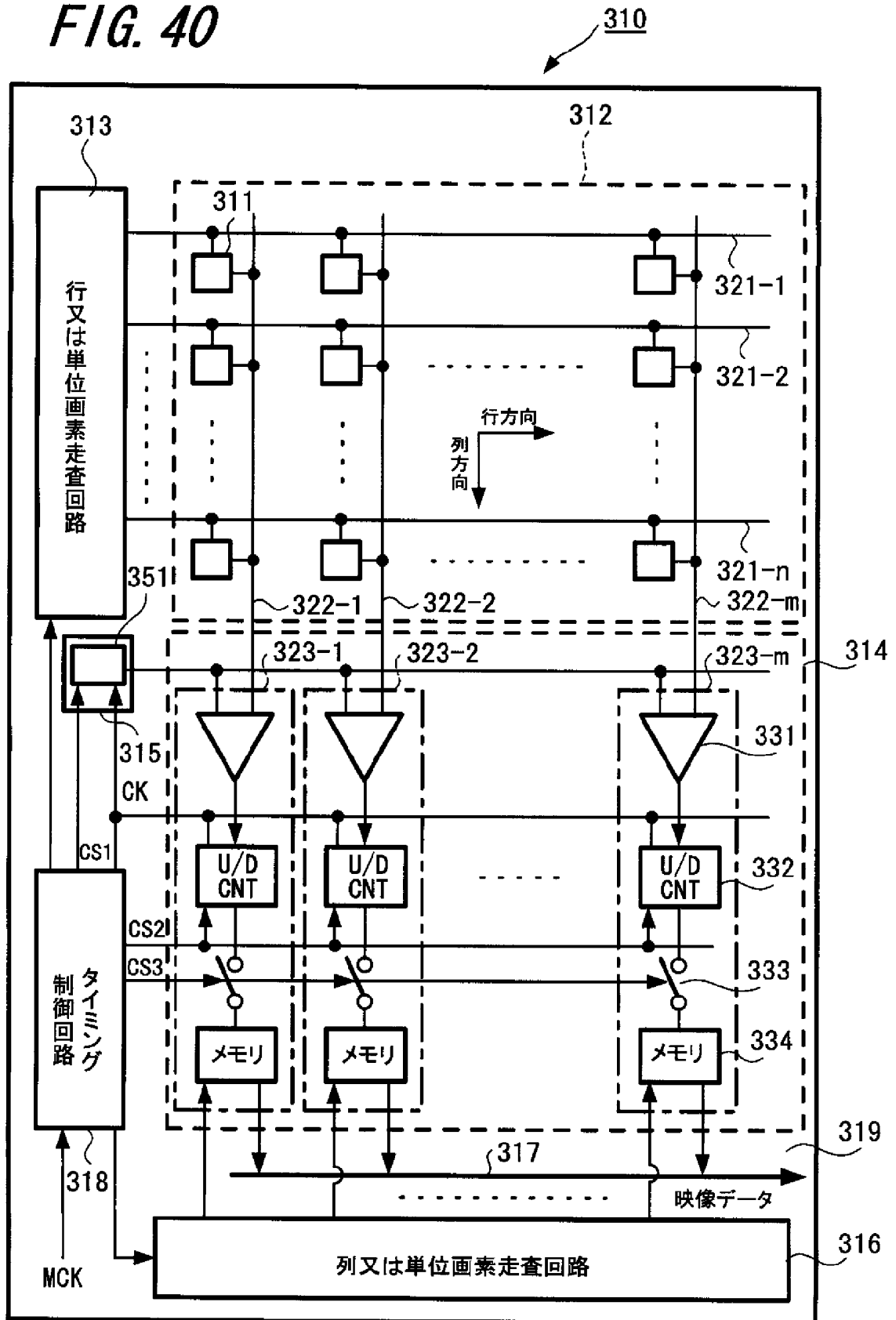
FIG. 38

[図39]

FIG. 39

[図40]

FIG. 40



[図41]

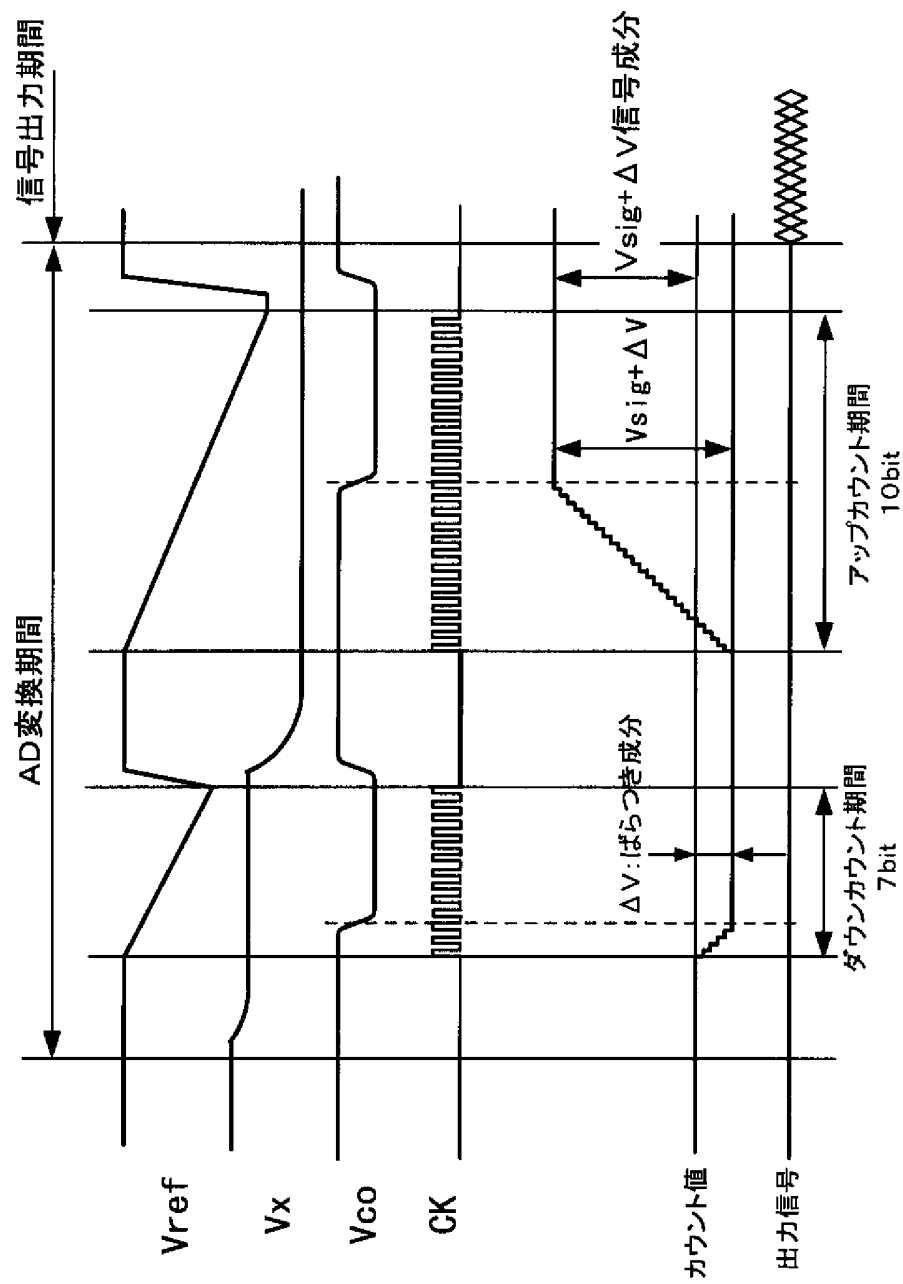


FIG. 41

[図42]

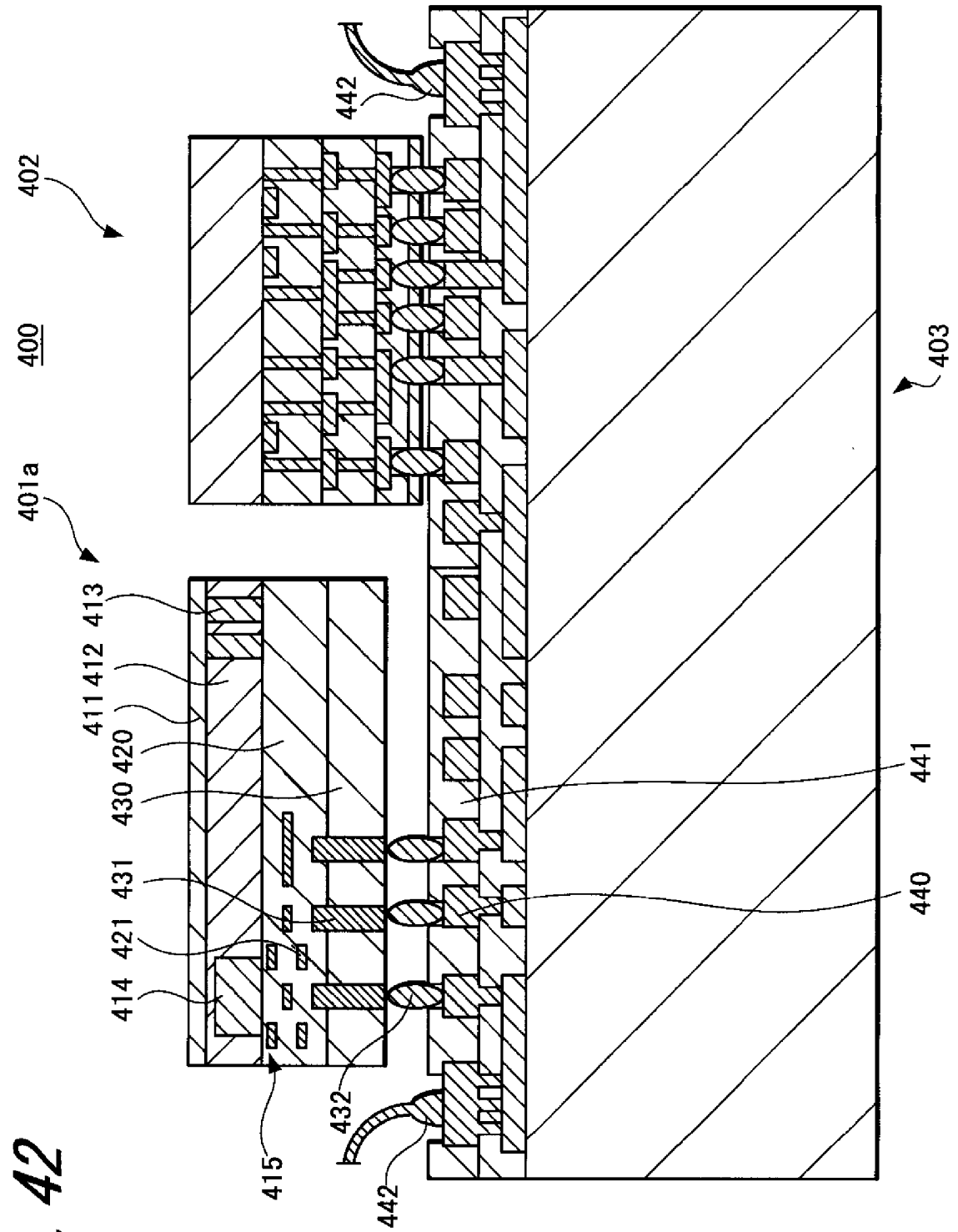
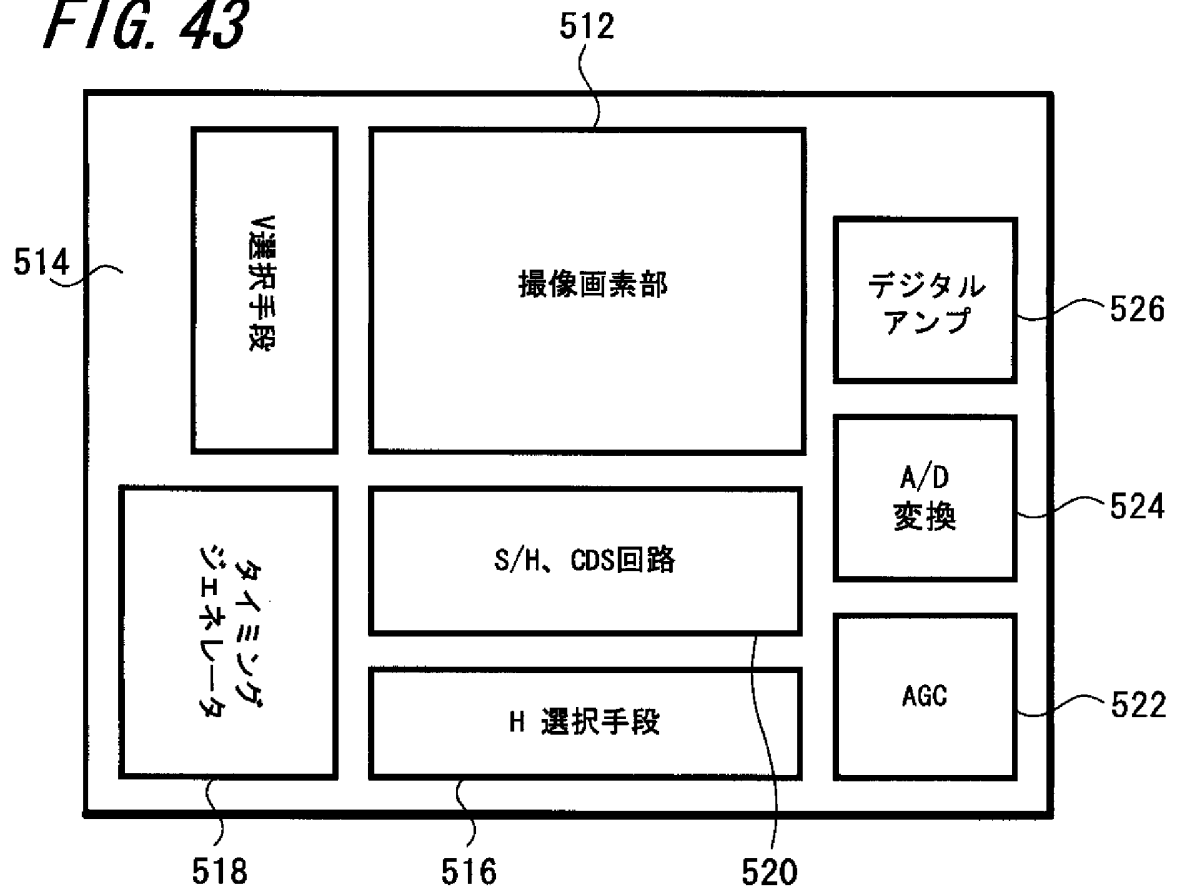
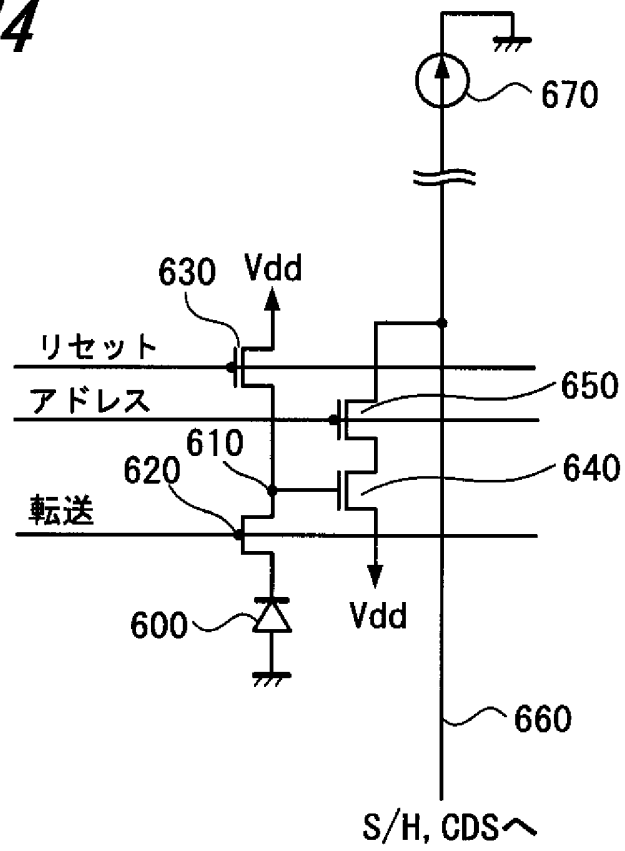


FIG. 42

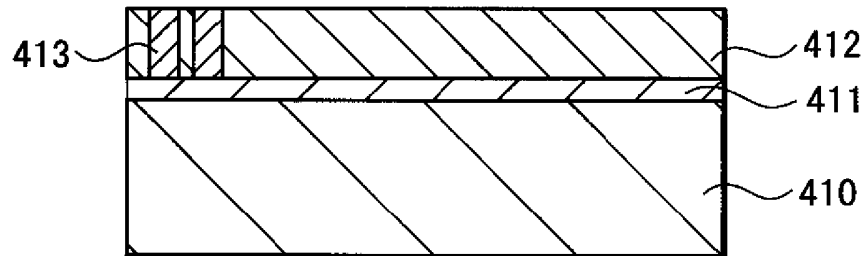
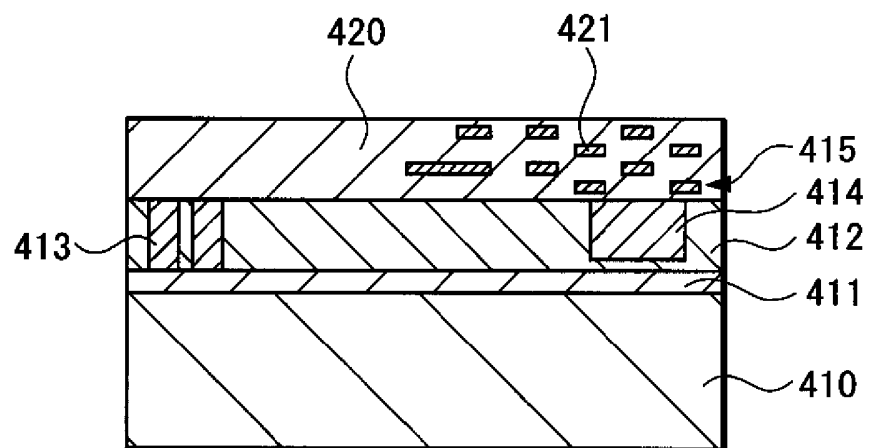
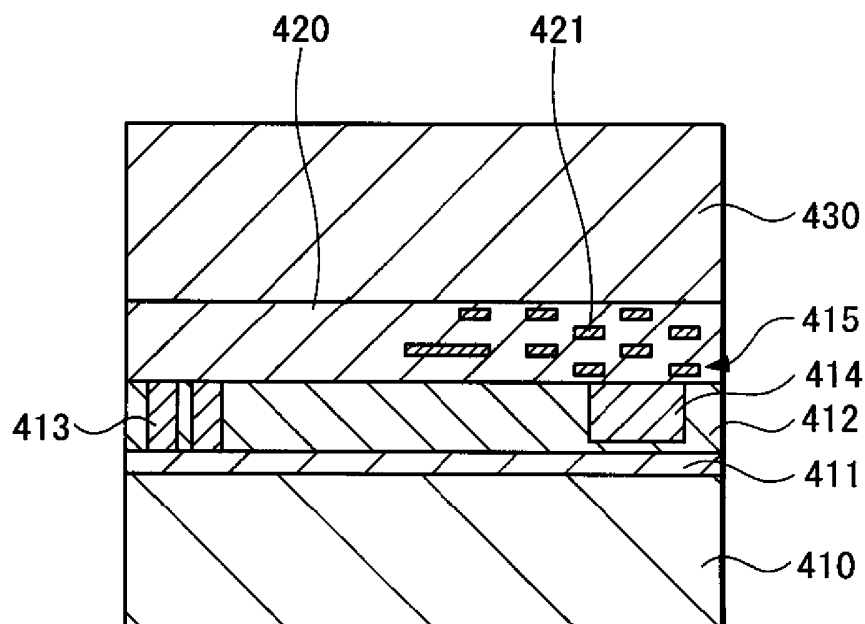
[図43]

FIG. 43

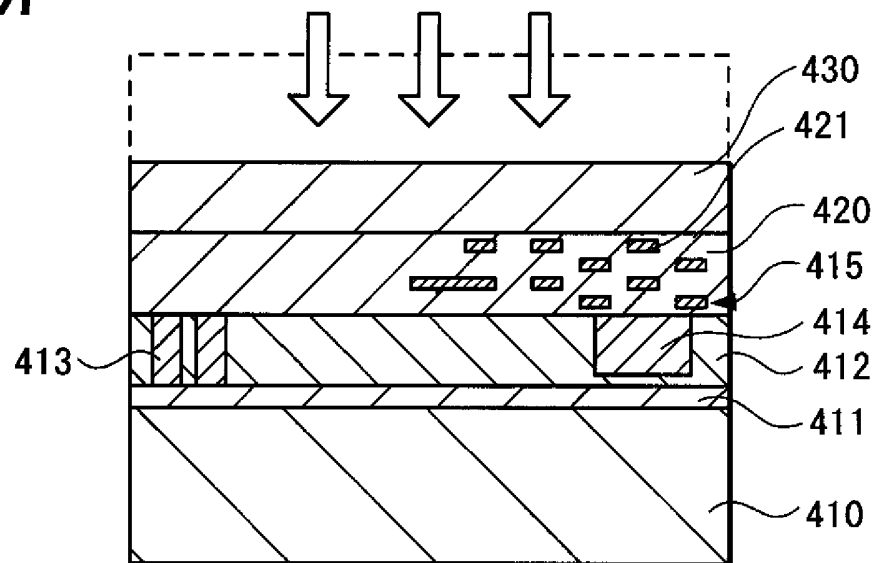
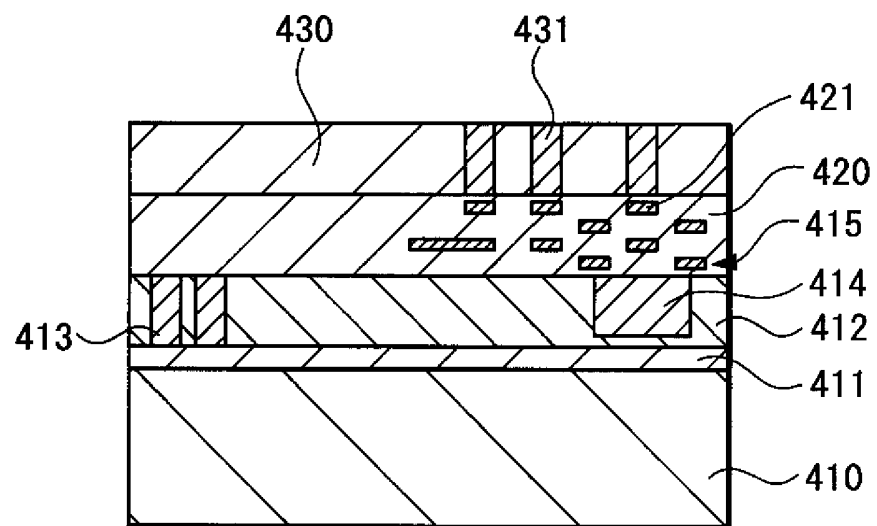
[図44]

FIG. 44

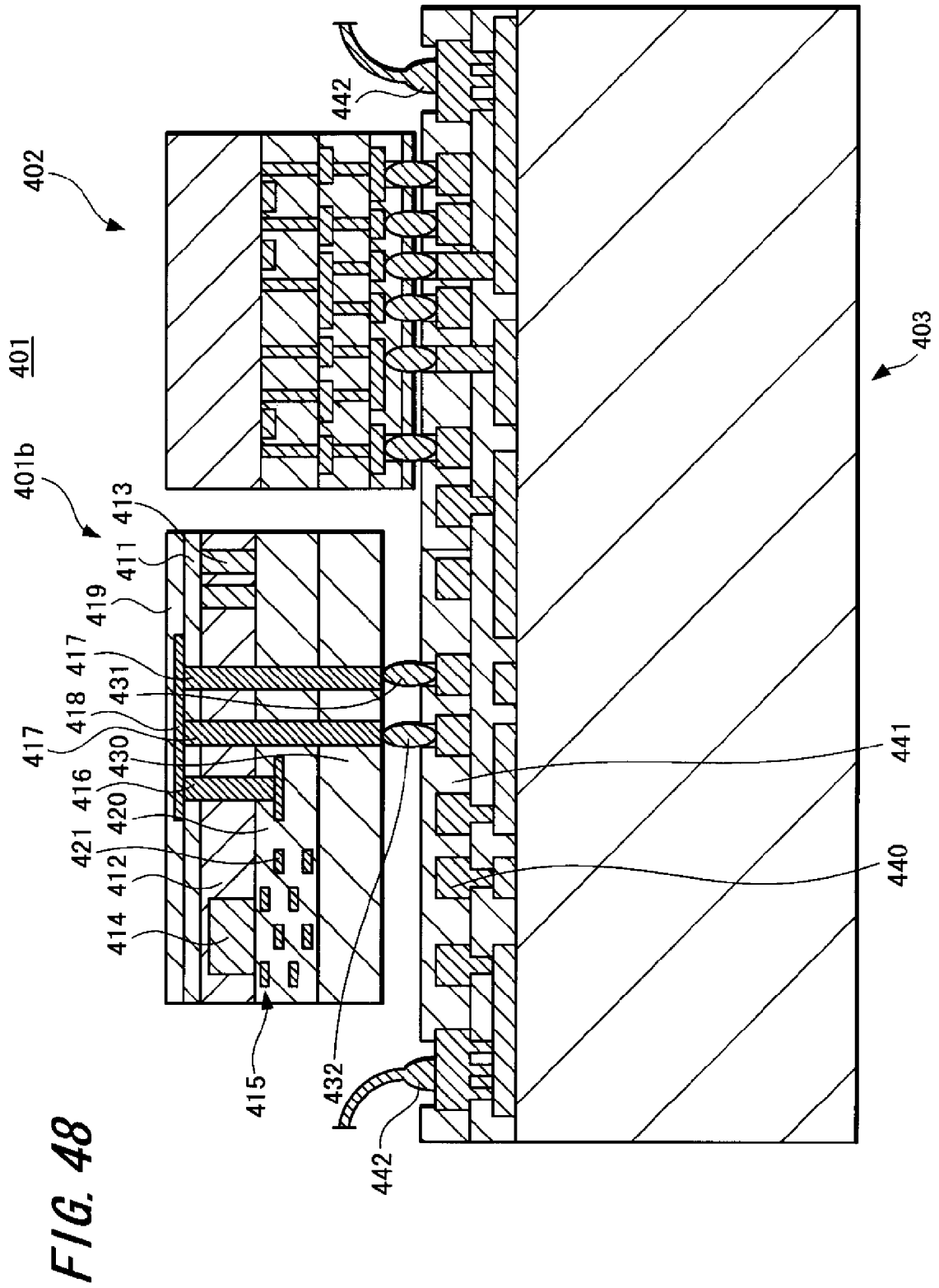
[図45]

FIG. 45A**FIG. 45B****FIG. 45C**

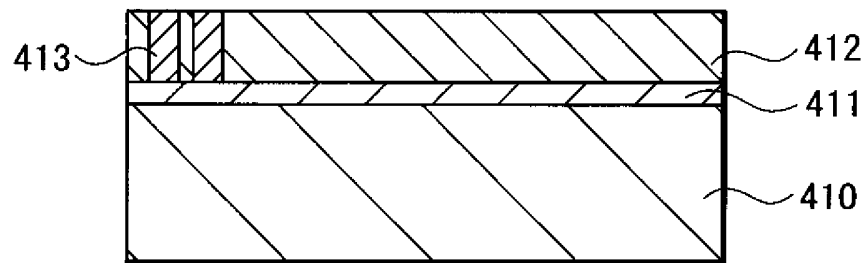
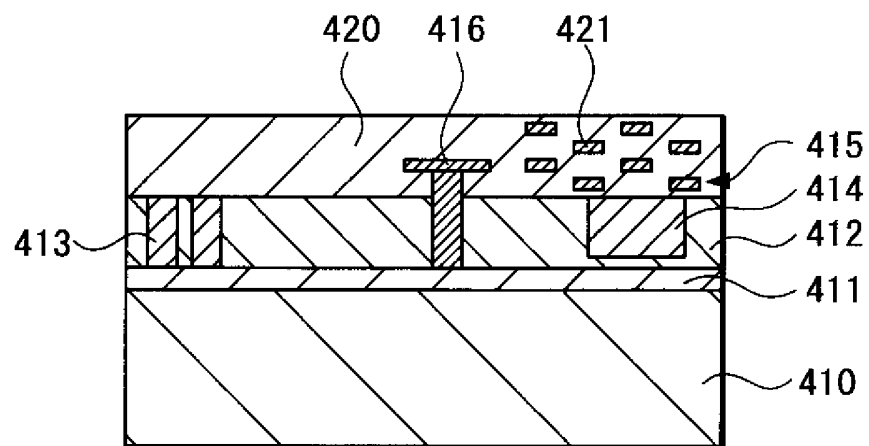
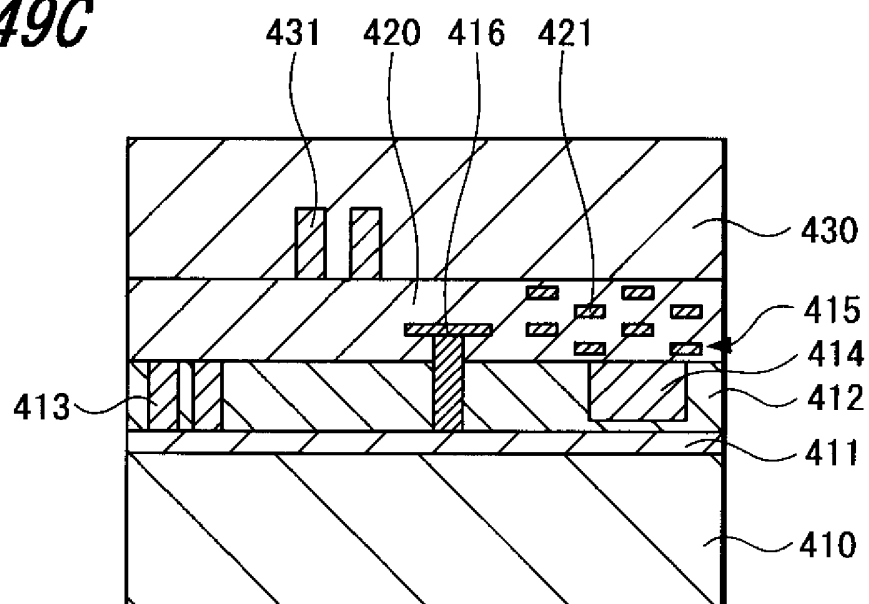
[図46]

FIG. 46A**FIG. 46B**

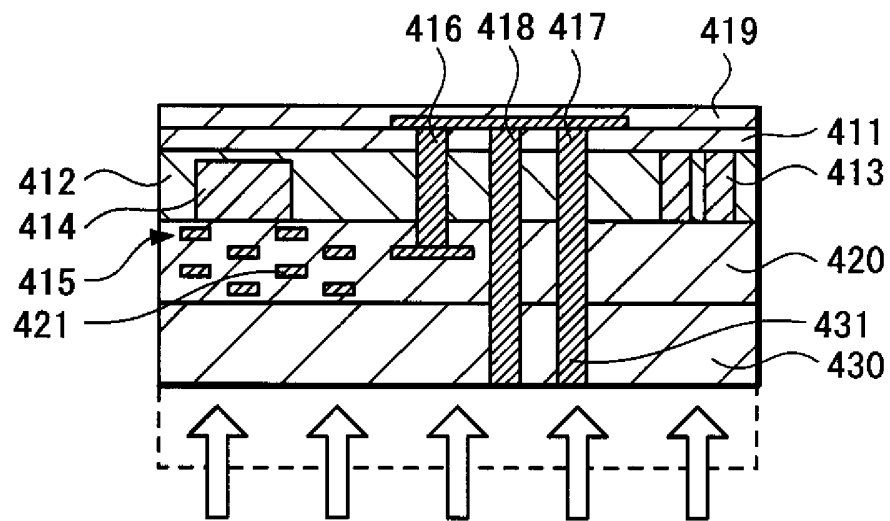
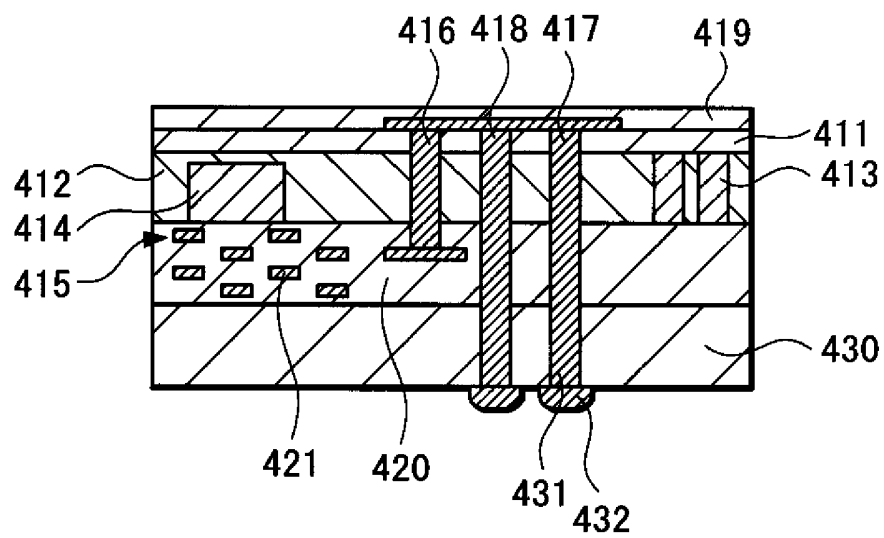
[図48]



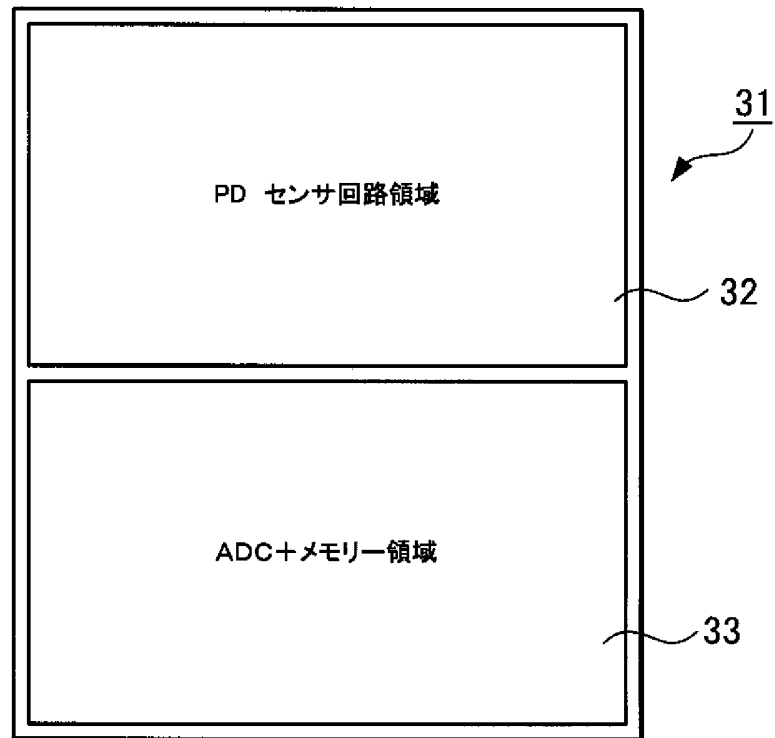
[図49]

FIG. 49A**FIG. 49B****FIG. 49C**

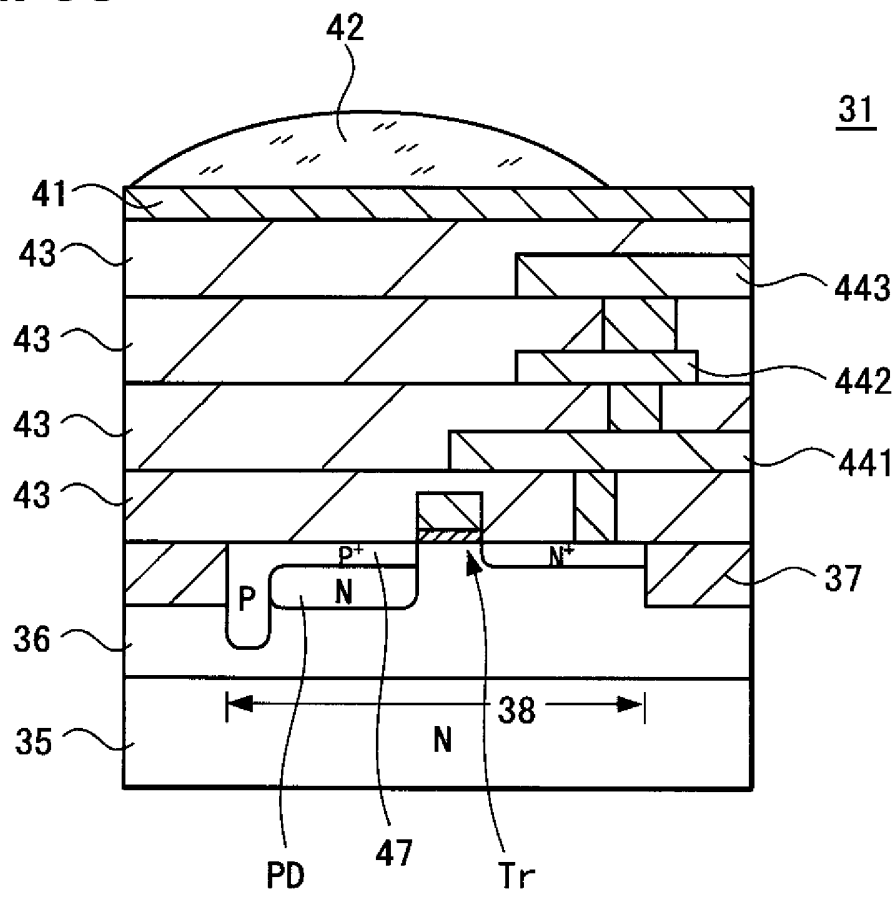
[図51]

FIG. 51A**FIG. 51B**

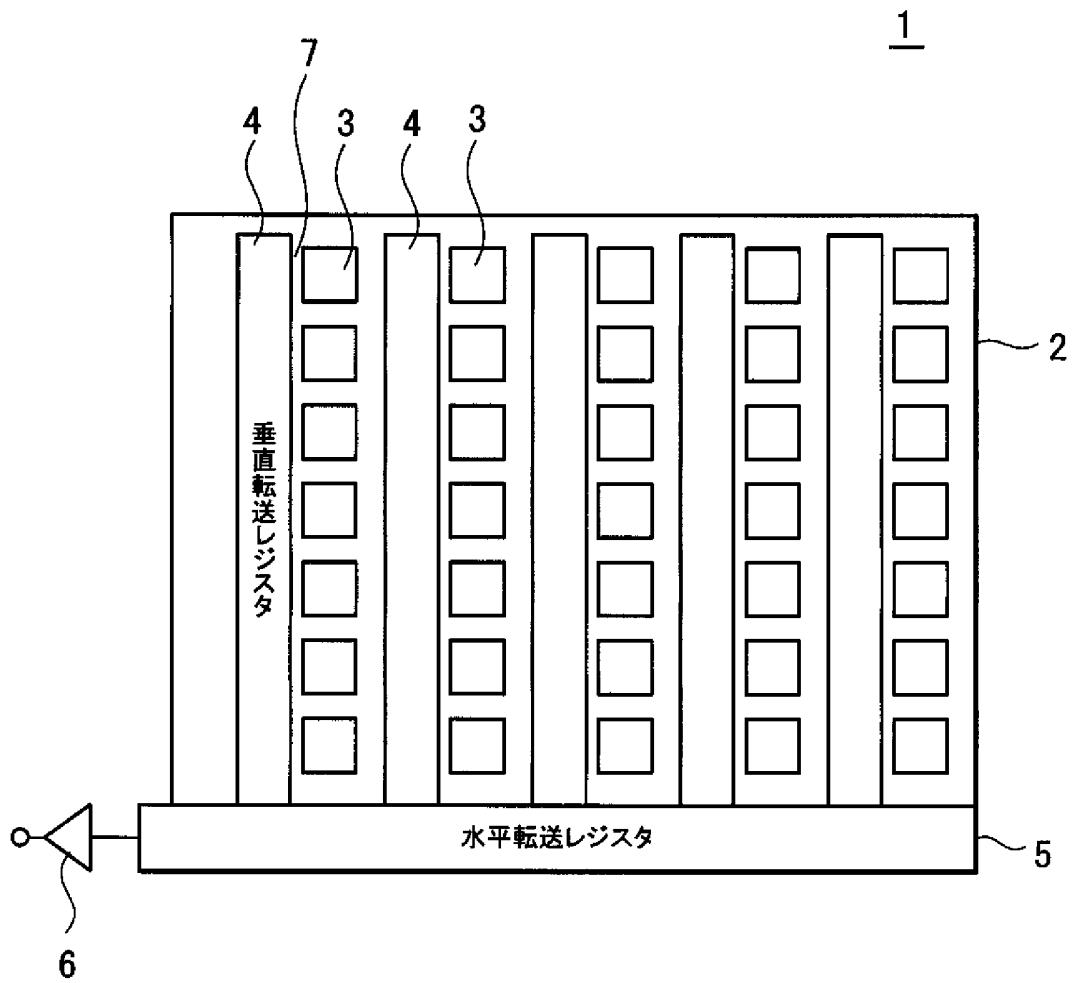
[図52]

FIG. 52

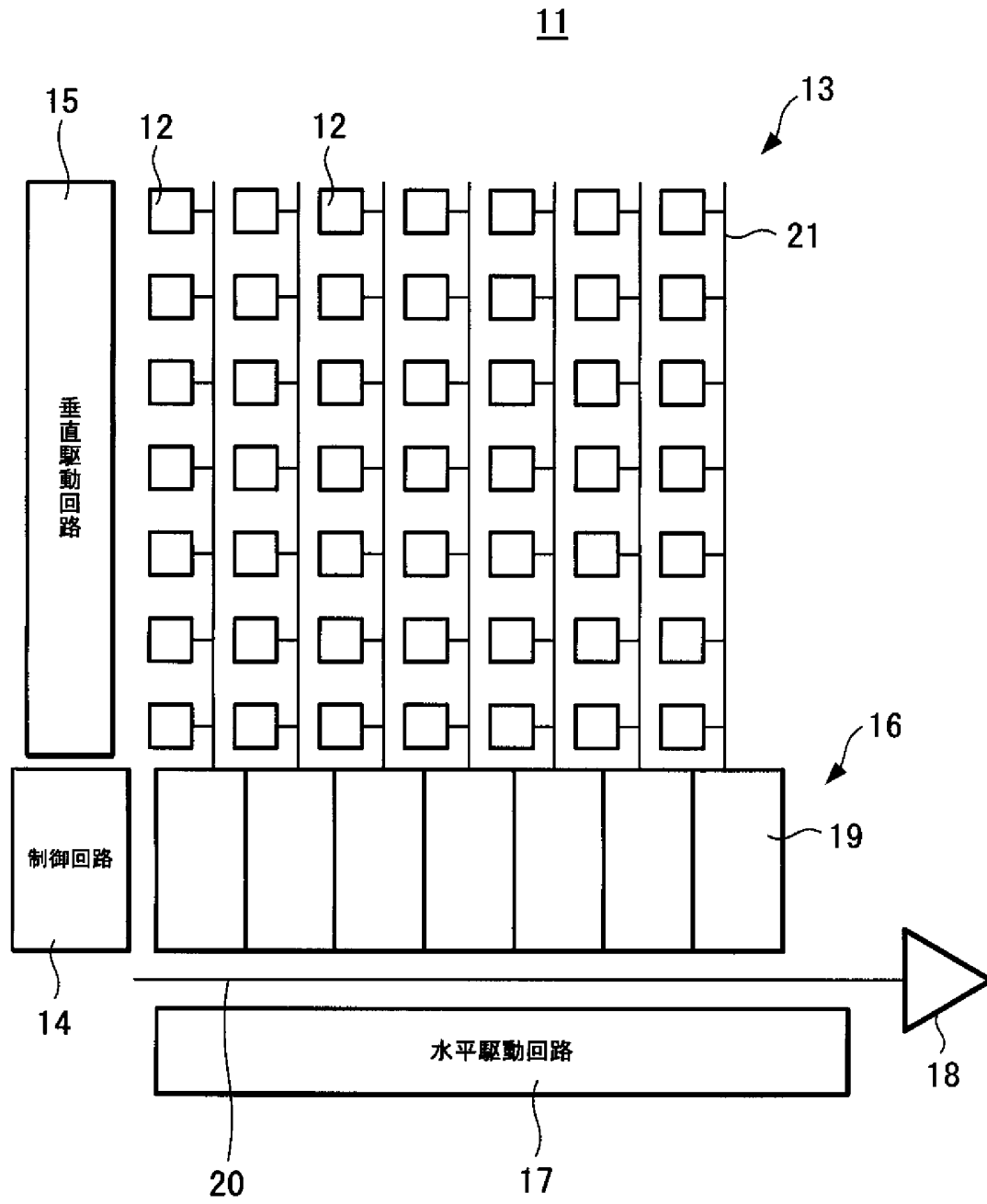
[図53]

FIG. 53

[図54]

FIG. 54

[図55]

FIG. 55

[図56]

FIG. 56A

CCDイメージセンサ

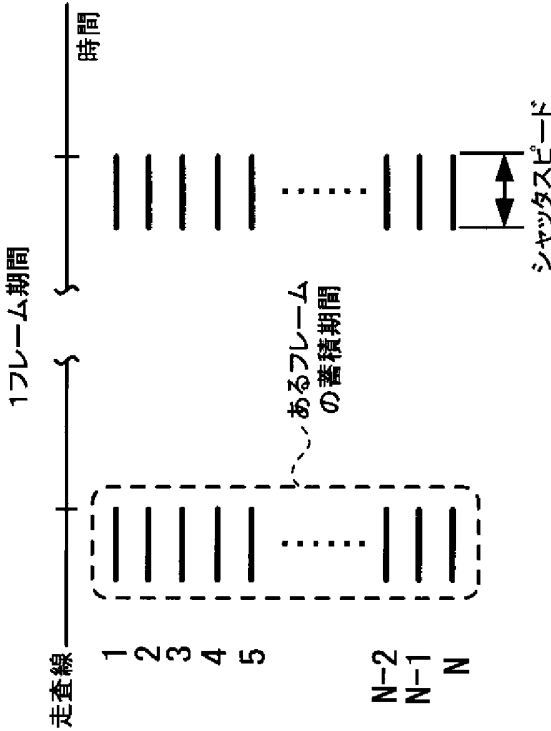
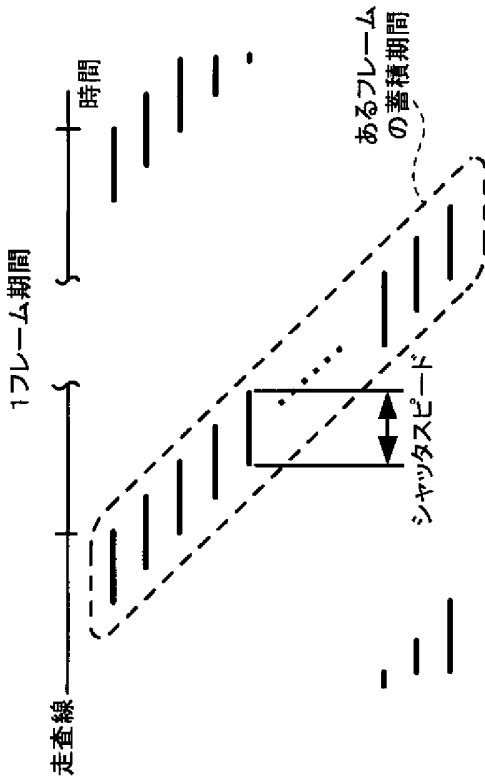
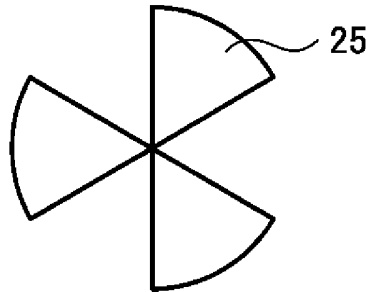
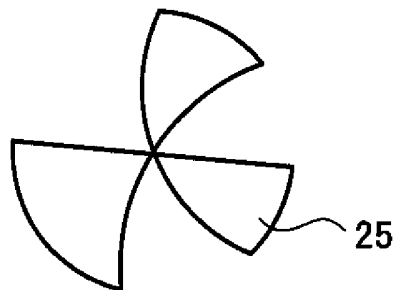


FIG. 56B

CMOSイメージセンサ



[図57]

FIG. 57A**FIG. 57B**

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311007

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L27/14(2006.01)i, H01L27/00(2006.01)i, H01L27/10(2006.01)i, H01L27/146(2006.01)i, H04N5/335(2006.01)i</i> According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>H01L27/14, H01L27/00, H01L27/10, H01L27/146, H04N5/335</i> Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006</i> <i>Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006</i> Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-339057 A (Mitsumasa KOYANAGI), 07 December, 2001 (07.12.01), Full text; all drawings (Family: none)	10, 13 1-9, 11, 12
Y	JP 2000-513518 A (SIMAGE OY Technilikantie), 10 October, 2000 (10.10.00), Full text; all drawings & WO 1997/048225 A1 & AU 9730333 A & GB 2314227 B & NO 9805823 A & EP 904655 A1 & DE 69729673 E	1-9, 11, 12
Y	JP 11-298797 A (Mitsubishi Electric Corp.), 29 October, 1999 (29.10.99), Full text; all drawings (Family: none)	2, 3, 4, 12
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 August, 2006 (22.08.06)		Date of mailing of the international search report 05 September, 2006 (05.09.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311007

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-256515 A (Toshiba Corp.), 25 September, 1998 (25.09.98), Full text; all drawings (Family: none)	2, 3, 5, 6, 12
Y	JP 2004-355670 A (Sharp Corp.), 16 December, 2004 (16.12.04), Full text; all drawings (Family: none)	2, 3, 7, 12
Y	JP 2002-43444 A (Toshiba Corp.), 08 February, 2002 (08.02.02), Full text; all drawings (Family: none)	2, 3, 8, 12
Y	JP 2000-149588 A (Hitachi, Ltd.), 30 May, 2000 (30.05.00), Full text; all drawings & KR 2000035149 A & US 2001/002884 A1 & US 2001/002885 A1	2, 3, 9, 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311007

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311007

Continuation of Box No.III of continuation of first sheet(2)

There must exist a special technical feature that links a group of inventions to form a single general inventive concept to have a group of inventions in claims satisfy the requirement of unity of invention. The group of inventions in claims 1-13 are linked merely by the feature of "a first semiconductor chip provided with an image sensor wherein a plurality of pixels are regularly arranged and each pixel is composed of a photoelectric conversion element and a transistor".

However, the feature cannot be a special technical feature, since the feature is depicted in the prior art documents, for instance, in JP 2001-339057 A (Mitsumasa KOYANAGI), 7 December, 2001 (07.12.01), full text and all drawings, and JP 2004-146816 A (Matsushita Electric Industrial Co., Ltd.), full text and all drawings.

As far as the specific embodiment of the invention in the independent claim is concerned, there are two inventions classified as [1-9, 11, 12] and [10, 13] in claims of this international application.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L27/14(2006.01)i, H01L27/00(2006.01)i, H01L27/10(2006.01)i, H01L27/146(2006.01)i, H04N5/335(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L27/14, H01L27/00, H01L27/10, H01L27/146, H04N5/335			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 0 6 年 1 9 9 6 - 2 0 0 6 年 1 9 9 4 - 2 0 0 6 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	J P 2 0 0 1 - 3 3 9 0 5 7 A (小柳光正)	10, 13	
Y	2 0 0 1 . 1 2 . 0 7 , 全文, 全図 (ファミリーなし)	1-9, 11, 12	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 2 2 . 0 8 . 2 0 0 6		国際調査報告の発送日 0 5 . 0 9 . 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 柴山 将隆 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2	4 M 3 0 3 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-513518 A (シンゲ オユ フイランド エスポ, テクニカンテイエ) 2000. 10. 10, 全文, 全図 &WO 1997/048225 A1 &AU 9730333 A &GB 2314227 B &NO 9805823 A &EP 904655 A1 &DE 69729673 E	1-9, 11, 12
Y	J P 11-298797 A (三菱電機株式会社) 1999. 10. 29, 全文, 全図 (ファミリーなし)	2, 3, 4, 12
Y	J P 10-256515 A (株式会社東芝) 1998. 09. 25, 全文, 全図 (ファミリーなし)	2, 3, 5, 6, 12
Y	J P 2004-355670 A (シャープ株式会社) 2004. 12. 16, 全文, 全図 (ファミリーなし)	2, 3, 7, 12
Y	J P 2002-43444 A (株式会社東芝) 2002. 02. 08, 全文, 全図 (ファミリーなし)	2, 3, 8, 12
Y	J P 2000-149588 A (株式会社日立製作所) 2000. 05. 30, 全文, 全図 &KR 2000035149 A &US 2001/002884 A1 &US 2001/002885 A1	2, 3, 9, 12

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2) (a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付を伴う異議申立てがなかった。

請求に範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-13に記載されている一群の発明は、「複数の画素が規則的に配列され、各画素が光電変換素子とトランジスタで構成されたイメージセンサを備えた第1の半導体チップ」という事項でのみ連関していると認める。

しかしながら、この事項は先行技術文献、例えば、JP 2001-339057 A (小柳光正) 2001.12.07, 全文, 全図及びJP 2004-146816 A (松下電器産業株式会社), 全文, 全図に記載されているため、特別な技術的特徴とはなり得ない。

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1-9, 11, 12]、[10, 13]とに区分される2個の発明が記載されていると認める。