

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 22 日 (22.12.2005)

PCT

(10) 国際公開番号
WO 2005/122246 A1

(51) 国際特許分類⁷: H01L 21/8247, 27/115, 29/788, 29/792

(21) 国際出願番号: PCT/JP2004/008319

(22) 国際出願日: 2004 年 6 月 14 日 (14.06.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): ファスルエルエルシー (SPANSION LLC) [US/US]; 940883453 カリフォルニア州サニーベイルワンエイエムディプレイス ピー・オー・ボックス 3453 California (US). Spansion Japan 株式会社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845 福島県会津若松市門田町工業団地 6 番 Fukushima (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 岡西正富 (OKANISHI, Masatomi) [JP/JP]; 〒9650845 福島県会津若松

市門田町工業団地 6 番 Spansion Japan 株式会社内 Fukushima (JP).

(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋 1-6-1 三井住友海上テブコビル Tokyo (JP).

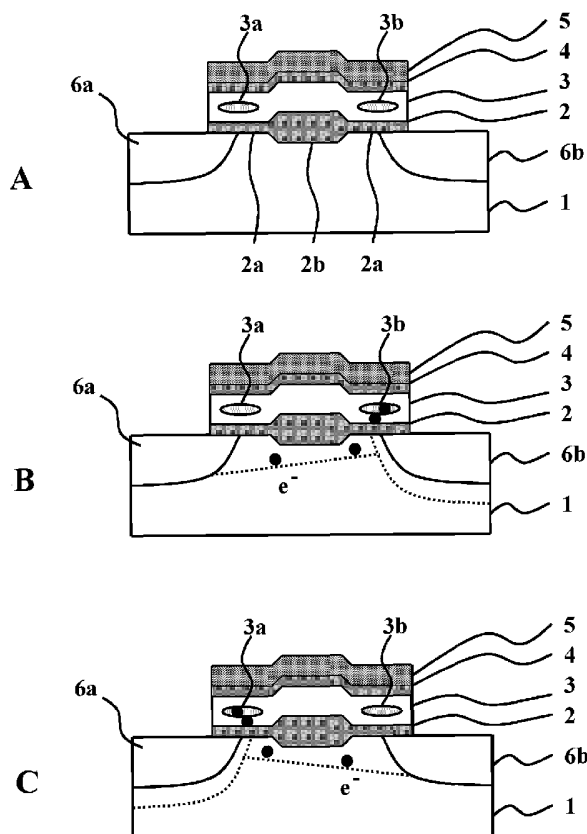
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device comprises a substrate having a pair of first diffusion region and a gate portion having an oxide film formed on the substrate and a charge storage layer formed on the oxide layer. The charge storage layer is an electrical insulating film having bit regions spaced from one another in the charge storage layer. The oxide film has a thin film portion with a thickness such that the parts corresponding to the bit regions act as a tunnel oxide film and a thick film portion with a thickness such that the parts corresponding to the regions between the bit regions suppress charge transport due to the tunnel effect.

(57) 要約: 本発明による半導体装置は、一対の第1拡散領域を有する基板と、該基板上に形成された酸化膜および該酸化膜上に形成された電荷蓄積層とを有するゲート部とを有し、前記電荷蓄積層は当該電荷蓄積層中に離隔して位置する複数のビット領域を有する電氣的絶縁膜である。また、酸化膜は、ビット領域に対応する部分がトンネル酸化膜として作用する膜厚の薄膜部およびビット領域間に位置する部分がトンネル効果による電荷輸送を抑制する膜厚の厚膜部を有している。



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置および半導体装置の製造方法

技術分野

- [0001] 本発明は半導体装置およびその製造方法に関し、より詳細には、ゲート絶縁膜中に電荷を蓄積することでデータ保持することが可能な、データの読み出し専用もしくは書き換え可能な不揮発性半導体記憶装置およびその製造方法に関する。

背景技術

- [0002] 半導体メモリは、その電源を消去すると情報も消えてしまう揮発性のものと、電源を消しても情報が保持される不揮発性のものとに大別される。後者の不揮発性メモリの代表例としては、データ消去を一斉に行うことで書き換え時間を短縮化したフラッシュメモリが知られている。
- [0003] 近年、不揮発性メモリの新しいセル構造として、MNOS (Metal (gate)–Nitride–Oxide–Silicon) 構造やSONOS (Silicon (gate)–Oxide–Nitride–Oxide–Silicon) 構造を有する多値セル構造が提唱されている。これらの構造では、ゲート電極直下のゲート絶縁膜の構造としてON (Oxide–Nitride) 構造もしくはONO (Oxide–Nitride–Oxide) 構造が採用され、トランジスタのソース・ドレイン近傍に設けられている窒化膜(Si_3N_4 膜)中に蓄積される電荷をその膜中の異なる領域に局在させて蓄積させることで多値化し、セルの高容量化と低ビットコスト化とが図られる。例えば、 Si_3N_4 膜中での電荷局在領域を2つ設けた場合には、1つのセルで2ビット(2bits/cell)のデータを記憶させることが可能となる。
- [0004] 従来の不揮発性メモリに採用されていたフローティングゲート構造は、導体の多結晶シリコンをシリコン酸化膜などの絶縁膜で挟むことで電荷を蓄積する構造であるが、電荷が蓄積される多結晶シリコンが導体であるために電荷が漏洩してデータが消失してしまうという問題が生じ得るのに対して、MNOS構造やSONOS構造では絶縁層の窒素化合物に電荷を蓄積するため、かかる問題が生じないという大きな利点がある。
- [0005] 図1Aおよび図1Bは、SONOS構造のゲート部と埋め込みビットライン構造のソース

／ドレイン部を有する多値セルメモリの作製方法の従来例を説明するためのメモリの断面図で、図1Aはメモリのコア領域、図1Bはメモリ周辺部の様子を図示している。

[0006] このメモリのコア領域は、例えばp型半導体基板100の主表面に、例えばAs拡散によりビットラインとして設けられたn型拡散領域102が相互に所定の間隔で設けられている。このn型拡散領域102相互の間がチャンネル領域となる。このチャンネル領域およびn型拡散領域102の上には、一様な膜厚のトンネル酸化膜103が形成されている。そして、トンネル酸化膜103の上には、窒化膜104、上部酸化膜105および図示しない制御ゲートが順次積層され、これら4層でゲート部が構成されている。窒化膜104は電氣的絶縁膜であり、トンネル酸化膜103を介して注入された電子はこの窒化膜104中に蓄積される。

[0007] 導電体の浮遊ゲートを用いた従来のメモリでは、トンネル酸化膜を介して注入された電子が浮遊ゲート中で均一な電界分布となるように空間的に分布するために浮遊ゲート全域が電荷蓄積領域となる結果、1つのセルについて1つのビットのみが形成される。これに対して、MNOS構造やSONOS構造のゲート部を有するメモリにおいては、絶縁膜たる窒化膜104に注入された電子はこの窒化膜104中に拡散することなく局在化して蓄積され多ビット化(多値化)されることとなる。なお、コア領域のp型半導体基板100には、各ビットの閾値を調整する目的でチャンネルイオン注入101が行われている。

[0008] 一方、メモリ周辺部(周辺回路部)には、半導体基板100の主表面にウェル領域106が所定の間隔で設けられている。そして、これらウェル領域106の相互間には、薄く形成した酸化膜108を局所的に厚くして素子分離用のLOCOS107が形成されている。なお、酸化膜108およびLOCOS107の上には窒化膜104と上部酸化膜105とが順次積層されている。

[0009] このような多値セルは、例えば以下のような手順で作製することができる。まず、半導体基板100の主表面上に薄い酸化膜を形成し、周辺回路部にイオン注入によりウェル領域106を形成する。具体的には例えば、半導体基板100表面上に形成した薄い酸化膜上にレジスト塗布してこれをパターニングし、このレジストパターンをマスクとしてイオン注入することでウェル領域106を形成する。

- [0010] 次に、周辺回路部に素子分離用のLOCOS107を形成する。これは例えば、半導体基板100上にSiN膜を形成してその上にレジスト塗布後パターニングして素子分離LOCOS形成用レジストパターンとし、これをマスクとしてSiN膜をエッチングする。そして、この開口部分を介して半導体基板100を局所的に酸化してLOCOS107を形成し、レジスト剥離後にコア領域に残存しているSiN膜を除去するといった手順で実行される。
- [0011] さらに、レジストを塗布してこれをパターニングし、このレジストパターンをマスクとして開口部分にイオン注入する。これにより、コア領域への閾値調整用のチャネルイオン注入101が実行される。
- [0012] これに続いて、レジストと薄い酸化膜とを除去してトンネル酸化膜103および電荷蓄積用の窒化膜104を形成し、レジストパターニングによりn型拡散領域102(ビットライン拡散層)を形成する部分のみを開口してイオン注入によりn型拡散領域102を形成する。
- [0013] 最後に、レジストを除去して窒化膜104上に上部酸化膜105を堆積する。
- [0014] このようなSONOS構造を有する多値セルへの書き込みは、1セル内に設けられた複数のビットのそれぞれに対して独立して行われ、セルの高容量化と低ビットコスト化とが図られることとなる。

発明の開示

発明が解決しようとする課題

- [0015] しかしながら、MNOS構造やSONOS構造を有する従来構成の多値セルでは、トンネル酸化膜が均一な厚みで一様に形成されているために、ソース領域とドレイン領域のポテンシャル傾斜によって決まる電子注入位置によって電荷の蓄積場所が決定されることとなる。ところが、データの書き込みが進行し各ビット内に蓄積される電荷量が増大すると、多くの電荷量を蓄積したビット領域は窒化膜内でドレイン近傍からチャネル中央側へと次第に広がる傾向がある。このようなビット領域の広がり、少量の電荷を蓄積しているに過ぎない他のビットに、恰も実際の電荷蓄積量以上の電荷が蓄積されているのと同様に作用し、そのビットの閾値をも上昇させることとなってデータの読み出しエラーなどが発生するという問題がある。

[0016] 本発明は、かかる問題に鑑みてなされたもので、その目的とするところは、同一セル内に複数設けられたビットへの個々への書き込み動作が他ビットへの書き込み量に依存することなく正常に行われ、さらには、書き込み・読み出し特性を損なうことなくSONOS構造セルのいっそうの微細化を可能とする半導体装置およびその製造方法を提供することにある。

課題を解決するための手段

[0017] 本発明は、かかる課題を解決するために、一对の第1拡散領域を有する基板と、該基板上に形成された酸化膜および該酸化膜上に形成された電荷蓄積層とを有するゲート部とを有し、前記電荷蓄積層は当該電荷蓄積層中に離隔して位置する複数のビット領域を有する電氣的絶縁膜であり、前記酸化膜は、前記ビット領域の各々に対応する部分がトンネル酸化膜として作用する膜厚の薄膜部と、前記ビット領域間に位置する部分がトンネル効果による電荷輸送を抑制する膜厚の厚膜部とを有する半導体装置である。

[0018] 上記半導体装置において、前記一对の第1拡散領域は何れも、バイアス条件に応じてソース領域もしくはドレイン領域となるソース／ドレイン領域であり、当該一对の第1拡散領域はチャンネル領域の両端に対称に設けられていることが好ましい。

[0019] また、上記半導体装置において、前記基板には、前記ビット領域の閾値を調整するための閾値調整領域が設けられていることが好ましい。

[0020] また、上記半導体装置において、前記基板の表面近傍領域全面に第2拡散領域が設けられている構成とすることができる。第2拡散領域は、前記一对の第1拡散領域の間に設けられている構成であってもよい。この場合、前記第2拡散領域は、前記一对の第1拡散領域とは独立に設けられていることが好ましい。そして、前記第2拡散領域は前記一对の第1拡散領域とは離間配置されており、前記チャンネル領域の中央部にのみ設けられていることが好ましい。また、前記第2拡散領域は、前記基板の表面から垂直下方に延在して設けられていることが好ましい。

[0021] また、前述した閾値調整領域は、イオン注入により形成された領域であることが好ましい。

[0022] 更に、上記前記第1拡散領域は埋め込みビットライン構造を有し、上記一对の第1

拡散領域が複数配列されて構成されている構成とすることができる。

[0023] また、上記半導体装置において、例えば前記基板はシリコンであり、前記酸化膜はシリコン酸化膜であり、前記電荷蓄積層はシリコン窒化膜とすることができる。この場合、前記ゲート部は例えば、MNOS構造もしくはSONOS構造を有する。

[0024] また、上記半導体装置において、例えば前記第2拡散領域のドーパントは硼素であり、前記第1拡散領域のドーパントは砒素である。

[0025] 本発明はまた、基板表面上に一様な膜厚のトンネル酸化膜を形成する第1のステップと、前記トンネル酸化膜下の前記基板表面に一对の第1拡散領域を形成する第2のステップと、前記一对の第1拡散領域上であって前記トンネル酸化膜上に表面保護膜を堆積させる第3のステップと、前記表面保護膜を介して露出している前記基板表面を再酸化してトンネル効果による電荷輸送を抑制する厚みの酸化膜をセルフアラインで形成する第4のステップと、を備えている半導体装置の製造方法である。

[0026] この製造方法において、前記第1および第4のステップの酸化は例えば、熱酸化もしくはプラズマ酸化により実行される。

[0027] また、前記一对の第1拡散領域間の前記基板中に、当該基板表面から垂直に延在する第2拡散領域を形成する第5のステップを備えている構成とすることができる。この場合、前記第5のステップは、前記第1の表面保護膜のサイドウォールを用いたセルフアラインで実行されることが好ましい。また、前記第2拡散領域は、イオン注入で形成されることが好ましい。

[0028] 上記製造方法において、前記第2のステップは、サイドウォールが設けられたウィンドウを有するパターニングされたレジストを形成するステップを含み、前記一对の第1拡散領域は、前記サイドウォールを用いたセルフアラインで形成されることが好ましい。この場合、前記第1拡散領域は、イオン注入で形成されることが好ましい。

発明の効果

[0029] 本発明の半導体装置が備えているトンネル酸化膜は、データの書き込み・消去を行うべく薄く形成された両端部と、電子がトンネルしないように厚く形成されたチャネル中央部とを有するように形成されている。この結果、チャネル中央部を挟んで配置される各ビットの閾値は他のビットに蓄積されている電荷量に影響を受けることがなく

なり、各ビットの閾値変動(上昇)が生じないためにデータの読み出しエラーの問題を解決できる。また、同一セル内に複数設けられた各ビットの個々への書き込み・消去動作も他ビットの電荷蓄積量に依存することなく正常に実行可能となる。

[0030] また、本発明の半導体装置は、サイドウォール窒化膜をマスクとして利用して閾値調整用のイオン注入領域を形成することとしたので、任意のエネルギーおよび／またはドーズ量のイオンを閾値調整用チャネルイオン注入領域のみに正確に注入することが可能となり、書き込み特性や読み出し特性の向上を図ることが可能となる。

[0031] さらに、本発明の半導体装置は、サイドウォール窒化膜をマスクとして利用して拡散領域を形成することとしたので、拡散領域の形成を高い位置精度で行うことが可能となり、書き込み特性や読み出し特性を損なうことなく更なる微細化を図ることが可能となる。

図面の簡単な説明

[0032] [図1]第1A図は、SONOS構造のゲート部と埋め込みビットライン構造のソース／ドレイン部を有する多値セルメモリの作製方法の従来例を説明するためのメモリのコア領域の断面図、及び第1B図は、SONOS構造のゲート部と埋め込みビットライン構造のソース／ドレイン部を有する多値セルメモリの作製方法の従来例を説明するためのメモリの周辺領域の断面図である。

[図2]第2A図は、本発明の半導体装置の基本構造例を説明するためのセルの断面図、及び第2B図は、本発明の半導体装置の動作原理を説明するためのコア領域の模式断面図、及び第2C図は、本発明の半導体装置の動作原理を説明するためのセルの周辺領域の模式断面図である。

[図3]第3A図は、SONOS構造のゲート部と埋め込みビットライン構造のソース／ドレイン部を有する本発明の半導体装置の第1の構成例を説明するためのコア領域の断面図、及び第3B図は、SONOS構造のゲート部と埋め込みビットライン構造のソース／ドレイン部を有する本発明の半導体装置の第1の構成例を説明するためのセルの周辺領域の断面図である。

[図4]第4A図乃至第4C図は、第3A図および第3B図に図示した半導体装置の製造工程を説明するための図である。

[図5]第5D図乃至第5F図は、第3A図および第3B図に図示した半導体装置の製造工程を説明するための図である。

[図6]第6G図乃至第6I図は、第3A図および第3B図に図示した半導体装置の製造工程を説明するための図である。

[図7]第7A図は、SONOS構造のゲート部と埋め込みビットライン構造のソース／ドレイン部を有する本発明の半導体装置の第2の構成例を説明するためのコア領域の断面図、及び第7B図は、SONOS構造のゲート部と埋め込みビットライン構造のソース／ドレイン部を有する本発明の半導体装置の第2の構成例を説明するためのセルの周辺領域の断面図である。

[図8]第8A図乃至第8C図は、第7A図および第7B図に図示した半導体装置の製造工程を説明するための図である。

[図9]第9A図乃至第9D図は、第3の実施例のn型拡散領域の形成プロセスを説明するための図である。

発明を実施するための最良の形態

[0033] 以下に、図面を参照して本発明の半導体装置の基本的な構成について説明する。なお、以下では、ゲート部の構造を主としてSONOS構造として説明するが、酸化膜と電荷蓄積層とゲート電極とが積層されて構成されたゲート部であればよく、MONS構造などの他構造のゲート部としてもよい。また、半導体基板はシリコンであり、酸化膜はシリコン酸化膜であり、電荷蓄積層はシリコン窒化膜であるものとして説明する。

[0034] 図2Aは本発明の半導体装置の基本構造例を説明するためのセルの断面図、図2Bおよび図2Cは本発明の半導体装置の動作原理を説明するためのセルの模式断面図である。

[0035] この半導体装置は、例えばp型半導体基板1の主表面に例えばAs拡散により設けられたn型拡散領域6aおよび6bが相互に所定の間隔で設けられている。このn型拡散領域6aおよび6bの間がチャネル領域となる。チャネル領域の上には、膜厚が厚い中央部2bと膜厚が薄い両端部2aとを有するトンネル酸化膜2が形成されており、両端部2aの各々はn型拡散領域6a、6b上に位置している。なお、トンネル酸化膜2は、トンネル酸化膜として作用する膜厚の薄い両端部2aとトンネル効果による電荷輸送

を抑制する膜厚の中央部2bとを有するが、便宜上これらを一体的にトンネル酸化膜2と呼ぶ。

- [0036] トンネル酸化膜2の上には、窒化膜3、シリコン酸化膜4および制御ゲート5が順次積層され、これら4層でゲート部が構成されている。窒化膜3は電氣的絶縁膜であり、この電荷蓄積層中に離隔して位置する複数のビット領域を有する。トンネル酸化膜を介して注入された電子はこの窒化膜3中に蓄積される。
- [0037] 従来の導電体の浮遊ゲートを用いた素子では、トンネル酸化膜2aを介して注入された電子が浮遊ゲート中で均一な電界分布となるように空間的に分布するために電荷蓄積領域は浮遊ゲート全域となる結果、1つのセルについて1つのビットのみが形成されるのに対して、図2Aに示したようなSONOS構造のゲート部を備えた半導体装置においては、絶縁膜たる窒化膜3に注入された電子は窒化膜3中を拡散することなく局在化して蓄積される。
- [0038] 具体的には、n型拡散領域6aをソース領域としn型拡散領域6bをドレイン領域とした場合(図2B参照)には、電子(図中黒丸で表示)はトンネル酸化膜2の右端部2aを介して注入され電荷蓄積領域3bに蓄積される。また、これとは逆に、n型拡散領域6bをソース領域としn型拡散領域6aをドレイン領域とした場合(図2C参照)には、電子はトンネル酸化膜2の左端部2aを介して注入され電荷蓄積領域3aに蓄積される。すなわち、所定間隔だけ離間されて設けられた一対のn型拡散領域は何れも、バイアス条件に応じてソース領域もしくはドレイン領域となるソース／ドレイン領域である。
- [0039] このように、1つのセル中に2つの電荷蓄積領域3aおよび3bを形成することが可能となる結果、1つのセルにつき2つのビットが形成されてセルの高容量化と低ビットコスト化とが図られる。なお、このような基本構成に加え、各ビットの閾値調整用として、チャンネル領域にイオン注入領域を設けるようにしてもよい。
- [0040] ここで、本発明の半導体装置においては、トンネル酸化膜2のチャンネル中央領域の膜厚がドレイン近傍の書き込み領域の膜厚よりも厚めに設定されているため、チャンネル中央部分でのゲート方向の電界が弱くなり、その部分での書き込みは行われなくなる。この結果、書き込みが行われる領域はトンネル酸化膜が薄く設けられているドレイン領域に限定されることとなり、同一セル内に設けられた複数の電荷蓄積領域(ビッ

ト)相互間での電荷蓄積量に起因した閾値変動をなくし、正常な読み出し動作を実現することが可能となる。

[0041] ところで、日本国特許公開公報第2001-148430号公報には、浮遊ゲート下に設けるトンネル酸化膜の膜厚を一様とせず、中央部に膜厚が厚い凸部を設けその両端部に膜厚が薄い端部を形成した不揮発性半導体記憶装置の発明が開示されている。このようなトンネル酸化膜の形状とすると、酸化膜の膜厚が薄い端部においてデータの書込及び消去の速度を低下させることなく実行可能な一方、それ以外の領域すなわち電荷の注入および引き抜きに寄与しない中央部においては酸化膜の膜厚を厚くしているのでウェル領域と制御ゲートとの間に電位差が生じた場合にも浮遊ゲート内の電荷の漏れを著しく小さく抑えることができるため、電荷の注入および引き抜きの特性を損なうことなく電荷保持特性の改善を図ることが可能となると説明されている。

[0042] 上記公報に記載されている半導体装置の構成と本願発明の半導体装置の構成とは、以下の点において大きく相違する。

[0043] 第1に、上記公報記載の半導体装置は浮遊ゲートを備えるフラッシュメモリなどの不揮発性半導体記憶装置であり、この装置に蓄積された電荷は導電性の浮遊ゲート全域に分布することとなるため1つのセルが備えている電荷蓄積領域は1つである。これに対して本発明の半導体装置では、ゲート絶縁膜をONO構造(若しくはON構造)とし、ゲート絶縁膜を構成する絶縁体の窒化膜中に電荷を蓄積させる構成とされているため、1つのセルに2以上の電荷蓄積領域を備えている。

[0044] 第2に、上記公報記載の浮遊ゲートを備えた不揮発性半導体記憶装置は、その間にチャンネルを形成する2つの拡散領域の一方がソース領域であり他方がドレイン領域であるのに対して、本発明の半導体装置においては、チャンネルを形成する2つの拡散領域の何れもがソース領域であると同時にドレイン領域でもある。

[0045] 第3に、第1の相違点である半導体装置の構成上の相違に起因して、トンネル酸化膜の形状(および効果)が異なる。具体的には、上記公報記載のトンネル酸化膜中央部の凸形状は導電層である浮遊ゲートに蓄積された電荷をより良く保持するための形状であり、かかる形状により保持特性を向上させるという効果を奏するものである。

これに対して、本発明のものは、絶縁膜である電荷蓄積層中に離隔して位置する複数のビット領域の各々に対応する部分がトンネル酸化膜として作用する膜厚の薄膜部と、ビット領域間に位置する部分がトンネル効果による電荷輸送を抑制する膜厚の厚膜部と、を有する構成であり、この構成により同一セル内に設けられた複数の電荷蓄積領域(ビット)相互間での電荷蓄積量に起因した閾値変動をなくし、正常な読み出し動作を実現するという効果を奏する。

[0046] このような構成および効果の相違に起因して、これらの半導体装置の製造方法も必然的に相違することとなる。すなわち、上記公報記載の半導体装置のトンネル酸化膜凸部形成に際しては、予めマスクプロセスによりシリコン基板表面に窒素注入された領域と窒素注入されない領域とを設け、このシリコン結晶中の窒素濃度の差に起因する酸化膜成長速度の差を利用して窒素注入されなかった領域に形成される厚い酸化膜部分を凸部としている。したがって、形成される凸部の位置精度は、ステップの位置合わせ精度である $\pm 40\text{nm}$ 程度が限界となる。

[0047] これに対して、本発明の半導体装置においては、チャンネルを形成する2つの拡散領域の何れもがソース領域であると同時にドレイン領域でもあるために、高い精度でトンネル酸化膜の中央部に膜厚の厚い部分を形成する必要がある。したがって、トンネル酸化膜の厚い部分は、マスクプロセスに拠ることなくセルフアラインで形成することとされる。これにより、ソース/ドレイン拡散領域から均等な距離にトンネル酸化膜の厚い領域が形成される。なお、本発明の半導体装置の製造方法の具体例は、後述の実施例において詳細に説明する。

[0048] 以下に、実施例により本発明を実施するための最良の形態について説明する。
(実施例1)

図3Aおよび図3Bは、SONOS構造のゲート部と埋め込みビットライン構造のソース/ドレイン部を有する本発明の半導体装置の第1の構成例を説明するためのセルの断面図で、図3Aはコア領域、図3Bはセル周辺領域の様子を図示している。コア領域には複数のセルが配列されており、これらのセルの各々は、図2Aで示した基本構成を有し、図2Bおよび図2Cに基づいて説明した動作を行う。

[0049] また、図4A乃至図6Iは、この半導体装置の製造工程を説明するための図で、各々

、左図はコア領域、右図はセル周辺領域の様子を図示している。

- [0050] このコア領域は、例えばp型半導体基板10の主表面に、例えばAs注入によりビットラインとして設けられたn型拡散領域12が相互に所定の間隔で設けられており、各々のn型拡散領域12はソース／ドレイン領域として作用する。また、n型拡散領域12相互の間がチャンネル領域となる。
- [0051] このチャンネル領域およびn型拡散領域12の上には、トンネル酸化膜13が設けられており、n型拡散領域12上のトンネル酸化膜13はトンネル効果によりデータの書き込みが可能な程度に薄く形成される(13a)一方、チャンネル領域上のトンネル酸化膜13はトンネル効果による電荷輸送を抑制するように厚く形成されている(13b)。このトンネル酸化膜13の薄い部分13aの厚みは例えば7nm程度である。
- [0052] そして、このトンネル酸化膜13の上には、電荷蓄積用の窒化膜14、上部酸化膜15および図示しない制御ゲートが順次積層され、これら4層でゲート部が構成されている。窒化膜14は電氣的絶縁膜であり、その膜厚は例えば12nm程度とされ、トンネル酸化膜の薄い部分13aを介して注入された電子はこの窒化膜14中に局在して蓄積され多ビット化が図られている。また、コア領域の半導体基板10には、各ビットの閾値を調整する目的で例えばBイオンのチャンネルイオン注入11が行われている。
- [0053] 一方、セル周辺領域(周辺回路部)には、半導体基板10の主表面にウェル領域16が所定の間隔で設けられている。そして、これらウェル領域16の相互間には薄く形成した酸化膜18を局所的に厚く形成して素子分離用のLOCOS17が形成されている。なお、酸化膜18およびLOCOS17の上には窒化膜14と上部酸化膜15が順次積層されている。
- [0054] このような多値セルは、例えば以下のような手順で作製することができる。まず、半導体基板10の主表面上に一様に薄い酸化膜18(膜厚7nm程度)を形成し、この酸化膜18上にレジスト塗布してセル周辺領域の所定の位置に開口部を設けるようにパターニングする。そして、このレジストパターンをマスクとしてイオン注入を行いウェル領域16を形成する。
- [0055] 次に、半導体基板10上に図示しないSiN膜を形成してその上にセル周辺領域の所定の位置に開口部を有するレジストパターンを形成後、これをマスクとして開口部

からSiN膜をエッチングし、この開口部を介して半導体基板10を局所的に酸化してLOCOS17を形成する。なお、LOCOS17形成後には、レジストパターンを剥離してコア領域に残存しているSiN膜を除去する(図4A)。

[0056] LOCOS17形成に続き、コア領域を開口させたレジストパターンを形成して所望のドーズ量(例えば $6 \times 10^{12} \text{cm}^{-2}$)でBをイオン注入(40keV)し、閾値調整用のチャネルイオン注入11を実行する。

[0057] レジスト剥離の後、全面にポリシリコン19を200nm堆積し、フォトリソグラフィによりビットライン形成用のレジストパターンをマスクとしてコア領域のポリシリコン19の一部をエッチング除去し、残存するポリシリコン19をマスクとしてその開口部から所望のドーズ量(例えば $2 \times 10^{15} \text{cm}^{-2}$)のAsをイオン注入(70keV)してビットラインとしてのn型拡散領域12を設ける(図4B)。

[0058] さらに、第1のサイドウォール窒化膜20を300nm堆積し(図4C)、このサイドウォール窒化膜20をポリシリコン19の表面が暴露されるまでエッチングし(図5D)、さらに、サイドウォール窒化膜20のみを残すようにポリシリコン19をエッチング除去する。これにより、セル周辺領域のポリシリコン19は概ね完全に除去される(図5E)。

[0059] 次に、第2のサイドウォール窒化膜21を100nm堆積して全面を覆い(図5F)、さらに、サイドウォール窒化膜21(および20の一部)をエッチングして最終的なサイドウォール窒化膜22を形成する(図6G)。このとき、最終的なサイドウォール窒化膜22の膜厚を制御することにより、このサイドウォール窒化膜22相互間に設けられることとなる開口部の幅を設定することができる。

[0060] これに続いて、サイドウォール窒化膜22相互間の開口部に位置する酸化膜18をエッチングして半導体基板10表面を暴露し、この部分をトンネル効果による電荷輸送を抑制する程度の適当な膜厚となるように酸化する。これにより、エッチングされずに残った酸化膜18部分はトンネル酸化膜13の薄膜部13a(膜厚7nm程度)となり、厚く酸化された部分はトンネル酸化膜13の厚膜部13bとなる。このようにして、本発明の半導体装置が備えるトンネル酸化膜13がコア領域に形成される(図6H)。なお、このときの酸化は通常の熱酸化でもよく、低温・低ダメージのプラズマ酸化に拠ってもよい。

[0061] 最後に、サイドウォール窒化膜22を除去して、コア領域および周辺部の全面に窒

化膜14および上部酸化膜15を順次形成する。このときの窒化膜14は、CVD法で形成された膜厚が例えば12nmの膜であり、コア領域において電荷蓄積領域となるものである。また、上部酸化膜15の膜厚は例えば11.5nmであり、CVD法や低温・低ダメージのプラズマ酸化法により形成される(図6I)。

[0062] このようにして、図3Aおよび図3Bに図示した本発明の半導体装置が得られる。

(実施例2)

図7Aおよび図7Bは、本発明の半導体装置の第2の構成例を説明するためのセルの断面図で、図7Aはコア領域、図7Bはセル周辺領域の様子を図示している。また、図8A乃至図8Cは、この半導体装置の製造工程を説明するための図で、各々、左図はコア領域、右図はセル周辺領域の様子を図示している。

[0063] この半導体装置のセル周辺領域の構造は、図3Bに図示した第1の構成例と同じである。また、コア領域の構造は、図3Aに示した第1の構成例では半導体基板10の全表面に閾値調整用イオン注入11が行われていたのに対して、本実施例の構成のものは、図7Aに示すように、この閾値調整用イオン注入11がn型拡散領域12相互間に位置するチャンネル領域にのみ設けられている点で相違している。これは、実施例1に示した閾値調整用イオン注入領域11は、コア領域にある基板全面にBをイオン注入して形成されるために、Asを拡散させて形成されるn型拡散領域12のドナーが補償されてしまうという問題点を解消するための工夫である。

[0064] すなわち、この半導体装置は、p型半導体基板10の主表面に、As注入によりビットラインとして設けられたn型拡散領域12が相互に所定の間隔で設けられており、このn型拡散領域12相互間のチャンネル領域に、各ビットの閾値を調整する目的でBイオンのチャンネルイオン注入がなされ、半導体基板10表面から垂直方向に延在する閾値調整用イオン注入領域11が設けられている。

[0065] このような多値セルは、例えば以下のような手順で作製することができる。なお、セル周辺部にウェル領域16を形成するまでの工程は実施例1と同様であるので省略する。

[0066] 本実施例では、コア領域にn型拡散領域12を形成した後に閾値調整用イオン注入領域11を形成する。具体的には、ポリシリコン19を堆積させてフォトリソグラフィにより

ビットライン形成用のポリシリコンマスクを形成する。そして、このポリシリコンマスクの開口部からAsをイオン注入してn型拡散領域12を形成する(図8A)。なお、Asイオン注入条件等は実施例1と同様である。

[0067] 次に、実施例1と同様のプロセスにより窒化膜サイドウォール22を形成し、サイドウォール22相互間の開口部からBをイオン注入して閾値調整用イオン注入領域11を設ける(図8B)。ビットライン上は200nm程度の膜厚の窒化膜で覆われているので、80keV以下の加速電圧で注入されたBはこの窒化膜を通過することはない。したがって、40keVの加速電圧で例えばドーズ量 $6 \times 10^{12} \text{cm}^{-2}$ のBをコア領域のチャンネル中央近傍のみにイオン注入することが可能である。また、マスクプロセスに拠らず窒化膜サイドウォール22を用いたセルフアラインによりイオン注入が行われるため、形成される閾値調整用イオン注入領域11の位置決めを高い精度で行うことが可能である。

[0068] なお、サイドウォール窒化膜22の膜厚を制御することにより、このサイドウォール窒化膜22相互間に設けられる開口部の幅を設定することができ、これにより閾値調整用イオン注入領域11の幅を制御することが可能である。

[0069] 以降のプロセスは実施例1で説明したのと同様であり、サイドウォール窒化膜22の開口部に位置する酸化膜18を除去して再酸化することにより、薄膜部13a(膜厚7nm程度)と厚膜部13bとからなるトンネル酸化膜13が形成され、サイドウォール窒化膜22を除去した後に、トンネル酸化膜13上に電荷蓄積用の絶縁体の窒化膜14と上部酸化膜15とが順次積層される(図8C)。

[0070] このようにして、図7Aおよび図7Bに図示した本発明の半導体装置が得られる。

[0071] 本実施例の半導体装置は、サイドウォール窒化膜22をマスクとして利用して閾値調整用のイオン注入領域11を形成することとしたので、任意のエネルギーおよび／またはドーズ量のイオンを閾値調整用チャンネルイオン注入領域11のみに正確に注入することが可能となり、書き込み特性や読み出し特性の向上を図ることが可能となる。(実施例3)

本実施例の半導体装置の構成は図7Aおよび図7Bに図示したものと同様であるが、n型拡散領域の形成プロセスが異なる。

- [0072] 図9A乃至図9Dは、本実施例のn型拡散領域の形成プロセスを説明するための図で、各図において、左図はコア領域、右図はセル周辺領域の様子を図示している。
- [0073] 先ず、半導体基板10の主表面上に一様に薄い酸化膜18(膜厚7nm程度)を形成し、この酸化膜18上にポリシリコン19を堆積させた後にフォトリソグラフィによりポリシリコン19の一部領域をエッチングして所定間隔の開口部を形成する(図9A)。
- [0074] 次に、窒化膜を一様に堆積させた後にエッチングを施し、薄い酸化膜18上に相互に一定間隔で設けられたポリシリコン19の両サイドにサイドウォール窒化膜23を形成する。そして、このサイドウォール相互間の開口部からAsをイオン注入してビットラインであるn型拡散領域12を形成する(図9B)。ここで、サイドウォール窒化膜23の膜厚を制御することにより、このサイドウォール窒化膜23相互間に設けられる開口部の幅を設定することができ、これによりビットラインの幅を制御することが可能である。
- [0075] これに引き続き、実施例1および2と同様のプロセスにより窒化膜サイドウォール22を形成し、サイドウォール22相互間の開口部からBをイオン注入して閾値調整用イオン注入領域11を設け、さらに、サイドウォール窒化膜22の開口部に位置する酸化膜18を除去して再酸化することにより、薄膜部13aと厚膜部13bとからなるトンネル酸化膜13が形成される(図9C)。
- [0076] 最後に、サイドウォール窒化膜22を除去し、トンネル酸化膜13上に電荷蓄積用の絶縁体の窒化膜14と上部酸化膜15とが順次積層される(図9D)。
- [0077] なお、閾値調整用イオン注入領域11の形成プロセスは、上述のビットライン形成プロセスの前でも後でもよい。
- [0078] 本実施例の半導体装置は、サイドウォール窒化膜23をマスクとして利用してビットラインであるn型拡散領域12を形成することとしたので、n型拡散領域の形成を高い位置精度で行うことが可能となり、書き込み特性や読み出し特性を損なうことなく更なる微細化を図ることが可能となる。

産業上の利用可能性

- [0079] 本発明は、同一セル内に複数設けられたビットへの個々への書き込み動作が他ビットの電荷蓄積量に依存することなく正常に実行され、さらには、書き込み・読み出し特性を損なうことなく多値化セルの更なる微細化を可能とする半導体装置およびその

製造方法を提供する。

請求の範囲

- [1] 一対の第1拡散領域を有する基板と、
該基板上に形成された酸化膜および該酸化膜上に形成された電荷蓄積層とを有するゲート部とを有し、
前記電荷蓄積層は当該電荷蓄積層中に離隔して位置する複数のビット領域を有する電氣的絶縁膜であり、
前記酸化膜は、前記ビット領域の各々に対応する部分がトンネル酸化膜として作用する膜厚の薄膜部と、前記ビット領域間に位置する部分がトンネル効果による電荷輸送を抑制する膜厚の厚膜部とを有する半導体装置。
- [2] 前記一対の第1拡散領域は何れも、バイアス条件に応じてソース領域もしくはドレイン領域となるソース／ドレイン領域であり、当該一対の第1拡散領域はチャネル領域の両端に対称に位置している請求項1に記載の半導体装置。
- [3] 前記基板には、前記ビット領域の閾値を調整するための閾値調整領域が設けられている請求項1または2に記載の半導体装置。
- [4] 前記基板の表面近傍領域全面に第2拡散領域が設けられている請求項1または2に記載の半導体装置。
- [5] 前記一対の第1拡散領域の間に第2拡散領域が設けられている請求項1または2に記載の半導体装置。
- [6] 前記一対の第1拡散領域とは独立に設けられた第2拡散領域を有する請求項1または2に記載の半導体装置。
- [7] 前記一対の第1拡散領域とは離間配置された第2拡散領域を有し、該第2拡散領域は前記チャネル領域の中央部にのみ設けられている請求項6に記載の半導体装置。
- [8] 前記第2拡散領域は、前記基板の表面から垂直下方に延在して設けられている請求項7に記載の半導体装置。
- [9] 前記閾値調整領域は、イオン注入により形成された領域である請求項3に記載の半導体装置。
- [10] 前記第1拡散領域は埋め込みビットライン構造を有し、請求項1項ないし9の何れか

- に記載の一对の第1拡散領域が複数配列されて構成されている半導体装置。
- [11] 前記基板はシリコンであり、前記酸化膜はシリコン酸化膜であり、前記電荷蓄積層はシリコン窒化膜である請求項1ないし10の何れかに記載の半導体装置。
- [12] 前記ゲート部は、MNOS構造もしくはSONOS構造を有する請求項1から11の何れかに記載の半導体装置。
- [13] 前記第2拡散領域のドーパントは硼素であり、前記第1拡散領域のドーパントは砒素である請求項4ないし12の何れかに記載の半導体装置。
- [14] 基板表面上に一様な膜厚のトンネル酸化膜を形成する第1のステップと、
前記トンネル酸化膜下の前記基板表面に一对の第1拡散領域を形成する第2のステップと、
前記一对の第1拡散領域上であって前記トンネル酸化膜上に表面保護膜を堆積させる第3のステップと、
記表面保護膜を介して露出している前記基板表面を再酸化してトンネル効果による電荷輸送を抑制する厚みの酸化膜をセルフアラインで形成する第4のステップと、
を備えている半導体装置の製造方法。
- [15] 前記第1および第4のステップの酸化は、熱酸化もしくはプラズマ酸化により実行される請求項14に記載の半導体装置の製造方法。
- [16] 前記一对の第1拡散領域間の前記基板中に、当該基板表面から垂直に延在する第2拡散領域を形成する第5のステップを備えている請求項14または15に記載の半導体装置の製造方法。
- [17] 前記第5のステップは、前記表面保護膜のサイドウォールを用いたセルフアラインで実行される請求項16に記載の半導体装置の製造方法。
- [18] 前記第2拡散領域は、イオン注入で形成される請求項16に記載の半導体装置の製造方法。
- [19] 前記第2のステップは、サイドウォールが設けられたウィンドウを有するパターニングされたレジストを形成するステップを含み、
前記一对の第1拡散領域は、前記サイドウォールを用いたセルフアラインで形成される請求項14ないし18の何れかに記載の半導体装置の製造方法。

- [20] 前記第1拡散領域は、イオン注入で形成される請求項19に記載の半導体装置の製造方法。

[図1]

FIG.1A

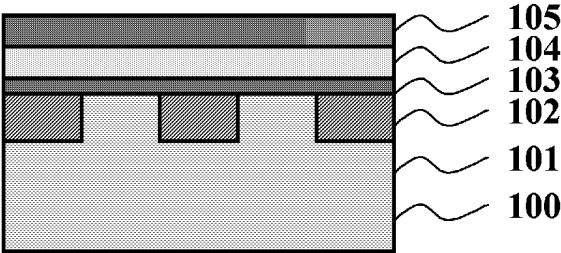
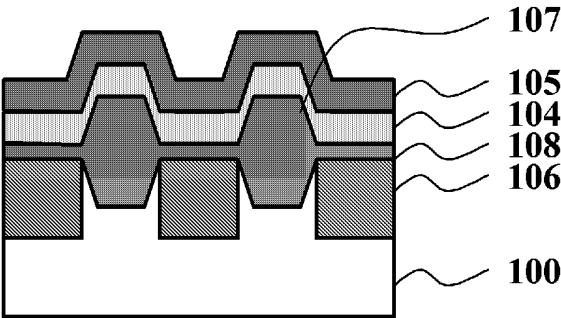


FIG.1B



[図2]

FIG.2A

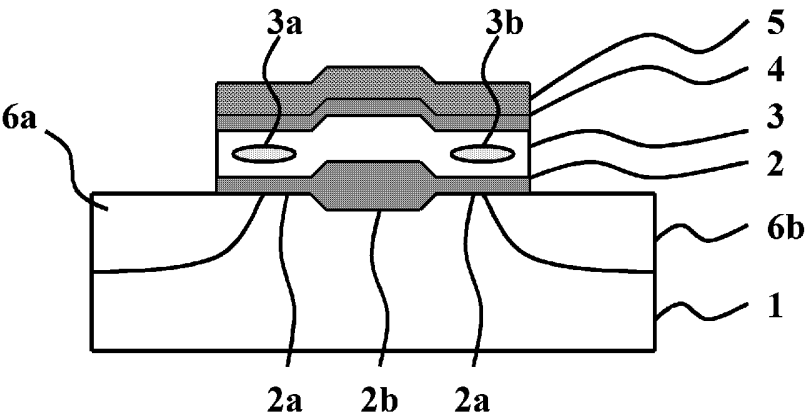


FIG.2B

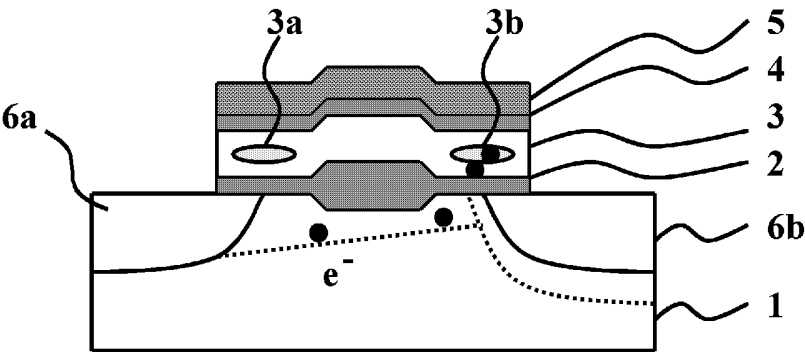
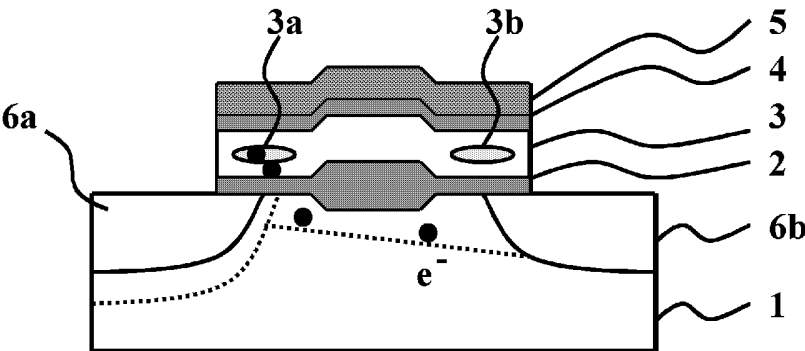


FIG.2C



[図3]

FIG.3A

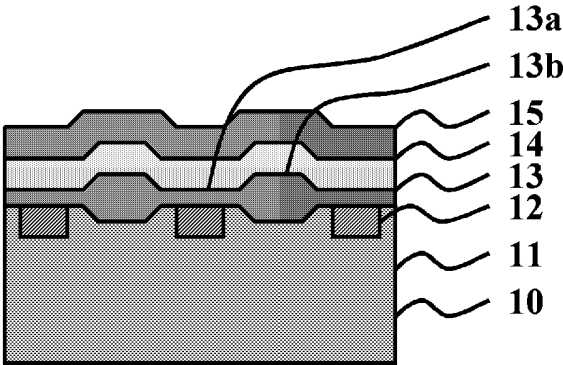
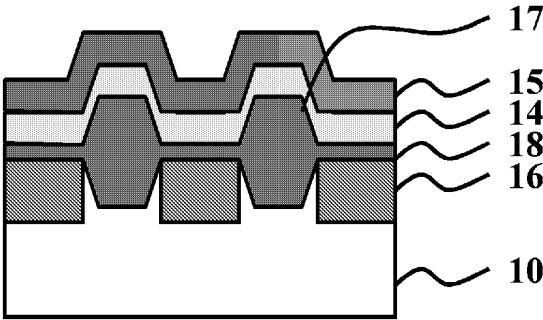


FIG.3B



[図4]

FIG.4A

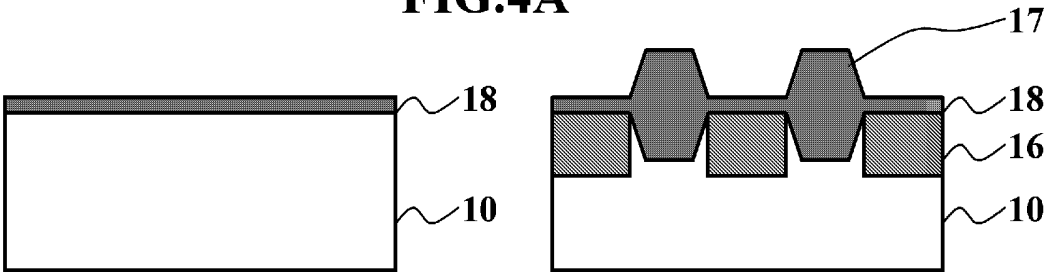


FIG.4B

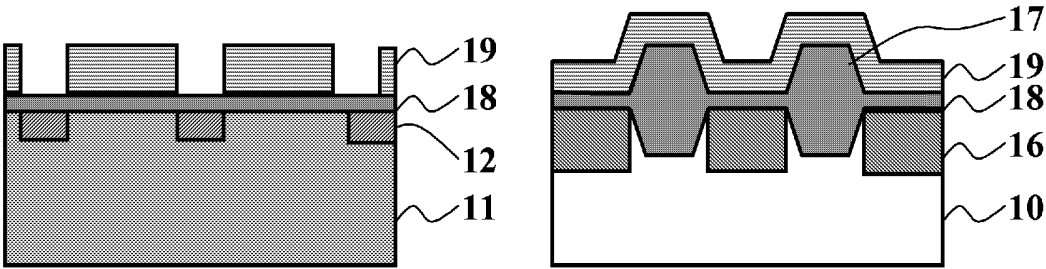
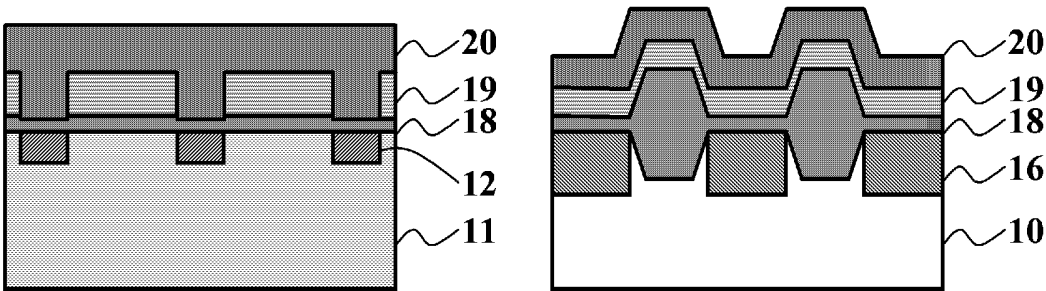


FIG.4C



[図5]

FIG.5D

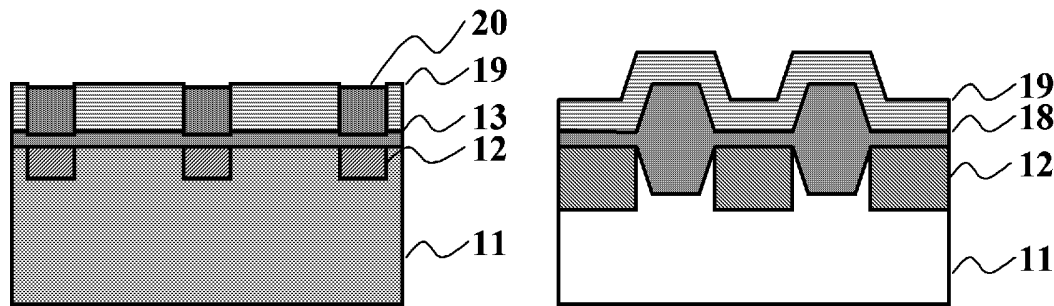


FIG.5E

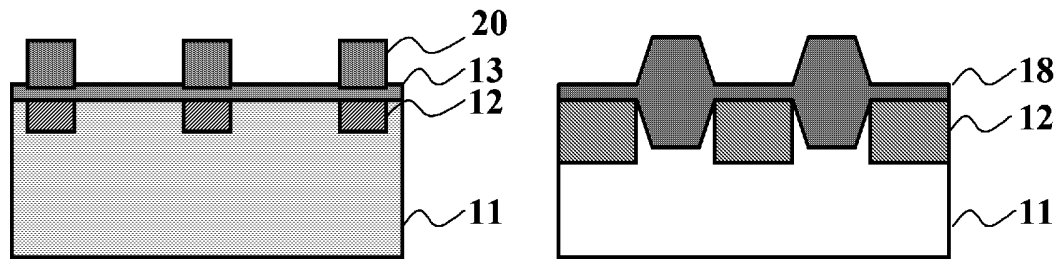
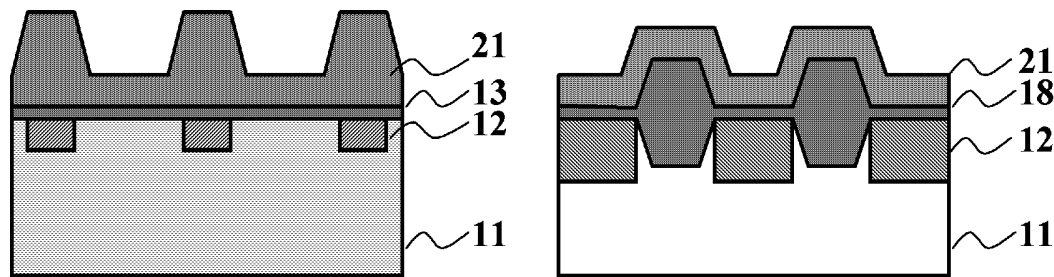


FIG.5F



[図6]

FIG.6G

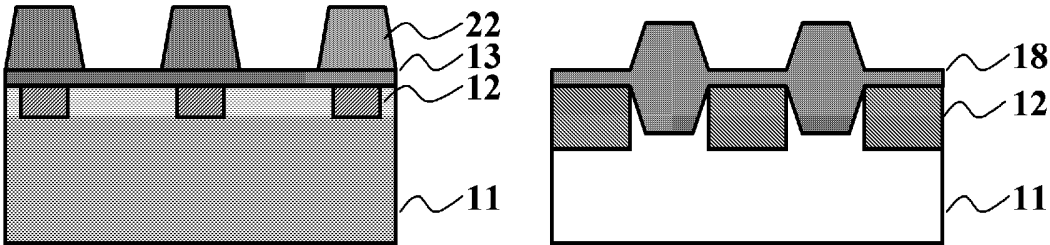


FIG.6H

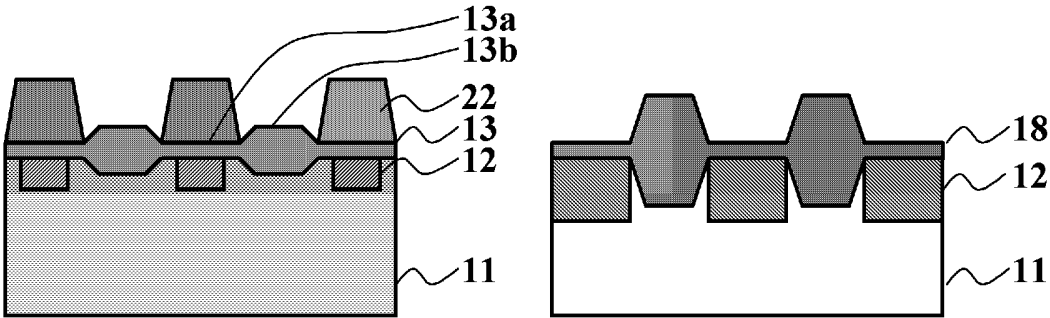
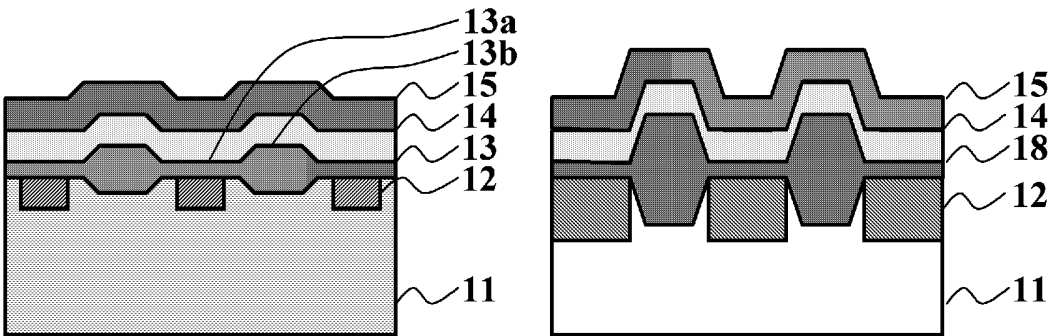


FIG.6I



[図7]

FIG.7A

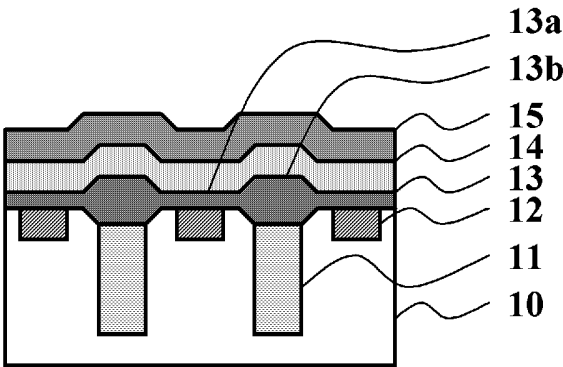
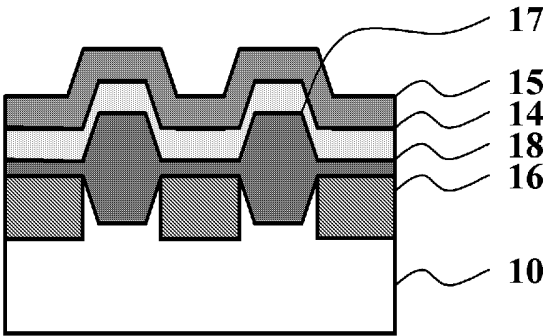


FIG.7B



[図8]

FIG.8A

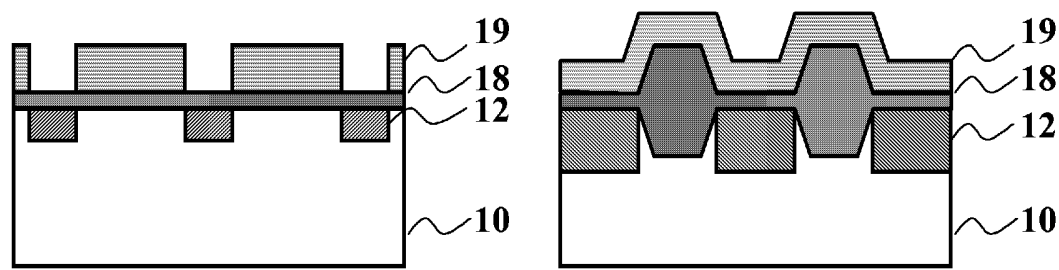


FIG.8B

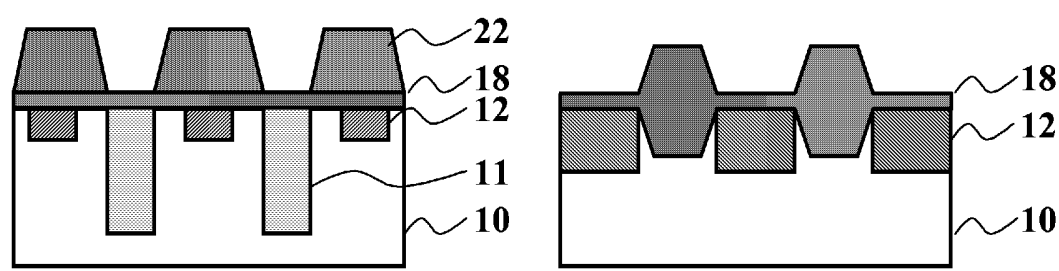
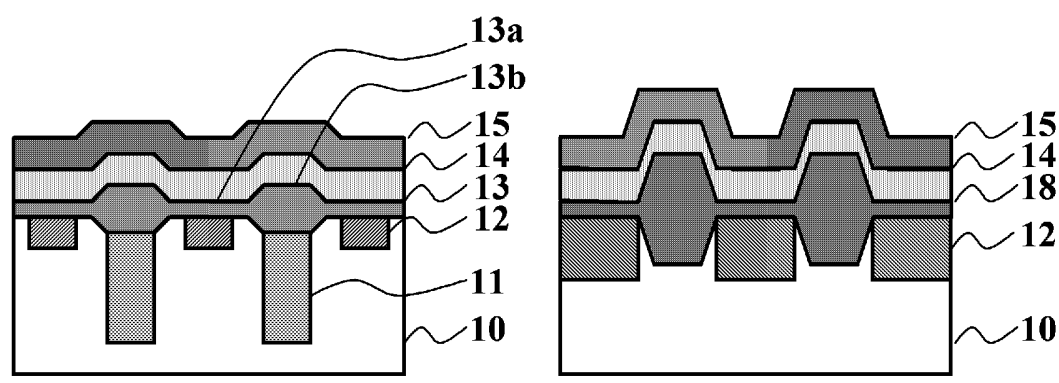
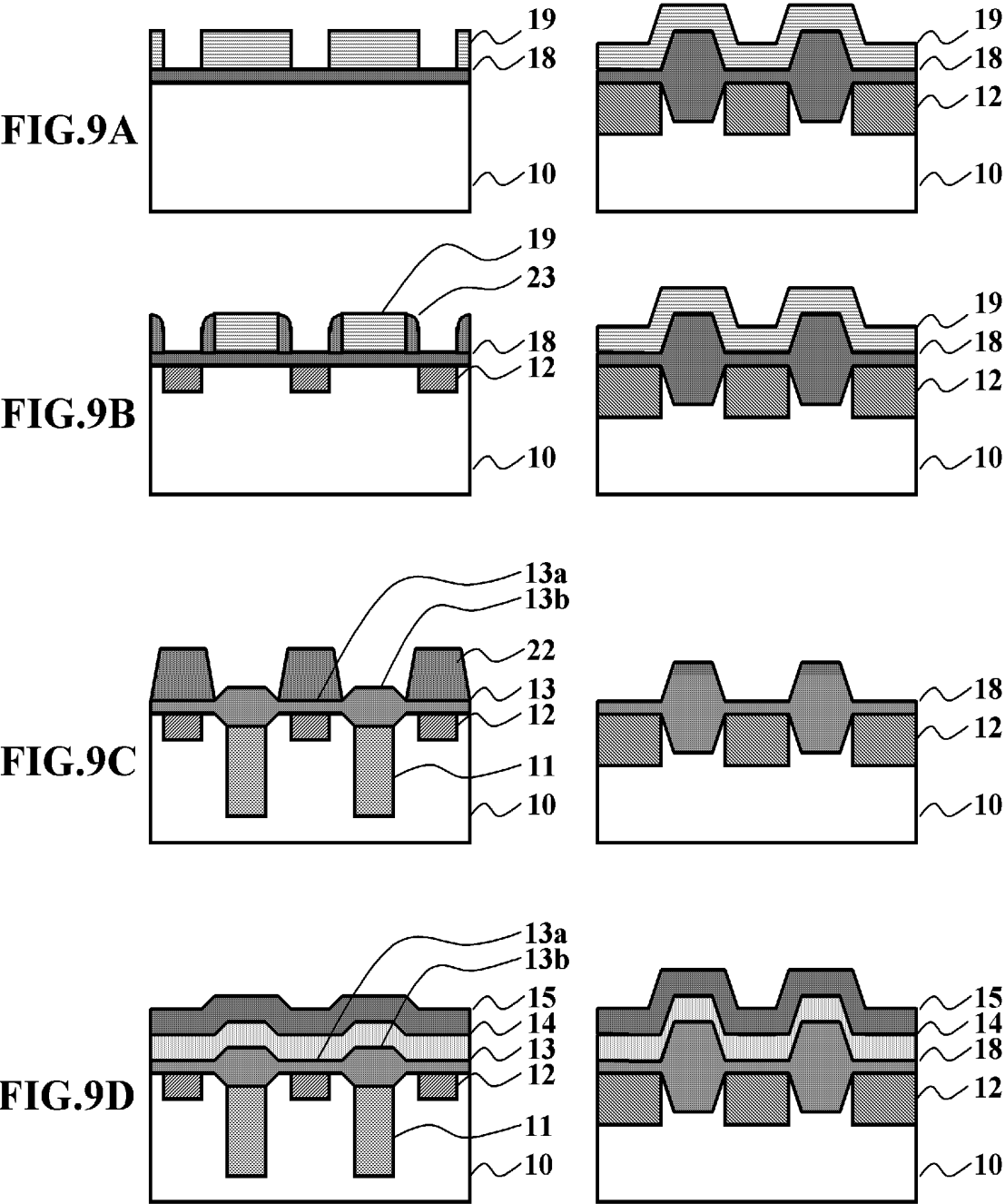


FIG.8C



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008319

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/8247, H01L27/115, H01L29/788, H01L29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-77215 A (Fujitsu Ltd.), 23 March, 2001 (23.03.01), Par. Nos. [0058] to [0071]; Fig. 6 & KR 2026003 A & US 2002/0084484 A1 & WO 2001/18878 A1	1-13 14-20
X A	JP 2004-15051 A (Samsung Electronics Co., Ltd.), 15 January, 2004 (15.01.04), Par. Nos. [0131] to [0141]; Figs. 12 to 22 & KR 3094497 A & US 2003/0224564 A1 & CN 1466221 A & DE 10245769 A1 & TW 557552 B	1-13 14-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

27 August, 2004 (27.08.04)

Date of mailing of the international search report

14 September, 2004 (14.09.04)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008319

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-64697 A (Nippon Steel Corp.), 08 March, 1996 (08.03.96), Par. Nos. [0022] to [0043]; Figs. 1 to 3 & US 5796140 A	14-20

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2004/008319**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claims 1-13 relates to "a semiconductor device comprising a gate portion having an oxide film on a substrate and a charge storage layer formed on the oxide film, wherein the charge storage layer includes an electric insulating film having bit regions spaced from each other in the charge storage layer" and wherein "the oxide layer has a thin film portion with a thickness such that the parts corresponding to the bit regions act as a tunnel oxide film and a thick film portion with a thickness such that the parts corresponding to the regions between the bit regions suppress charge transport due to the tunnel effect". Meanwhile the invention of claims 14-20 includes a step "of
(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008319

Continuation of Box No.III of continuation of first sheet(2)

forming a tunnel oxide film" and a step "of forming in a self-alignment manner an oxide film with a such thickness as to suppress charge transport due to the tunnel effect". However, in the claims, there is no mention of the charge storage layer. Therefore, the semiconductor device manufacturing methods stated in claims 14-20 cannot be considered as the semiconductor device manufacturing methods stated in claims 1-13.

The constituent feature that a projecting portion with a large thickness is provided in the central part and end portions with a small thickness are provided at both ends of the projecting portion is obviously publicly known (see the description [0041]). Therefore, the feature cannot be a special technical feature. Consequently, the two inventions are not linked by the constituent feature.

Therefore, the international application contains two inventions of claims [1-13] and claims [14-20].

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/8247, H01L27/115, H01L29/788, H01L29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2001-77215 A(富士通株式会社) 2001.03.23 【0058】 - 【0071】, 図6 & KR 2026003 A & US 2002/0084484 A1 & WO 2001/18878 A1	1-13 14-20
X A	JP 2004-15051 A(三星電子株式会社) 2004.01.15 【0131】 - 【0141】, 図12-22 & KR 3094497 A & US 2003/0224564 A1 & CN 1466221 A & DE 10245769 A1 & TW 557552 B	1-13 14-20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

27.08.2004

国際調査報告の発送日

14.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-64697 A(新日本製鐵株式会社) 1996. 03. 08 【0022】－【0043】，図1-3 & US 5796140 A	14-20

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-13に記載されている発明は、「基板上に形成された酸化膜および該酸化膜上に形成された電荷蓄積層とを有するゲート部とを有し、前記電荷蓄積層は当該電荷蓄積層中に離間して位置する複数のビット領域を有する電気的絶縁膜」を有し、且つ、「前記酸化膜は、前記ビット領域の各々に対応する部分がトンネル酸化膜として作用する膜厚の薄膜部と、前記ビット領域間に位置する部分がトンネル効果による電荷輸送を抑制する膜厚の厚膜部とを有する半導体装置」であるが、請求の範囲14-20に記載されている発明は、「トンネル酸化膜を形成する」工程と「トンネル効果による電荷輸送を抑制する厚みの酸化膜をセルフアラインで形成する」工程は有しているものの、電荷蓄積層に関する記載はなされていないため、請求の範囲14-20に記載された半導体装置の製造方法は、本質的に請求の範囲1-13に記載された半導体装置を形成するための製造方法とは認められない。

また、中央部に膜厚が厚い凸部を設け、その両端部に膜厚が薄い端部を設けたという構成が公知であることは明らかであるので (明細書 [0041] 参照)、上記構成は特別な技術的特徴とはなりえないので、上記構成によっても両者が連関するものとは認められない。

したがって、この国際出願の請求の範囲には、[1-13]、[14-20]に区分される2個の発明が記載されている。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。