

公告本

申請日期	89 2 15
案 號	89102508
類 別	H45k 3/46

A4
C4

496114

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具多層整合薄膜金屬電阻之印刷電路板及其方法
	英 文	"PRINTED CIRCUIT BOARD WITH A MULTILAYER INTEGRAL THIN-FILM METAL RESISTOR AND METHOD THEREFOR"
二、發明 人	姓 名	1. 廷 李 2. 羅倫斯 蘭琦 3. 葛羅利 J. 當恩
	國 籍	1. 馬來西亞 2. 3. 美國
	住、居所	1. 美國紐約州依查卡市康乃爾大學 2. 美國伊利諾州芝加哥市西多倫蒙德路3428號 3. 美國伊利諾州亞林頓山市南艾夫葛林路430號
三、申請人	姓 名 (名稱)	美商摩托羅拉公司
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 1999年3月16日 09/268,956 ☒有☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

本發明在 DARPA 所裁定第 F33615-96-2-1838 號協議書之下受政府支持。政府對於本發明有特定權利。

發明背景

1. 發明範圍

本發明大體上有關電路及其製造。特別的是，本發明有關一種用以形成薄膜金屬電阻之方法，此等薄膜金屬電阻具有高電阻係數且不會提高寄生串聯電感，因此極需要用於多層高密度電子電路。

2. 先前技藝敘述

由此種金屬為底質材料形成之薄膜電阻已用於多層混合電子電器，此等材料諸如鎳-磷、鎳-鉻、矽化鉻與氮化鉍。薄膜金屬材料通常顯示良好電阻性質，諸如安定性與處理容易度，但不受限於低薄片電阻係數，其通常在100歐姆/平方或以下等級。代表性電路中許多電阻之電阻係數值在仟歐姆範圍。雖然可以使用一種薄膜金屬電阻材料製造此等電阻，但是該材料之低薄片電阻係數迫使該等電阻大小必須為十至一百平方，例如約五密耳(127微米)寬，及約五十至五百密耳(1.27至12.7毫米)長。此大小之電阻產生許多問題。首先，其具有高寄生串聯電感，其會使該電阻之高頻應用性能變差。其次，其妨礙過量板區。多層高密度板構造中，佔據如此多板區會使該電阻大幅加劇非必要之z軸與上層與下層電路層中電路元件之交互作用問題。

作為可替代物之網版印刷聚合物厚膜(PTF)材料提供比

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

薄膜電阻金屬高之薄片電阻係數。然而，PTF材料在環境應力下較不安定，而且不如製造大格式印刷電路板時般相容。因此，需要一種方法，其可用以製造具有薄膜金屬電阻材料性質優點之多層高密度印刷電路板，但是避免形成電阻係數值為1000或以上電阻時此等材料所伴隨之缺點。

發明總結

根據本發明，提出一種適用於多層印刷電路板之薄膜金屬電阻，及其製造方法。本發明之電阻通常具有多層構造，該電阻個別層係彼此自動對準，因此產生一種負互感，其幾乎抵消各電阻層之自感。結果，該電阻之淨寄生電感相當低。此外，該電阻之多層構造減少調節電阻所需之電路板區，因而減少與電路板其他層上之電路元件的寄生交互作用問題。

本發明之方法大致可在一基板上形成第一電阻薄膜，形成覆蓋在該第一電阻薄膜上之介電層，在該介電層上形成第二電阻薄膜，如此該第一電阻薄膜上堆有第二電阻薄膜-更特別的是，該第一與第二電阻薄膜彼此對準，如此周邊彼此堆疊。使用單一光罩界定第一與第二電阻薄膜形狀而形成自動對準之第一與第二電阻薄膜可以促進本發明此觀點。然後電互連第一與第二電阻薄膜鄰接部分，如此界定一電阻路徑，其自該第一電阻薄膜之第一部分開始，循著該第一電阻薄膜至其電互連部分，經由電互連繼續至第二電阻薄膜之鄰接部分，然後循著第二電阻薄膜至其與第一電阻薄膜第一部分相鄰部分。

五、發明說明(3)

根據上述，本發明方法製得之薄膜電阻特徵係至少兩個堆疊之互連電阻薄膜，如此該電阻路徑經由該電阻繞回來，產生負互感，其幾乎抵消個別電阻薄膜之自感。

由下列詳細敘述可以更為理解本發明其他目的與優點。

圖式簡述

由下列敘述連同附圖可以更明白本發明上述與其他優點，其中：

圖1與2本發明多層薄膜金屬電阻之透視圖；

圖3至10係顯示形成圖1薄膜金屬電阻之處理步驟透視圖；而

圖11係顯示最終處理步驟之圖1薄膜金屬電阻剖面圖。

較佳具體實例詳述

兩個多層薄膜金屬電阻10具體實例概示於本發明圖1與圖2中。圖1之電阻10為長方形，而圖2之電阻10為彎曲形。雖然形狀不同，但是兩個電阻10均具有本發明之多層構造。由下文，熟知本技藝者會理解可能有各種電阻形狀與終端構造，因此圖1與圖2電阻10之變化與改良在本發明範圍內。

如圖所示，各個電阻10包括一對電阻薄膜14與16，各薄膜14與16各具備有一對終端18A，18B與20A，20B，經由個別薄膜14與16決定電長度。除了電互連-諸如電互連終端18B與20B之電鍍通路(未顯示出來)-之外，由一介電層(未顯示出來)使薄膜14與16彼此隔開並電絕緣。所以，經由各個電阻10之電路徑位於對準之終

五、發明說明(4)

端對18A與20A至電阻薄膜14與16及該電互連之間。

顯示出堆疊之薄膜14與16，如此其周邊彼此對準。如下文所述並參考圖3至11，本發明可以達成電阻薄膜14與16之精確物理對準。雖然不欲受限於特定理論，但是一般認為若薄膜14與16間之距離相對小於薄膜14與16之長度，薄膜14與16之精確堆疊會使各個薄膜14/16所產生之寄生自感幾乎被其他薄膜14/16所產生之負互感抵消。例如，已顯示出自感幾乎被長度約五密耳(約125 μm)之電阻薄膜抵消，該薄膜係由厚度約一密耳(約25 μm)之介電層隔開。薄膜14與16之精確對準係本發明之嚴格特徵，因為已顯示出負互感之數值隨著薄膜14與16不重合而迅速降低。根據本發明較佳觀點，薄膜14與16經由一種以單一光罩描述電阻薄膜14與16之方法自動對準。

製造多層電阻44之較佳方法示於圖3至圖11。雖然所示之電阻44具有與圖1電阻類似之長方形，但是熟知本技藝者會理解可於外觀相當不同之電阻上應用同一方法，包括圖2之電阻。電阻44(以其圖11之最終形式所示)係在一印刷電路板之基板12上製造，惟亦可使用其他適用板構造與基板，諸如撓性電路或陶瓷或矽基板。電阻層24與終端22A與22B示於圖3，其係事先在基板12上形成。一較佳具體實例中，電阻層24與終端22A與22B係由一種層壓於基板12表面之箔形成。此種箔包括電阻層24與一層位於電阻層24上且層壓於基板12上之導電層。該電阻層24係一種鎳-卑金屬合金為佳，以一種鎳-磷或鎳-鉻合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

金更佳，其顯示諸如安定性與處理容易度等所需電阻性質。較佳電阻層24係由包含最多為五十重量百分比磷，其餘為鎳與附帶之雜質的鎳-磷合金形成。該電阻層24之較佳厚度約0.01至約1.0微米，而導電層(以及終端22A與22B)之適當厚度約5至約40微米。因為終端22A與22B係由該導電層形成，該導電層之較佳材料係銅，惟可預知可使用其他材料。符合上述需求之積層Cu/NiP箔係由Ohmega Technologies所售，商品名為Ohmegaply。

該箔層壓於基板12之後，蝕刻該導電層以產生終端22A與22B，並使電阻層24仍附著於基板12表面。若該導電層係由銅形成，可以習知蝕刻劑蝕刻之，諸如習用鹼性氮蝕刻劑，其不會朝向電阻層24侵蝕。該步驟之適用光阻材料係習用乾燥薄膜光阻。由下列敘述可明白，描述第一電阻薄膜34之長度。蝕刻之後，塗覆一介電層26，其覆蓋電阻層24與終端22A與22B，如圖4所述。介電層26係由正光可成像厚膜聚合物形成，如此可以使用習初光成像與顯影技術形成介電層26之圖型。適用之厚膜聚合物組合物通常包括一種樹脂、感光劑與硬化劑。該樹脂可為任何適用之液態樹脂或固態樹脂，以便使該樹脂混合物容易以液態形式或是積層板沉積於基板12表面，而形成介電層26。可使用之樹脂包括熱塑性樹脂、熱固性樹脂、彈性體與其混合物，當其與一種感光性材料混合時，產生一種光可成像組合物。該厚膜聚合物之所需性質包括在介電層26沉積與光成像整個期間仍然保持安定之物理性質。

五、發明說明(6)

根據本發明，介電層26一部分作為介於停11多層電阻之電阻薄膜34與38之間的永久絕緣層36，因此在整個沉積與光成像處理期間，該厚膜聚合物之介電性質仍然安定亦較佳。

基於上述原因，環氧類特別適於作為介電層26之樹脂，較佳之正型環氧為底質組合物係PROBELEC®，其係由Ciba-Geigy所售。PROBELEC係一種液態樹脂，因此於塗覆之後乾燥為佳。適用之乾燥方法係於約100 C加熱該樹脂約三十分鐘。因為存在感光劑之故，可以經由一個光罩將該乾燥PROBELEC介電層26先曝於適當電磁輻射線，以精確地製圖介電層26圖型。曝於電磁輻射線之介電層26區域變得相對容易溶解於順定顯影劑，而部分固化介電層26之未曝光區域仍然相對不溶解。

圖5表示將第二箔層壓於介電層26之結果。該箔與形成終端22A與22B及圖1電阻層24所使用者相同種類為佳，因此包括一層電阻層28與導電層30。圖6顯示蝕刻導電層30以形成光罩32之結果。根據本發明，因為光罩32之寬度決定圖11電阻薄膜34與38的長度，所以其相當精確。圖7顯示已去除以光罩32曝光之電阻層28部分，而且剩餘之電阻材料界定了以光罩32精確製圖之電阻薄膜38。此步驟適用之蝕刻劑係可以去除電阻層28曝光區，但氣不會嚴重侵襲光罩32者。就NiP電阻層28與銅光罩32而言，較佳蝕刻劑係每公升溶液包含約250克硫酸銅五水合物與約2毫升濃縮硫酸之溶液。

五、發明說明(7)

圖7之蝕刻步驟之後，去除以光罩32曝光之介電層26部分與電阻薄膜38，如圖8所示。因為存在感光劑之故，曝於適當電磁輻射線之介電層26可用以精確光化製圖介電層26圖型。使用一種正型光可成像厚膜聚合物(諸如PROBELEC)，以習知方式電磁照射介電層26之曝光區，以光罩32作為光罩，使介電層26之曝光區成為相對較易溶解狀態。部分固化或“熱衝擊”介電層26(例如以約100 C至120 C加熱約十至六十分鐘)之後，以適當顯影劑去除介電層26之曝光區，例如使用PROBELCE作為介電層26材料時，該顯影劑為伽瑪丁酮(GBL)。因為未照射因此聚合而且相對不溶解於顯影劑之結果，光罩32下之介電層26部分保留下來，然後將之完全固化，例如若介電層26係由PROBELEC樹脂形成，則於約150 C保持約二小時。介電層26之剩餘聚合部分界定圖11電阻薄膜34與38之間的絕緣層。由圖8可以明白光罩32亦確立絕緣層36之寬度與長度。

如圖9所示，該方法次一步驟係藉由去除介電層26未聚合部分而去除電阻層24之曝光部分。此步驟係以製圖電阻層28所使用之相同蝕刻劑進行。電阻層24之剩餘部分係圖11所示電阻之電阻薄膜34。然後，蝕刻光罩32以形成電阻薄膜38之終端40A與40B，如圖10所示。終端40A與40B決定電阻薄膜38之電長度，因此以適當光罩製圖光罩32，小心地界定終端40A與40B。因為使用產生圖6中光罩32之蝕刻步驟之故，適用之光罩材料係一種

五、發明說明(8)

習用乾燥薄膜光阻，而用以界定終端40A與40B之適用蝕刻劑係一種習用鹼性氨蝕刻劑。

圖11顯示以一層介電層46覆蓋圖3至圖10之處理步驟所形成電阻結構，然後形成電互連終端22B與40B之電鍍通路42，如此完成介於終端22A與40A之間所需電阻迴路，以產生兩層電阻44之結果。可預見基本上任何導電元素均可用以電互連終端22B與40B。視情況需要，亦可形成分離之電鍍通路(例如圖11所示之電鍍通路48)，以連接終端22A與40A。習用之多層印刷電路板方法若用以形成介電層46與電鍍通路42與48，因此不必進一步詳細討論本方法。

雖然已以特定具體實例方式描述本發明，很顯而易見的是熟知本技藝者可接受其他形式。此外，雖然一般認為本發明理論係若薄膜14與16係精確堆疊時，各薄膜14/16所產生之自感幾乎被其他薄膜14/16所產生之負互感抵消，本發明不受操作之任何特定理論限制。因此，本發明範圍僅由下列申請專利範圍限制。

四、中文發明摘要 (發明之名稱： 具多層整合薄膜金屬電阻之印刷電路板及其方法)

本發明揭示一種適用於多層印刷電路板(12)之薄膜金屬電阻(44)以及其製造方法。電阻(44)通常具有多層構造，該電阻(44)之個別層(34，38)彼此自動對準，因此產生負互感，其幾乎抵消各個電阻層(34，38)之自感。結果，電阻(44)具有非常低之淨寄生電感。此外，該電阻(44)之多層構造減少調節電阻(44)所需之電路板(12)區，因而減少與電路板(12)其他層上之電路元件的寄生交互作用問題。

英文發明摘要 (發明之名稱： "PRINTED CIRCUIT BOARD WITH A MULTILAYER INTEGRAL THIN-FILM METAL RESISTOR AND METHOD THEREFOR")

A thin-film metal resistor (44) suitable for a multilayer printed circuit board (12), and a method for its fabrication. The resistor (44) generally has a multilayer construction, with the individual layers (34, 38) of the resistor (44) being self-aligned with each other so that a negative mutual inductance is produced that very nearly cancels out the self-inductance of each resistor layer (34, 38). As a result, the resistor (44) has a very low net parasitic inductance. In addition, the multilayer construction of the resistor (44) reduces the area of the circuit board (12) required to accommodate the resistor (44), and as a result reduces the problem of parasitic interactions with other circuit elements on other layers of the circuit board (12).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種印刷電路板，包括：

在一基板上之第一電阻條，該第一電阻條具有一個輸入端與一個輸出端；

位於該第一電阻條上之介電層；

在該介電層上之第二電阻條，該第二電阻條具有一個輸入端與一個輸出端，第二電阻條堆於第一電阻條上，因此第二電阻條之輸出端堆於第一電阻條之輸入端上，而第二電阻條之輸入端堆於第一電阻條之輸出端上；以及

用以電互連第一電阻條輸出端與第二電阻條輸入端以界定電阻路徑之裝置，其自第一電阻條之輸入端開始，循著第一電阻條至其輸出端，經由該互連裝置繼續至第二電阻條之輸入端，然後順著第二電阻條至其輸出端，其中第一電阻條之輸入端係多層電阻之輸入端，而第二電阻條之輸出端係該多層電阻之輸出端。

2. 根據申請專利範圍第1項之印刷電路板，其中該第一與第二電阻條係長方形。

3. 根據申請專利範圍第1項之印刷電路板，其中該第一與第二電阻條係彎曲形。

4. 根據申請專利範圍第1項之印刷電路板，其中該介電層係一種正型光電介電材料。

5. 一種具有兩層薄膜金屬電阻之印刷電路板，包括：

在一基板上之第一電阻條，該第一電阻條具有一個輸入端、一個輸出端與一個周邊；

在第一電阻條上且與其輸入端接觸之第一金屬端終，

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

與第一電阻條上且與其輸出端接觸之第二金屬端終；

位於第一與第二金屬終端以及第一電阻條上之介電層，該介電層係由正型光電介電材料形成；

在該介電層上之第二電阻條，該第二電阻條具有一個輸入端、一個輸出端與一個周邊，第二電阻條堆於第一電阻條上，因此第二電阻條之輸出端堆於第一電阻條之輸入端上，第二電阻條之輸入端堆於第一電阻條之輸出堆上，而第二電阻條之周邊堆於第一電阻條之周邊上；

在第二電阻條之上且與其輸入端接觸之第三金屬終端，與該第二電阻條之上且與其輸出端接觸之第四終端；以及

電互連第一電阻條輸出端與第二電阻條輸入端以界定電阻路徑之電鍍通路，其自第一金屬終端開始，循著第一電阻條至第二金屬終端，經由該電鍍通路繼續至第三金屬終端，然後順著第二電阻條至第四金屬終端，其中第一金屬端終係該兩層薄膜金屬電阻之輸入端，而第四金屬終端係該兩層薄膜金屬電阻之輸出端。

6. 根據申請專利範圍第5項之印刷電路板，其中該第一與第二電阻條係NiP薄膜。
7. 根據申請專利範圍第5項之印刷電路板，其中第一與第二電阻條之寬度比介電層之厚度約大五倍。
8. 一種用以製造印刷電路板之方法，該方法包括步驟：
在一基板上形成第一電阻薄膜，該第一電阻薄膜具有一個輸入端與一個輸出端；

六、申請專利範圍

在第一電阻薄膜上形成一介電層；

在該介電層上形成第二電阻薄膜，該第二電阻薄膜具有一個輸入端與一個輸出端，該第二電阻薄膜堆於第一電阻薄膜上，因此第二電阻薄膜之輸出端堆在第一電阻薄膜之輸入端上而第二電阻薄膜之輸入端堆在第一電阻薄膜之輸出端上；然後

電互連第一電阻薄膜之輸出端與第二電阻薄膜之輸入端，如此界定一電阻路徑，其自第一電阻薄膜開始，循著第二電阻薄膜至其輸出端，經由互連裝置繼續至第二電阻薄膜之輸入端，然後順著第二電阻薄膜至其輸出端。

9. 根據申請專利範圍第8項之方法，其中該介電層係由下列步驟形成：

在第一電阻薄膜上沉積一種正型光電介電材料；

形成第二電阻薄膜後，在第二電阻薄膜上沉積一光罩，該光罩經界定以曝露一部分第二電阻薄膜；

去除藉由該光罩曝光之第二電阻薄膜部分，如此曝露出該正型光電介電材料；以及然後

顯影該正型光電介電材料以去除該部分正型光電介電材料。

10. 一種製造具有兩層薄膜金屬電阻之印刷電路板，該方法包括步驟：

在一基板上形成第一電阻薄膜與第一導電層，使該第一導電層在第一電阻薄膜上；

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

蝕刻第一導電層，以在第一電阻薄膜上界定第一與第二金屬終端；

將一種正型光電介電材料沉積在第一與第二金屬終端上；

在該正型光電介電材料上形成第二電阻薄膜與第二導電層，使第二導電層覆蓋在第二電阻薄膜上；

蝕刻第二導電層，以界定一光罩，該光罩曝露出第二電阻薄膜之第一部分，並遮蔽第二電阻薄膜之第二部分；

使用該光罩蝕刻第二電阻薄膜，以去除第二電阻薄膜之第一部分，並曝露出該正型光電介電材料之第一部分，第二電阻薄膜之第二部分仍然介於光罩與該正型光電介電材料第二部分之間；

使用該光罩曝光並顯影該正型光電介電材料，以去除該正型光電介電材料之第一部分，並露出第一與第二金屬終端及第一電阻薄膜之第一部分，該正型光電介電材料之第二部分仍然在該光罩與第一電阻薄膜第二部分之間，以界定一介電層；

使用該光罩蝕刻第一電阻薄膜，以去除第一電阻薄膜之第一部分，因此第一電阻薄膜之第二部分留在該光罩與該基板之間；

蝕刻該光罩，以在第二導電層上界定第三與第四金屬終端；以及然後

形成一電鍍通路以電互連第二與第三金屬終端，如此

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

界定一電阻路徑，其自第一金屬終端開始，順著第一電阻薄膜至第二金屬終端，經由該互連裝置繼續至第三金屬終端，然後循著第二電阻薄膜至第四金屬終端。

11. 根據申請專利範圍第10項之方法，其中第一與第二電阻薄膜係NiP薄膜。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

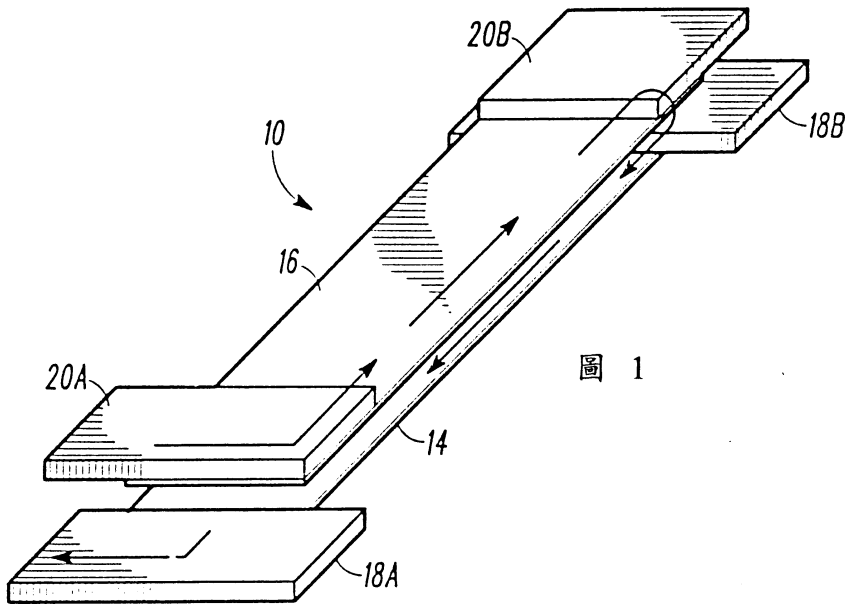


圖 1

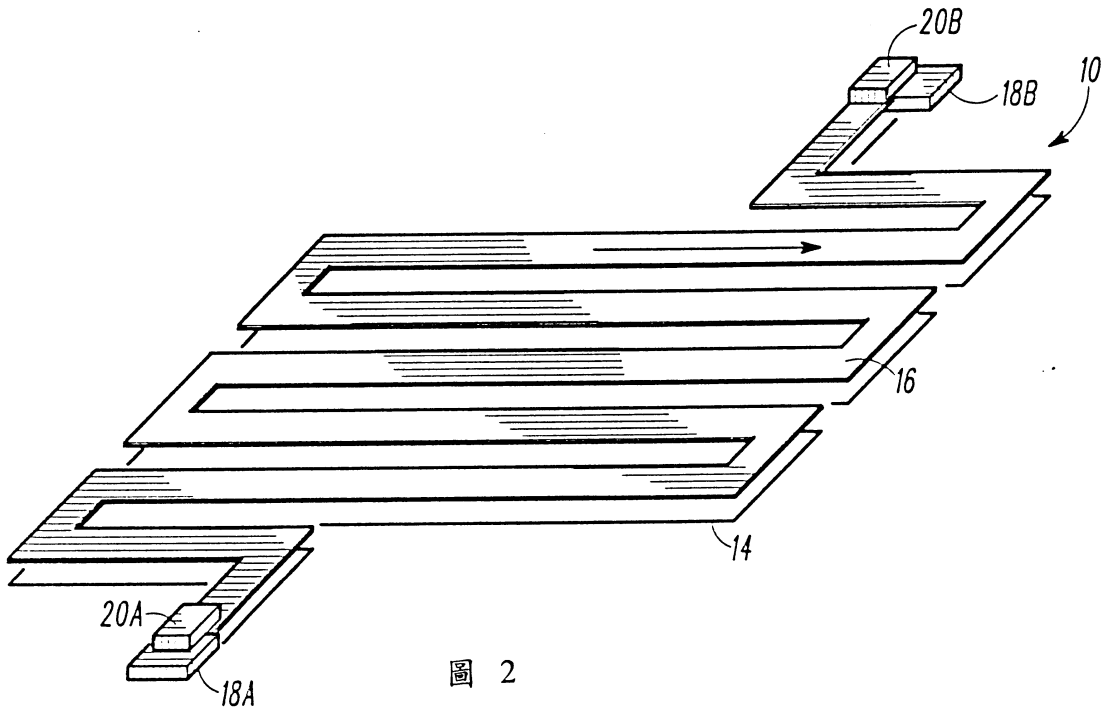


圖 2

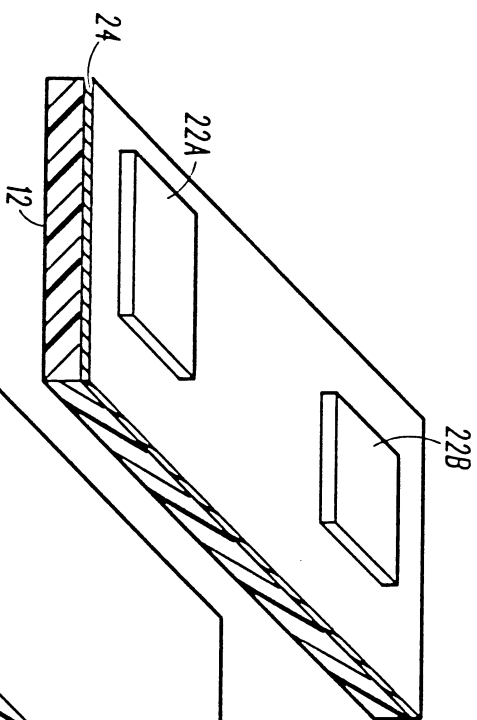


圖 3

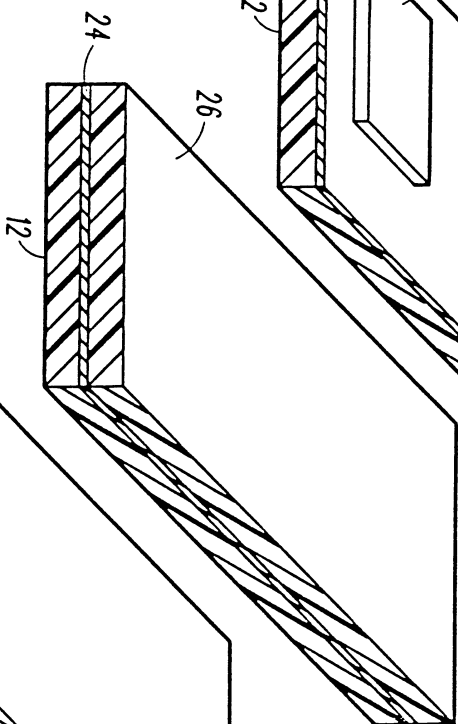


圖 4

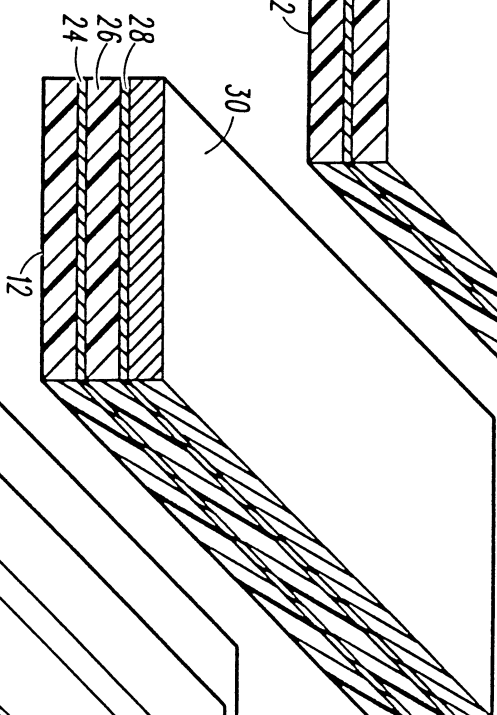


圖 5

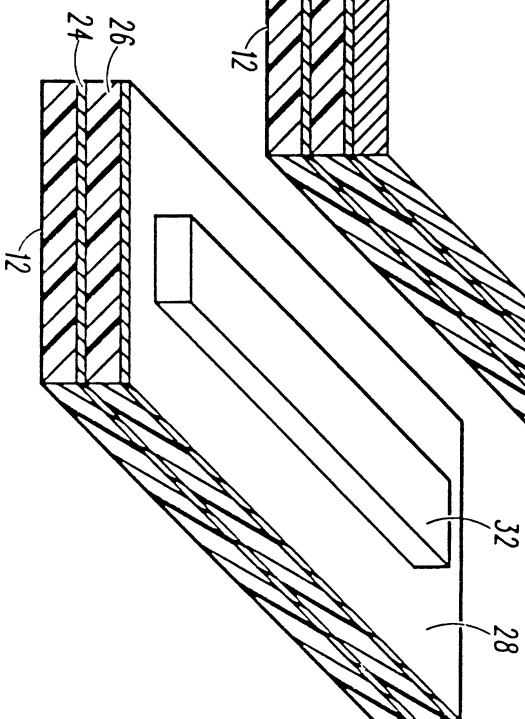


圖 6

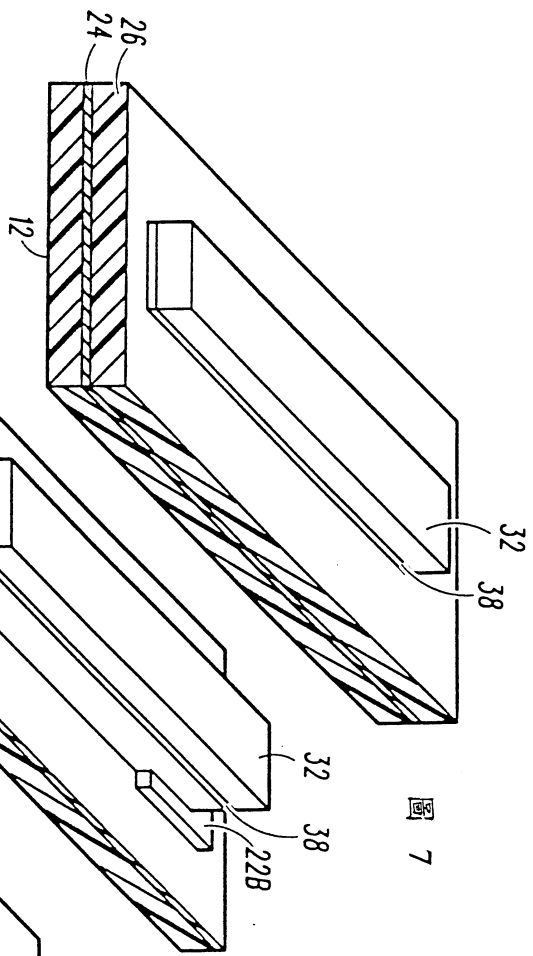


圖 7

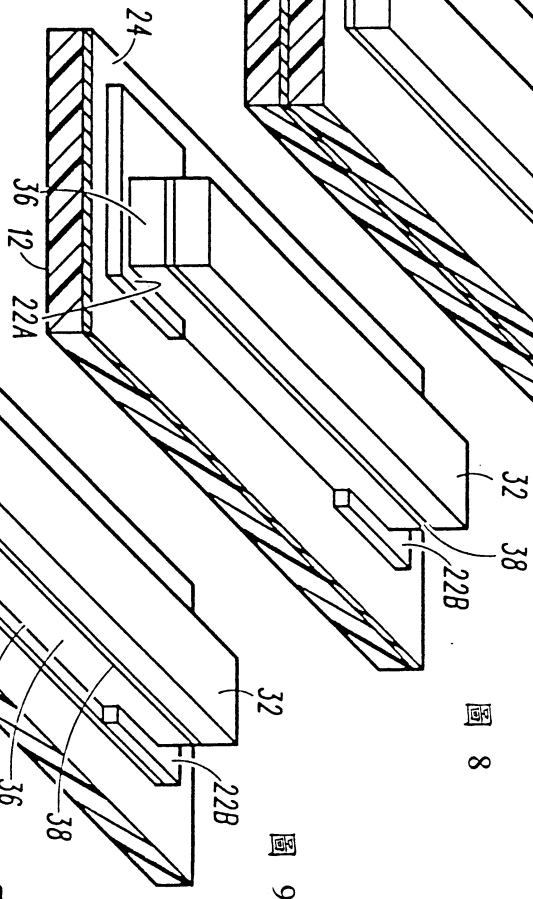


圖 8

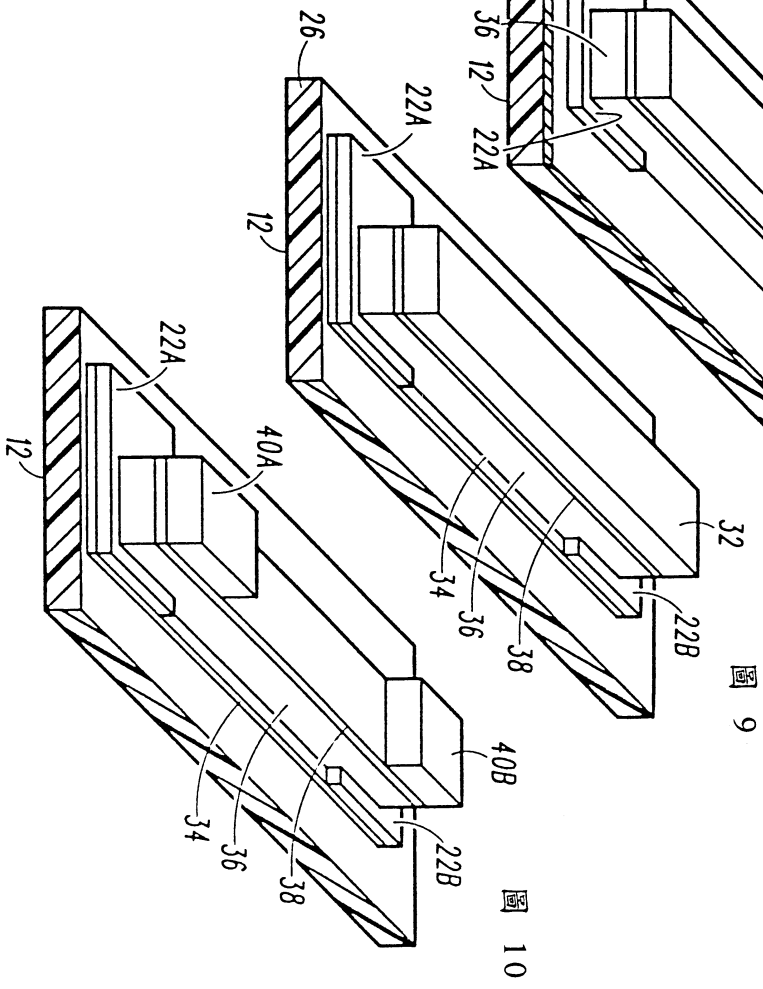


圖 9

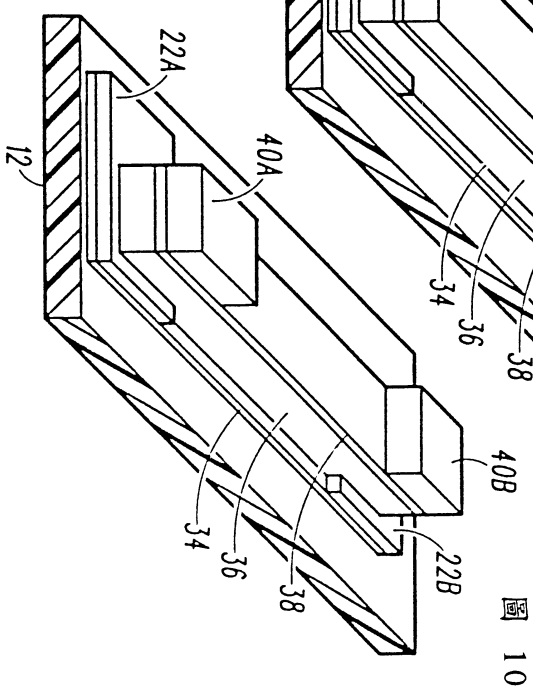


圖 10

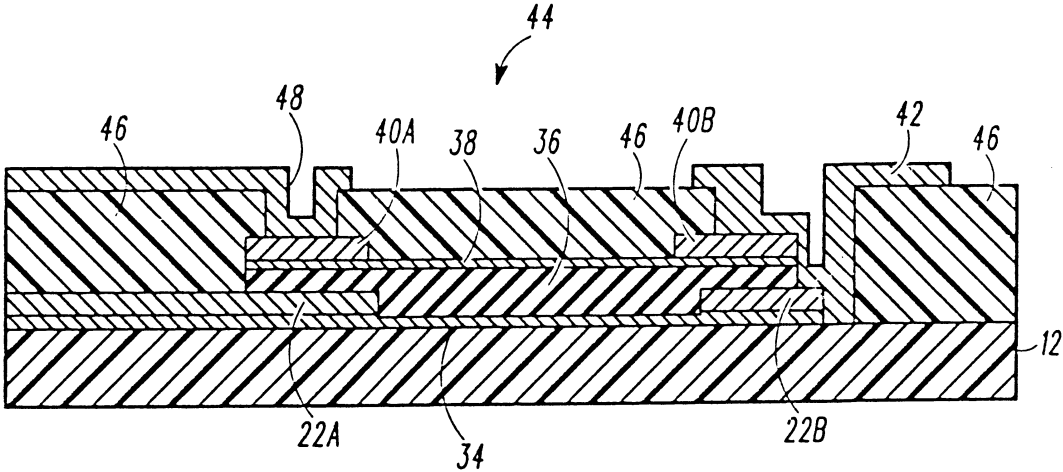


圖 11