



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.

H01L 21/316 (2006.01)

(45) 공고일자

2007년08월02일

(11) 등록번호

10-0745960

(24) 등록일자

2007년07월27일

(21) 출원번호 10-2000-0030285
 (22) 출원일자 2000년06월02일
 심사청구일자 2005년06월02일

(65) 공개번호 10-2001-0020941
 (43) 공개일자 2001년03월15일

(30) 우선권주장 1999-158089 1999년06월04일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고(72) 발명자 야마모또나오끼
일본도쿄도지요다꾸마루노우찌1초메5-1신마루빌딩가부시끼가이샤히
다찌세이사꾸쇼지적소유권본부내

다나베요시끼즈
일본도쿄도지요다꾸마루노우찌1초메5-1신마루빌딩가부시끼가이샤히
다찌세이사꾸쇼지적소유권본부내

(74) 대리인 구영창
장수길(56) 선행기술조사문현
US4505028 JP07-94716

심사관 : 권인희

전체 청구항 수 : 총 49 항

(54) 반도체 집적 회로 장치의 제조 방법

(57) 요약

이산화 실리콘 환산막 두께가 5nm 미만인 극박 게이트 절연막 상에 금속 게이트 전극을 형성한 MISFET에서, 금속 게이트 전극을 산화시키는 일 없이 게이트 절연막의 결함을 치유한다. 단결정 실리콘 기판(1)의 주표면 상에 형성한 이산화 실리콘 환산막 두께가 5nm 미만인 게이트 절연막(9A) 상에 게이트 전극 재료인 W 막(11A)을 형성한 후, 수분/수소 분압비가 W 막(11A)을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분+수소 혼합 가스 분위기 중에서 실리콘 기판(1)을 열처리함으로써, W 막(11A) 바로 아래의 게이트 절연막(9A)의 결함을 치유한다.

대표도

도 12

특허청구의 범위

청구항 1.

반도체 집적 회로 장치를 제조하는 방법으로서,

(a) 5nm 미만의 SiO_2 환산 유효 막 두께를 가지며, 실리콘 산화물을 주성분으로 포함하는 단일 절연막 또는 상기 단일 절연막과 다른 절연막과의 복합막으로 이루어지는 게이트 절연막을 웨이퍼의 제1 주표면 상의 실리콘 표면 위에 형성하는 단계와,

(b) 상기 게이트 절연막 위에, 고용점 금속을 주성분으로 포함하는 금속막을 형성하고, 그 후에 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 단계- 상기 게이트 절연막과 상기 금속막 사이에 다결정 실리콘을 주성분으로 포함하는 중간층을 배치하지 않음 -와,

(c) (b) 단계 이후에, 수분 준비 유닛 내에서 제1 온도에서 촉매의 이용에 의해서 산소 및 수소 가스를 포함하는 혼합 가스로부터 수분을 합성하는 단계와,

(d) 상기 합성된 수분을 가스 상태로 유지하고 이를 상기 웨이퍼가 배치된 웨이퍼 열처리실에 전송하여, 상기 고용점 금속이 실질적으로 산화되지 않고서 실리콘의 산화되도록 하는 수분 분압과 수소 분압의 비로 설정되는 수분 및 수소를 포함하는 가스 분위기를 형성하는 단계와,

(e) 상기 금속 게이트 전극이 형성된 상기 제1 주표면을 상기 웨이퍼 열처리실 내의 상기 수분 및 수소를 포함하는 가스 분위기에서 상기 제1 온도보다 높은 제2 온도로 열처리하고, 이로부터 상기 금속 게이트 전극 바로 아래의 상기 게이트 절연막 내의 결함을 치유하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 고용점 금속은 몰리브덴 또는 텉스텐인 반도체 집적 회로 장치의 제조 방법.

청구항 3.

제2항에 있어서,

상기 게이트 절연막은 4nm 미만의 SiO_2 환산 유효 막 두께를 가지는 반도체 집적 회로 장치의 제조 방법.

청구항 4.

제2항에 있어서,

상기 게이트 절연막은 3nm 미만의 SiO_2 환산 유효 막 두께를 가지는 반도체 집적 회로 장치의 제조 방법.

청구항 5.

반도체 집적 회로 장치를 제조하는 방법으로서,

(a) 5nm 미만의 SiO_2 환산 유효 막 두께를 가지며, 실리콘 질화물을 주성분으로 포함하는 단일 절연막 또는 상기 단일 절연막과 다른 절연막과의 복합막으로 이루어지는 게이트 절연막을 웨이퍼의 제1 주표면 상의 실리콘 표면 위에 형성하는 단계와,

(b) 상기 게이트 절연막 위에, 고용점 금속을 주성분으로 포함하는 금속막을 형성하고, 그 후에 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 단계- 상기 게이트 절연막과 상기 금속막 사이에 다결정 실리콘을 주성분으로 포함하는 중간층을 배치하지 않음 -와,

(c) (b) 단계 이후에, 수분 준비 유닛 내에서 제1 온도에서 촉매의 이용에 의해서 산소 및 수소 가스를 포함하는 혼합 가스로부터 수분을 합성하는 단계와,

(d) 상기 합성된 수분을 가스 상태로 유지하고 이를 상기 웨이퍼가 배지된 웨이퍼 열처리실에 전송하여, 상기 고용점 금속이 실질적으로 산화되지 않고서 실리콘이 산화되도록 하는 수분 분압과 수소 분압의 비로 설정되는 수분 및 수소를 포함하는 가스 분위기를 형성하는 단계와,

(e) 상기 금속 게이트 전극이 형성된 상기 제1 주표면을, 상기 웨이퍼 열처리실 내의 상기 수분 및 수소를 포함하는 가스 분위기에서 상기 제1 온도보다 높은 제2 온도로 열처리하여, 상기 금속 게이트 전극 바로 아래의 상기 게이트 절연막 내의 결함을 치유하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 6.

제5항에 있어서,

상기 고용점 금속은 몰리브덴 또는 텅스텐인 반도체 집적 회로 장치의 제조 방법.

청구항 7.

제6항에 있어서,

상기 수분 및 수소를 포함하는 가스는 질소 또는 암모니아 가스를 더 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 8.

반도체 집적 회로 장치를 제조하는 방법으로서,

(a) 5nm 미만의 SiO_2 환산 유효 막 두께를 가지며, 실리콘 이산화물보다 큰 유전율을 가지는 금속 산화물을 주성분으로 포함하는 단일 절연막 또는 상기 단일 절연막과 다른 절연막과의 복합막으로 이루어지는 게이트 절연막을 웨이퍼의 제1 주표면 상의 실리콘 표면 위에 형성하는 단계와,

(b) 상기 게이트 절연막 위에, 고용점 금속을 주성분으로 포함하는 금속막을 형성하고, 그 후에 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 단계- 상기 게이트 절연막과 상기 금속막 사이에 다결정 실리콘을 주성분으로 포함하는 중간층을 배치하지 않음 -와,

(c) (b) 단계 이후에, 수분 준비 유닛 내에서 제1 온도에서 촉매의 이용에 의해서 산소 및 수소 가스를 포함하는 혼합 가스로부터 수분을 합성하는 단계와,

(d) 상기 합성된 수분을 가스 상태로 유지하고 이를 상기 웨이퍼가 배치된 웨이퍼 열처리실에 전송하여, 상기 고용점 금속이 실질적으로 산화되지 않고서 실리콘의 산화되도록 하는 수분 분압과 수소 분압의 비로 설정되는 수분 및 수소를 포함하는 가스 분위기를 형성하는 단계와,

(e) 상기 금속 게이트 전극이 형성된 상기 제1 주표면을 상기 웨이퍼 열처리실 내의 상기 수분 및 수소를 포함하는 가스 분위기에서 상기 제1 온도보다 높은 제2 온도로 열처리하고, 이로부터 상기 금속 게이트 전극 바로 아래의 상기 게이트 절연막 내의 결함을 치유하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 9.

제8항에 있어서,

상기 금속 산화막을 구성하는 금속은 티탄, 지르코늄 또는 하프늄인 반도체 집적 회로 장치의 제조 방법.

청구항 10.

제8항에 있어서,

상기 금속 산화막을 구성하는 금속은 탄탈인 반도체 집적 회로 장치의 제조 방법.

청구항 11.

제8항에 있어서,

상기 금속 산화막을 구성하는 금속은 알루미늄인 반도체 집적 회로 장치의 제조 방법.

청구항 12.

제8항에 있어서,

상기 금속 산화막은 ABO_3 형 평균 페로브스카이트 구조를 포함하는 고 유전체 물질이며, 동작 온도에서 상유전 상(paraelectric phase)에 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 13.

제12항에 있어서,

상기 고유전체 물질은 BST인 반도체 집적 회로 장치의 제조 방법.

청구항 14.

반도체 집적 회로 장치의 제조 방법으로서,

- (a) 수분 및 수소를 포함하는 가스 분위기에서 산화 환원 평형 곡선이 실리콘의 산화 환원 평형 곡선보다 낮은 수분 측 상에 있는 제1 고용점 금속의 산화물을 주성분으로 포함하고, 산소가 부족한 제1 고용점 금속을 포함하는 결함을 가지는 게이트 절연막을 웨이퍼의 제1 주표면 상의 실리콘 표면 위에 형성하는 단계와,
- (b) 수분 분압과 수소 분압의 비가 상기 실리콘 표면을 실질적으로 산화시키지 않고, 상기 제1 고용점 금속을 산화시키도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상부에 상기 게이트 절연막이 형성된 상기 제1 주표면에 대하여 열처리를 행하고, 이로부터 상기 산소가 부족한 제1 고용점 금속을 그 산화물로 변환하여 상기 게이트 절연막 내의 결함을 치유하는 단계와,
- (c) 상기 (b) 단계 이전 또는 이후에, 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 15.

제14항에 있어서,

상기 (a) 단계에서의 게이트 절연막은 실리콘 산화막을 개재하여 상기 실리콘 표면 위에 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 16.

제15항에 있어서,

상기 제1 고용점 금속은 티탄, 지르코늄 또는 하프늄인 반도체 집적 회로 장치의 제조 방법.

청구항 17.

제16항에 있어서,

상기 (b) 단계에서, 상기 수분 및 수소를 포함하는 가스 분위기는 촉매의 존재 하에 수분을 합성함으로써 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 18.

반도체 집적 회로 장치를 제조하는 방법으로서,

- (a) 수분 및 수소를 포함하는 가스 분위기에서, 산화 환원 평형 곡선이 실리콘의 산화 환원 평형 곡선보다 높은 수분 측 상에 있는 제1 고용점 금속을 주성분으로 포함하는 금속막을 패터닝하고, 이로부터 웨이퍼의 제1 주표면 상의 상기 실리콘 표면 위에 게이트 전극을 형성하는 단계와,
- (b) 상기 (a) 단계 후에, 수분 준비 유닛 내에서, 제1 온도에서 촉매의 이용에 의해서 산소 및 수소 가스를 포함하는 혼합 가스로부터 수분을 합성하는 단계와,
- (c) 상기와 같이 합성된 수분을 가스 상태로 유지하고, 이를 상기 웨이퍼가 배치된 웨이퍼 열처리실로 전송하여 수분 및 수소를 포함하는 가스 분위기를 형성하는 단계와,

(d) 상부에 상기 게이트 전극이 형성된 상기 제1 주표면을 상기 웨이퍼 열처리실 내에서 상기 수분 및 수소를 포함하는 가스 분위기에서 제2 온도로 열처리하고, 이로부터 5nm 미만의 SiO_2 환산 막 두께를 가지며, 실리콘 산화물을 주성분으로 포함하는 게이트 절연막을 상기 게이트 전극 바로 아래의 실리콘 표면 위에 형성하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 19.

제18항에 있어서,

상기 제1 고용점 금속은 몰리브덴 또는 텉스텐인 반도체 집적 회로 장치의 제조 방법.

청구항 20.

반도체 집적 회로 장치를 제조하는 방법으로서,

(a) 수분 및 수소를 포함하는 가스 분위기에서 산화 환원 평형 곡선이 실리콘의 산화 환원 평형 곡선보다도 낮은 수분 측 상에 있는 제1 고용점 금속을 주성분으로 포함하는 게이트 절연막이 되는 제1 막을 웨이퍼의 제1 주표면 상의 실리콘 표면 위에 형성하는 단계와,

(b) 산화 환원 평형 곡선이 실리콘의 산화 환원 평형 곡선보다 높은 수분 측에 있는 제2 고용점 금속을 주성분으로 포함하는 게이트 전극이 되는 제2 막을, 상부에 상기 제1 막이 형성된 상기 제1 주표면 상에 형성하는 단계와,

(c) 상기 제1 막 및 상기 제2 막을 패터닝하고, 이로부터 상기 게이트 전극을 형성하는 단계와,

(d) 상부에 상기 게이트 전극이 형성된 상기 제1 주표면에 대하여 열처리를 행하여, 상기 게이트 전극 바로 아래의 상기 제1 막을 산화시키고, 이로부터 상기 제1 막을 상기 게이트 절연막으로 변환하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 21.

제20항에 있어서,

상기 제2 고용점 금속은 몰리브덴 또는 텉스텐인 반도체 집적 회로 장치의 제조 방법.

청구항 22.

제21항에 있어서,

상기 제1 고용점 금속은 티탄, 지르코늄 또는 하프늄인 반도체 집적 회로 장치의 제조 방법.

청구항 23.

반도체 집적 회로 장치를 제조하는 방법으로서,

- (a) 5nm 미만의 SiO₂ 환산 유효 막 두께를 가지며, 실리콘 산화물을 주성분으로 포함하는 단일 절연막 또는 상기 단일 절연막과 다른 절연막과의 복합막으로 이루어지는 게이트 절연막을 웨이퍼의 제1 주표면 상의 실리콘 표면 위에 형성하는 단계와,
- (b) 상기 게이트 절연막 위에 도전성 장벽막을 형성하는 단계와,
- (c) 상기 장벽막 위에 제1 고용점 금속을 주성분으로 포함하는 금속막을 형성하는 단계- 상기 장벽막과 상기 금속막 사이에 다결정 실리콘을 주성분으로 포함하는 중간층을 배치하지 않음 -와,
- (d) 상기 장벽막 및 상기 금속막을 패터닝하여 게이트 전극을 형성하는 단계와,
- (e) 상기 (d) 단계 이후에, 수분 준비 유닛 내에서 제1 온도에서 촉매의 이용에 의해서 산소 및 수소 가스를 포함하는 혼합 가스로부터 수분을 합성하는 단계와,
- (f) 상기와 같이 합성된 수분을 가스 상태로 유지하고 이를 상기 웨이퍼가 배치된 웨이퍼 열처리실에 전송하여 상기 제1 고용점 금속이 실질적으로 산화되지 않고서 실리콘이 산화되도록 하는 비로 설정되는 수분 분압과 수소 분압의 비를 가지는 수분 및 수소를 포함하는 가스 분위기를 형성하는 단계와,
- (g) 상부에 상기 게이트 전극이 형성된 상기 제1 주표면을 상기 웨이퍼 열처리실 내의 상기 수분 및 수소를 포함하는 가스 분위기 내에서 상기 제1 온도보다 높은 제2 온도로 열처리하고, 이로부터 상기 게이트 전극 바로 아래의 상기 게이트 절연막 내의 결함을 치유하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 24.

제23항에 있어서,

상기 제1 고용점 금속은 텅스텐인 반도체 집적 회로 장치의 제조 방법.

청구항 25.

제24항에 있어서,

상기 도전성 장벽막은 티탄 질화물을 주성분으로 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 26.

제25항에 있어서,

상기 수분 및 수소를 포함하는 가스 분위기는 질소 또는 암모니아 가스를 더 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 27.

반도체 집적 회로 장치를 제조하는 방법으로서,

(a) 수분 및 수소를 포함하는 가스 분위기에서 산화 환원 평형 곡선이 실리콘의 산화 환원 평형 곡선보다 낮은 수분 측 상에 존재하는 제1 고용점 금속을 주성분으로 포함하는 제1 막을 웨이퍼의 제1 주표면 상의 실리콘 표면 위에 형성하는 단계와,

(b) 상부에 상기 제1 막이 형성된 상기 제1 주표면을, 실리콘 표면을 실질적으로 산화시키지 않고 제1 고용점 금속이 산화되도록 하는 비로 설정된 수분 분압과 수소 분압의 비를 가지는 수분 및 수소를 포함하는 가스 분위기에서 열처리하고, 이로부터 상기 제1 고용점 금속을 그 산화물로 변환하여 상기 제1 주표면 상에 게이트 절연막을 형성하는 단계와,

(c) 상기 (b) 단계 이전 또는 이후에, 수분 및 수소를 포함하는 가스 분위기에서 산화 환원 평형 곡선이 실리콘의 산화 환원 평형 곡선보다 높은 수분 측 상에 존재하는 제2 고용점 금속을 패터닝함으로써 게이트 전극을 형성하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 28.

제27항에 있어서,

상기 제1 고용점 금속은 티탄, 지르코늄 또는 하프늄인 반도체 집적 회로 장치의 제조 방법.

청구항 29.

제28항에 있어서,

상기 (b) 단계에서, 상기 수분 및 수소를 포함하는 가스 분위기는 촉매의 존재 하에 수분을 합성함으로써 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 30.

제29항에 있어서,

상기 제2 고용점 금속은 텅스텐 또는 몰리브덴인 반도체 집적 회로 장치의 제조 방법.

청구항 31.

제27항에 있어서,

상기 (b) 단계에서, 상기 수분 및 수소를 포함하는 가스 분위기는 촉매의 존재 하에 수분을 합성함으로써 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 32.

제27항에 있어서,

상기 제2 고용점 금속은 텅스텐 또는 몰리브덴인 반도체 집적 회로 장치의 제조 방법.

청구항 33.

제28항에 있어서,

상기 제2 고용점 금속은 텅스텐 또는 몰리브덴인 반도체 집적 회로 장치의 제조 방법.

청구항 34.

반도체 집적 회로 장치의 제조 방법으로서,

(a) 이산화 실리콘 환산 막 두께가 5nm 미만인 막 두께를 갖고, 산화 실리콘을 주요한 성분으로 하는 단일 절연막 또는 그 것과 다른 절연막을 포함하는 복합 절연막으로 이루어지는 게이트 절연막을, 웨이퍼의 제1 주표면 위의 실리콘 표면에 형성하는 단계와,

(b) 상기 게이트 절연막 상에, 다결정 실리콘을 주요한 구성 요소로 하는 중간층을 개재하지 않고, 고용점 금속을 주요한 성분으로 하는 금속막을 형성하는 단계와,

(c) 상기 (b) 단계 이후에, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 단계를 포함하며,

상기 (b) 단계 이후이며 상기 (c) 단계 이전에, 수분 분압과 수소 분압의 비가 상기 고용점 금속을 실질적으로 산화시키지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기에서, 상기 제1 주표면에 대하여 열처리를 행함으로써, 상기 게이트 절연막 내의 결함을 치유하는 반도체 집적 회로 장치의 제조 방법.

청구항 35.

제34항에 있어서,

상기 수분은 산소 가스와 수소 가스를 포함하는 가스로부터 촉매에 의해 합성된 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 36.

제35항에 있어서,

상기 고용점 금속은 몰리브덴 또는 텅스텐인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 37.

제36항에 있어서,

상기 게이트 절연막의 이산화 실리콘 환산 막 두께는 4nm 미만인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 38.

제36항에 있어서,

상기 게이트 절연막의 이산화 실리콘 환산 막 두께는 3nm 미만인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 39.

반도체 집적 회로 장치의 제조 방법으로서,

- (a) 이산화 실리콘 환산 막 두께가 5nm 미만인 막 두께를 갖고, 질화 실리콘을 주요한 성분으로 하는 단일 절연막 또는 그것과 다른 절연막을 포함하는 복합 절연막으로 이루어지는 게이트 절연막을, 웨이퍼의 제1 주표면 위의 실리콘 표면에 형성하는 단계와,
- (b) 상기 게이트 절연막 상에, 다결정 실리콘을 주요한 구성 요소로 하는 중간층을 개재하지 않고, 고용점 금속을 주요한 성분으로 하는 금속막을 형성하는 단계와,
- (c) 상기 (b) 단계 이후에, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 단계를 포함하며,

상기 (b) 단계 이후이며 상기 (c) 단계 이전에, 수분 분압과 수소 분압의 비가 상기 고용점 금속을 산화시키지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기에서, 상기 제1 주표면에 대하여 열처리를 행함으로써, 상기 게이트 절연막 내의 결함을 치유하는 반도체 집적 회로 장치의 제조 방법.

청구항 40.

제39항에 있어서,

상기 수분은 산소 가스와 수소 가스를 포함하는 가스로부터 촉매에 의해 합성된 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 41.

제40항에 있어서,

상기 고용점 금속은 몰리브덴 또는 텅스텐인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 42.

제40항에 있어서,

상기 수분과 수소를 포함하는 가스는, 질소 또는 암모니아 가스를 더 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 43.

반도체 집적 회로 장치의 제조 방법으로서,

- (a) 이산화 실리콘 환산 막 두께가 5nm 미만인 막 두께를 갖고, 이산화 실리콘보다 유전율이 큰 금속 산화물을 주요한 성분으로 하는 단일 절연막 또는 그것과 다른 절연막을 포함하는 복합 절연막으로 이루어지는 게이트 절연막을, 웨이퍼의 제1 주표면 위의 실리콘 표면에 형성하는 단계와,
- (b) 상기 게이트 절연막 상에, 다결정 실리콘을 주요한 구성 요소로 하는 중간층을 개재하지 않고, 고용점 금속을 주요한 성분으로 하는 금속막을 형성하는 단계와,
- (c) 상기 (b) 단계 이후에, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 단계를 포함하며,

상기 (b) 단계 이후이며 상기 (c) 단계 이전에, 수분 분압과 수소 분압의 비가 상기 고용점 금속을 실질적으로 산화시키지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기에서, 상기 제1 주표면에 대하여 열처리를 행함으로써, 상기 게이트 절연막 내의 결함을 치유하는 반도체 집적 회로 장치의 제조 방법.

청구항 44.

제43항에 있어서,

상기 수분은 산소 가스와 수소 가스를 포함하는 가스로부터 축매에 의해 합성된 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 45.

제44항에 있어서,

상기 금속 산화물을 구성하는 금속은 티탄, 지르코늄 또는 하프늄인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 46.

제44항에 있어서,

상기 금속 산화물을 구성하는 금속은 탄탈인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 47.

제44항에 있어서,

상기 금속 산화물을 구성하는 금속은 알루미늄인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 48.

제44항에 있어서,

상기 금속 산화물은, ABO_3 형의 광의의 페로브스카이트형 구조를 포함하는 고유전체이며, 동작 온도에 있어서 상유전 상(常誘電相)에 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 49.

제48항에 있어서,

상기 고유전체는 BST인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적 회로 장치의 제조 기술에 관한 것으로, 특히 금속 게이트 전극을 구비한 MISFET(Metal Insulator Semiconductor Field Effect Transistor)를 갖는 반도체 집적 회로 장치의 제조에 적용하는 데에 유효한 기술에 관한 것이다.

특개소 59-132136호 공보(고바야시 등; 대웅 미국 특허 번호 제4,505,028호)는, Si(실리콘) 기판 상에 W 막(또는 Mo 막)으로 이루어지는 금속 구조의 게이트 전극을 형성한 후, 수분과 수소의 혼합 분위기 중에서 산화를 행하는 것에 의해, W (Mo)막을 산화하는 일 없이 Si만을 선택적으로 산화하는 기술을 개시하고 있다. 이것은, 산화 환원 반응이 평형이 되는 수분/수소 분압비가 W(Mo)와 Si에서 다른 성질을 이용한 것으로, 이 분압비를, W(Mo)는 환원되지만 Si는 산화되도록 하는 범위 내로 설정함으로써, Si의 선택적 산화를 실현하고 있다.

특개평 7-94716호 공보(무라오카 등)는, Si 기판 상에 게이트 산화막을 통해 TiN 등의 질화 금속층과 W 등의 금속층을 포함하는 다중 금속 구조의 게이트 전극을 형성한 후, 환원성 기체(수소)와 산화성 기체(수분)를 질소로 희석한 분위기 중에서 산화를 행하는 기술을 개시하고 있다. 이 공보에 따르면, 금속층을 산화하는 일 없이 Si만을 선택적으로 산화할 수 있는 동시에, 수분+수소 혼합 가스를 질소로 희석함으로써, 질화 금속층에서의 탈질소 반응이 저지되기 때문에, 질화 금속층의 산화도 동시에 방지할 수 있다고 되어 있다.

특개소 60-160667호 공보(아가쓰마)는, 실리콘 기판 상에 W나 Mo 등의 고용점 금속으로 이루어지는 박막을 형성한 후, 비산화성 분위기 중에서 열처리를 행하여, 상기 박막 중에 흡장되어 있는 산소를 기판 표면에 확산시킴으로써, 양자의 계면에 매우 얇은 막 두께의 산화 실리콘막을 형성하는 기술을 개시하고 있다.

<발명의 요약>

(1) 게이트 길이가 $0.18\mu\text{m}$ 이하인 미세한 MISFET로 회로를 구성하는 CMOS-LSI는, 저전압 동작시에 있더라도 게이트 지역을 저감하여 고속 동작을 확보하기 위해서, 금속을 포함하는 저저항 도전 재료를 사용하여 게이트 전극을 형성하는 것이 요구된다.

이 종류의 저저항 게이트 전극 재료로서 유력시되어 있는 것은, 다결정 실리콘막의 상부에 고용점 금속막을 적층한 복합 도전막(이하, 다중 금속이라 함)이다. 다중 금속은, 그 시트 저항이 $2\Omega/\square$ 정도로 낮기 때문에, 게이트 전극 재료로서만이 아니라 배선 재료로서 이용할 수도 있다. 고용점 금속으로서는, 800°C 이하의 저온 프로세스에서도 양호한 저저항성을 나타내고, 또한 일렉트로마이그레이션 내성이 높은 W(텅스텐), Mo(몰리브덴), Ti(티타늄)등이 사용된다. 또, 다결정 실리콘막 상에 직접 이들의 고용점 금속막을 적층하면 양자의 접착력이 저하하거나, 고온 열처리 공정으로 양자의 계면에 고저항의 실리사이드층이 형성되기도 한다. 그래서, 실제의 다중 금속 게이트는 다결정 실리콘막과 고용점 금속막과의 사이에 TiN (티탄니트라이드)나 WN(텅스텐니트라이드)등의 금속질화막으로 이루어지는 도전성 장벽막을 개재시킨 3층 구조로 구성된다.

(2) 게이트 길이가 $0.18\mu\text{m}$ 이하인 미세한 MISFET로 회로를 구성하는 CMOS-LSI는, 저전압 동작화에 따라 임계치 전압 (V_{th})을 낮게 설정하기 위해서, 다중 금속 게이트의 일부를 구성하는 다결정 실리콘막의 도전형을 n 채널형 MISFET은 n 형, p 채널형 MISFET은 p형으로 한다, 소위 이중 게이트(Dual Gate) 구조의 채용이 진행되고 있다. 이 경우, n 채널형 MISFET의 게이트 전극은, P(인)등의 n형 불순물이 도핑된 n형 다결정 실리콘막 상에 고용점 금속막이 적층된 구조가 되고, p 채널형 MISFET의 게이트 전극은, p형 불순물인 B(붕소)가 도핑된 p형 다결정 실리콘막 상에 고용점 금속막이 적층된 구조가 된다.

그러나, 상기 (1)의 문제점으로서, MISFET의 게이트 길이가 $0.18\mu\text{m}$ 이하가 된 경우, 다결정 실리콘막의 상부에 고용점 금속막을 적층한 2층 구조, 그 위에 이들의 사이에 도전성 장벽막을 개재시킨 3층 구조의 게이트 전극은, 그 어스펙트비가 매우 커지기 때문에, 게이트 전극의 가공이 곤란하게 된다는 점을 들 수 있다.

또한, 상기 (2)의 문제점으로서, p 채널형 MISFET의 게이트 전극의 일부를 구성하는 p형다결정 실리콘막 중의 B(붕소)가 게이트 산화막을 통해 기판 측에 확산하여, p 채널형 MISFET의 플랫 대역 전압(V_{fb})을 변화시킴으로써, 임계치 전압(V_{th})을 변동시켜 버리는 점을 들 수 있다.

그래서, 이들의 문제를 회피하기 위해서, 게이트 산화막의 상부에 다결정 실리콘막 등의 중간층을 통하지 않고서, W나 Mo 등의 고용접 금속막을 직접 형성하는, 소위 금속 게이트 전극의 개발이 진행되고 있다.

한편, MISFET의 고속화, 고성능화를 실현하기 위해서는, MISFET의 미세화에 비례하여 게이트 산화막을 박막화할 필요가 있고, 예를 들면 게이트 길이가 $0.25\mu m \sim 0.2\mu m$ 정도인 MISFET의 경우에는, 5nm 보다도 얇은 막 두께의 게이트 산화막이 요구된다.

그러나, 게이트 산화막의 막 두께를 5nm 보다도 얇게 하면, 직접 터널 전류의 발생이나 스트레스 기인의 핫 캐리어 등에 의한 절연 내압의 저하가 현저하게 된다. 또한, 이러한 얇은 게이트 산화막 상에 W나 Mo 등의 고용접 금속막을 직접 형성하면, 양자의 계면 근방의 게이트 산화막에도 결함이 생겨 절연 내압이 저하한다.

게이트 산화막의 결함은, 주로 Si-O 결합의 산소 결손에 기인한다. 따라서, 이 결함은, 산화성 분위기 중에서 기판을 열처리하여, 산소 결손 개소에 산소를 공급함으로써 치유시키는 것이 가능하다. 그런데, 산화성 분위기 중에서 기판의 열처리를 행하면, 게이트 산화막 상에 퇴적된 게이트 전극 재료인 고용접 금속막도 동시에 산화되어 버리기 때문에, 게이트 절연막의 저항이 커져 버린다.

게이트 산화막의 박막화에 의한 절연 내압의 저하를 회피하는 대책으로서는, 산화 실리콘보다도 유전율이 큰 산화 탄탈 등의 절연성 금속 산화물을 게이트 절연막 재료에 사용함으로써, 그 실효막 두께를 크게 하는 선택지도 생각할 수 있다.

이들의 절연성 금속 산화물은 결정성 재료이기 때문에, 원래의 절연 특성을 얻기 위해서는, 성막후 산소 분위기 중에서 열처리를 행하여, 막중에 산소를 공급하는 프로세스가 불가결하다. 그러나, 산화성 분위기 중에서 기판을 열처리하면, 게이트 절연막 상에 퇴적된 게이트 전극 재료인 고용접 금속막도 산화되어 버리기 때문에, 게이트 절연막의 저항이 커져 버린다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 극박 게이트 절연막 상에 금속 게이트 전극을 형성한 MISFET의 신뢰성 및 제조 수율을 향상시키는 기술을 제공하는 것에 있다.

본 발명의 다른 목적은, 산화 실리콘보다도 유전율이 높은 금속 산화물을 포함하는 게이트 절연막 상에 금속 게이트 전극을 형성한 MISFET의 신뢰성 및 제조 수율을 향상시키는 기술을 제공하는 것에 있다.

본 발명의 다른 목적은, 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 갖는 게이트 절연막의 형성 방법을 제공하는 것에 있다.

본 발명의 다른 목적은, 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 갖는 게이트 절연막의 결함 치유 방법을 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규인 특징은, 본 명세서의 기술 및 첨부 도면에서 분명히 될 것이다.

본원에서 개시되는 발명중, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

본 발명의 반도체 집적 회로 장치의 제조 방법은, 실리콘 기판의 주표면 상에 형성한 이산화 실리콘 환산막 두께가 5nm 미만인 게이트 산화막 상에 게이트 전극이 되는 고용접 금속막을 형성한 후, 수분/수소 분압비가 상기 고용접 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분+수소 혼합 가스 분위기 중에서 상기 실리콘 기판을 열처리함으로써, 상기 고용접 금속막의 바로 아래의 상기 게이트 절연막의 결함을 치유하는 것이다.

상기한 발명 이외의 본원 발명의 개요를 간단히 항목으로 나누어 기재하면, 이하와 같다. 즉,

1. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

- (a) 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 지니고, 산화 실리콘을 주요 성분으로 하는 단일 절연막 또는 그것과 다른 절연막을 포함하는 복합 절연막으로 이루어지는 게이트 절연막을, 웨이퍼의 제1의 주표면 상의 실리콘 표면에 형성하는 공정,
- (b) 상기 게이트 절연막 상에, 다결정 실리콘을 주요한 구성 요소로 하는 중간층을 통하지 않고서, 고용점 금속을 주성분으로 하는 금속막을 형성한 후, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 공정,
- (c) 수분/수소 분압비가 상기 고용점 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상기 금속 게이트 전극이 형성된 상기 제1의 주표면에 대하여 열처리를 행함으로써, 상기 금속 게이트 전극 바로 아래의 상기 게이트 절연막 중의 결함을 치유하는 공정.

2. 상기 1에 있어서, 상기 고용점 금속은 몰리브덴 또는 텅스텐이다.

3. 상기 1 또는 2에 있어서, 상기 게이트 절연막의 이산화 실리콘 환산막 두께는, 4nm 미만이다.

4. 상기 1 또는 2에 있어서, 상기 게이트 절연막의 이산화 실리콘 환산막 두께는, 3nm 미만이다.

5. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

- (a) 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 지니고, 질화 실리콘을 주성분으로 하는 단일 절연막 또는 그외의 절연막을 포함하는 복합 절연막으로 이루어지는 게이트 절연막을, 웨이퍼의 제1의 주표면 상의 실리콘 표면에 형성하는 공정,
- (b) 상기 게이트 절연막 상에, 다결정 실리콘을 주요한 구성 요소로 하는 중간층을 통하는 일 없이, 고용점 금속을 주성분으로 하는 금속막을 형성한 후, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 공정,
- (c) 수분/수소 분압비가 상기 고용점 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상기 금속 게이트 전극이 형성된 상기 제1의 주표면에 대하여 열처리를 행함으로써, 상기 금속 게이트 전극 바로 아래의 상기 게이트 절연막 중의 결함을 치유하는 공정.

6. 상기 5에 있어서, 상기 고용점 금속은 몰리브덴 또는 텅스텐이다.

7. 상기 5 또는 6에 있어서, 상기 수분과 수소를 포함하는 가스는 질소 또는 암모니아 가스를 더 포함한다.

8. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

- (a) 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 지니고, 이산화 실리콘보다도 유전율이 큰 금속 산화물을 주성분으로 하는 단일 절연막 또는 그외 절연막을 포함하는 복합 절연막으로 이루어지는 게이트 절연막을 웨이퍼의 제1의 주표면 상의 실리콘 표면에 형성하는 공정,
- (b) 상기 게이트 절연막 상에, 다결정 실리콘을 주요 구성 요소로 하는 중간층을 통하는 일 없이, 고용점 금속을 주성분으로 하는 금속막을 형성한 후, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 공정,
- (c) 수분/수소 분압비가 상기 고용점 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상기 금속 게이트 전극이 형성된 상기 제1의 주표면에 대하여 열처리를 행함으로써, 상기 금속 게이트 전극 바로 아래의 상기 게이트 절연막 중의 결함을 치유하는 공정.

9. 상기 8에 있어서, 상기 금속 산화막을 구성하는 금속은 티탄, 지르코늄, 또는 하프늄이다.

10. 상기 8에 있어서, 상기 금속 산화막을 구성하는 금속은 탄탈이다.

11. 상기 8에 있어서, 상기 금속 산화막을 구성하는 금속은 알루미늄이다.

12. 상기 8에 있어서, 상기 금속 산화막은 ABO_3 형의 광의의 페로브스카이트형 구조를 포함하는 고 유전체이고, 동작 온도에 있어서 상유전상(常誘電相)에 있는 것이다.

13. 상기 12에 있어서, 상기 고유전체는 BST 이다.

14. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

(a) 수분과 수소를 포함하는 가스 분위기 중에서 산화 환원 평형 곡선이 실리콘의 것보다도 낮은 수분 측에 있는 제1의 고용점 금속을 주성분으로 하는 제1의 막을, 웨이퍼의 제1의 주표면 상의 실리콘 표면에 형성하는 공정,

(b) 수분/수소 분압비가 상기 실리콘 표면을 실질적으로 산화하지 않고, 상기 제1의 고용점 금속을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상기 제1의 막이 형성된 상기 제1의 주표면에 대하여 열처리를 행하여, 상기 제1의 고용점 금속을 그 산화물로 변환함으로써 상기 실리콘 표면에 게이트 절연막을 형성하는 공정,

(c) 상기 (b) 공정의 전 또는 후에, 게이트 전극을 형성하는 공정.

15. 상기 14에 있어서, 상기 제1의 고용점 금속은 티탄, 지르코늄, 또는 하프늄이다.

16. 상기 14 또는 15에 있어서, 상기 (b) 공정에서의 상기 수분과 수소를 포함하는 가스 분위기는 촉매를 이용하여 수분을 합성함으로써 형성된다.

17. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

(a) 수분과 수소를 포함하는 가스 분위기 중에서의 산화 환원 평형 곡선이 실리콘의 것보다도 낮은 수분 측에 있는 제1의 고용점 금속의 산화물을 주성분으로 하는 게이트 절연막을, 웨이퍼의 제1의 주표면 상의 실리콘 표면에 형성하는 공정,

(b) 수분/수소 분압비가 상기 실리콘 표면을 실질적으로 산화하지 않고, 상기 제1의 고용점 금속의 산화물을 생성하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상기 제1의 막이 형성된 상기 제1의 주표면에 대하여 열처리를 행하여, 상기 제1의 고용점 금속을 그 산화물로 변환함으로써 상기 게이트 절연막 중의 결함을 치유하는 공정,

(c) 상기 (b) 공정의 전 또는 후에, 상기 게이트 절연막 상에 게이트 전극을 형성하는 공정.

18. 상기 17에 있어서, 상기 (a) 공정에서의 상기 게이트 절연막은 상기 실리콘 표면 상에 산화 실리콘막을 통해 형성된다.

19. 상기 17 또는 18에 있어서, 상기 제1의 고용점 금속은 티탄, 지르코늄, 또는 하프늄이다.

20. 상기 17 내지 19 중 어느 하나에 있어서, 상기 (b) 공정에서의 상기 수분과 수소를 포함하는 가스 분위기는 촉매를 이용하여 수분을 합성함으로써 형성된다.

21. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

(a) 수분과 수소를 포함하는 가스 분위기 중에서의 산화 환원 평형 곡선이 실리콘의 것보다도 높은 수분 측에 있는 제1의 고용점 금속을 주요 성분으로 하는 금속막을 패터닝함으로써, 웨이퍼의 제1의 주표면 상의 실리콘 표면에 게이트 전극을 형성하는 공정,

(b) 상기 게이트 전극이 형성된 상태에서 상기 제1의 주표면에 대하여 열처리를 행함으로써, 상기 게이트 전극 바로 아래의 상기 실리콘 표면에, 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 지니고, 산화 실리콘을 주성분으로 하는 게이트 절연막을 형성하는 공정.

22. 상기 21에 있어서, 상기 제1의 고용점 금속은 몰리브덴 또는 텅스텐이다.

23. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

- (a) 수분 및 수소를 포함하는 분위기 중에서의 산화 환원 평형 곡선이 실리콘의 것보다도 낮은 수분 측에 있는 제1의 고용점 금속을 주성분으로 하는 게이트 절연막이 되는 제1의 막을, 웨이퍼의 제1의 주표면 상의 실리콘 표면에 형성하는 공정,
- (b) 상기 제1의 막이 형성된 상태에서, 상기 산화 환원 평형 곡선이 실리콘의 것보다도 높은 수분 측에 있는 제2의 고용점 금속을 주요 성분으로 하는 게이트 전극이 되는 제2의 막을, 상기 제1의 주표면 상에 형성하는 공정,
- (c) 상기 제1의 막 및 상기 제2의 막을 패터닝함으로써, 상기 게이트 전극을 형성하는 공정,
- (d) 상기 게이트 전극이 형성된 상태에서 상기 제1의 주표면에 대하여 열처리를 행하여, 상기 게이트 전극 바로 아래의 상기 제1의 막을 산화 처리함으로써, 게이트 절연막으로 변환하는 공정.

24. 상기 23에 있어서, 상기 제2의 고용점 금속은 몰리브덴 또는 텅스텐이다.

25. 상기 23에 있어서, 상기 제1의 고용점 금속은 티탄, 지르코늄 또는 하프늄이다.

26. 이하의 구성으로 이루어지는 반도체 집적 회로 장치;

- (a) 제1의 주표면에 실리콘 표면을 갖는 반도체 집적 회로 기판,
- (b) 상기 실리콘 표면에 설치된 산화지르코늄, 산화하프늄 또는 이들과 산화 티탄 중 2종 이상의 산화물을 포함하는 이원 또는 다원 산화물을 주성분으로 하는 게이트 절연막,
- (c) 상기 게이트 절연막 상에 설치된 게이트 전극.

27. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

- (a) 이산화 실리콘 환산막 두께가 5 nm 미만인 막 두께를 지니고, 산화 실리콘을 주성분으로 하는 단일 절연막 또는 그외 절연막을 포함하는 복합 절연막으로 이루어지는 게이트 절연막을, 웨이퍼의 제1의 주표면 상의 실리콘 표면에 형성하는 공정,
- (b) 상기 게이트 절연막 상에 도전성 장벽막을 형성하는 공정,
- (c) 상기 장벽막 상에, 다결정 실리콘을 주요한 구성 요소로 하는 중간층을 통하는 일 없이, 제1의 고용점 금속을 주성분으로 하는 금속막을 형성하는 공정,
- (d) 상기 장벽막 및 상기 금속막을 패터닝함으로써, 게이트 전극을 형성하는 공정,
- (e) 수분/수소 분압비가 상기 고용점 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상기 게이트 전극이 형성된 상기 제1의 주표면에 대하여 열처리를 행함으로써, 상기 게이트 전극 바로 아래의 상기 게이트 절연막 중의 결함을 치유하는 공정.

28. 상기 27에 있어서, 상기 제1의 고용점 금속은 텅스텐이다.

29. 상기 27 또는 28에 있어서, 상기 도전성 장벽막은, 질화 티탄을 주성분으로서 포함한다.

30. 상기 27 내지 29 중 어느 하나에 있어서, 상기 수분과 수소를 포함하는 가스는, 질소 또는 암모니아 가스를 더 포함한다.

31. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

- (a) 실리콘 기판의 주표면 상에 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 갖는 게이트 절연막을 형성하는 공정,

(b) 상기 게이트 절연막 상에 고용점 금속을 주성분으로 하는 금속막을 형성한 후, 수분/수소 분압비가 상기 고용점 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서 상기 금속막이 형성된 상기 실리콘 기판의 주표면을 열처리함으로써, 상기 금속막 바로 아래의 상기 게이트 절연막 중의 결함을 치유하는 공정,

(c) 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 공정.

32. 상기 31에 있어서, 상기 게이트 절연막은 산화 실리콘을 주성분으로 한다.

33. 상기 32에 있어서, 상기 게이트 절연막은, 촉매를 이용하여 합성된 수분과 산소를 포함하는 가스 분위기 중에서 상기 실리콘 기판의 주표면을 열 산화함으로써 형성한다.

34. 상기 31에 있어서, 상기 게이트 절연막은, 산질화 실리콘을 주성분으로 한다.

35. 상기 34에 있어서, 상기 게이트 절연막은, 상기 기판의 표면에 산화 실리콘막을 형성한 후, 상기 기판을 질소 포함 가스 분위기 중에서 열처리함으로써 형성한다.

36. 상기 31에 있어서, 상기 게이트 절연막은 질화 실리콘을 주성분으로 한다.

37. 상기 36에 있어서, 상기 게이트 절연막은, 상기 기판 상에 CVD법으로 질화 실리콘막을 퇴적함으로써 형성한다.

38. 상기 31 내지 37 중 어느 하나에 있어서, 상기 고용점 금속은 몰리브덴 또는 텅스텐이다.

39. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

(a) 실리콘 기판의 주표면 상에 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 갖는 게이트 절연막을 형성하는 공정,

(b) 상기 게이트 절연막 상에 고용점 금속의 질화물로 이루어지는 도전성 장벽막을 통해 고용점 금속을 주성분으로 하는 금속막을 형성한 후, 수분/수소 분압비가 상기 고용점 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서, 상기 금속막 및 상기 도전성 장벽막이 형성된 상기 실리콘 기판의 주표면을 열처리함으로써, 상기 도전성 장벽막 바로 아래의 상기 게이트 절연막 중의 결함을 치유하는 공정,

(c) 상기 금속막 및 상기 도전성 장벽막을 패터닝하여 금속 게이트 전극을 형성하는 공정.

40. 상기 39에 있어서, 상기 도전성 장벽막을 구성하는 상기 고용점 금속은 몰리브덴 또는 텅스텐이다.

41. 상기 39에 있어서, 상기 도전성 장벽막을 구성하는 상기 고용점 금속은 티탄이다.

42. 상기 41에 있어서, 상기 수분과 수소를 포함하는 가스 분위기의 수분 농도는, 1% 이하이다.

43. 상기 제41항에 있어서, 상기 수분과 수소를 포함하는 가스 분위기에, 질소 또는 암모니아를 더 첨가한다.

44. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

(a) 실리콘 기판의 주표면 상에 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 지니고, 또한 이산화 실리콘보다도 유전율이 큰 금속 산화물로 이루어지는 게이트 절연막을 형성하는 공정,

(b) 상기 게이트 절연막 상에 고용점 금속을 주성분으로 하는 금속막을 형성한 후, 수분/수소 분압비가 상기 고용점 금속을 실질적으로 산화하지 않고, 실리콘을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서 상기 금속 산화물이 형성된 상기 실리콘 기판의 주표면을 열처리함으로써, 상기 금속막 바로 아래의 상기 게이트 절연막 중의 결함을 치유하는 공정,

(c) 상기 게이트 절연막 중의 결함을 치유하는 공정의 전 또는 후에, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 공정.

45. 상기 44에 있어서, 상기 고용접 금속은 몰리브덴 또는 텉스텐이다.

46. 상기 44 또는 45에 있어서, 상기 금속 산화물은, 산화 티탄, 산화지르코늄, 산화하프늄, 산화 탄탈, 산화 알루미늄 또는 BST 이다.

47. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

(a) 실리콘 기판의 주표면 상에 제1 고용접 금속막을 형성하는 공정,

(b) 상기 제1 고용접 금속막 상에 제2 고용접 금속을 주성분으로 하는 금속막을 형성한 후, 수분/수소 분압비가 상기 제2 고용접 금속을 실질적으로 산화하지 않고, 상기 제1 고용접 금속을 산화하도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서 열처리를 행하여, 상기 제1 고용접 금속을 그 산화물로 변환함으로써, 상기 실리콘 기판의 표면에 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 갖는 게이트 절연막을 형성하는 공정,

(c) 상기 열처리 공정의 전 또는 후에, 상기 금속막을 패터닝하여 금속 게이트 전극을 형성하는 공정.

48. 상기 47에 있어서, 상기 고용접 금속은 몰리브덴 또는 텉스텐이다.

49. 상기 47 또는 48에 있어서, 상기 제1 고용접 금속은, 티탄, 지르코늄, 하프늄 또는 탄탈이다.

50. 이하의 공정으로 이루어지는 반도체 집적 회로 장치의 제조 방법;

(a) 실리콘 기판의 주표면 상에 고용접 금속막을 형성한 후, 수분/수소 분압비가 상기 고용접 금속막을 실질적으로 산화하지 않도록 하는 비율로 설정된 수분과 수소를 포함하는 가스 분위기 중에서 열처리를 행하여, 상기 기판과 상기 고용접 금속막과의 계면에 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 갖는 산화 실리콘으로 이루어지는 게이트 절연막을 형성하는 공정,

(b) 상기 열처리 공정의 전 또는 후에, 상기 고용접 금속막을 패터닝하여 금속 게이트 전극을 형성하는 공정.

51. 상기 50에 있어서, 상기 고용접 금속은 몰리브덴 또는 텉스텐이다.

52. 상기 31 내지 51 중 어느 하나에 있어서, 상기 게이트 절연막의 이산화 실리콘 환산막 두께는, 4nm 미만이다.

53. 상기 31 내지 52 중 어느 하나에 있어서, 상기 게이트 절연막의 이산화 실리콘 환산막 두께는, 3nm 미만이다.

54. 상기 31 내지 53 중 어느 하나에 있어서, 상기 게이트 절연막의 이산화 실리콘 환산막 두께는, 1.5nm~2nm 이다.

55. 상기 31 내지 54 중 어느 하나에 있어서, 상기 금속 게이트 전극의 게이트 길이는 $0.25\mu\text{m}$ 이하이다.

56. 상기 31 내지 55 중 어느 하나에 있어서, 상기 금속 게이트 전극의 게이트 길이는 $0.18\mu\text{m}$ 이하이다.

57. 상기 31 내지 56 중 어느 하나에 있어서, 상기 금속 게이트 전극의 게이트 길이는 $0.1\mu\text{m}$ 이하이다.

발명의 구성

이하, 본 발명의 실시의 형태를 도면에 기초하여 상세히 설명한다. 또, 실시의 형태를 설명하기 위한 전 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복의 설명은 생략한다. 또한, 이하의 실시의 형태에서는, 특히 필요할 때 이외는 동일 또는 마찬가지의 부분의 설명을 원칙으로 하여 반복하지 않는다.

또한, 이하의 실시의 형태에서는, 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시의 형태로 분할하여 설명하지만, 특히 명시한 경우를 제외하고, 이들은 상호 무관계한 것이 아니고, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시의 형태에 있어서, 요소의 수 등(개수, 수치, 량, 범위 등을 포함함)에 언급하는 경우, 특히 명시했을 때 및 원리적으로 분명히 특정한 수에 한정될 때를 제외하고, 그 특정한 수에 한정되는 것이 아니고, 특정한 수 이상이라도 이하라도 된다. 또한, 이하의 실시의 형태에 있어서, 그 구성 요소(요소 스텝 등을 포함함)는, 특히 명시한 경우 및 원리적으로 분명히 필수라고 생각되는 경우를 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다.

마찬가지로, 이하의 실시의 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우를 제외하고, 실질적으로 그 형상 등에 근사 또는 유사하는 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 관해서도 마찬가지다.

또한, 본 명세서에서 반도체 집적 회로 장치(혹은 전자 장치, 전자 회로 장치 등)라는 것은, 실리콘 웨이퍼 상에 만들어지는 것뿐만 아니라, 특히 그렇지 않은 것으로 명시한 경우를 제외하고, SOI(Silicon On Insulator) 기판, TFT 액정 등의 다른 기판 상에 만들어지는 것도 포함하는 것으로 한다.

(실시 형태 1)

본 실시 형태는, n 채널형 MISFET과 p 채널형 MISFET로 집적 회로를 구성하는 CMOS-논리 LSI의 제조에 적용한 것이다.

우선, 도 1에 도시한 바와 같이, 비저항이 $10\Omega\text{cm}$ 정도인 단결정 실리콘 기판(이하, 기판 혹은 웨이퍼라 함; 1)을 850°C 정도로 열처리하여 그 주표면에 막 두께 10nm 정도로 얇은 산화 실리콘막(2)을 형성하고, 계속해서 산화 실리콘막(2)의 상부에 CVD(Chemical Vapor Deposition)법으로 막 두께 120nm 정도의 질화 실리콘막(3)을 퇴적한 후, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 소자 분리 영역의 질화 실리콘막(3)을 제거한다.

상기 산화 실리콘막(2)은, 후의 공정에서 소자 분리홈의 내부에 매립되는 산화 실리콘막을 열처리할 때에 기판(1)에 가해지는 스트레스를 완화하거나, 이온 주입에 의한 기판(1) 표면의 손상을 완화하기도 하는 목적으로 형성한다. 또한, 질화 실리콘막(3)은, 그 하부(활성 영역)의 기판(1) 표면의 산화를 방지하는 보호막 및 소자 분리홈 내에 매립되는 산화 실리콘막의 표면을 연마할 때의 스토퍼로서 사용한다.

다음으로, 도 2에 도시한 바와 같이, 질화 실리콘막(3)을 마스크로 한 드라이 에칭으로 소자 분리 영역의 기판(1)에 깊이 350nm 정도의 소자 분리홈(4)을 형성한 후, 상기한 에칭으로 소자 분리홈(4)의 내벽에 생긴 손상층을 제거하기 위해서 기판(1)을 약 1000°C 에서 열처리하여, 소자 분리홈(4)의 내벽에 막 두께 10nm 정도로 얇은 산화 실리콘막(5)을 형성한다.

다음으로, 도 3에 도시한 바와 같이, 상기 소자 분리홈(4)의 내부에 산화 실리콘막(6)을 매립한 뒤, 그 표면을 평탄화한다. 산화 실리콘막(6)의 매립 및 평탄화를 행하기 위해서는, 우선 기판(1) 상에 CVD법으로 막 두께 600nm 정도의 산화 실리콘막(6)을 퇴적한 후, 산화 실리콘막(6)의 막질을 개선하기 위해서 기판(1)을 약 1000°C 에서 열처리한다. 다음으로, 질화 실리콘막(3)을 스토퍼로 이용한 화학 기계연마(Chemical Mechanical Polishing; CMP)법으로 산화 실리콘막(6)을 연마하여, 소자 분리홈(4)의 내부에만 산화 실리콘막(6)을 남긴다.

다음으로, 기판(1)의 활성 영역 상에 남은 질화 실리콘막(3)을 열 인산을 이용한 웨트 에칭으로 제거한 후, 도 4에 도시한 바와 같이, 기판(1)의 일부에 B(붕소)를 이온 주입하여 p형 웨(7)을 형성하고, 다른 일부에 P(인)을 이온 주입하여 n형 형성한다.

다음으로, p형 웨(7) 및 n형 웨(8)의 각각의 표면 근방에 MISFET의 임계치 전압(V_{th})을 조정하기 위한 불순물(B 또는 P)을 이온 주입한 후, 도 5에 도시한 바와 같이, p형 웨(7) 및 n형 웨(8)의 각각의 표면의 산화 실리콘막(2)을 HF(불산)계의 세정액으로 제거함으로써, 활성 영역의 기판(1)(p형 웨(7) 및 n형 웨(8))의 표면을 노출시킨다.

다음으로, 상기 p형 웨(7) 및 n형 웨(8)의 각각의 표면에, 이하와 같은 방법으로 게이트 절연막을 형성한다.

일반적으로, MIS 디바이스의 고속화, 고성능화를 실현하기 위해서는, MISFET을 미세화함에 따라서 게이트 절연막을 박막화할 필요가 있고, 예를 들면 게이트 길이가 $0.25\mu\text{m} \sim 0.2\mu\text{m}$ 정도의 논리 디바이스용 MISFET인 경우에는, 막 두께 5nm 미만의 게이트 절연막이 요구된다. 또한, MIS 디바이스의 종류에 따라 달라지기도 하지만, 게이트 길이가 $0.18\mu\text{m} \sim 0.14\mu\text{m}$ 정도인 경우에는 4nm 미만, 또한 게이트 길이가 $0.13\mu\text{m} \sim 0.1\mu\text{m}$ 정도인 경우에는 3nm 미만의 게이트 절연막이 요구된다.

주지한 바와 같이, 단결정 실리콘 기판의 표면을 고온으로 산화하여 게이트 절연막(게이트 산화막)을 형성하는 방법으로서, 산소 분위기 중에서 수소를 연소시켜 수분을 생성하고, 이 수분을 산소와 같이 기판 표면에 공급하여 산화막을 형성하는 웨트 산화(발열성 산화)법이 있다. 그러나, 이 연소 방식을 이용한 산화막 형성 방법에서는, 막 두께가 5nm 미만이고, 또한 고품질의 극박게이트 절연막을 재현성 좋게 형성하는 것이 어렵다.

즉, 연소 방식을 이용한 상기한 산화막 형성 방법은, 산화중인 물+산소 혼합 가스의 수분 농도가 18~40% 정도의 고농도 범위 내에서밖에 제어할 수 없다. 그 때문에, 이러한 수분 농도의 물+산소 혼합 가스 분위기 중에서 열처리를 행하면, 수분에 기인하는 OH 기나 수소가 산화막 중에 다량으로 받아들여져, 실리콘 기판과의 계면에 Si-H 결합이나 Si-OH 결합 등의 구조 결함이 생기기 쉽다. 그리고, 이 구조 결함은 핫 캐리어 주입 등의 전압 스트레스의 인가에 의해 절단되어 전하 트랩을 형성하여, 임계치 전압의 변동이나 절연 내압의 저하라고 하는 전기 특성의 열화를 야기한다.

또한, 얇은 열 산화막을 균일한 막 두께로 재현성 좋게 형성하기 위해서는, 비교적 두꺼운 산화막을 형성할 때에 비교하여 막의 성장 속도를 늦추어, 보다 안정된 산화 조건으로 성막을 행할 필요가 있다. 그런데, 상기한 연소 방식의 경우에는 수분 농도가 높기 때문에 막의 성장 속도가 빠르고, 매우 단시간에 막이 형성되어 버리기 때문에, 막 두께가 5nm 미만인 극박 산화막을 안정적으로 형성할 수 없다.

또한, 청정한 게이트 절연막을 형성하기 위해서는, 실리콘 기판의 표면에 형성되는 저 품질의 산화막을 미리 웨트 세정으로 제거할 필요가 있지만, 이 웨트 세정을 행하고 나서 기판(웨이퍼)을 산화하기까지의 사이에는, 그 표면에 얇은 자연 산화막(native oxide)이 불가피하게 형성된다. 또한, 산화 공정에서는 원래의 산화가 행해지기 전에 산화중 중의 산소와의 접촉에 의해서 기판의 표면에 원하지 않는 초기 산화막이 형성된다. 특히, 상기한 연소 방식의 경우에는, 수소가 폭발하는 위험을 회피하기 위해서 미리 산소를 충분히 흘리고 나서 수소를 연소시키기 때문에, 기판의 표면이 산소에 노출되는 시간이 길어져, 초기 산화막이 두껍게 형성되어 버린다.

이와 같이, 실제의 게이트 산화막은, 원래의 열 산화에 의해서 형성되는 산화막 외에 자연 산화막과 초기 산화막을 포함하는 구성으로 되어 있지만, 이들의 자연 산화막이나 초기 산화막은, 목적으로 하는 원래의 산화막에 비교하여 저 품질이다. 따라서, 고품질의 게이트 절연막을 얻기 위해서는, 산화막 중에 차지하는 이들 저 품질의 산화막의 비율을 될 수 있는 한 낮게 해야만 하지만, 연소 방식에 의해서 얇은 산화막을 형성한 경우에는, 이들 저 품질의 절연막의 비율이 오히려 증가하여 버린다.

예를 들면 연소 방식에 의해서 막 두께가 9nm의 산화막을 형성했을 때에, 이산화막 중의 자연 산화막과 초기 산화막의 막 두께가 각각 0.7nm, 0.8nm이라고 하면, 원래의 산화막의 막 두께는, $9 - (0.7 + 0.8) = 7.5\text{nm}$ 가 되기 때문에, 이산화막 중에 차지하는 원래의 산화막의 비율은 약 83.3%이 된다. 그런데, 이 연소 방법을 이용하여 막 두께가 4nm의 산화막을 형성한 경우, 자연 산화막과 초기 산화막의 막 두께는 각각 0.7nm, 0.8nm로 변하지 않기 때문에, 원래의 산화막의 막 두께는, $4 - (0.7 + 0.8) = 2.5\text{nm}$ 이 되고, 그 비율은 62.5%로 저하하여 버린다. 즉, 종래의 연소 방식(발열성 산화 방식)에 의해서 극박 산화 실리콘막을 형성하려고 하면, 막 두께의 균일성이 재현성이 확보할 수 없게 될 뿐만 아니라, 막의 품질도 저하된다.

그래서 본 실시 형태에서는, 이하에 설명하는 방법에 의해서 고품질인 극박게이트 절연막을 형성한다. 다만, 게이트 절연막의 형성은, 이 방법에 한정되는 것이 아니고, 후술하는 수분+수소 혼합 가스를 사용하여 형성할 수도 있다.

도 6은, 게이트 절연막의 형성에 사용하는 웨이퍼형의 성막 장치(100)를 도시한 개략도이다. 도시한 바와 같이, 이 성막 장치(100)는, 게이트 절연막의 형성에 앞서서 기판(웨이퍼; 1)의 표면의 산화막을 웨트 세정 방식으로 제거하는 세정 장치(101)를 구비하고 있다. 이러한 세정-산화-판 처리 시스템을 채용함으로써, 세정 장치(101) 내에서 세정 처리에 첨부된 웨이퍼(1)를 대기에 접촉시키는 일 없이, 또한 단시간에서 성막 장치(100)로 반송할 수 있기 때문에, 불필요한 산화 실리콘막(2)을 제거하고 나서 게이트 절연막을 형성하기까지의 사이에 웨이퍼(1)의 표면에 원하지 않는 자연 산화막이 형성되는 것을 극히 억제할 수가 있다.

세정 장치(101)의 로더(102)에 로드된 웨이퍼(1)는, 우선 세정실(103)에 반송되고, 예를 들면 $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ 등의 세정액에 의한 세정 처리에 첨부된 뒤, 불산 세정실(104)에 반송되어, 희불산($\text{HF} + \text{H}_2\text{O}$)에 의한 세정 처리에 첨부되어 표면의 산화 실리콘막(2)이 제거된다. 그 후, 웨이퍼(1)는 건조실(105)에 반송되어 건조 처리에 첨부되어, 표면의 수분이 제거된다. 웨이퍼(1)의 표면에 잔류한 수분은, 게이트 절연막 중이나 게이트 절연막/실리콘 기판 계면에 Si-H, Si-OH 등의 구조 결합을 야기하여 전하 트랩을 형성하는 원인이 되기 때문에, 충분히 제거하여 놓을 필요가 있다.

건조 처리가 끝난 웨이퍼(1)는, 즉시 성막 장치(100)의 버퍼(106)에 반송된다. 이 성막 장치(100)는, 예를 들면 산화막 형성실(107), 산질화막 형성실(108), 열처리실(109), 로더/언로더(110), 금속막 형성실(111) 등을 구비한 멀티챔버 방식으로 구성되어 있고, 장치 중앙의 반송계(112)는, 웨이퍼(1)를 상기 각 처리실에(로부터) 반입(반출)하기 위한 로봇핸드(113)를 구비하고 있다. 반송계(112)의 내부는, 대기의 혼입에 의해서 웨이퍼(1)의 표면에 자연 산화막이 형성되는 것을 극히 억제하기 위해서, 질소 등의 불활성 가스 분위기에 유지된다. 또한, 반송계(112)의 내부는, 웨이퍼(1)의 표면에 수분이 부착하는 것을 극히 억제하기 위해서, ppb 레벨의 최저 수분 분위기에 유지된다. 성막 장치(100)에 반입된 웨이퍼(1)는, 로봇핸드(113)를 통해 우선 산화막 형성실(107)에 1개 혹은 2개 단위로 반송된다.

도 7a는, 산화막 형성실(107)의 구체적인 구성의 일례를 도시하는 개략 평면도, 도 7b는, 도 7a의 B-B'선에 따른 단면도이다.

이산화막 형성실(107)은, 다중벽 석영관으로 구성된 챔버(120)를 구비하고 있고, 그 상부 및 하부에는 웨이퍼(1)를 가열하는 램프(130)가 설치되어 있다. 챔버(120)의 내부에는, 이 램프(130)로부터 공급되는 열을 웨이퍼(1)의 전면에 균등하게 분산시키는 원반형의 작열 링(122)이 설치되어, 그 상부에 웨이퍼(1)를 수평으로 보유하는 서셉터(123)가 장착되어 있다. 작열 링(122)은, 석영 혹은 SiC (탄화 실리콘) 등의 내열 재료로 구성되어, 챔버(120)의 벽면에서 연장되는 지지아암(124)에 의해서 지지되어 있다. 작열 링(122)의 근방에는, 서셉터(123)에 보유된 웨이퍼(1)의 온도를 측정하는 열전쌍(125)이 설치되어 있다.

챔버(120)의 벽면의 일부에는, 챔버(120) 내에 물, 산소 및 퍼지 가스를 도입하기 위한 가스 도입관(126)의 일단이 접속되어 있다. 이 가스 도입관(126)의 타단은, 후술하는 촉매 방식의 수분 생성 장치에 접속되어 있다. 가스 도입관(126)의 근방에는, 다수의 관통구(127)를 구비한 칸막이 벽(128)이 설치되고 있고, 챔버(120) 내에 도입된 가스는, 이 칸막이 벽(128)의 관통구(127)를 통과하여 챔버(120) 내에 균등하게 걸쳐 있다. 챔버(120)의 벽면의 다른 일부에는, 챔버(120) 내에 도입된 상기 가스를 배출하기 위한 배기관(129)의 일단이 접속되어 있다.

도 8은, 상기 산화막 형성실(107)의 챔버(120)에 접속된 촉매 방식의 수분+산소 혼합 가스 생성 장치(140)를 도시한 개략 도이다. 이 가스 생성 장치(140)는, 내열 내식성 합금(예를 들면 상품명 「하스텔로이(Hastelloy)」로 알려진 Ni 합금 등)으로 구성된 반응기(141)를 구비하고 있고, 그 내부에는 Pt(플래튬), Ni(니켈)혹은 Pd(팔라듐) 등의 촉매 금속으로 이루어지는 코일(142) 및 이 코일(또는 곡면 대향판; 142)을 가열하는 히터(143)가 설치되어 있다.

상기 반응기(141)에는, 수소 및 산소로 이루어지는 프로세스 가스와, 질소 혹은 Ar (아르곤) 등의 불활성 가스로 이루어지는 퍼지 가스가 가스 저류조(144a, 144b, 144c)에서 배관(145)을 통하여 도입된다. 배관(145) 도중에는, 가스의 양을 조절하는 매스플로우 컨트롤러(146a, 146b, 146c)와, 가스의 유로를 개폐하는 개폐 밸브(147a, 147b, 147c)가 설치되고, 반응기(141) 내에 도입되는 가스량 및 성분비가 이들에 의해서 정밀하게 제어된다.

반응기(141) 내에 도입된 프로세스 가스(수소 및 산소)는, $350\sim450^\circ\text{C}$ 정도에서 가열된 코일(또는 곡면 대향판; 142)에 접촉하여 여기되며, 수소 분자로부터는 수소래디컬이 생성되며($\text{H}_2 + 2\text{H}^*$), 산소 분자로부터는 산소 래디컬이 생성된다($\text{O}_2 + 2\text{O}^*$). 이들 2종의 래디컬은 화학적으로 매우 활성이기 때문에, 빠르게 반응하여 수분을 생성한다($2\text{H}^* + \text{O}^* \rightarrow \text{H}_2\text{O}$). 이 수분은 접속부(148) 내에서 산소와 혼합되어 저농도에 희석되어, 상기 가스 도입관(126)을 통해 산화막 형성실(107)의 챔버(120)에 도입된다.

상기한 바와 같은 촉매 방식의 수분+산소 혼합 가스 생성 장치(140)는, 수분의 생성에 관여하는 수소와 산소의 양을 고정밀도로 제어할 수 있기 때문에, 산소와 함께 산화막 형성실(107)의 챔버(120)에 도입되는 수분 농도를 ppt 이하의 극초 저농도로부터 수10% 정도의 고농도까지 광범위하게, 또한 고정밀도로 제어할 수가 있다. 또한, 반응기(141)에 프로세스 가스를 도입하면 순간에 수분이 생성되기 때문에, 원하는 수분 농도를 실시간으로 얻을 수 있다. 따라서, 반응기(141) 내에 수소와 산소를 동시에 도입할 수가 있어, 연소 방식을 채용하는 종래의 수분 생성 시스템과 같이, 수소의 도입에 앞서서 산

소를 도입할 필요는 없다. 또, 반응기(141) 내의 촉매 금속은, 수소나 산소를 래디컬화할 수 있는 것이면 전술한 금속 이외의 재료를 사용하더라도 된다. 또한, 촉매 금속은 코일형으로 가공하여 사용하는 외에, 예를 들면 중공 형상의 관 혹은 미세한 섬유 필터 등에 가공하여 그 내부에 프로세스 가스를 통하여도 무방하다.

상기 성막 장치(100)를 사용하여 게이트 절연막을 형성하기 위해서는, 우선 산화막 형성실(107)의 챔버(120)를 개방하고, 그 내부에 퍼지 가스(질소 또는 Ar)를 도입하면서 웨이퍼(1)를 서셉터(123) 상에 로드한다. 그 후, 챔버(120)를 폐쇄하고, 계속해서 퍼지 가스를 도입하여 챔버(120) 내의 가스 교환을 충분히 행한다. 서셉터(123)는, 웨이퍼(1)가 빠르게 가열되도록, 미리 램프(130)로 가열하여 놓는다. 웨이퍼(1)의 가열 온도는, 800~900°C의 범위 내, 바람직하게는 850°C 정도로 한다. 웨이퍼(1)의 온도가 800°C 이하에서는 게이트 절연막의 품질이 저하하고, 900°C 이상에서는 웨이퍼(1)의 표면이 거칠어지기 쉽다.

다음으로, 수분+산소 혼합 가스 생성 장치(140)의 반응기(141)에 산소와 수소를 도입하여, 생성한 수분을 산소와 함께 챔버(120)에 도입하여 웨이퍼(1)의 표면을 수분간 산화함으로써, 웨이퍼(1)의 표면에 산화 실리콘으로 이루어지는 게이트 절연막(9A)을 형성한다(도 9).

성막 장치(100)의 반응기(141)에 산소와 수소를 도입할 때는, 수소를 산소보다 먼저 도입하지 않도록 한다. 수소를 산소보다 먼저 도입하면, 미반응의 수소가 고온의 챔버(120)에 유입되기 때문에 위험하다. 한편, 산소를 수소보다 먼저 도입하면, 이 산소가 챔버(120)에 유입하여, 대기 중의 웨이퍼(1)의 표면에 저 품질의 산화막(초기 산화막)을 형성한다. 따라서, 수소는 산소와 동시에 도입하거나, 혹은 작업의 안전성을 고려하여 산소보다 약간 느린 타이밍(~5초 이내)에서 도입한다. 이와 같이 하면, 웨이퍼(1)의 표면에 원하지 않게 형성되는 초기 산화막의 막 두께를 최소한으로 억제할 수가 있다.

도 10은, 산화막 성장 속도에 대한 수분 농도의 의존성을 도시하는 그래프이고, 횡축은 산화 시간, 종축은 산화막 두께를 보이고 있다. 도시한 바와 같이, 산화막 성장 속도는, 수분 농도가 O(드라이 산화)일 때에 가장 느리고, 수분 농도가 높아짐에 따라 빠르게 된다. 따라서, 막 두께가 5nm 미만인 극박 게이트 절연막(9A)을 재현성 좋게, 또한 균일한 막 두께로 형성하기 위해서는, 수분 농도를 낮게 하여 산화막 성장 속도를 늦춰, 안정된 산화 조건에서 성막을 행하는 것이 유효하다.

산화막 형성실(107)의 챔버(120)에 도입하는 수분의 바람직한 농도는, 드라이산화(수분 농도=O)로 형성했을 때보다 우수한 초기 내압이 얻어지는 농도를 하한으로 하고, 종래의 연소 방식을 채용한 경우의 상한인 40% 정도까지의 범위 내로 한다. 특히, 막 두께가 5nm 미만인 극박 게이트 절연막(9A)을 균일한 막 두께로 재현성 좋게, 더구나 고품질로 형성하기 위해서는, 수분의 농도를 0.5%~5%의 범위 내로 하는 것이 바람직하다.

여기서, 수분+산소 혼합 가스의 「수분 농도」라는 것은, 챔버(120)에 도입하는 수분+산소 혼합 가스에 포함되는 수분의 비율을 백분율로 도시한 값이다. 따라서, 예를 들면 도 11에 도시한 바와 같이, 챔버(120)에 도입하는 산소의 유량이 F_O , 수분의 유량이 F_W 일 때, 이 수분+산소 혼합 가스의 수분 농도 C는, $C = \{F_W/(F_W + F_O)\} \times 100\%$ (%)이다. 또, 챔버(120)에 도입하는 수분+산소 혼합 가스는, 상압인 경우 외에, 감압 또는 고압으로 하는 경우도 있다. 또한, 질소나 Ar 등의 퍼지 가스를 포함하는 경우도 있다.

한편, 후술하는 수분+수소 혼합 가스의 「수분 농도」라는 것은, 수분+수소 혼합 가스에 포함되는 수분 대 수소 분압비를 백분율로 도시한 값으로 정의된다. 즉, 수분+수소 혼합 가스에 포함되는 수소의 분압을 P_H , 수분의 분압을 P_W 로 하였을 때, 이 수분+수소 혼합 가스의 수분 농도는, $(P_W/P_H) \times 100\%$ (%)이다. 따라서 예를 들면 수소의 분압을 99, 수분의 분압을 1로 하였을 때, 이 수분+수소 혼합 가스의 수분 농도는, $[(1/99) \times 100] \approx 1.01\%$ 이다.

본 실시 형태에서는, 웨이퍼(1)의 가열 온도를 850°C, 수분+산소 혼합 가스의 수분 농도를 0.8%로 설정하여 웨이퍼(1)의 주표면을 산화함으로써, p형 웰(7) 및 n형 웰(8)의 각각의 표면에 게이트 절연막(9A)을 형성한다. 게이트 절연막(9A)의 막 두께는, 다음의 공정에서 그 상부에 형성하는 게이트 전극의 게이트 길이가 $0.25\mu m \sim 0.2\mu m$ 인 경우에는 5nm 미만, $0.18\mu m \sim 0.14\mu m$ 인 경우에는 4nm 미만, $0.13\mu m \sim 0.1\mu m$ 인 경우에는 3nm 미만으로 한다. 또, 여기서 말하는 게이트 절연막(9A)의 막 두께라는 것은, 이산화 실리콘 환산막 두께로서, 실제의 막 두께와 일치하지 않은 경우도 있다.

그 후, 산화 실리콘으로 이루어지는 게이트 절연막(9A)을 다음과 같은 방법에 의해서 산질화 실리콘(Oxynitride)막으로 변환하더라도 된다. 즉, 상기 게이트 절연막(9A)이 형성된 웨이퍼(1)를 상기 도 6에 도시하는 성막 장치(100)의 산질화막 형성실(108)에 반송하고, NO(산화질소) 혹은 N_2O (아산화질소) 등의 질소 포함 가스 분위기 중에서 열처리를 행함으로써, 산화 실리콘막 중에 질소를 편석시킨다.

상기한 산질화 처리는 필수적인 공정이 아니지만, 게이트 절연막(9A)의 막 두께가 5nm 미만이 되면 실리콘 기판과의 열팽창 계수 차에 기인하여 양자의 계면에 생기는 스트레스가 현재화하여, 핫 캐리어의 발생을 유발하도록 된다. 산질화 실리콘막은 이 스트레스를 완화하기 때문에, 상기한 산질화 처리를 행하면 극박게이트 절연막(9A)의 신뢰성, 절연 내압이 또한 향상한다. 산질화 실리콘막으로 이루어지는 게이트 절연막(9A)은 질소 또는 암모니아를 첨가한 수분+ 산소 혼합 가스 중에서 웨이퍼(1)를 열처리함으로써 형성할 수도 있다.

다음으로, 게이트 절연막(9A)이 형성된 웨이퍼(1)를 성막 장치(100)의 금속막 형성실(111)에 반송하여, 도 12에 도시한 바와 같이, 게이트 절연막(9A)의 상부에 게이트 전극이 되는 W(텅스텐)막(11A)을 퇴적한다. W 막(11A)은 스퍼터링법 또는 CVD법으로 퇴적하고, 그 막 두께는 50nm 정도로 한다. 또한, W 막(11A)에 대체되는 게이트 전극 재료로서, Mo막을 사용할 수도 있다. Mo는 W보다 더 전기 저항이 낮다는 이점이 있다.

산화 실리콘(또는 산질화 실리콘)으로 이루어지는 상기 게이트 절연막(9A)의 막중에는, 그 성막시에 주로 Si-O 결합의 결손에 기인하는 결함이 발생한다. 또한, 게이트 절연막(9A)의 상부에 다결정 실리콘막과 같은 중간층을 통하는 일 없이 W 막(11A)을 직접 퇴적한 경우에는, 성막시에 W 막(11A)의 막중에 발생한 스트레스가 그 바로 아래의 게이트 절연막(9A)에 가해지기 때문에, 양자의 계면 근방의 게이트 절연막(9A) 중에 결함이 발생한다. 또한, 스퍼터링법에 의해서 게이트 절연막(9A)의 상부에 W 막(11A)을 퇴적한 경우에는, 게이트 절연막(9A)의 표면이 스퍼터되어 손상이 발생하거나, W 이온이 기판(1)에 침입하여 게이트 절연막(9A)의 막 두께를 감소시키기도 한다. 한편, W 막(11A)을 CVD법으로 퇴적한 경우에는, 반응 가스(WF_6) 중의 불소에 의해서 게이트 절연막(9A)의 표면이 에칭되어, 실제의 막 두께가 원하는 막 두께보다도 얇게 되어 버린다. 따라서, 어느 쪽의 방법으로 W 막(11A)을 형성하는 경우라도, 그 바로 아래의 게이트 절연막(9A)에 결함이 발생하는 것은 피할 수 없다. 특히, 막 두께가 5nm 미만인 극박게이트 절연막(9A)은, 상기한 바와 같은 결함이 막중에 약간 존재하기만 해도 절연 내압이나 TDDB(Time-dependent dielectric breakdown; 시간 경과 절연 파괴) 내성이 열화하여, 막의 품질 및 신뢰성이 저하한다.

그래서, 다음으로 산화성 분위기 중에서 웨이퍼(1)를 열처리하여, 게이트 절연막(9A)에 생긴 상기한 결함을 복구한다. 즉, W 막(11A)을 통하여 그 바로 아래의 게이트 절연막(9A)에 산소를 공급하고, 게이트 절연막(9A)을 구성하는 산화 실리콘 막에 존재하는 Si-O 결합의 결손 개소에 산소를 도입하여 결손 개소를 보수한다.

그러나, 게이트 절연막(9A)의 결함 치유를 통상의 산화성 분위기, 예를 들면 드라이 산소 분위기 중에서 행하면, 게이트 절연막(9A)을 덮고 있는 W 막(11A)도 동시에 산화되어 버리기 때문에 게이트 전극의 저항이 커져 버린다. 따라서, 게이트 절연막(9A)의 결함 치유는, 게이트 전극 재료인 W를 실질적으로 산화하는 일 없이 Si만을 선택적으로 산화할 수 있는 방법으로 행해야 한다.

도 13은, 수분+ 수소 혼합 가스를 사용한 산화 환원 반응의 평형 증기압비(P_{H_2O}/P_{H_2})의 온도의존성을 도시하는 그래프이고, 도면 중의 곡선(a)~(e)은, 각각 W, Mo(몰리브덴), Ta(탄탈), Si, Ti(티탄)의 평형 증기압 비를 보이고 있다.

도시된 바와 같이, 수분/수소 분압비를 곡선 (a)과 곡선 (d)에 끼워진 영역의 범위 내로 설정함으로써, W를 산화하는 일 없이 Si만을 선택적으로 산화할 수가 있다. 즉, 수분/수소 분압비가 곡선 (a)과 곡선 (d)에 끼워진 영역에 있는 수분+ 수소 혼합 가스 분위기 중에서 웨이퍼(1)를 열처리함으로써, W 막(11A)을 산화하지 않고 게이트 절연막(9A)을 산화하여 그 결함을 치유할 수가 있다.

마찬가지로, 수분/수소 분압비를 도의 곡선 (b)과 곡선 (d)에 끼워진 영역의 범위 내로 설정함으로써, Mo를 산화하는 일 없이 Si만을 선택적으로 산화할 수가 있다. 즉, 게이트 전극 재료가 Mo인 경우에는, 수분/수소 분압비가 이 영역의 범위 내로 설정된 수분+ 수소 혼합 가스 분위기 중에서 웨이퍼(1)를 열처리함으로써, Mo 막을 산화하지 않고 게이트 절연막(9A)의 결함 치유를 행할 수 있다.

게이트 절연막(9A)의 결함 치유는, W 막(11A)을 형성한 웨이퍼(1)를 상기 성막 장치(100)의 금속막 형성실(111)로부터 열처리실(109)에 반송하여 행한다. 열처리실(109)의 챔버는, 게이트 절연막(9A)의 형성에 이용한 상기 산화막 형성실(107)의 챔버(101)와 동일 구조이기 때문에, 그 도시는 생략한다.

도 14는, 상기 열처리 장치(109)에 접속된 촉매 방식의 수분+ 수소 혼합 가스 생성 장치(240)와 수소 가스 저해 장치(250)를 도시한 개략도이다.

수분+ 수소 혼합 가스 생성 장치(240)는, 게이트 절연막(9A)의 형성에 이용한 상기 수분+ 산소 혼합 가스 생성 장치(140)와 유사한 구조로 되어 있다. 즉, 수분+ 수소 혼합 가스 생성 장치(240)는, 내열 내식성 합금으로 구성된 반응기(241a)를 구비하고 있고, 그 내부에는 촉매 금속으로 이루어지는 코일(242) 및 이 코일(242)을 가열하는 히터(243)가 설치되어 있다.

상기 반응기(241a)에는, 수소 및 산소로 이루어지는 프로세스 가스와, 질소 혹은 Ar 등의 불활성 가스로 이루어지는 퍼지 가스가 각각 가스 저류조(244a, 244b, 244c)에서 배관(245)을 통하여 도입된다. 가스 저류조(244a, 244b, 244c)와 배관(245) 사이에는, 가스 양을 조절하는 매스플로우 컨트롤러(246a, 246b, 246c)와, 가스의 유로를 개폐하는 개폐 밸브(247a, 247b, 247c)가 설치되어, 반응기(241a) 내에 도입되는 가스의 량 및 성분비가 이들에 의해서 정밀하게 제어된다.

반응기(241a) 내에 도입된 프로세스 가스(수소 및 산소)는, 350~450°C 정도로 가열된 코일(242)에 접촉하여 여기되어, 수소 분자로부터는 수소 래디컬이 생성되고($H_2 \rightarrow 2H^*$), 산소 분자로부터는 산소 래디컬이 생성된다($O_2 \rightarrow 2O^*$). 이들 2종의 래디컬은 화학적으로 매우 활성이기 때문에, 빠르게 반응하여 수분을 생성한다($2H^* + O^* \rightarrow H_2O$). 그래서, 수분이 생성하는 몰비(수소: 산소= 2:1) 보다 과잉의 수소를 포함한 수소/산소 혼합 가스를 반응기(241a) 내에 도입함으로써, 수분+ 수소 혼합 가스를 생성할 수가 있다. 여기서 생성한 수분+ 수소 혼합 가스는, 가스 도입관(208)을 통해 상기 열처리실(209)의 챔버에 도입된다.

상기한 바와 같은 촉매 방식의 가스 생성 장치(240)는, 전술한 수분+ 산소 혼합 가스 생성 장치(140)와 마찬가지로, 수분의 생성에 관여하는 수소와 산소의 량 및 이들의 비율을 고정밀도로 제어할 수 있기 때문에, 열처리실(209)의 챔버에 도입되는 수분+ 수소 혼합 가스 중의 수분 농도를 ppb 오더의 극최저농도로부터 수10% 정도의 고농도까지 광범위, 또한 고정밀도로 제어할 수가 있다. 또한, 반응기(241a)에 프로세스 가스를 도입하면 순간적으로 수분이 생성하기 때문에, 원하는 수분 농도의 수분+ 수소 혼합 가스가 실시간으로 얻어진다. 이에 따라, 이물질의 혼입도 최소한으로 억제되기 때문에, 깨끗한 수분+ 수소 혼합 가스를 열처리실(209)에 도입할 수가 있다.

게이트 절연막(9A)의 결합 치유를 행하기 위해서는, 우선 열처리실(209)의 챔버 내에 퍼지 가스(질소 또는 Ar)를 도입하면서 웨이퍼(1)를 반입한 후, 챔버를 폐쇄하고, 계속해서 퍼지 가스를 도입하여 챔버 내의 가스 교환을 충분히 행하고 나서 챔버 내에 수분+ 수소 혼합 가스를 도입한다. 이때의 웨이퍼(1)의 가열 온도는, 바람직하게는 700°C ~ 800°C의 범위 내, 보다 바람직하게는 750°C 정도로 한다. 또한, 수분+ 수소 혼합 가스의 수분 농도는, 바람직하게는 0.5%~30%의 범위 내, 보다 바람직하게는 1%~20%의 범위 내로 한다.

상기한 조건으로 열처리를 행함으로써, 수분+ 수소 혼합 가스 중의 수분에 유래하는 산화종(OH기)이 W막(11A)을 통하여 게이트 절연막(9A)에 침입하여, Si-O 결합의 산소 부족 결합부에 산소를 공급하여 결함을 치유한다. 또한, 이 조건으로 열처리를 행하여도 W 막(11A)가 산화되는 일은 없기 때문에, 게이트 전극의 저항이 증가하는 일이 없다.

또, W 막(11A)은 그 성막시 막중에 스트레스가 축적되기 때문에, W 막(11A)을 패터닝하여 게이트 전극을 형성하면 막 중의 잔류스트레스가 게이트 전극의 측벽 단부에 집중하고, 이 영역에서의 게이트 절연막(9A)의 핫 캐리어 내성을 저하시킨다. 게이트 절연막(9A)의 결합 치유를 위한 상기 열처리를 행하면, W 막(11A) 중에 축적된 스트레스가 완화되기 때문에, 게이트 전극의 형성 후 그 측벽 단부에서 게이트 절연막(9A)의 핫 캐리어 내성이 저하하는 문제점을 동시에 억제할 수가 있다.

상기한 게이트 절연막(9A)의 결합 치유 작업이 완료한 후, 열처리실(209) 내의 수분+ 수소 혼합 가스는, 상기 도 14에 도시하는 배기관(211)을 통하여 배출되어, 냉각기(256)에서 500°C 이하로 냉각된 후, 수소 가스 저해 장치(250)의 반응기(241b)에 도입된다. 이때, 배관(251)을 통하여 가스 저류조(244a)에서 배기관(211)내에 산소 가스가 공급되어, 수분+ 수소 혼합 가스와 같이 반응기(241b)에 도입된다. 가스 저류조(244a)와 배관(251) 사이에는, 산소 가스의 량을 조절하는 매스플로우 컨트롤러(246d)와 산소 가스의 유로를 개폐하는 개폐 밸브(247d)가 설치되어, 반응기(242b)에 도입되는 산소 가스의 양이 이들에 의해서 정밀하게 제어된다. 또한, 배기관(211) 도중에는, 이 산소 가스가 열처리실(209) 내에서 역류하는 것을 방지하는 역지 밸브(252)가 설치된다.

수소 가스 저해 장치(250)의 반응기(241b)는, 상기 가스 생성 장치(240)의 반응기(241a)와 마찬가지로, 내열내식성 합금으로 구성되고 그 내부에는 촉매 금속으로 이루어지는 코일(242)과 이 코일(242)을 가열하는 히터(243)가 설치되어 있다. 이 반응기(241b) 내에 도입된 수분+ 수소 혼합 가스와 산소 가스는, 350~450°C 정도에 가열된 코일(242)에 접촉하여 여기되고, 수소 분자로부터 생성한 수소 래디컬과 산소 분자로부터 생성된 산소 래디컬이 빠르게 반응하여 수분을 생성한다.

그래서, 열처리실(209)로부터 배출된 수분+수소 혼합 가스를 반응기(241b) 내에 도입할 때는, 이 혼합 가스 중의 수소량의 적어도 1/2 이상(몰비)의 산소를 동시에 도입하여, 수소 가스를 완전히 산화하여 물로 변환한다. 이 산소 가스는, 수분+수소 혼합 가스의 도입에 앞서서 반응기(241b) 내에 도입해 두어도 좋고, 혹은 배관(251) 및 배기관(211)을 통하여 반응기(241b) 내에 계속 흐르게 해도 된다. 반응기(241b) 내에서 생성한 수분은, 과잉의 산소 가스와 같이 배기관(253)을 통해 외부로 배출된다. 이 배기관(253) 도중에는, 수소 가스가 완전히 물로 변환되었는지를 확인하기 위한 수소 가스 센서(254)와, 배출된 고온의 수분(수증기)을 액화하기 위한 냉각기(255)가 설치된다.

다음으로, 도 15에 도시한 바와 같이, W 막(11A)의 상부에 CVD법으로 막 두께 50nm~100nm 정도의 질화 실리콘막(13)을 퇴적하고, 포토레지스트막(14)을 마스크로 한 드라이 에칭으로 질화 실리콘막(13)과 W 막(11A)을 패터닝함으로써 게이트 전극(11)을 형성한다. 게이트 전극(11)의 게이트 길이는, 0.25μm~0.1μm의 범위로 한다. W로 구성된 게이트 전극(11)은, 그 시트 저항이 2Ω/? 이하이기 때문에, MISFET의 동작 속도를 향상시킬 수 있다. 또, W 막(11A)의 상부에 질화 실리콘막(13)을 퇴적한 후, W 막(11A)을 패터닝하여 게이트 전극(11)을 형성하는 공정에 앞서서, 상기 수분+수소 혼합 가스를 사용한 열처리를 또 한번 행함으로써, 질화 실리콘막(13)의 퇴적에 의해 생긴 W 막(11A) 중의 스트레스를 저감하여 도 된다.

다음으로, 게이트 전극(11)의 가공에 이용한 포토레지스트막(14)을 애싱(재화) 처리로 제거한 후, 기판(1)의 표면에 남은 드라이 에칭 잔사나 애싱 잔사를 불산 등의 에칭액으로 제거한다. 도 16에 도시한 바와 같이, 이 웨트 에칭을 행하면, 게이트 전극(11)의 하부를 제외한 영역의 게이트 절연막(9A)이 깎이는 동시에, 게이트 전극(11)의 측벽 하부의 게이트 절연막(9A)도 등방적으로 에칭되어 언더컷트가 생기기 때문에 게이트 절연막(9A)의 내압이 저하한다. 다음으로, 상기한 웨트 에칭으로 깎일 수 있는 게이트 절연막(9A)을 재생하기 위한 열처리(재 산화 처리)를 행한다. 또, 이 재산화 처리에 관련하는 기술로서, 본 발명자 등에 의한 일본특원평10-138939호, 일본특개평10-335652호 공보 및 이것에 대응하는 미국 특허 출원 09/086568이 있다.

상기 재산화 처리는, 전술한 게이트 절연막(9A)의 결합 치유 처리와 마찬가지로, 게이트 전극(11)을 구성하는 W 막(11A)을 산화하지 않고 Si(기판(1))을 산화해야만 하기 때문에, 웨이퍼(기판; 1)를 상기 열처리 장치(209)에 반입하여, 촉매 방식의 수분+수소 혼합 가스 생성 장치(240)에서 생성한 수분+수소 혼합 가스 분위기 중에서 열처리를 행한다. 이 수분+수소 혼합 가스의 수분 농도는, 게이트 절연막(9A)의 결합 치유에 이용한 수분+수소 혼합 가스의 그것과 동일하여도 된다. 또한, 열처리 온도는, 게이트 절연막(9A)의 결합 치유 시의 온도와 동일 또는 그것보다도 약간 낮은 온도로 한다.

이 열처리를 행하는 것에 의해 기판(Si; 1)의 표면이 산화되어, 상기한 웨트 에칭 공정에서 깎여 얇게 된 게이트 산화막(9)의 막 두께가 에칭 전의 상태로 회복하기 때문에, 언더컷트된 게이트 전극(11)의 측벽 단부의 프로파일이 개선된다(도 17).

또, 상기한 재산화 처리를 장시간 행하면, 게이트 전극(11)의 단부 근방의 산화막 두께가 필요 이상으로 두껍게 되어, 게이트 전극(11)의 단부에서 오프셋이 생기거나, MISFET의 임계치 전압(V_{th})이 설계치로부터 어긋나기도 한다. 또한, 실효 채널 길이가 게이트 전극(11)의 가공치보다도 짧게 된다고 하는 문제도 생긴다. 특히, 게이트 길이가 0.25μm 미만인 미세한 MISFET은, 게이트 가공 치수의 설계치로부터의 미세 허용량이 소자 설계 면에서 엄격히 제한된다. 이것은, 미세량이 약간 증가만 하여도 단채널 효과에 의해서, 임계치 전압이 급격히 감소하기 때문이다. 따라서, 상기 재산화 처리에 의해서 성장시키는 산화막의 막 두께는, 게이트 절연막(9A)의 막 두께의 50% 증가 정도를 상한으로 하는 것이 바람직하다.

전술한 게이트 절연막(9A)의 결합 치유는, W 막(11A)을 패터닝하여 게이트 전극(11)을 형성한 후에 행할 수도 있다. 즉, 게이트 절연막(9A)의 결합 치유와 게이트 절연막(9A)의 재산화 처리를 일괄해서 행할 수도 있다. 이 경우, 게이트 전극(11)의 상부는 질화 실리콘막(13)으로 덮여져 있기 때문에, 게이트 전극(11)의 바로 아래의 게이트 절연막(9A)에는, 게이트 전극(11)의 측벽을 통하여 산소가 공급된다.

다음으로, 도 18에 도시한 바와 같이, p형 웨(7)에 n형 불순물, 예를 들면 P(인)을 이온 주입하여 게이트 전극(11)의 양측의 p형 웨(7)에 n-형 반도체 영역(16)을 형성한다. 또한, n형 웨(8)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입하여 게이트 전극(11)의 양측의 n형 웨(8)에 p-형 반도체 영역(17)을 형성한다.

다음으로, 도 19에 도시한 바와 같이, 게이트 전극(11)의 측벽에 측벽 스페이서(18)를 형성한다. 측벽 스페이서(18)는, 예를 들면 기판(1) 상에 CVD법으로 퇴적한 막 두께 50nm 정도의 질화 실리콘막을 이방적으로 에칭하여, 이 질화 실리콘막을 게이트 전극(11)의 측벽에 남기는 것으로 형성한다.

다음으로, p형 웰(7)에 n형 불순물, 예를 들면 As(비소)를 이온 주입하여 n^+ 형 반도체 영역(20)(소스, 드레인)을 형성하고, n형 웰(8)에 p형 불순물, 예를 들면 B(붕소)를 이온 주입하여 p^+ 형 반도체 영역(21)(소스, 드레인)을 형성한다. 여기까지의 공정에 의해, p형 웰(7)에 n 채널형 MISFET Qn이 형성되고, n형 웰(8)에 p 채널형 MISFET Qp이 형성된다.

다음으로, 도 20에 도시한 바와 같이, 기판(1) 상에 CVD법으로 산화 실리콘막(22)을 퇴적하여, 화학 기계 연마법을 이용하여 그 표면을 평탄화한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 산화 실리콘막(22)을 드라이 에칭함으로써, n^+ 형 반도체 영역(20)(소스, 드레인)의 상부에 컨택트홀(23)을 형성하고, p^+ 형 반도체 영역(21)(소스, 드레인)의 상부에 컨택트홀(24)을 형성한다.

다음으로, 도 21에 도시한 바와 같이, 산화 실리콘막(22)의 상부에 CVD법 또는 스퍼터링법으로 W막을 퇴적한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 W 막을 패터닝함으로써, 산화 실리콘막(22)의 상부에 배선(25~30)을 형성한다.

(실시 형태 2)

산화 실리콘으로 이루어지는 게이트 절연막의 상부에 W 막이나 Mo 막 등의 금속막을 직접 퇴적하여 열처리를 행하면, 양자의 계면에 고저항의 실리사이드 화합물이 생성되어, 게이트 절연막의 내압을 열화시키는 경우가 있다. 그 대책으로서는, 게이트 전극 재료인 W 막(또는 Mo 막)과 그 하부의 산화 실리콘으로 이루어지는 게이트 절연막 사이에 양자의 계면 반응을 막는 도전성 장벽막을 형성하는 방법이 알려져 있다. 이 도전성 장벽막으로 적합한 재료로는, 그 자신의 반응성이 낮고, 또한 내열성이 높은 도전성 재료인 질화 티탄(TiN), 질화 텅스텐(WN), 질화 몰리브덴(MoN) 등의 고용접 금속 질화물이 있다. 또한, 탄탈(Ta), 지르코늄(Zr), 하프늄(Hf) 등의 질화물을 사용할 수도 있다.

W 막(또는 Mo 막)과 그 하부의 산화 실리콘으로 이루어지는 게이트 절연막 사이에 상기 도전성 장벽막을 형성하는 경우, 게이트 절연막(9A)의 결합 치유는, 다음과 같은 방법으로 행한다.

우선, 도 22에 도시한 바와 같이, 상기 실시 형태 1과 마찬가지의 방법으로 p형 웰(7) 및 n형 웰(8) 각각의 표면에 산화 실리콘(또는 산질화 실리콘)으로 이루어지는 막 두께 5nm 미만의 게이트 절연막(9A)을 형성한 후, 게이트 절연막(9A)의 상부에 도전성 장벽막(12)을 형성하고, 또한 도전성 장벽막(12)의 상부에 스퍼터링법 또는 CVD법으로 막 두께 50nm 정도의 W 막(11A)(또는 Mo막)을 형성한다. 도전성 장벽막(12)은 CVD법 또는 스퍼터링법으로 퇴적한 WN막, MoN막 또는 TiN막으로 구성하고, 그 막 두께는 5nm 정도로 한다.

다음으로, 이 상태에서 게이트 절연막(9A)의 결합을 치유하기 위한 열처리를 행한다. 이 열처리는, 게이트 전극 재료인 W(또는 Mo) 및 도전성 장벽막을 구성하는 금속(W, Ti 또는 Mo)을 산화하는 일 없이 Si만을 선택적으로 산화할 수 있는 방법으로 행한다.

예를 들면 게이트 전극 재료가 W, 장벽 재료가 WN 인 경우에는, 수분/수소 분압비를 상기 도 13의 곡선 (a)와 곡선 (d)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기 중에서 열처리를 행하는 것에 의해, 게이트 전극 재료 및 장벽 재료를 산화하는 일 없이 게이트 절연막(9A)의 결합을 치유할 수가 있다. 또한, 게이트 전극 재료가 Mo, 장벽 재료가 MoN 인 경우에는, 수분/수소 분압비를 곡선(b)과 곡선(d)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기 중에서 열처리를 행함으로써, 게이트 전극 재료 및 장벽 재료를 산화하는 일 없이 게이트 절연막(9A)의 결합을 치유할 수가 있다. 즉, 이들의 경우에는, 상기 실시 형태 1과 마찬가지의 방법으로 게이트 절연막(9A)의 결합을 치유할 수가 있다.

한편, 게이트 전극 재료가 W(또는 Mo), 장벽 재료가 TiN 인 경우, Ti는 상기 도 13에 도시한 바와 같이 수분+수소 혼합 가스 분위기 중에서 Si보다 산화 속도가 크기 때문에, Ti를 실질적으로 산화하는 일 없이 Si만을 선택적으로 산화할 수 없다. 즉, 이 경우에는, 상기 실시 형태 1과 마찬가지의 방법으로 게이트 절연막(9A)의 결합 치유를 행하면 장벽 재료도 산화되기 때문에, 게이트 전극의 저항이 커져 버린다.

그러나, 이 경우도 상기 촉매 방식의 수분+수소 혼합 가스 생성 장치를 사용하여, 수분+수소 혼합 가스 중의 수분을 극히 저농도로 설정함으로써, Ti 및 Si의 산화 속도를 느리게 할 수 있기 때문에, 장벽 재료의 산화를 최소한으로 멈추어 게이트 전극의 저항 증가를 실용상 문제가 되지 않는 범위로 억제할 수 있다. 구체적으로는, 수분 농도가 1% 이하, 바람직하게는 수 ppm~100ppm 정도의 수분+수소 혼합 가스 분위기 중에서 열처리를 행하면 된다.

게이트 전극 재료의 산화를 방지하고, 또한 장벽 재료의 산화도 최소한으로 멈추어 게이트 절연막(9A)의 결함을 치유하는 것 외의 방법으로서, 수분/수소 분압비를 도 13의 곡선 (a) (게이트 전극 재료가 Mo의 경우에는 (b))와 곡선 (d)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스에 질소 또는 암모니아를 첨가한 가스 분위기 중에서 열처리를 행하는 방법도 있다.

질소 또는 암모니아를 첨가한 수분+수소 혼합 가스 분위기 중에서 열처리를 행하면, W 막(11A)(또는 Mo)막을 통하여 도전성 장벽막(12) 중에 OH기와 질소가 확산하여, OH기에 의한 Ti의 산화 반응과 질소에 의한 Ti의 질화 반응이 경합한다. 그 때문에, 도전성 장벽막(12)의 산화를 억제하면서 게이트 절연막(9A)의 결함을 치유할 수가 있다. 이 경우도, 수분 농도를 내리고, 도전성 장벽막(12)의 산화 속도를 될 수 있는 한 느리게 하는 것이 바람직하다. 또한, 이 가스를 사용한 경우에는, 산화 실리콘막으로 구성된 게이트 절연막(9A)의 일부가 산질화 실리콘막으로 변환되기 때문에, 극박게이트 절연막(9A)의 신뢰성, 절연 내압이 더 향상된다.

다음으로, 도 23에 도시한 바와 같이, W 막(11A)의 상부에 CVD법으로 막 두께 50nm~100nm 정도의 질화 실리콘막(13)을 퇴적한 후, 포토레지스트막(14)을 마스크로 한 드라이 에칭으로 질화 실리콘막(13)과 W 막(11A)을 패터닝함으로써 게이트 전극(11)을 형성한다. 그 후, 상기 에칭으로 깎을 수 있는 게이트 절연막(9A)을 재생하기 위해서, 상기 실시 형태 1과 마찬가지의 열처리(재산화 처리)를 행한다. 또, 본 실시 형태에 있어서도, 게이트 전극(11)을 형성한 후에 게이트 절연막(9A)의 결함 치유와 재산화 처리를 일괄해서 행할 수 있다.

(실시 형태 3)

산화 실리콘으로 이루어지는 게이트 절연막을 이산화 실리콘 환산막 두께로 5nm 미만, 특히 3nm 미만까지 얕게 하면, 직접 터널 전류의 발생이나 스트레스 기인의 핫 캐리어 등에 의한 절연 내압의 저하가 현재화한다. 본 실시 형태에서는, 그 대책으로서 게이트 절연막을 질화 실리콘막 혹은 산화 실리콘막과 질화 실리콘막의 복합 절연막으로 형성한다.

질화 실리콘막은, 산화 실리콘막보다도 유전율이 높기 때문에, 그 이산화 실리콘 환산막 두께는 실제의 막 두께보다도 얕게 된다. 따라서, 게이트 절연막을 단일의 질화 실리콘막 혹은 그것과 산화 실리콘의 복합막으로 구성함으로써, 산화 실리콘막으로 구성된 게이트 절연막에 비교하여 그 실효막 두께를 두껍게 할 수가 있기 때문에, 상기한 문제를 개선할 수가 있다. 또한, 산화 실리콘막으로 구성된 게이트 절연막의 상부에 W막을 직접 퇴적한 경우에 생기는 상기한 문제도 개선할 수가 있다.

여기서, 단일 절연막 또는 복합 절연막의 이산화 실리콘 환산막 두께(이하, 단순히 환산막 두께라고 함)라는 것은, 대상이 되는 절연막의 비유전율을 ϵ_i , 그 막 두께를 d_i , 이산화 실리콘의 비유전율을 ϵ_S 로 하였을 때에, 도 24에 도시하는 식으로 정의되는 막 두께이다.

산화 실리콘(SiO_2) 및 질화 실리콘(Si_3N_4)의 유전율은, 각각 4~4.2 및 8이다. 그래서, 질화 실리콘의 유전율을 산화 실리콘의 유전율의 2배로 하여 계산하면, 예를 들면 막 두께 6nm의 질화 실리콘막의 이산화 실리콘 환산막 두께는 3nm가 된다. 즉, 막 두께 6nm의 질화 실리콘막으로 이루어지는 게이트 절연막과 막 두께 3nm의 산화 실리콘막으로 이루어지는 게이트 절연막은 용량이 같다. 또한, 막 두께 2nm의 산화 실리콘막과 막 두께 2nm의 질화 실리콘막(환산막 두께=1nm)과의 복합막으로 이루어지는 게이트 절연막의 용량은, 막 두께 3nm의 단일 산화 실리콘막으로 이루어지는 게이트 절연막의 용량과 동일하다.

게이트 절연막을 질화 실리콘막(질화 실리콘막을 주성분으로 하는 단일 혹은 복합 절연막)으로 구성한 경우의 결함 치유는, 다음과 같은 방법으로 행한다. 우선, 도 25에 도시한 바와 같이, 상기 실시 형태 1과 마찬가지의 방법으로 기판(1)에 p형 웨(7) 및 n형 웨(8)을 형성하고, 계속해서 이들의 표면을 세정하여 불필요한 절연막을 제거한 후, 이들의 상부에 CVD법으로 질화 실리콘막을 퇴적하여 게이트 절연막(9B)을 형성한다. 이 질화 실리콘막은, 플라즈마 CVD법으로 퇴적하는 것보다도, 기판(1)에 제공하는 손상이 적은 저압 CVD법으로 형성하는 것이 바람직하다. 또한, 기판(1)의 표면을 플라즈마질화 처리함으로써 질화 실리콘막을 형성하여도 된다.

상기 게이트 절연막(9B;(질화 실리콘막)의 이산화 실리콘 환산막 두께는, 다음의 공정에서 그 상부에 형성하는 게이트 전극의 게이트 길이가 $0.25\mu\text{m} \sim 0.2\mu\text{m}$ 정도인 경우에는 5nm 미만, 게이트 길이가 $0.18\mu\text{m} \sim 0.14\mu\text{m}$ 정도인 경우에는 4nm 미만, 또한 게이트 길이가 $0.13\mu\text{m} \sim 0.1\mu\text{m}$ 정도인 경우에는 3nm 미만으로 한다. 이 경우, 게이트 절연막(9B; 질화 실리콘막)의 실제의 막 두께는, 각각 10nm 미만, 8nm 미만 및 6nm 미만이다.

다음으로, 도 26에 도시한 바와 같이, 게이트 절연막(9B)의 막중에 스퍼터링법 또는 CVD법으로 막 두께 50nm 정도의 W 막(11A)(또는 Mo막)을 형성한다.

질화 실리콘으로 이루어지는 게이트 절연막(9B)의 막중에는, 그 성막시에 주로 Si-N 결합의 결손에 기인하는 결함이 발생한다. 또한, 게이트 절연막(9B)의 상부에 W 막(11A)을 직접 퇴적하면, 성막시에 W 막(11A)의 막중에 발생한 스트레스가 그 바로 아래의 게이트 절연막(9B; 질화 실리콘막)에 가해지기 때문에, 양자의 계면 근방의 게이트 절연막(9B) 중에도 결함이 발생한다. 이산화 실리콘 환산막 두께가 5nm 미만인 극박 게이트 절연막(9B)은, 상기한 바와 같은 결함이 막중에 약간 존재하기만 해도 절연 내압이나 TDDB 내성이 열화하여, 막의 신뢰성 저하를 야기한다.

그래서, 산화성 분위기 중에서 웨이퍼(1)를 열처리하여, W 막(11A)을 통하여 그 하부의 게이트 절연막(9B)에 산소를 공급함으로써, 게이트 절연막(9B)의 결함을 치유한다. 이 경우의 결함 치유는, 게이트 절연막(9B)을 구성하는 질화 실리콘막에 존재하는 Si-N 결합의 결손 개소에 산소를 도입하여, Si-O 결합을 형성함으로써 행한다. 또한, 이 결함 치유를 위한 열처리는, 게이트 전극 재료인 W를 산화하는 일 없이 Si만을 선택적으로 산화해야만 하기 때문에, 상기 실시 형태 1과 마찬가지로, 수분/수소 분압비를 상기 도 13의 곡선(a)과 곡선(d)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기 중에서 행한다. 또한, 게이트 전극 재료가 Mo 막인 경우에는, 수분/수소 분압비를 곡선(b)과 곡선(d)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기 중에서 열처리를 행한다. 또한, 이 수분+수소 혼합 가스는, 그 수분 농도를 고정밀도로 제어할 수 있는 상기 촉매 방식의 수분+수소 혼합 가스 생성 장치를 사용하여 생성한다.

질화 실리콘막과 산화 실리콘막의 복합막으로 이루어지는 게이트 절연막(9B)을 형성하기 위해서는, 예를 들면 기판(1)(p형 웨(7), n형 웨(8))의 표면을 열 산화하여 산화 실리콘막을 형성한 후, 그 상부에 CVD법으로 질화 실리콘막을 퇴적한다. 이 경우도, 상기 수분+수소 혼합 가스를 사용하여 열처리를 행하여, 질화 실리콘막에 존재하는 Si-N 결합의 결손 개소 및 산화 실리콘막에 존재하는 Si-O 결합의 결손 개소에 각각 산소를 도입함으로써 결함을 치유한다.

질화 실리콘막과 산화 실리콘막의 복합막으로 구성된 게이트 절연막(9B)의 결함 치유는, 수분+수소 혼합 가스에 질소 또는 암모니아를 첨가한 가스 분위기 중에서 행하여도 된다. 이 경우에는, 게이트 절연막(9B)의 일부인 산화 실리콘막이 산질화막으로 변환되기 때문에, 게이트 절연막(9B)의 신뢰성 및 절연 내압이 더 향상된다.

다음으로, 도 27에 도시한 바와 같이, W 막(11A)의 상부에 CVD법으로 막 두께 50nm~100nm 정도의 질화 실리콘막(13)을 퇴적한 후, 포토레지스트막(14)을 마스크로 한 드라이 에칭으로 질화 실리콘막(13)과 W 막(11A)을 패터닝하여 게이트 전극(11)을 형성한다.

(실시 형태 4)

상기 실시 형태 3에서는, 산화 실리콘막의 약 2배의 유전율을 갖는 질화 실리콘막이나 그것을 주성분으로 하는 절연막을 사용하여 게이트 절연막을 형성하였지만, 질화 실리콘막보다도 더 높은 유전율의 절연 재료를 사용한 경우에는, 이산화 실리콘 환산막 두께가 5nm 미만인 절연막을 질화 실리콘막보다 두꺼운 막 두께로 형성할 수 있기 때문에, 미세인 MISFET의 형성이 한층 용이하게 된다.

질화 실리콘막보다 높은 유전율을 갖는 게이트 절연막 재료로서는, 산화 탄탈(Ta_2O_5)나 산화 티탄(TiO_2) 등의 고융점 금속 산화물을 예를 들 수 있다. 산화 탄탈은 그 유전율이 20~25로 높고, CVD법에 의한 성막도 용이하기 때문에, 종래부터 DRAM(Dynamic Random Access Memory)의 커패시터 재료 등으로 사용되고 있고, 기존의 반도체 제조 프로세스와의 정합성이 높다. 또한, 유전율이 80~120로 더 높은 산화 티탄도, Ti가 실리사이드 재료로서 반도체 제조 프로세스에서 사용되고 있기 때문에, 기존의 반도체 제조 프로세스와의 정합성이 높다. 기타, 티탄과 동일하게 4A족 금속인 지르코늄(Zr)이나 하프늄(Hf)의 산화물(ZrO_2 , HfO_2)도 산화 티탄과 거의 동일한 정도로 높은 유전율을 갖고 있고, 또한 화학적으로도 안정되기 때문에, 극박 게이트 절연막 재료로서 사용할 수가 있다.

예를 들면, 산화 티탄으로 구성된 게이트 절연막을 갖는 MISFET를 형성하기 위해서는, 우선 도 28에 도시한 바와 같이, 상기 실시 형태 1과 마찬가지의 방법으로 기판(1)에 p형 웨(7) 및 n형 웨(8)을 형성하고, 계속해서 이들의 표면을 세정하여 불필요한 절연막을 제거한 후, 이들의 상부에 스퍼터링법으로 산화 티탄막을 퇴적하여 게이트 절연막(9C)을 형성한다. 이때, 산화 티탄막의 막 두께를 약 40nm~60nm로 함으로써, 이산화 실리콘 환산막 두께가 2nm인 게이트 절연막(9C)이 얻어진다.

다음으로, 도 29에 도시한 바와 같이, 게이트 절연막(9C)의 상부에 스퍼터링법 또는 CVD법으로 막 두께 50nm 정도의 W 막(11A)(또는 Mo 막)을 형성한다.

상기 게이트 절연막(9C)을 구성하는 산화 티탄과 같은 결정성 금속 산화물은, 성막 직후 막중에 전류의 누설 패스가 되는 결함(주로 결정 중이나 결정 입계에 존재하는 산소 결손)을 많이 포함하고 있다. 또한, 게이트 절연막(9C)의 상부에 W 막(11A)을 직접 퇴적하면, 성막시 W 막(11A)의 막중에 발생한 스트레스가 그 바로 아래의 게이트 절연막(9C)에 가해지기 때문에, 양자의 계면 근방의 게이트 절연막(9C)에도 결함이 발생한다. 따라서, 게이트 절연막으로서의 사용에 견디는 절연 특성을 갖는 산화 티탄막을 얻기 위해서는, 이들의 결함을 치유할 필요가 있다.

산화 티탄과 같은 고용점 금속 산화물로 이루어지는 게이트 절연막(9C)의 결함을 치유하기 위해서는, 산화성 분위기 중에서 기판(1)을 열처리하고, W 막(11A)을 통하여 게이트 절연막(9C)의 산소 결손 개소에 산소를 도입하여 막을 개질·결정화 한다.

고용점 금속 산화물이 산화 티탄인 경우, 상기 열처리는 그 상부에 퇴적된 게이트 전극 재료인 W를 실질적으로 산화하는 일 없이 Ti를 산화하는 분위기 중에서 행하지 않으면 안 된다. 따라서, 이 열처리는, 수분/수소 분압비를 상기 도면 13에 도시하는 곡선(a)과 곡선(e)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기 중에서 행할 필요가 있다. 그러나, 도시한 바와 같이, Ti는 수분+수소 혼합 가스 분위기 중에서의 평형 증기압 곡선이 Si보다도 약간 낮은 수분 분압 측에 있을 뿐이기 때문에, 수분 농도가 높은 수분+수소 혼합 가스 분위기 중에서 열처리를 행한 경우는 기판(1)도 산화된다. 그 결과, 게이트 절연막(9C)과 그 바로 아래의 기판(1)과의 계면에 산화 실리콘막이 형성되고, 게이트 절연막(9C)의 실효적인 이산화 실리콘 환산막 두께가 커진다.

그래서, 산화 실리콘막의 성장을 될 수 있는 한 억제하고 싶을 때는, 상기 촉매 방식의 수분+수소 혼합 가스 생성 장치를 사용하여, 수분+수소 혼합 가스 중의 수분을 극히 저농도로 설정하여 열처리를 행한다. 이에 따라, Si의 산화 속도가 늦어지기 때문에, 기판(1)의 산화를 최소한으로 멈추어 게이트 절연막(9C)의 결함을 치유할 수가 있다. 구체적으로는, 수분+수소 혼합 가스 분위기 중의 수분 농도를 수 ppm~100 ppm 정도로 설정하여, 400°C~700°C의 온도 범위에서 열처리를 행한다.

전술한 Zr나 Hf는, Ti과 마찬가지로 수분+수소 혼합 가스 분위기 중에서의 산화 환원 평형 곡선이 Si의 것보다도 낮은 수분 측에 있다. 따라서, 이것들의 고용점 금속 산화물(ZrO_2 , HfO_2)의 박막을 기판(1) 상에 퇴적한 게이트 절연막(9C)을 형성한 경우, 그 결함 치유는 산화 티탄으로 구성된 상기 게이트 절연막(9C)의 결함 치유와 마찬가지의 방법으로 행한다. 즉, 수분/수소 분압비가 게이트 전극 재료(W)를 산화하지 않고, 이들의 금속(Zr, Hf)만을 선택적으로 산화하도록 하는 비율로 설정된 수분+수소 혼합 가스 분위기 중에서 열처리를 행한다.

한편, 산화 탄탈로 구성된 게이트 절연막을 갖는 MISFET를 형성하기 위해서는, 우선 기판(1)(p형 웨(7), n형 웨(8))의 상부에 CVD법으로 산화 탄탈막을 퇴적하여 게이트 절연막(9C)을 형성한다. 이때, 산화 탄탈막의 막 두께를 약 10nm~12nm로 함으로써, 이산화 실리콘 환산막 두께가 2nm인 게이트 절연막(9C)이 얻어진다.

산화 탄탈로 이루어지는 게이트 절연막(9C)의 결함을 치유하기 위해서는, 그 상부에 퇴적된 게이트 전극 재료인 W를 실질적으로 산화하는 일 없이 Ta를 산화하는 분위기 중에서 열처리를 행한다. 즉, 게이트 절연막(9C)의 상부에 W 막(11A)을 퇴적한 후, 수분/수소 분압비를 상기 도 13의 곡선(a)과 곡선(c)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기 중에서 기판(1)을 열처리한다. 그러나, 도시한 바와 같이, Ta는 수분+수소 혼합 가스 분위기 중에서 Si보다도 산화 속도가 느리기 때문에, Si를 실질적으로 산화하는 일 없이 Ta만을 산화할 수가 없다. 즉, 산화 탄탈로 이루어지는 게이트 절연막(9C)의 결함을 치유하는 경우에는 기판(1)도 동시에 산화된다. 그 결과, 게이트 절연막(9C)과 그 바로 아래의 기판(1)과의 계면에 산화 실리콘막이 형성되어, 게이트 절연막(9C)의 실효적인 이산화 실리콘 환산막 두께가 커진다.

그러나, 이 경우도 상기 촉매 방식의 수분+수소 혼합 가스 생성 장치를 사용하여, 수분+수소 혼합 가스 중의 수분을 극히 저농도로 설정하여 열처리를 행한다. 이에 따라, Ta 및 Si의 산화 속도가 늦어지기 때문에, 기판(1)의 산화를 최소한으로 멈추어 게이트 절연막(9C)의 결함을 치유할 수가 있다. 구체적으로는, 수분+수소 혼합 가스의 수분 농도를 1%~50% 정도로 설정하고, 400°C~700°C의 온도 범위에서 열처리를 행한다.

상기 산화 티탄, 산화지르코늄, 산화하프늄, 산화 탄탈막 등의 고용점 금속 산화물로 이루어지는 게이트 절연막(9C)의 결함 치유는, 그 상부에 게이트 전극 재료(W 막(11A))를 퇴적하기 전에 행해도 된다. 이 경우에는, 게이트 절연막(9C)을 구

성하는 금속 산화물에 충분한 산소를 공급할 수 있기 때문에, 막 중의 결함을 보다 확실하게 치유할 수가 있다. 다만, W 막(11A)의 퇴적에 의해서 게이트 절연막(9C)에 생기는 결함을 치유하기 위해서는, W 막(11A)의 퇴적 후에 상기한 열처리를 또 한번 행할 필요가 있다.

상기한 고용점 금속 산화물로 이루어지는 게이트 절연막(9C)의 결함 치유는, 그 상부에 퇴적한 W 막이나 Mo 막 등을 패터닝하여 게이트 전극을 형성한 후에 행하더라도 무방하다. 또한, 게이트 전극의 형성 전 및 형성 후에 각각 행하더라도 된다.

금속 산화물로 이루어지는 게이트 절연막은, 유전율이 8~10의 알루미나(Al_2O_3)를 사용하여 형성할 수도 있다. 또한, ABO_3 형의 광의의 페로브스카이트형 구조를 포함하는 고유전체로서, 동작 온도에 있어서 상유전상에 있는 금속 산화물(예를 들면 BST(티탄산 바륨스트론튬) 등)을 사용하여 형성할 수도 있다. 또한, 금속 산화물 2종 이상을 포함하는 이원 또는 다원 산화물을 주성분으로 하는 것이나, 이들의 금속 산화물과 산화 실리콘막 혹은 질화 실리콘막의 복합막을 사용하여 형성할 수 있다.

(실시 형태 5)

산화 티탄, 산화지르코늄, 산화하프늄 등, 수분+수소 혼합 가스 분위기 중에서의 산화환원 반응의 평형 곡선이 Si의 것보다도 낮은 수분 측에 있는 고용점 금속의 산화물로 이루어지는 게이트 절연막(9C)은, 다음과 같은 방법에 의해서 형성할 수도 있다.

우선, 도 30에 도시한 바와 같이, 상기 실시 형태 1과 마찬가지의 방법으로 기판(1)에 p형 웨(7) 및 n형 웨(8)을 형성하고, 계속해서 이들의 표면을 세정하여 불필요한 절연막을 제거한 후, 이들의 상부에 스퍼터링법으로 Ti 막(31)을 퇴적한다.

다음으로, 도 31에 도시한 바와 같이, 수분/수소 분압비가 Si를 실질적으로 산화하지 않고, Ti만을 선택적으로 산화하도록 하는 비율(상기 도 13의 곡선 (d)과 곡선 (e)에 끼워진 영역의 범위 내)로 설정된 수분+수소 혼합 가스 분위기 중에서 기판(1)을 열처리한다. 이에 따라, 상기 Ti 막(31)이 산화되어 산화 티탄막으로 변환되는 결과, 산화 티탄으로 이루어지는 게이트 절연막(9C)이 얻어진다.

마찬가지의 방법으로 산화지르코늄막(또는 산화하프늄막)으로 이루어지는 게이트 절연막(9C)을 형성하는 경우에는, 기판(1) 상에 Zr 막(또는 Hf 막)을 퇴적한 후, 수분/수소 분압비가 기판(1)(Si)을 실질적으로 산화하지 않고, Zr(또는 Hf)만을 선택적으로 산화하도록 하는 비율로 설정된 수분+수소 혼합 가스 분위기 중에서 기판(1)을 열처리한다. 이에 따라, Zr 막(또는 Hf 막)이 산화되어 산화지르코늄막(또는 산화하프늄막)으로 변환되는 결과, 산화지르코늄막(또는 산화하프늄막)으로 이루어지는 게이트 절연막(9C)이 얻어진다.

기판(1) 상에 퇴적한 고용점 금속막을 그 산화물로 변환하기 위한 열처리는, 고용점 금속막의 상부에 W 막 등의 게이트 전극 재료를 퇴적하고 나서 행하더라도 무방하다. 이 경우에는, 우선, 도 32에 도시한 바와 같이, 기판(1)(p형 웨(7) 및 n형 웨(8))의 상부에 스퍼터링법으로 Ti 막(31)을 퇴적한 후, Ti 막(31)의 상부에 스퍼터링법 또는 CVD법으로 막 두께 50nm 정도의 W 막(11A)(또는 Mo 막)을 형성한다.

다음으로, 수분/수소 분압비가 Si를 실질적으로 산화하지 않고, Ti만을 선택적으로 산화하도록 하는 비율(상기 도 13의 곡선 (d)과 곡선 (e)에 끼워진 영역의 범위 내)로 설정된 수분+수소 혼합 가스 분위기 중에서 기판(1)을 열처리한다. 이에 따라, 수분+수소 혼합 가스 중의 수분에서 유래하는 산화종(OH 기)이 W 막(11A)(또는 Mo 막)을 통하여 Ti 막(31)에 침입하여, Ti 막(31)을 산화 티탄막으로 변환하는 결과, 도 33에 도시한 바와 같이, 게이트 전극 재료인 W 막(11A)(또는 Mo 막)의 바로 아래에 산화 티탄막으로 이루어지는 게이트 절연막(9C)이 형성된다. 또한, 수분/수소 분압비가 상기한 비율로 설정된 수분+수소 혼합 가스 분위기 중에서 열처리를 행하여도 W 막(11A)(또는 Mo 막)이 산화되는 일은 없기 때문에, 게이트 전극의 저항이 커지는 일은 없다.

산화 지르코늄막이나 산화 하프늄막으로 이루어지는 게이트 절연막(9C)도, 지르코늄막이나 하프늄막을 상기한 방법으로 산화함으로써 형성할 수가 있다.

(실시 형태 6)

이 산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 지니고, 산화 실리콘을 주성분으로 하는 게이트 절연막(9A)은, 다음과 같은 방법에 의해서 형성할 수도 있다.

우선, 도 34에 도시한 바와 같이, 상기 실시 형태 1과 마찬가지의 방법으로 기판(1)에 p형 웨(7) 및 n형 웨(8)을 형성하고, 계속해서 이들의 표면을 세정하여 불필요한 절연막을 제거한 후, 이들의 상부에 스퍼터링법 또는 CVD법으로 막 두께 50nm 정도의 W 막(11A)(또는 Mo 막)을 형성한다.

다음으로, W 막(11A)이 형성된 상기 기판(1)을 열처리한다. 이 열처리는, 수분/수소 분압비를 상기 도 13의 곡선 (a)과 곡선 (d)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기, 즉 W를 산화하는 일 없이 Si만을 선택적으로 산화하도록 수분 농도를 설정한 수분+수소 혼합 가스 분위기 중에서 행한다. 이 수분+수소 혼합 가스는, 그 수분 농도를 고정 밀도로 제어할 수 있는 상기 측매 방식의 수분+수소 혼합 가스 생성 장치를 사용하여 생성하면 된다.

상기한 열처리를 행하는 것에 의해, 수분+수소 혼합 가스 중의 수분에 유래하는 산화종(OH 기)이 W 막(11A)을 통하여 기판(1)에 침입하여, 그 표면이 산화된다. 이 결과, 도 35에 도시한 바와 같이, W 막(11A)과 기판(1)의 계면에 매우 얇은 산화 실리콘막으로 구성된 게이트 절연막(9A)이 형성된다. 이 방법에 따르면, 막 두께 1nm 이하의 매우 얇은 산화 실리콘막으로 구성된 게이트 절연막을 형성할 수도 있다.

또, 기판(1)의 표면을 산화할 때의 열처리 온도가 550°C ~ 600°C를 넘으면, W 막(11A)과 기판(1)이 반응하여 이들의 계면에 실리사이드 화합물이 생성되기 때문에, 이 실리사이드 반응이 생기지 않는 저온 영역에서 열처리를 행할 필요가 있다. 마찬가지로, 게이트 전극용 금속막이 Mo인 경우에는, 열처리 온도가 500°C를 넘으면 실리사이드 반응이 생기기 때문에, 그 이하의 온도 영역에서 열처리를 행할 필요가 있다.

W 막(11A)과 기판(1)의 계면에 산화 실리콘으로 이루어지는 게이트 절연막(9D)을 형성하기 위한 열처리는, 게이트 전극을 형성한 후에 행하더라도 된다. 이 경우에는, 우선, 도 36에 도시한 바와 같이, 기판(1)(p형 웨(7) 및 n형 웨(8))의 상부에 스퍼터링법 또는 CVD법으로 막 두께 50nm 정도의 W 막(11A)을 형성한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 W 막(11A)을 드라이 에칭함으로써, 게이트 전극(11)을 형성한다. 게이트 전극(11)은, Mo 막을 드라이 에칭하여 형성하여도 된다.

다음으로, 게이트 전극(11)이 형성된 상기 기판(1)을 열처리한다. 이 열처리는, 수분/수소 분압비를 상기 도 13의 곡선 (a)과 곡선 (d)에 끼워진 영역의 범위 내로 설정한 수분+수소 혼합 가스 분위기, 즉 W를 산화하는 일 없이 Si만을 선택적으로 산화하도록 수분 농도를 설정한 수분+수소 혼합 가스 분위기 중에서 행한다.

상기한 열처리를 행하는 것에 의해 기판(1)의 표면이 산화되어, 도 37에 도시한 바와 같이, 산화 실리콘으로 이루어지는 게이트 절연막(9A')이 형성된다. 이때, 게이트 전극(11)을 구성하는 W 막(11A)을 통하여 게이트 전극(11)의 바로 아래의 기판(1)에도 산화종(OH 기)이 공급되기 때문에, 이 영역의 기판(1)도 산화된다. 그러나, 게이트 전극(11)의 바로 아래의 기판(1)은, 다른 영역의 기판(1)에 비교하여 산화량이 적기 때문에, W 막(11A)과 기판(1)의 계면에는 극히 얇은 산화 실리콘막으로 구성된 게이트 절연막(9A)이 형성된다. 이 방법에 따르면, 막 두께 1nm 이하의 매우 얇은 산화 실리콘막으로 구성된 게이트 절연막을 형성할 수도 있다.

또, 이 경우도, 게이트 전극(11)을 구성하는 W 막(11A)과 기판(1)의 계면에 실리사이드 화합물이 생성되지 않은 온도 영역에서 열처리를 행할 필요가 있다.

(실시 형태 7)

본 실시 형태는, 상감(Damascene)법을 사용하여 게이트 전극을 형성하는 MISFET의 제조에 적용한 것이다.

우선, 도 38에 도시한 바와 같이, 상기 실시 형태 1과 마찬가지의 방법으로 기판(1)에 p형 웨(7) 및 n형 웨(8)을 형성한 후, p형 웨(7) 및 n형 웨(8)의 각각의 표면에 남은 산화 실리콘막(2)의 상부에 CVD법으로 막 두께 50nm 정도의 다결정 실리콘막(41A)을 퇴적한다.

다음으로, 도 39에 도시한 바와 같이, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 다결정 실리콘막(41a)을 패터닝하여 게이트 전극(41)을 형성한 후, 상기 실시 형태 1과 마찬가지의 방법으로 게이트 전극(11)의 측벽에 측

벽 스페이서(18)를 형성하고, 또한 p형 웨(7)에 n+ 형 반도체 영역(20)(소스, 드레인), n형 웨(8)에 p+ 형 반도체 영역(21)(소스, 드레인)을 각각 형성한다. 또, 상기 게이트 전극(41)을 구성하는 재료는 다결정 실리콘이 아니더라도 좋고, 예를 들면 질화 실리콘 등으로 구성할 수도 있다.

다음으로, 도 40에 도시한 바와 같이, 기판(1) 상에 CVD법으로 산화 실리콘막(42)을 퇴적한 후, 화학 기계 연마법으로 산화 실리콘막(42)을 평탄화함으로써, 그 표면의 높이를 게이트 전극(11)의 높이에 정합한다.

다음으로, 도 41에 도시한 바와 같이, 산화 실리콘막(42)을 마스크로 한 드라이 에칭으로 게이트 전극(11)을 제거함으로써, 게이트 전극(11)의 하부의 기판(1)(p형 웨(7), n형 웨(8)) 표면을 노출시킨다.

다음으로, 도 42에 도시한 바와 같이, 게이트 전극(11)의 제거에 의해서 노출한 기판(1)(p형 웨(7), n형 웨(8))의 표면에 막 두께 1nm 이하의 매우 얇은 산화 실리콘막(43)을 형성한다. 이산화 실리콘막(43)은, 수분/수소 분압비가 Si를 산화하도록 설정된 수분+수소 혼합 가스 분위기 중에서 기판(1)을 열처리함으로써 형성한다. 이때의 수분 농도는, 예를 들면 1% ~ 30% 정도, 열처리 온도는, 예를 들면 700°C ~ 800°C 정도로 한다.

다음으로, 도 43에 도시한 바와 같이, 상기 산화 실리콘막(42, 43)의 상부에 이산화 실리콘 환산막 두께가 1nm 이하인 매우 얇은 산화 티탄막(44)을 스퍼터링법으로 퇴적한다. 이때 퇴적하는 절연막은, 산화지르코늄, 산화하프늄, 산화 탄탈막 등, 전술한 고유전율의 게이트 절연막용 금속 산화물이면 어느 것이라도 무방하다.

다음으로, 도 44에 도시한 바와 같이, 산화 실리콘막(42)의 상부의 산화 티탄막(44)을 화학 기계 연마법으로 제거한다. 이것에 의해서, 다음의 공정에서 게이트 전극이 형성되는 영역의 기판(1)(p형 웨(7), n형 웨(8))의 표면에 산화 실리콘막(43)과 그 상부의 산화 티탄막(44)의 복합막으로 이루어지는 게이트 절연막(9E)이 형성된다. 이때, 게이트 절연막(9E)의 일부(산화 티탄막(44))는, 사이드월 스페이서(48)의 측벽에도 형성된다.

다음으로, 상기 게이트 절연막(9E)을 구성하는 산화 실리콘막(43) 및 산화 티탄막(44)의 결함을 치유하기 위한 열처리를 행한다. 이 열처리는, 수분/수소 분압비가 Si 및 Ti를 산화하도록 설정된 수분+수소 혼합 가스 분위기 중에서 기판(1)을 열처리함으로써 행한다. 이때의 수분 농도는, 예를 들면 1% ~ 30% 정도, 열처리 온도는, 예를 들면 600°C ~ 800°C 정도로 한다.

다음으로, 도 45에 도시한 바와 같이, 산화 실리콘막(42) 및 게이트 절연막(9E)의 상부에 스퍼터링법 또는 CVD법으로 W 막을 형성한 후, 산화 실리콘막(42)의 상부의 W 막을 화학 기계 연마법으로 제거함으로써 게이트 전극(11)을 형성한다. 게이트 전극(11)은, Mo, Cu, Al 등으로 구성하더라도 무방하다. 여기까지의 공정에서 p형 웨(7)에 n 채널형 MISFET Qn이 형성되고, n형 웨(8)에 p 채널형 MISFET Qp이 형성된다.

상기한 상감법에 의해서 게이트 전극(11)을 형성한 경우에는, 게이트 절연막(9E)의 일부가 게이트 전극(11)에도 형성되기 때문에, 게이트 전극(11)의 측벽 하부에서의 게이트 절연막(9E)의 내압이 향상한다. 또, 본원 발명자를 포함하는 각종 그룹에 의한 측매 반응을 이용한 반도체 집적 회로의 제조 방법에 관한 발명에 관한 출원 중의 특허 출원으로서는 이하의 것 이 있다. 즉, 일본 특허 공개평성 9-172011, PCT 국제 공개 WO97/28085, PCT 출원 PCT/JP98/00892, 미국 특허 출원 번호 O9/086,568, O9/089,398 및 O9/314,956 등이다.

이상, 본 발명자에 의해서 이루어질 수 있는 발명을 그 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것이 아니고, 그 요지를 일탈하지 않은 범위에서 여러 가지 변경 가능한 것은 물론이다.

발명의 효과

본원에 있어서 개시되는 발명중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 이하와 같다.

본 발명에 의하면, 극박 게이트 절연막 상에 금속 게이트 전극을 형성한 MISFET의 신뢰성 및 제조 수율을 향상시킬 수 있다.

본 발명에 의하면, 산화 실리콘보다도 유전율이 높은 금속 산화물을 포함하는 게이트 절연막 상에 금속 게이트 전극을 형성한 MISFET의 신뢰성 및 제조 수율을 향상시킬 수 있다.

본 발명에 따르면, 이산화 실리콘 환산막 두께가 5nm 미만인 막 두께를 갖는 고품질인 게이트 절연막을 수율 좋게 형성할 수 있기 때문에, CMOS-LSI의 고집적화를 추진할 수가 있다.

도면의 간단한 설명

도 1은 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 2는 본 발명의 실시 형태 1인 CMOS- 논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 3은 본 발명의 실시 형태 1인 CMOS- 논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 4는 본 발명의 실시 형태 1인 CMOS- 논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 5는 본 발명의 실시 형태 1인 CMOS- 논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 6은 게이트 절연막의 형성에 사용하는 웨이퍼형의 성막 장치를 도시한 개략도이다.

도 7a는, 산화막 형성실이 구체적인 구성의 일례를 도시하는 개략 평면도,

도 7b는, 도 7a의 B-B'선에 따른 단면도이다.

도 8은 촉매 방식의 수분+ 산소 혼합 가스 생성 장치를 도시한 개략도이다.

도 9는 본 발명의 실시 형태 1인 CMOS- 논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 10은 산화막 성장 속도에 대한 수분 농도의 의존성을 도시하는 그래프이다.

도 11a은, 수분+ 산소 혼합 가스의 수분 농도를 정의하기 위한 설명도, 도 11b는, 수분+ 수소 혼합 가스의 수분 농도를 정의하기 위한 설명도이다.

도 12는 본 발명의 실시 형태 1인 CMOS- 논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 13은 수분+ 수소 혼합 가스를 사용한 산화 환원 반응의 평형 증기압비(P_{H_2O}/P_{H_2})의 온도 의존성을 도시하는 그래프이다.

도 14는 촉매 방식의 수분+ 수소 혼합 가스 생성 장치와 수소 가스 제해(除害) 장치를 도시한 개략도이다.

도 15는 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 16은 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 확대 단면도이다.

도 17은 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 확대 단면도이다.

도 18은 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 19는 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 20은 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 21은 본 발명의 실시 형태 1인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 22는 본 발명의 실시 형태 2인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 23은 본 발명의 실시 형태 2인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 24는 절연막의 이산화 실리콘 환산막 두께를 정의하는 식이다.

도 25는 본 발명의 실시 형태 3인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 26은 본 발명의 실시 형태 3인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 27은 본 발명의 실시 형태 3인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 28은 본 발명의 실시 형태 4인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 29는 본 발명의 실시 형태 4인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 30은 본 발명의 실시 형태 5인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 31은 본 발명의 실시 형태 5인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 32는 본 발명의 실시 형태 5인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 33은 본 발명의 실시 형태 5인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 34는 본 발명의 실시 형태 6인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 35는 본 발명의 실시 형태 6인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 36은 본 발명의 실시 형태 6인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 37은 본 발명의 실시 형태 6인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 확대 단면도이다.

도 38은 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 39는 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 40은 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 41은 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 42는 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 43은 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 44는 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

도 45는 본 발명의 실시 형태 7인 CMOS-논리 LSI의 제조 방법을 나타내는 반도체 기판의 주요부 단면도이다.

<도면의 주요 부분에 대한 간단한 설명>

1 : 기판(웨이퍼)

2, 5, 6 : 산화 실리콘막

3 : 질화 실리콘막

4 : 소자 분리홈

7 : p형 웨

8 : n형 웨

9 : 게이트 산화막

11 : 게이트 전극

12 : 도전성 장벽막

13 : 질화 실리콘막

14 : 포토레지스트막

16 : n-형 반도체 영역

17 : p-형 반도체 영역

18 : 측벽 스페이서

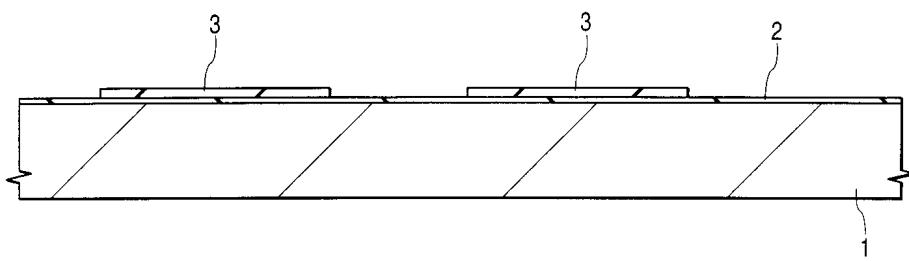
20 : n⁺ 형 반도체 영역21 : p⁺ 형 반도체 영역

22 : 산화 실리콘막

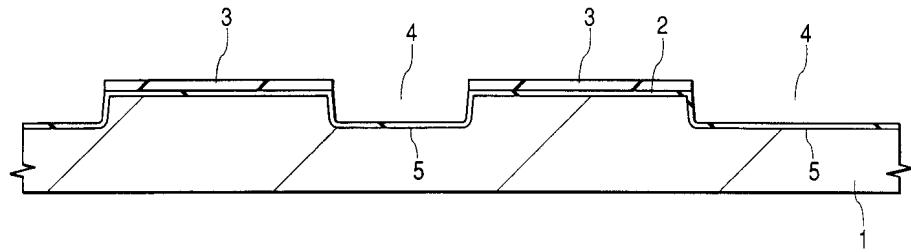
23, 24 : 컨택트홀

도면

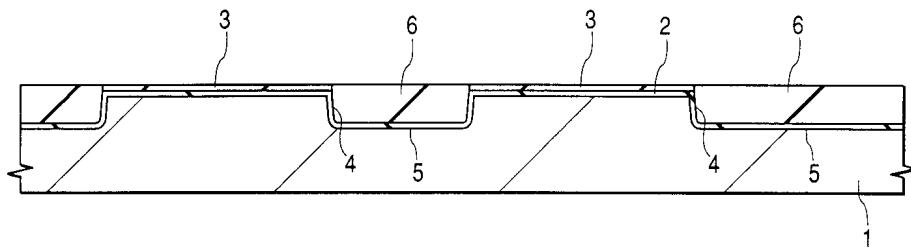
도면1



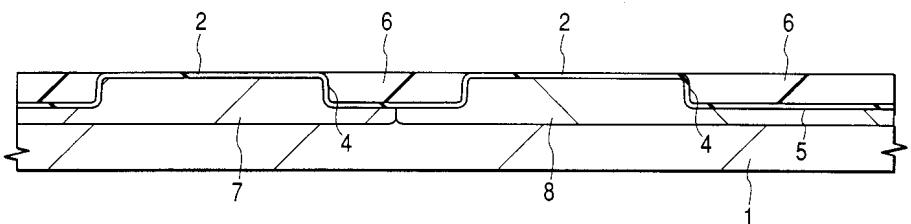
도면2



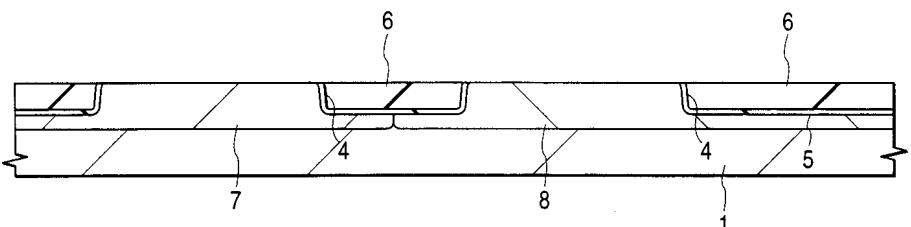
도면3



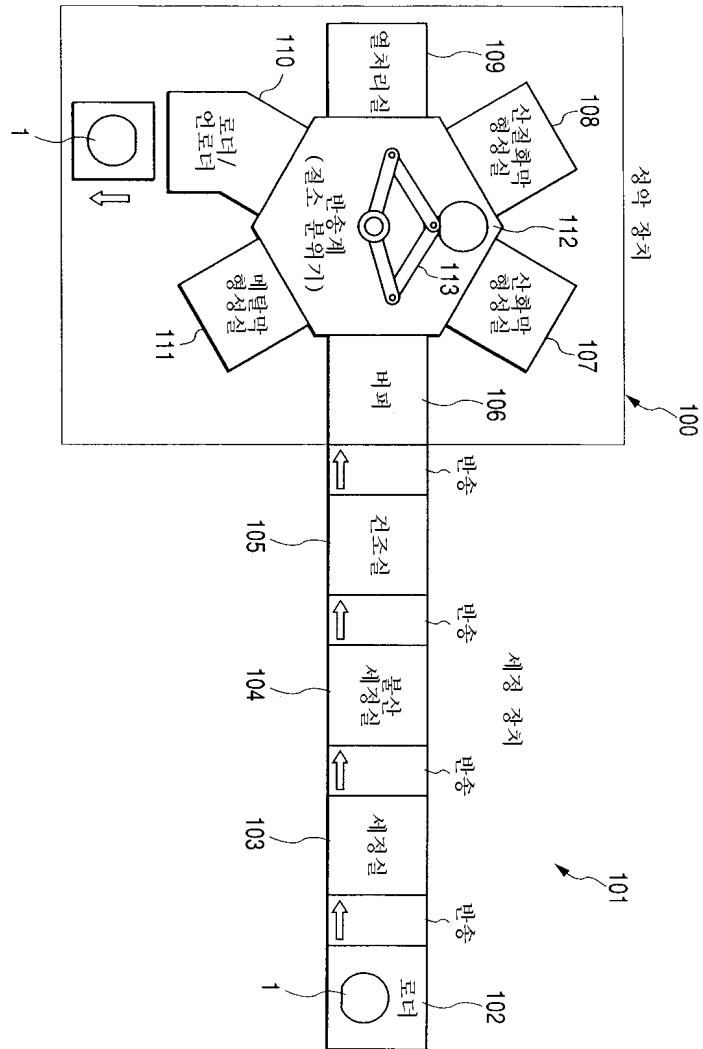
도면4



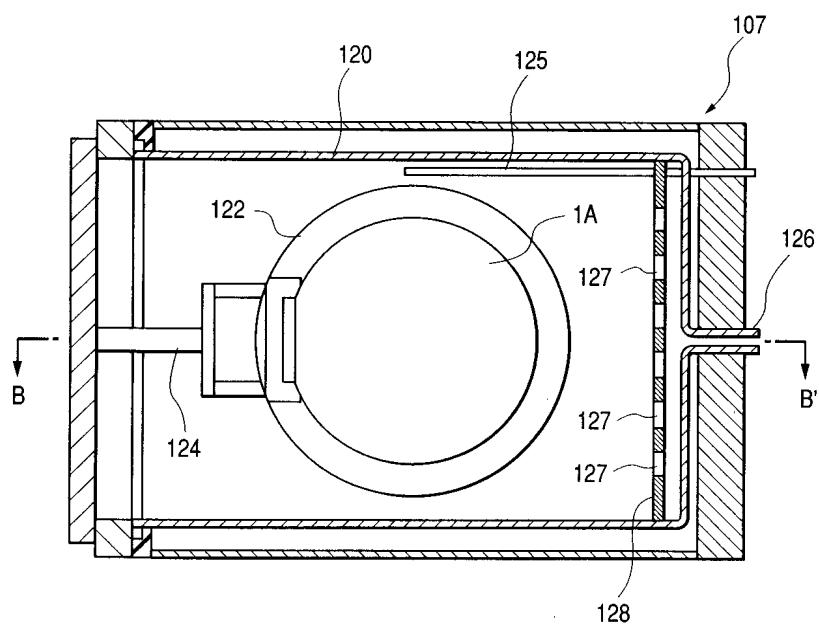
도면5



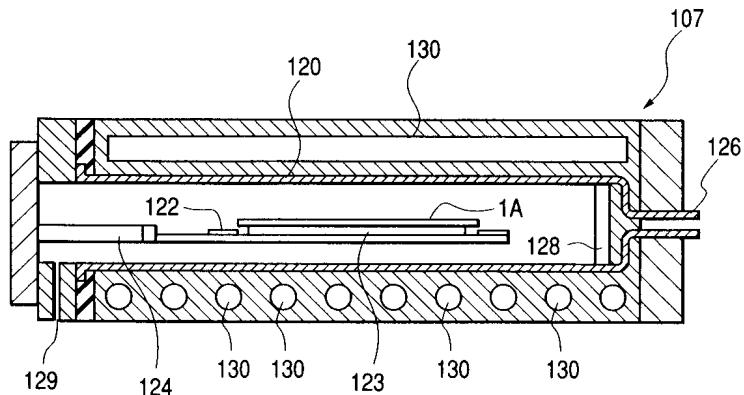
도면6



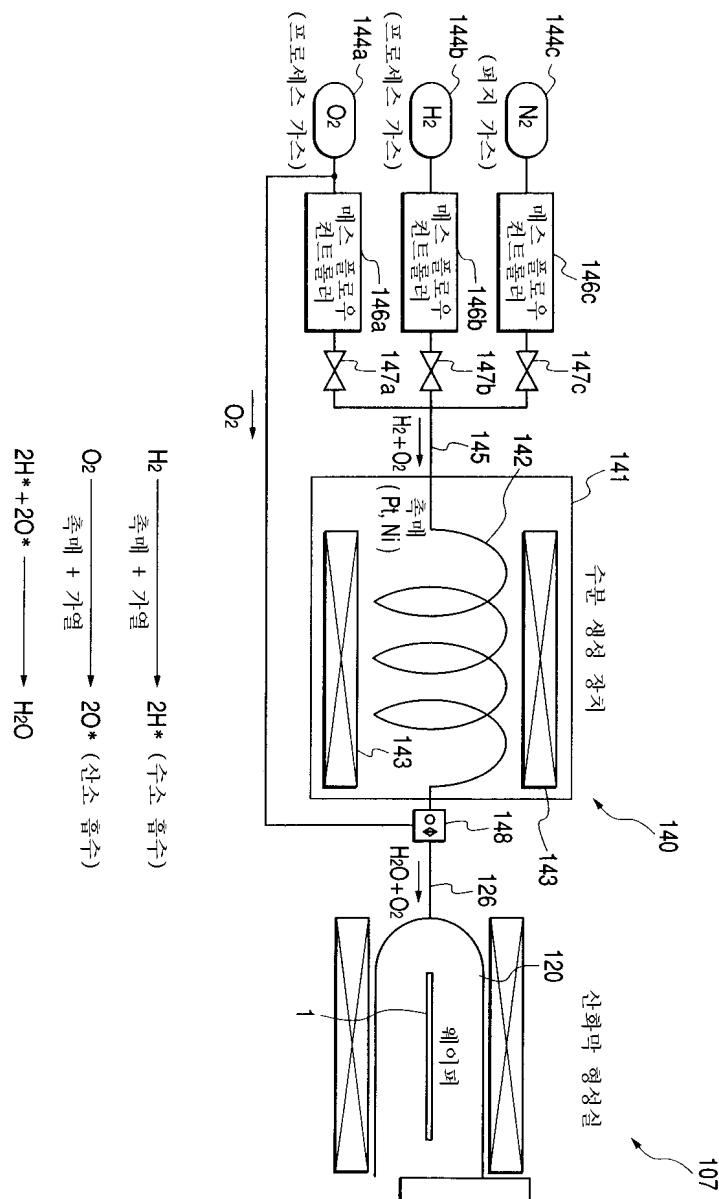
도면7a



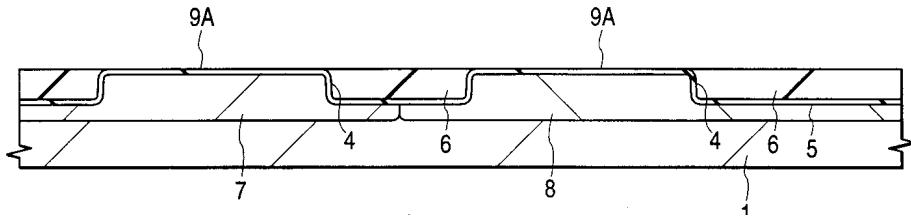
도면7b



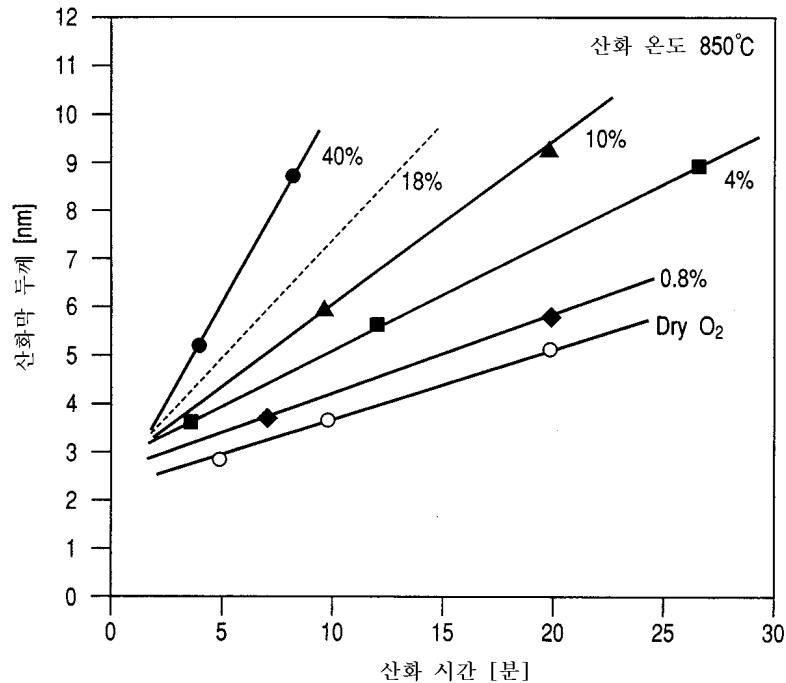
도면8



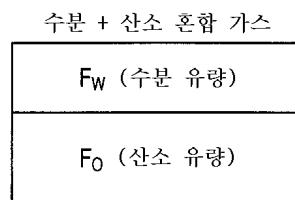
도면9



도면10

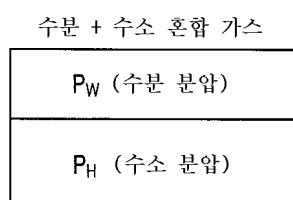


도면11a



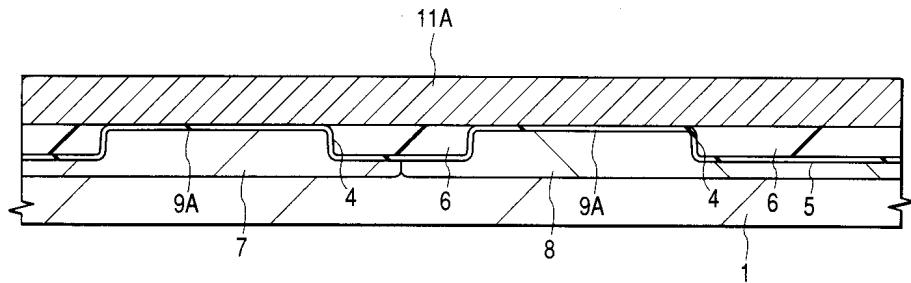
$$\text{수분 농도} = \frac{F_W}{F_O+F_W} \times 100\%$$

도면11b

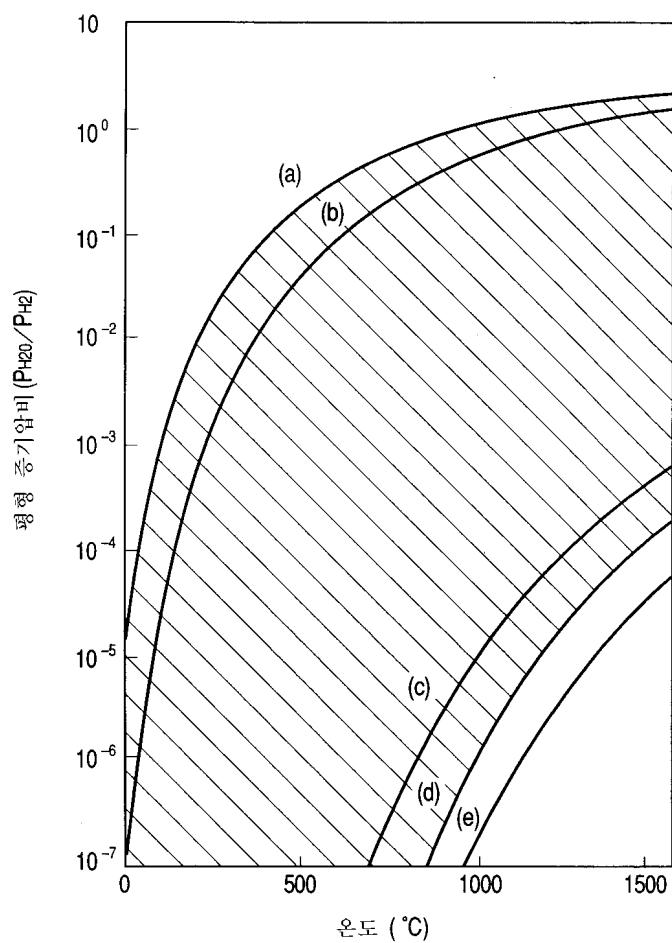


$$\text{수분 농도} = \frac{P_W}{P_H} \times 100\%$$

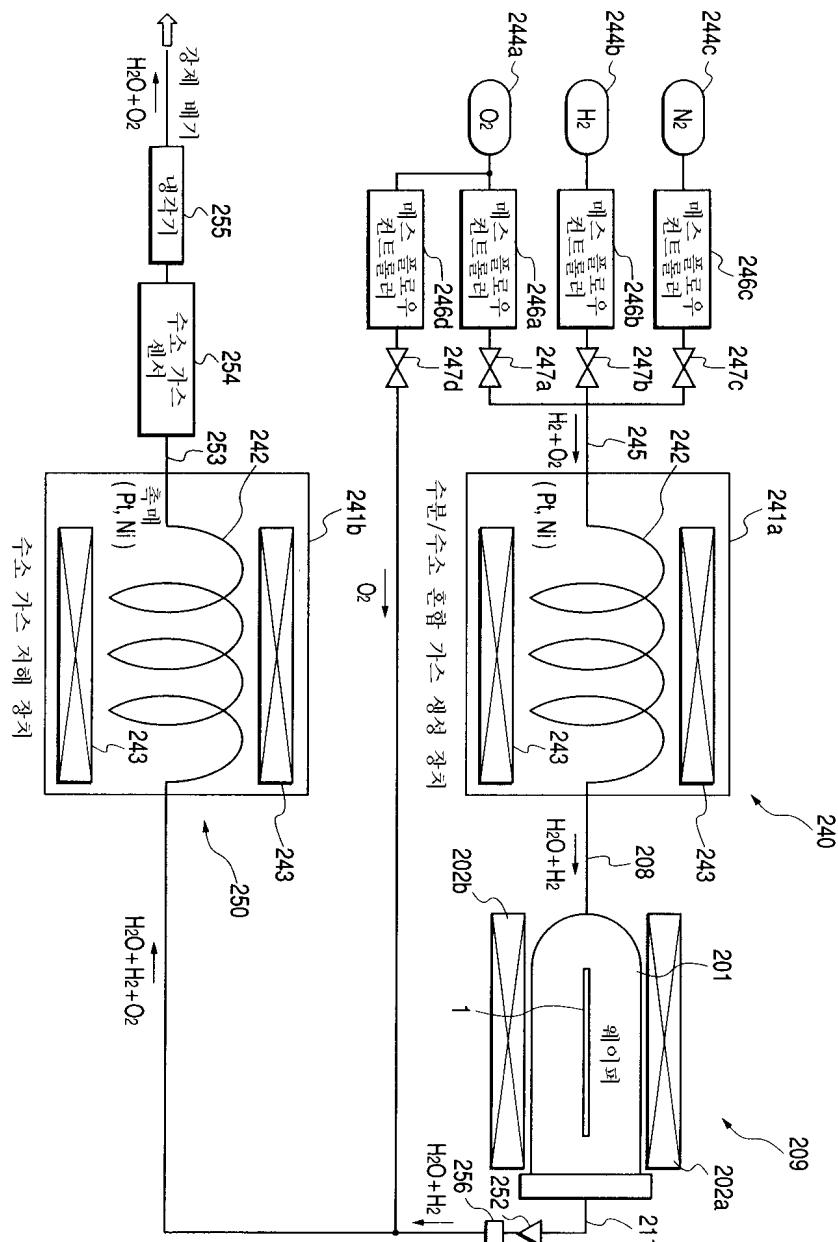
도면12



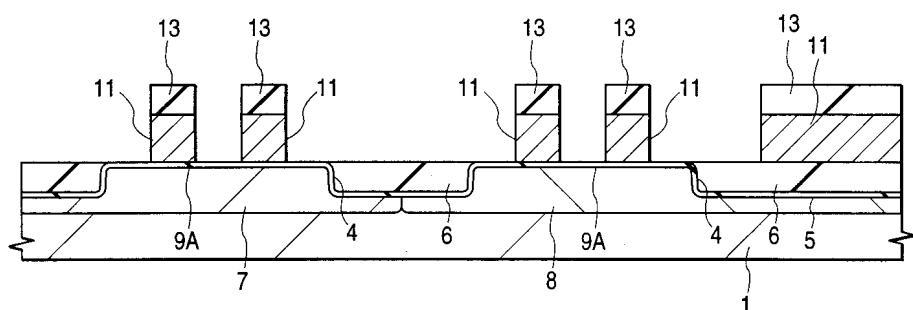
도면13



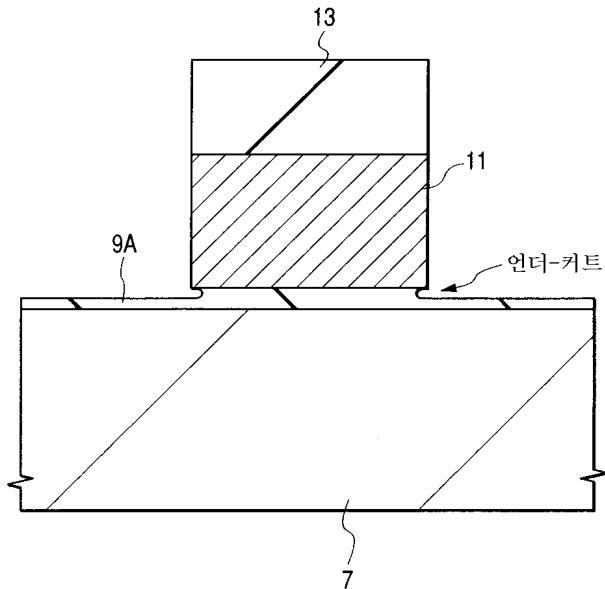
도면14



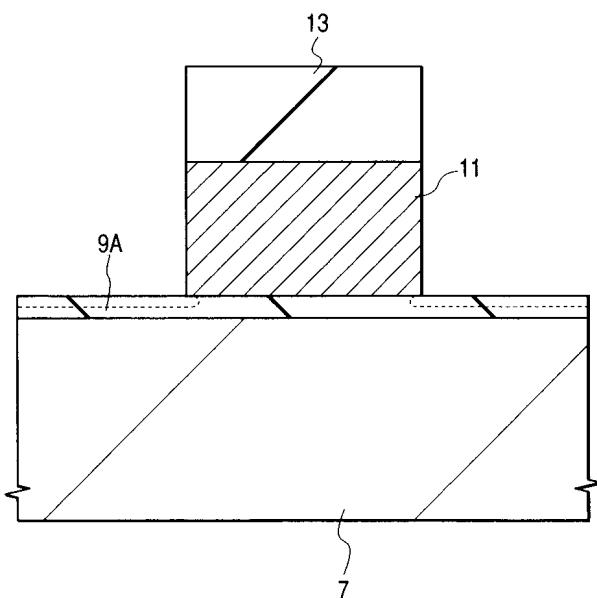
도면15



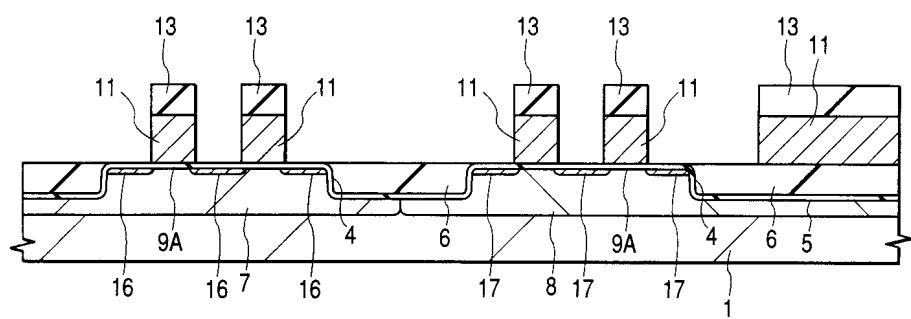
도면16



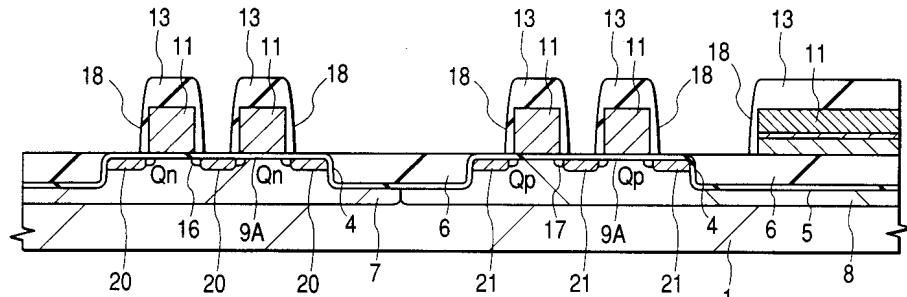
도면17



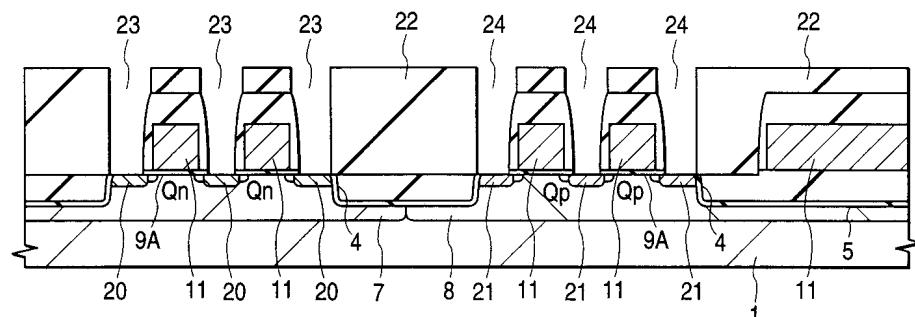
도면18



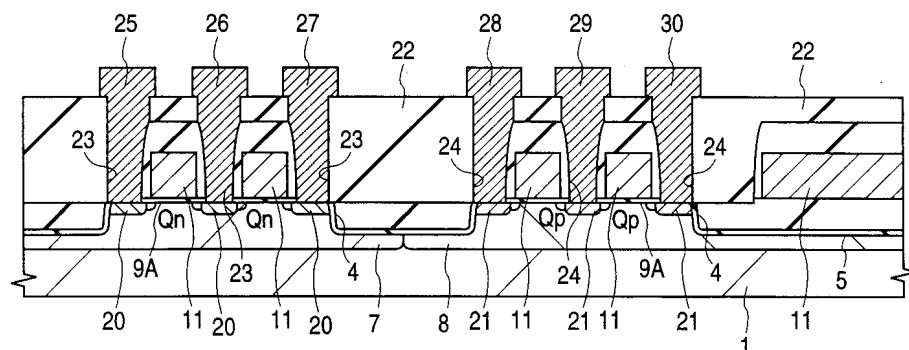
도면19



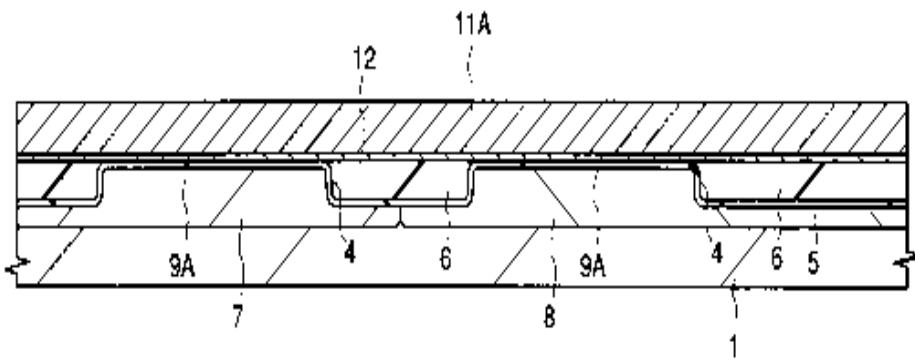
도면20



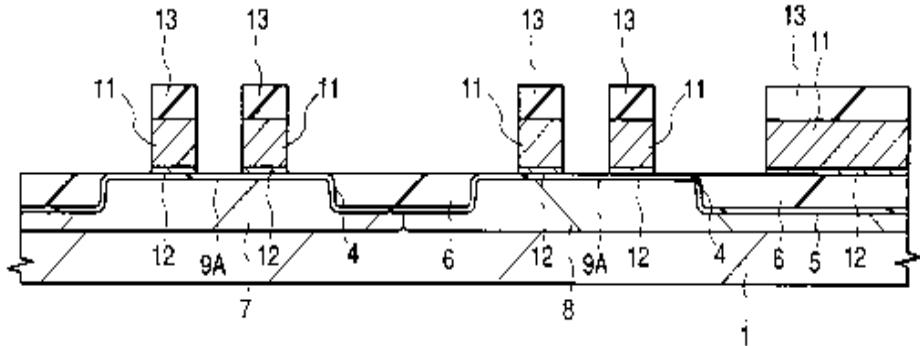
도면21



도면22



도면23



도면24

d_r = 이산화 실리콘 환산막두께

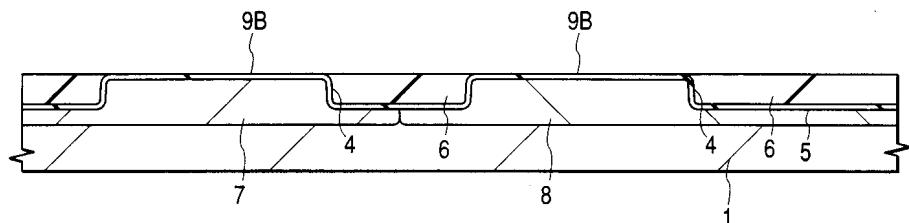
d_i = 대상 절연막의 막두께

$$d_r = \varepsilon_s \sum_i \frac{d_i}{\varepsilon_i}$$

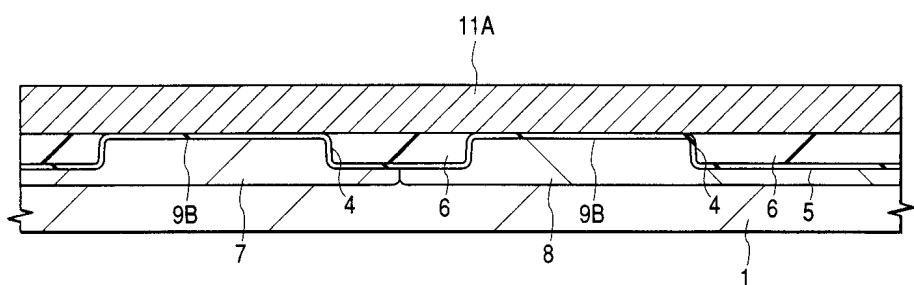
ε_s = 실리콘의 비유전율

ε_i = 대상 절연막의 비유전율

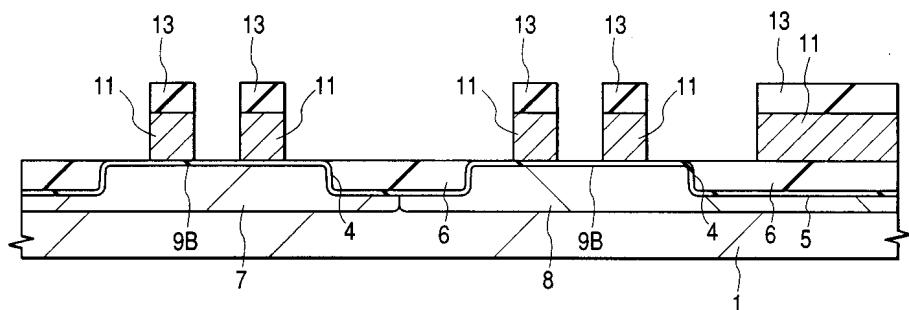
도면25



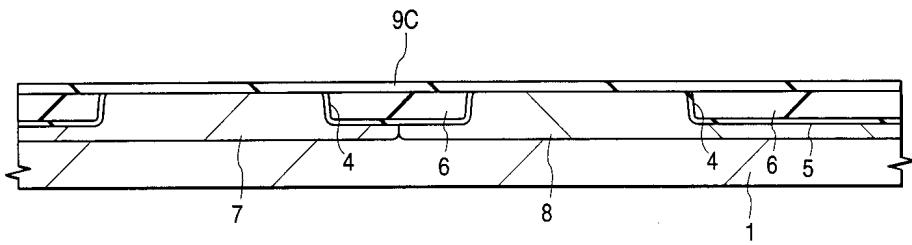
도면26



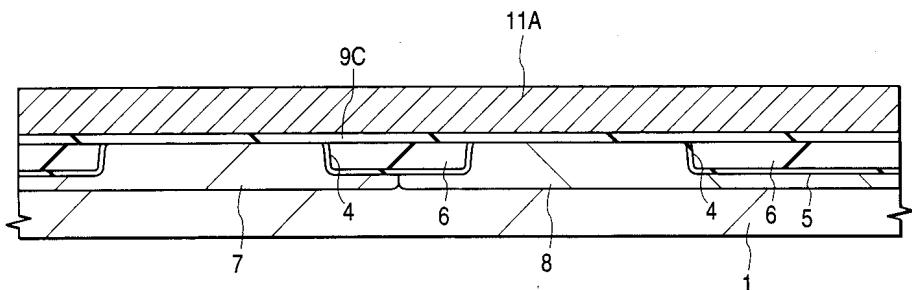
도면27



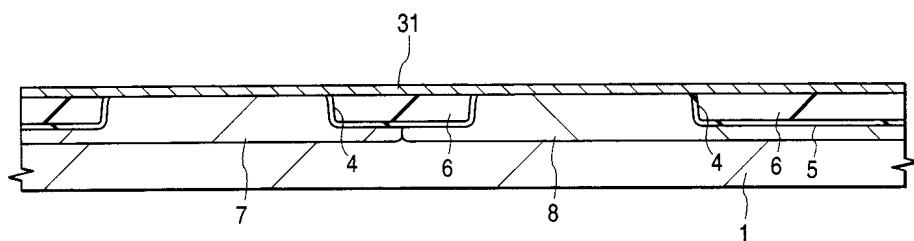
도면28



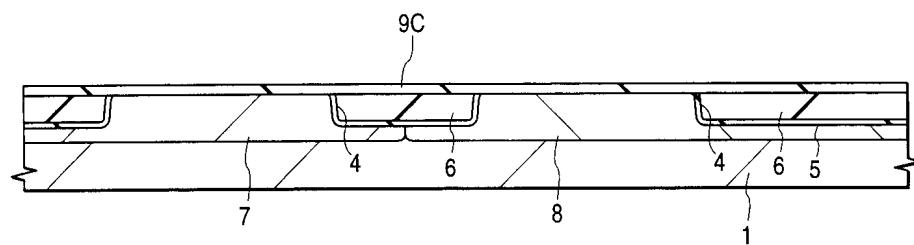
도면29



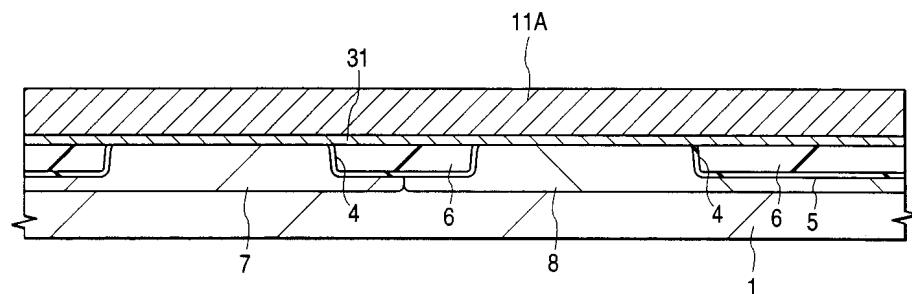
도면30



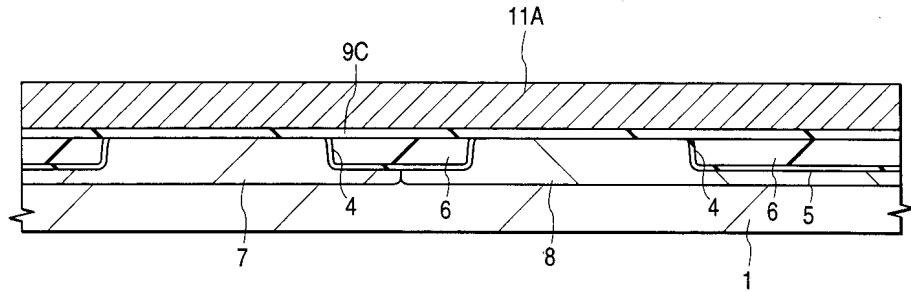
도면31



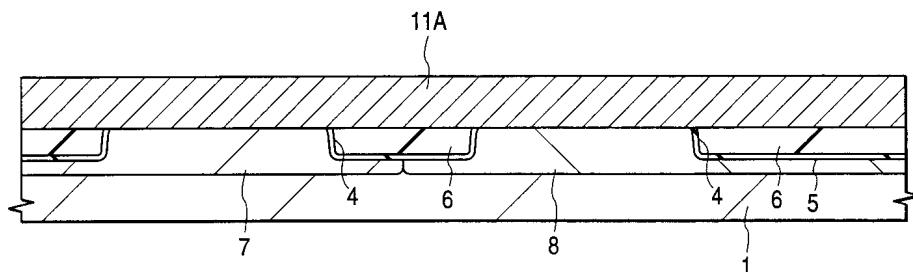
도면32



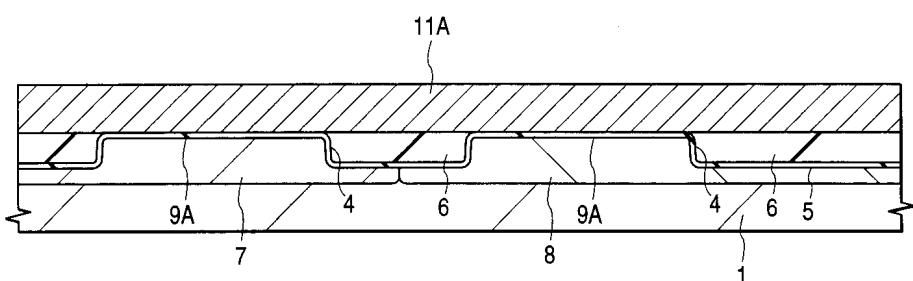
도면33



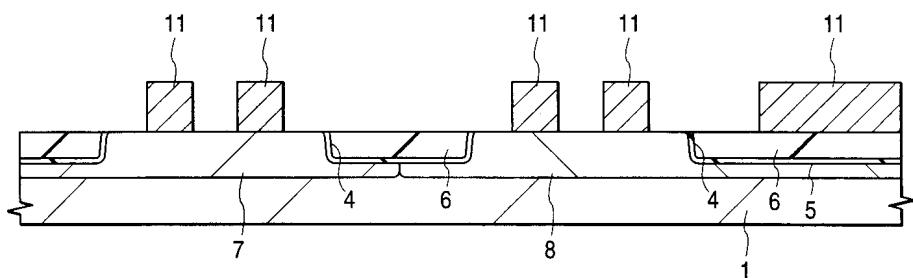
도면34



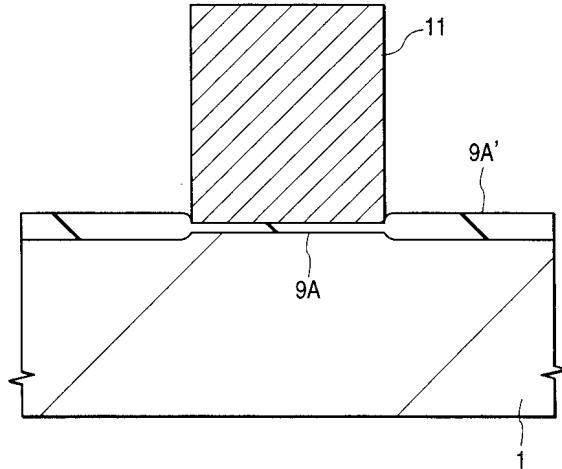
도면35



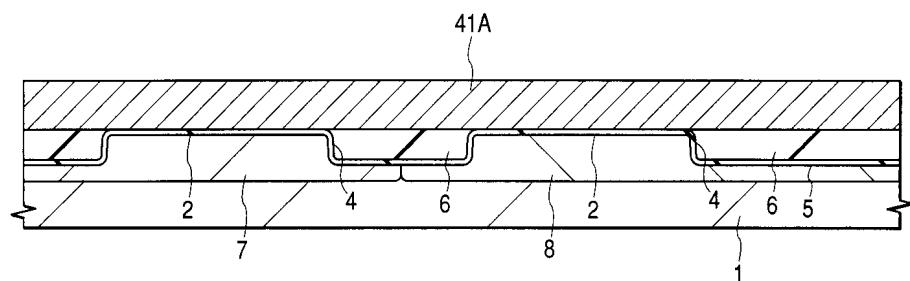
도면36



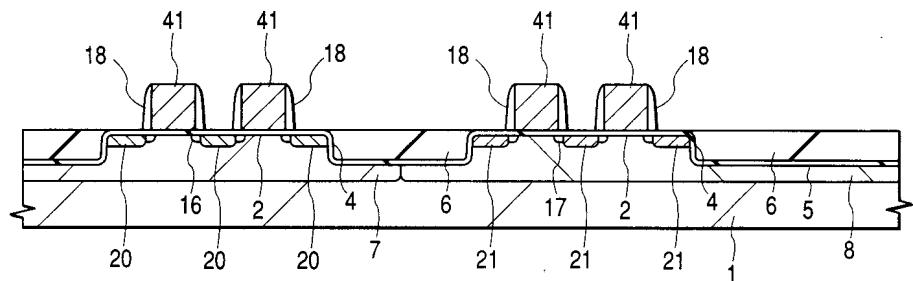
도면37



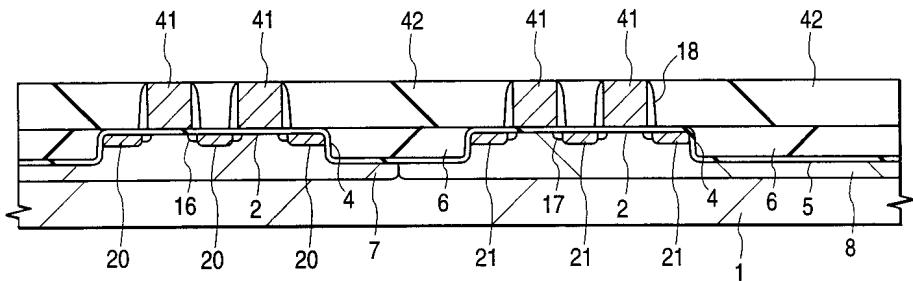
도면38



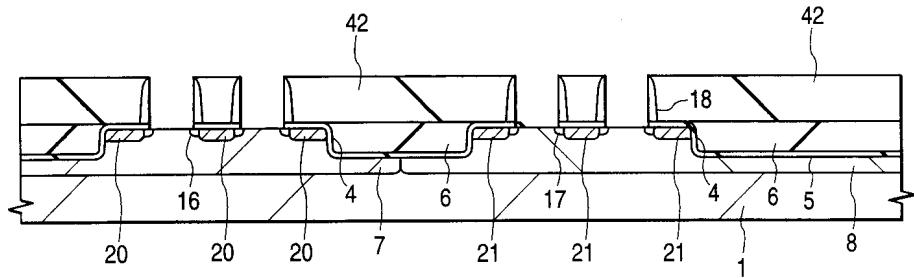
도면39



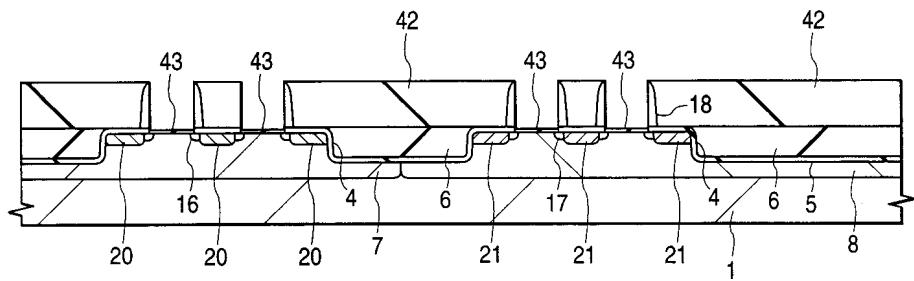
도면40



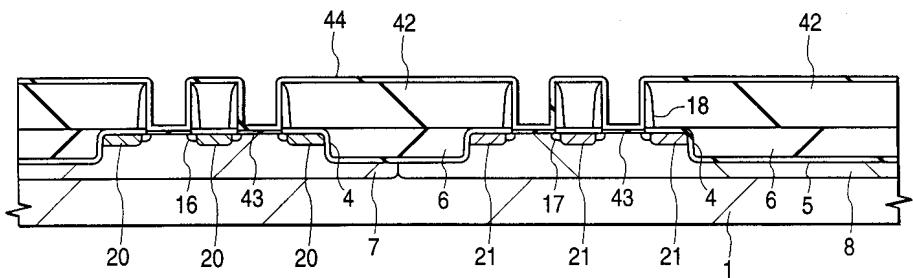
도면41



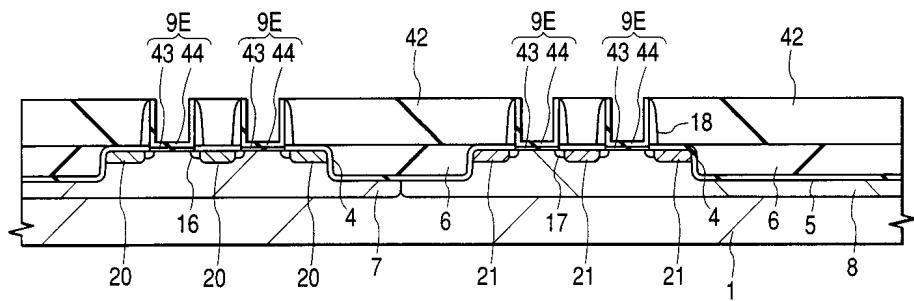
도면42



도면43



도면44



도면45

