

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7459412号
(P7459412)

(45)発行日 令和6年4月1日(2024.4.1)

(24)登録日 令和6年3月22日(2024.3.22)

(51)国際特許分類

F I

G 0 6 F 30/398 (2020.01)

G 0 6 F 30/398

請求項の数 27 (全61頁)

(21)出願番号	特願2024-503809(P2024-503809)	(73)特許権者	000006013
(86)(22)出願日	令和5年1月24日(2023.1.24)		三菱電機株式会社
(86)国際出願番号	PCT/JP2023/001991		東京都千代田区丸の内二丁目7番3号
(87)国際公開番号	WO2023/188736	(74)代理人	110003166
(87)国際公開日	令和5年10月5日(2023.10.5)		弁理士法人山王内外特許事務所
審査請求日	令和6年1月22日(2024.1.22)	(72)発明者	小林 玲仁
(31)優先権主張番号	PCT/JP2022/015752		東京都千代田区丸の内二丁目7番3号
(32)優先日	令和4年3月30日(2022.3.30)		三菱電機株式会社内
(33)優先権主張国・地域又は機関	日本国(JP)	審査官	堀井 啓明
早期審査対象出願			

最終頁に続く

(54)【発明の名称】 プリント基板の設計支援システム、設計支援方法、プログラム、及び記録媒体

(57)【特許請求の範囲】

【請求項1】

複数の電源端子及び複数のグラウンド端子を有する半導体集積回路装置が搭載され、それぞれが一对の電極を有する複数のバイパスコンデンサが搭載可能であり、前記複数の電源端子が接続される電源配線層と、前記複数のグラウンド端子が接続されるグラウンド配線層と、前記複数のバイパスコンデンサの一方の電極が接続される電源側配線層と、前記複数のバイパスコンデンサの他方の電極が接続されるグラウンド側配線層とを有する基板に、前記複数のバイパスコンデンサの内から搭載するバイパスコンデンサを選択し、決定する設計支援システムであって、

前記半導体集積回路装置の複数の電源端子と前記複数のバイパスコンデンサの一方の電極の全ての組み合わせについて、前記半導体集積回路装置の複数の電源端子それぞれが接続される前記電源配線層の接続位置から前記複数のバイパスコンデンサの一方の電極が接続される前記電源側配線層の接続位置それぞれまでの配線経路における最短距離の算出と、前記半導体集積回路装置の複数のグラウンド端子と前記複数のバイパスコンデンサの他方の電極の全ての組み合わせについて、前記半導体集積回路装置の複数のグラウンド端子それぞれが接続される前記グラウンド配線層の接続位置から前記複数のバイパスコンデンサの他方の電極が接続される前記グラウンド側配線層の接続位置それぞれまでの配線経路における最短距離の算出を実施する接続経路算出部と、

前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、前記接続経路算出部により算出された、前記複数のバイパスコンデンサそれぞれに対応

する前記基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示す配線経路に接続されるバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定し、前記複数のバイパスコンデンサの内、前記有効と判定されたバイパスコンデンサを前記基板に対して有効と判定し、それ以外のバイパスコンデンサを前記基板に対して無効と判定する有効性評価部と、

を備える設計支援システム。

【請求項 2】

前記半導体集積回路装置は、前記複数の電源端子及び前記複数のグラウンド端子を含む端子が底面に格子状に配列されたグリッドアレイパッケージの半導体集積回路装置であり、

前記基板は、表面における前記半導体集積回路装置の実装領域に前記電源配線層及び前記グラウンド配線層を有し、裏面における前記半導体集積回路装置の実装領域が投影された領域に前記電源側配線層及び前記グラウンド側配線層を有する、

請求項 1 に記載の設計支援システム。

【請求項 3】

前記複数のバイパスコンデンサの内、前記有効性評価部により前記基板に対して有効と判定されたバイパスコンデンサについて前記基板に実装する、前記有効性評価部により前記基板に対して無効と判定されたバイパスコンデンサについては前記基板に実装しないと決定する設計変更部をさらに備える請求項 1 又は請求項 2 に記載の設計支援システム。

【請求項 4】

前記有効性評価部は、前記基板に対して有効と判定されたバイパスコンデンサについて、前記基板に対して有効と判定したバイパスコンデンサのグループ A を前記基板に対して無効と判定したグループ B に対して有効性が高いとし、かつ、前記グループ A 及び前記グループ B それぞれにおいて、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出された前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行し、

前記有効性評価部により得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサの総容量値が前記複数のバイパスコンデンサの総容量値以上を満足し、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサそれぞれが容量値の等しいバイパスコンデンサを選択する設計変更部をさらに備える請求項 1 又は請求項 2 に記載の設計支援システム。

【請求項 5】

前記有効性評価部は、前記基板に対して有効と判定されたバイパスコンデンサについて、前記基板に対して有効と判定したバイパスコンデンサのグループ A を前記基板に対して無効と判定したグループ B に対して有効性が高いとし、かつ、前記グループ A 及び前記グループ B それぞれにおいて、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出された前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行し、

前記有効性評価部により得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高くと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、残りのバイパスコンデンサを前記基板に実装すると決定する設計変更部をさらに備える請求項 1 又は請求項 2 に記載の設計支援システム。

【請求項 6】

前記有効性評価部は、前記基板に対して有効と判定されたバイパスコンデンサについて

、前記基板に対して有効と判定したバイパスコンデンサのグループ A を前記基板に対して無効と判定したグループ B に対して有効性が高いとし、かつ、前記グループ A において、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出された前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行し、

前記有効性評価部により前記グループ B とされたバイパスコンデンサすべてを削除候補とし、次に前記有効性評価部により得られた前記グループ A における有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、残りのバイパスコンデンサを前記基板に実装すると決定する設計変更部をさらに備える請求項 1 又は請求項 2 に記載の設計支援システム。

【請求項 7】

前記有効性評価部は、前記複数のバイパスコンデンサから平滑コンデンサを抽出し、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて有効か無効かの判定を実行し、前記基板に対して有効と判定されたバイパスコンデンサについて、前記基板に対して有効と判定したバイパスコンデンサのグループ A を前記基板に対して無効と判定したグループ B に対して有効性が高いとし、かつ、前記グループ A 及び前記グループ B それぞれにおいて、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出された前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行し、

前記有効性評価部により得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、前記抽出された平滑コンデンサを含む残りのバイパスコンデンサを前記基板に実装すると決定する設計変更部をさらに備える請求項 1 又は請求項 2 に記載の設計支援システム。

【請求項 8】

前記有効性評価部は、前記複数のバイパスコンデンサから平滑コンデンサを抽出し、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて有効か無効かの判定を実行し、前記基板に対して有効と判定されたバイパスコンデンサについて、前記基板に対して有効と判定したバイパスコンデンサのグループ A を前記基板に対して無効と判定したグループ B に対して有効性が高いとし、かつ、前記グループ A において、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出された前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行し、

前記有効性評価部により前記グループ B とされたバイパスコンデンサすべてを削除候補とし、次に前記有効性評価部により得られた前記グループ A における有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、

当該比較結果が前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高くと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、前記抽出された平滑コンデンサを含む残りのバイパスコンデンサを前記基板に実装すると決定する設計変更部をさらに備える請求項 1 又は請求項 2 に記載の設計支援システム。

【請求項 9】

前記有効性評価部は、前記複数のバイパスコンデンサから平滑コンデンサを抽出し、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて前記基板に対して有効か無効かの判定を実行し、

前記複数のバイパスコンデンサの内、前記有効性評価部により平滑コンデンサとして抽出されたバイパスコンデンサ及び前記複数のバイパスコンデンサから前記有効性評価部により前記基板に対して有効と判定されたバイパスコンデンサについて前記基板に実装する、前記有効性評価部により前記基板に対して無効と判定されたバイパスコンデンサについては前記基板に実装しないと決定する設計変更部をさらに備える請求項 1 又は請求項 2 に記載の設計支援システム。

【請求項 10】

複数の電源端子及び複数のグラウンド端子を有する半導体集積回路装置が搭載され、それぞれが一对の電極を有する複数のバイパスコンデンサが搭載可能である基板に、前記複数のバイパスコンデンサの内から搭載するバイパスコンデンサを選択し、決定する設計支援方法であって、

前記基板に搭載される前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、前記基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択ステップと、

前記選択ステップにより選択された前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する前記複数のバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離を算出する最短距離算出ステップと、

前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、前記最短距離算出ステップにより算出された、前記複数のバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第 1 の有効性判定ステップと、

前記第 1 の有効性判定ステップにより、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも 1 つの端子において有効として判定されたバイパスコンデンサを前記基板に対して有効と判定し、それ以外のバイパスコンデンサを前記基板に対して無効と判定する第 2 の有効性判定ステップと、

を備える設計支援方法。

【請求項 11】

前記半導体集積回路装置は、前記複数の電源端子及び前記複数のグラウンド端子を含む端子が底面に格子状に配列されたグリッドアレイパッケージの半導体集積回路装置であり、

前記基板は、表面における前記半導体集積回路装置の実装領域に前記電源配線層及び前記グラウンド配線層を有し、裏面における前記半導体集積回路装置の実装領域が投影された領域に電源側配線層及びグラウンド側配線層を有する、

請求項 10 に記載の設計支援方法。

【請求項 12】

前記複数のバイパスコンデンサの内から前記第 2 の有効性判定ステップにより前記基板に対して有効と判定されたバイパスコンデンサを前記基板に搭載するバイパスコンデンサとして決定するパスコン決定ステップをさらに備える請求項 10 又は請求項 11 に記載の設計支援方法。

【請求項 13】

前記第 2 の有効性判定ステップにより、前記基板に対して有効と判定されたバイパスコ

10

20

30

40

50

ンデンサのグループAが前記基板に対して無効と判定されたバイパスコンデンサのグループBに対して有効性が高いとし、かつ、前記グループA及び前記グループBそれぞれに属するバイパスコンデンサにおいて、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付けステップと、

前記順位付けステップにより得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、残りのバイパスコンデンサを前記基板に実装すると決定するパコン決定ステップをさらに備える請求項10又は請求項11に記載の設計支援方法。

10

【請求項14】

前記第2の有効性判定ステップにより、前記基板に対して有効と判定されたバイパスコンデンサのグループAが前記基板に対して無効と判定されたバイパスコンデンサのグループBに対して有効性が高いとし、かつ、前記グループAに属するバイパスコンデンサにおいて、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付けステップと、

20

前記順位付けステップにより前記グループBとされたバイパスコンデンサすべてを削除候補とし、次に前記順位付けステップにより得られた前記グループAにおける有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、残りのバイパスコンデンサを前記基板に実装すると決定するパコン決定ステップをさらに備える請求項10又は請求項11に記載の設計支援方法。

30

【請求項15】

前記第1の有効性判定ステップは、前記複数のバイパスコンデンサから平滑コンデンサを抽出し、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて有効か無効かの判定を実行し、

前記第2の有効性判定ステップは、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて前記基板に対して有効か無効かの判定を実行し、

前記第2の有効性判定ステップにより、前記基板に対して有効と判定されたバイパスコンデンサのグループAが前記基板に対して無効と判定されたバイパスコンデンサのグループBに対して有効性が高いとし、かつ、前記グループA及び前記グループBそれぞれに属するバイパスコンデンサにおいて、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付けステップと、

40

前記順位付けステップにより得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が前記半導体集

50

積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、前記抽出された平滑コンデンサを含む残りのバイパスコンデンサを前記基板に実装すると決定するパスコン決定ステップをさらに備える請求項 10 又は請求項 11 に記載の設計支援方法。

【請求項 16】

前記第 1 の有効性判定ステップは、前記複数のバイパスコンデンサから平滑コンデンサを抽出し、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて有効か無効かの判定を実行し、

前記第 2 の有効性判定ステップは、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて前記基板に対して有効か無効かの判定を実行し、

前記第 2 の有効性判定ステップにより、前記基板に対して有効と判定されたバイパスコンデンサのグループ A が前記基板に対して無効と判定されたバイパスコンデンサのグループ B に対して有効性が高いとし、かつ、前記グループ A に属するバイパスコンデンサにおいて、前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され前記基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付けステップと、

前記順位付けステップにより前記グループ B とされたバイパスコンデンサすべてを削除候補とし、次に前記順位付けステップにより得られた前記グループ A における有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが前記設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを前記基板に実装しない、前記抽出された平滑コンデンサを含む残りのバイパスコンデンサを前記基板に実装すると決定するパスコン決定ステップをさらに備える請求項 10 又は請求項 11 に記載の設計支援方法。

【請求項 17】

前記第 1 の有効性判定ステップは、前記複数のバイパスコンデンサから平滑コンデンサを抽出し、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて有効か無効かの判定を実行し、

前記第 2 の有効性判定ステップは、前記平滑コンデンサを除いた前記複数のバイパスコンデンサについて前記基板に対して有効か無効かの判定を実行し、

前記複数のバイパスコンデンサの中から前記第 1 の有効性判定ステップにより平滑コンデンサとして抽出されたバイパスコンデンサ及び前記第 2 の有効性判定ステップにより前記基板に対して有効と判定されたバイパスコンデンサを前記基板に搭載するバイパスコンデンサとして決定するパスコン決定ステップをさらに備える請求項 10 又は請求項 11 に記載の設計支援方法。

【請求項 18】

基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、前記基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、

選択された前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する前記複数のバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離を算出する最短距離算出手順と、

前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、前記複数のバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第 1 の有効性判定手順と、

前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも 1 つ

の端子において有効として判定されたバイパスコンデンサを前記基板に対して有効と判定し、それ以外のバイパスコンデンサを前記基板に対して無効と判定する第2の有効性判定手順と、

コンピュータに実行させる設計支援プログラム。

【請求項19】

基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、前記基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、

選択された前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する前記複数のバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離を算出する最短距離算出手順と、

前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、前記複数のバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第1の有効性判定手順と、

前記半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも1つの端子において有効として判定されたバイパスコンデンサを前記基板に対して有効と判定し、それ以外のバイパスコンデンサを前記基板に対して無効と判定する第2の有効性判定手順と、

コンピュータに実行させるプログラムを記憶してある記録媒体。

【請求項20】

複数の電源端子及び複数のグラウンド端子を有し、前記複数の電源端子及び前記複数のグラウンド端子を含む端子が底面に格子状に配列されたグリッドアレイパッケージの半導体集積回路装置が搭載され、それぞれが一对の電極を有する複数のバイパスコンデンサが搭載可能であり、表面における前記半導体集積回路装置の実装領域に前記複数の電源端子が接続される電源配線層と、前記複数のグラウンド端子が接続されるグラウンド配線層を有し、裏面における前記半導体集積回路装置の実装領域が投影された領域に前記複数のバイパスコンデンサの一方の電極が接続される電源側配線層と、前記複数のバイパスコンデンサの他方の電極が接続されるグラウンド側配線層とを有する基板に、前記複数のバイパスコンデンサの中から搭載するバイパスコンデンサを選択し、決定する設計支援システムであって、

前記半導体集積回路装置の複数の電源端子と前記複数のバイパスコンデンサの一方の電極の全ての組み合わせについて、前記半導体集積回路装置の複数の電源端子それぞれが接続される前記電源配線層の接続位置から前記複数のバイパスコンデンサの一方の電極が接続される前記電源側配線層の接続位置それぞれまでの配線経路における最短距離の算出を実施する接続経路算出部と、

前記半導体集積回路装置の複数の電源端子それぞれにおいて、前記接続経路算出部により算出された、前記複数のバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示す配線経路に接続されるバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定し、前記複数のバイパスコンデンサの内、前記有効と判定されたバイパスコンデンサを前記基板に対して有効と判定し、それ以外のバイパスコンデンサを前記基板に対して無効と判定し、前記基板に対して有効と判定されたバイパスコンデンサについて、前記基板に対して有効と判定したバイパスコンデンサのグループAを前記基板に対して無効と判定したグループBに対して有効性が高いとし、前記グループAに属するバイパスコンデンサに対する電源端子について隣接する電源端子を抽出し、当該抽出した隣接する電源端子に対するバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離の相対比較をすることによって当該抽出した隣接する電源端子に対するバイパスコンデンサの中から1つのバイパスコンデンサを選択して前記グループAに残し、選択されなかったバイパスコンデンサを前記グループAから前記グループBに変更する有効性評価部と、

を備える設計支援システム。

10

20

30

40

50

【請求項 2 1】

前記有効性評価部における前記グループ A に属するバイパスコンデンサに対する電源端子についての隣接する電源端子の抽出は、前記半導体集積回路装置における電源端子のピン番号が連番であると隣接する電源端子と判定して抽出する請求項 2 0 に記載の設計支援システム。

【請求項 2 2】

前記有効性評価部における前記グループ A に属するバイパスコンデンサに対する電源端子についての隣接する電源端子の抽出は、前記半導体集積回路装置における電源端子間の距離が閾値以下であると隣接する電源端子と判定して抽出する請求項 2 0 に記載の設計支援システム。

10

【請求項 2 3】

前記有効性評価部における前記抽出した隣接する電源端子に対するバイパスコンデンサの内からの 1 つのバイパスコンデンサの選択は、前記抽出した隣接する電源端子に対するバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離が最小値を示す配線経路に接続されるバイパスコンデンサを選択し、当該最小値を示す配線経路に接続されるバイパスコンデンサが複数あると当該最小値を示す配線経路に接続されるバイパスコンデンサの内いずれか 1 つのバイパスコンデンサを選択する請求項 2 0 から請求項 2 2 のいずれか 1 項に記載の設計支援システム。

【請求項 2 4】

前記第 2 の有効性判定ステップにより、前記基板に対して有効と判定されたバイパスコンデンサのグループ A が前記基板に対して無効と判定されたバイパスコンデンサのグループ B に対して有効性が高いとし、前記グループ A に属するバイパスコンデンサに対する電源端子について隣接する電源端子を抽出する隣接判定ステップと、

20

前記隣接判定ステップにより抽出した隣接する電源端子に対するバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離の相対比較をすることによって当該抽出した隣接する電源端子に対するバイパスコンデンサの内 1 つのバイパスコンデンサを選択して前記グループ A に残し、選択されなかったバイパスコンデンサを前記グループ A から前記グループ B に変更する有効性再判定ステップと、

をさらに備える請求項 1 1 に記載の設計支援方法。

【請求項 2 5】

30

前記隣接判定ステップにおける前記グループ A に属するバイパスコンデンサに対する電源端子についての隣接する電源端子の抽出は、前記半導体集積回路装置における電源端子のピン番号が連番であると隣接する電源端子と判定して抽出する請求項 2 4 に記載の設計支援方法。

【請求項 2 6】

前記隣接判定ステップにおける前記グループ A に属するバイパスコンデンサに対する電源端子についての隣接する電源端子の抽出は、前記半導体集積回路装置における電源端子間の距離が閾値以下であると隣接する電源端子と判定して抽出する請求項 2 4 に記載の設計支援方法。

【請求項 2 7】

40

前記有効性再判定ステップにおける前記抽出した隣接する電源端子に対するバイパスコンデンサの内からの 1 つのバイパスコンデンサの選択は、前記抽出した隣接する電源端子に対するバイパスコンデンサそれぞれに対応する前記基板における配線経路の最短距離が最小値を示す配線経路に接続されるバイパスコンデンサを選択し、当該最小値を示す配線経路に接続されるバイパスコンデンサが複数あると当該最小値を示す配線経路に接続されるバイパスコンデンサの内いずれか 1 つのバイパスコンデンサを選択する請求項 2 4 から請求項 2 6 のいずれか 1 項に記載の設計支援方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本開示はプリント基板の設計支援システム、設計支援方法、プログラム、及び記録媒体に係り、特に、バイパスコンデンサの配置の設計を支援する設計支援システムに関する。

【背景技術】

【0002】

近年、半導体集積回路装置（以下、ＩＣと言う）が多機能化及び高機能化のために大規模化し、大規模化に伴いＩＣの電源端子の数も増加している。

ＩＣの電源端子の増加に伴い、ＩＣの電源端子に接続されるバイパスコンデンサ（以下、パスコンと言う）も増加している。

【0003】

特許文献１に、グリッドアレイパッケージに対応したバイパスコンデンサの配置作業負担を軽減するプリント回路板設計支援装置が示されている。

特許文献１には次のような内容が示されている。

すなわち、ダイの電源端子からパスコンを経由してダイのグラウンド端子に至る経路の長さを評価値とし、検証条件を許容される経路長を表す閾値とする。

各パスコンについて導出された全評価値のうち、最も評価が高いもの（ループ距離が最も短いもの）について、評価値が検証条件に合致するかどうかをパスコン毎に判定する。

合致していないものは検証条件に違反すると判定し、合致しているものは検証条件に合致すると判定する。

【先行技術文献】

【特許文献】

【0004】

【文献】特開２０１５－２２８０７８号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献１に示されたプリント回路板設計支援装置は、許容される経路長を表す閾値を検証条件として評価値が合致するかどうかを判定しているため、ＩＣ毎に許容される経路長の最適値が異なるため、適切な閾値の決定が困難である。

例えば、安定性を優先して閾値にマージンを持たせると過剰にパスコンが配置され、一方、閾値を厳しく設定するとパスコンの個数は減るものの、所望の性能を満たせないという不具合が発生する。

【0006】

本開示は上記した点に鑑みてなされたものであり、バイパスコンデンサによる性能を落とすことなく、バイパスコンデンサが配置される個数の最適化を可能にするプリント基板の設計支援システムを得ることを目的とする。

【課題を解決するための手段】

【0007】

本開示に係るプリント基板の設計支援システムは、複数の電源端子及び複数のグラウンド端子を有する半導体集積回路装置が搭載され、それぞれが一对の電極を有する複数のバイパスコンデンサが搭載可能であり、複数の電源端子が接続される電源配線層と、複数のグラウンド端子が接続されるグラウンド配線層と、複数のバイパスコンデンサの一方の電極が接続される電源側配線層と、複数のバイパスコンデンサの他方の電極が接続されるグラウンド側配線層とを有する基板に、複数のバイパスコンデンサの内から搭載するバイパスコンデンサを選択し、決定する設計支援システムであって、半導体集積回路装置の複数の電源端子と複数のバイパスコンデンサの一方の電極の全ての組み合わせについて、半導体集積回路装置の複数の電源端子それぞれが接続される電源配線層の接続位置から複数のバイパスコンデンサの一方の電極が接続される電源側配線層の接続位置それぞれまでの配線経路における最短距離の算出と、半導体集積回路装置の複数のグラウンド端子と複数のバイパスコンデンサの他方の電極の全ての組み合わせについて、半導体集積回路装置の複数のグラウンド端子それぞれが接続されるグラウンド配線層の接続位置から複数のバイパ

10

20

30

40

50

スコンデンサの他方の電極が接続されるグラウンド側配線層の接続位置それぞれまでの配線経路における最短距離の算出を実施する接続経路算出部と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、接続経路算出部により算出された、複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示す配線経路に接続されるバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定し、複数のバイパスコンデンサの内、有効と判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する有効性評価部とを備える。

【発明の効果】

【0008】

本開示によれば、バイパスコンデンサが配置される個数の最適化を可能にすることができる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1に係るプリント基板の設計支援システムの基本構成を示すブロック図である。

【図2】実施の形態1に係る設計支援システムの基板設計情報の構成を示す図である。

【図3】実施の形態1に係る設計支援システムの調査対象選択手段の構成図である。

【図4】ICのピン配置を示す平面図である。

【図5】ICの実装領域直下の基板の1層目の表面のパターンを示す図である。

【図6】ICの実装領域直下の基板の2層目の表面のパターンを示す図である。

【図7】ICの実装領域直下の基板の3層目の表面のパターンを示す図である。

【図8】ICの実装領域直下の基板の4層目の表面のパターンを示す図である。

【図9】ICの実装領域直下の基板の5層目の表面のパターンを示す図である。

【図10】ICの実装領域直下の基板の6層目の裏面のパターンを示す図である。

【図11】実施の形態1に係る設計支援システムの経路算出手段の出力結果の一例を示す図である。

【図12】実施の形態1に係る設計支援システムによるバイパスコンデンサの有効性評価結果の一例を示す図である。

【図13】実施の形態1に係る設計支援システムによるバイパスコンデンサの変更結果の一例を示す図である。

【図14】実施の形態1に係る設計支援システムの動作を示すフローチャートである。

【図15】実施の形態1に係る設計支援システムのハード構成を示す構成図である。

【図16】実施の形態2に係るプリント基板の設計支援システムの基本構成を示すブロック図である。

【図17】実施の形態2に係る設計支援システムによるバイパスコンデンサの有効性評価結果の一例を示す図である。

【図18】実施の形態2に係る設計支援システムの動作を示すフローチャートである。

【図19】実施の形態2に係る設計支援システムにおける設計変更部の動作を示すフローチャートである。

【図20】実施の形態2に係る設計支援システムによるバイパスコンデンサの変更結果によるプリント基板に対する有効性の一例を示す図である。

【図21】実施の形態3に係るプリント基板の設計支援システムの基本構成を示すブロック図である。

【図22】実施の形態3に係る設計支援システムにおける設計変更部の動作を示すフローチャートである。

【図23】実施の形態4に係るプリント基板の設計支援システムの基本構成を示すブロック図である。

【図24】実施の形態4に係る設計支援システムによるバイパスコンデンサの有効性評価結果の一例を示す図である。

10

20

30

40

50

【図 2 5】実施の形態 5 に係るプリント基板の設計支援システムの基本構成を示すブロック図である。

【図 2 6】実施の形態 5 に係る I C のピン配置を示す平面図である。

【図 2 7】実施の形態 5 に係る I C の実装領域直下の基板の 1 層目の表面のパターンを示す図である。

【図 2 8】実施の形態 5 に係る I C の実装領域直下の基板の 2 層目の表面のパターンを示す図である。

【図 2 9】実施の形態 5 に係る I C の実装領域直下の基板の 3 層目の表面のパターンを示す図である。

【図 3 0】実施の形態 5 に係る I C の実装領域直下の基板の 4 層目の表面のパターンを示す図である。

10

【図 3 1】実施の形態 5 に係る I C の実装領域直下の基板の 5 層目の表面のパターンを示す図である。

【図 3 2】実施の形態 5 に係る I C の実装領域直下の基板の 6 層目の裏面のパターンを示す図である。

【図 3 3】実施の形態 5 に係る設計支援システムの動作を示すフローチャートである。

【図 3 4】実施の形態 5 に係る設計支援システムにおける設計変更部の動作を示すフローチャートである。

【図 3 5】実施の形態 5 に係る設計支援システムによるバイパスコンデンサの有効性評価結果の一例を示す図である。

20

【発明を実施するための形態】

【0 0 1 0】

実施の形態 1 .

実施の形態 1 に係るプリント基板の設計支援システムを図 1 から図 1 5 に従い説明する。

実施の形態 1 に係るプリント基板の設計支援システムは、複数の電源端子及び複数のグラウンド端子を有する半導体集積回路装置（以下、I C という）と I C に接続される複数のバイパスコンデンサ（以下、パスコンと言う）が搭載されるプリント基板に、パスコンを選択し、パスコンの配置位置を決定する設計を支援する。

【0 0 1 1】

プリント基板に搭載される I C は、グリッドアレイパッケージの一種である、パッケージの底面に格子状にボール状のはんだ（はんだボール）が配列されたボールグリッドアレイ（BGA : Ball Grid Array）パッケージを一例として説明する。

30

プリント基板は、表面に I C の複数の電源端子及び複数のグラウンド端子が接続される複数の I C 用電源配線層及び複数の I C 用グラウンド配線層を有し、裏面にバイパスコンデンサの一方の電極が接続されるコンデンサ用電源配線層及びバイパスコンデンサの他方の電極が接続されるコンデンサ用グラウンド配線層を有する、6 層（1 + 4 + 1）のビルドアップ基板を一例として説明する。

【0 0 1 2】

設計支援システムを説明する前に、I C のピン配置及びプリント基板における I C の実装領域直下の各層におけるパターンを図 4 から図 1 0 を用いて説明する。

40

I C 1 のピン配置（この例において、はんだボールの配置であるが、総称してピン配置と言う）は、図 4 に示すように、横 8 列、縦 8 行の 8 × 8 の格子状にピンが配置されている。

横を A 列から H 列とし、縦を 1 行から 8 行とし、列と行との交点を A 1 ~ A 8、~、H 1 ~ H 8 とする。

【0 0 1 3】

I C 1 の電源端子 1 V は、B 2、B 4、B 6、C 3、C 5、C 7、D 2、D 4、D 6、E 3、E 5、E 7、F 2、F 4、F 6、G 3、G 5、G 7 に配置されている。

I C 1 のグラウンド端子 1 G は、B 3、B 5、C 2、C 4、C 6、D 3、D 5、D 7、E 2、E 4、E 6、F 3、F 5、F 7、G 4、G 6 に配置されている。

50

残りのピンは信号端子 1 S である。

電源端子 1 V とグラウンド端子 1 G は縦横ともに交互に配置される。

電源端子 1 V は 1.0 V 電源系統に接続され、電源端子 1 V に 1.0 V が供給される。
グラウンド端子 1 G はグラウンド系統に接続され、接地電位とされる。

【0014】

次に、プリント基板における IC 1 の実装領域直下の各層における表面のパターンを図 5 ～図 10 を用いて説明する。

説明の煩雑をなくすため、プリント基板の 1 層目のパターンを単に 1 層パターンと略称する。2 層目から 6 層目も略称して説明する。

なお、1 層から 6 層において、IC 1 の実装領域直下以外の領域において、信号配線層などのパターンが形成されている。

【0015】

1 層パターン 10 はプリント基板の表面におけるパターンであり、IC 1 の実装面である。

1 層パターン 10 は複数の IC 用電源配線層 11 V ～ 15 V と複数の IC 用グラウンド配線層 11 G ～ 14 G のパターンである。

IC 用電源配線層 11 V ～ 15 V は 1.0 V 電源系統に接続され、IC 用グラウンド配線層 11 G ～ 14 G はグラウンド系統に接続される。

2 層パターン 20 から 6 層パターン 60 においても、電源配線層は 1.0 V 電源系統に接続され、グラウンド配線層はグラウンド系統に接続される。

【0016】

IC 用電源配線層 11 V は、B 6 と C 7 を結ぶ線分により形成され、B 6 と C 7 に位置する電源端子 1 V と接続される。

IC 用電源配線層 12 V は、B 4 と E 7 を結ぶ線分により形成され、B 4、C 5、D 6、及び E 7 に位置する電源端子 1 V と接続される。

【0017】

IC 用電源配線層 13 V は、B 2 と G 7 を結ぶ線分により形成され、B 2、C 3、D 4、E 5、F 6、及び G 7 に位置する電源端子 1 V と接続される。

IC 用電源配線層 14 V は、D 2 と G 5 を結ぶ線分により形成され、D 2、E 3、F 4、及び G 5 に位置する電源端子 1 V と接続される。

IC 用電源配線層 15 V は、F 2 と G 3 を結ぶ線分により形成され、F 2 及び G 3 に位置する電源端子 1 V と接続される。

【0018】

IC 用グラウンド配線層 11 G は、B 5 と D 7 を結ぶ線分により形成され、B 5、C 6、及び D 7 に位置するグラウンド端子 1 G と接続される。

IC 用グラウンド配線層 12 G は、B 3 と F 7 を結ぶ線分により形成され、B 3、C 4、D 5、E 6、及び F 7 に位置するグラウンド端子 1 G と接続される。

IC 用グラウンド配線層 13 G は、C 2 と G 6 を結ぶ線分により形成され、C 2、D 3、E 4、F 5、及び G 6 に位置するグラウンド端子 1 G と接続される。

IC 用グラウンド配線層 14 G は、E 2 と G 4 を結ぶ線分により形成され、E 2、F 3、及び G 4 に位置するグラウンド端子 1 G と接続される。

IC 用電源配線層 11 V ～ 15 V と IC 用グラウンド配線層 11 G ～ 14 G は、一方の対角線と平行に交互に配置される。

【0019】

2 層パターン 20 から 6 層パターン 60 において、各層における配線層及び配線層間を接続するビアは、6 層パターン 60 に実装可能な複数のパスコン C 1 ～ C 12 の配置を暫定的に決めた後、1 層パターン 10 における複数の IC 用電源配線層 11 V ～ 15 V 及び複数の IC 用グラウンド配線層 11 G ～ 14 G と実装可能な複数のパスコン C 1 ～ C 12 が接続されるように適宜配置される。

すなわち、2 層パターン 20 から 6 層パターン 60 における各層における配線層及び配

10

20

30

40

50

線層間を接続するビアは、I C 1 のピンの配置に一義的に決定されるものではない。

【0020】

但し、以下の説明では、実施の形態 1 に係るプリント基板の設計支援システムの特徴点を分かり易く説明するために、各層における配線層及び配線層間を接続するビアの位置を、説明の煩雑さを避け、説明の都合上、模式的に列と行との交点を示す符号を用いて説明する。

従って、各層における配線層及び配線層間を接続するビアの位置は以下の説明の位置に限られるものではない。

【0021】

2 層パターン 2 0 はビルドアップ層の第 1 の切り替えパターンである。

2 層パターン 2 0 は複数の電源用切替配線層 2 1 V ～ 2 6 V と複数のグラウンド用切替配線層 2 1 G ～ 2 6 G のパターンである。

電源用切替配線層 2 1 V は B 6 と C 6 を結ぶ線分により形成される。

電源用切替配線層 2 2 V は B 4 と C 4 を結ぶ線分により形成される。

電源用切替配線層 2 3 V は B 2 と C 2 を結ぶ線分により形成される。

電源用切替配線層 2 4 V は F 7 と G 7 を結ぶ線分により形成される。

電源用切替配線層 2 5 V は F 5 と G 5 を結ぶ線分により形成される。

電源用切替配線層 2 6 V は F 3 と G 3 を結ぶ線分により形成される。

【0022】

グラウンド用切替配線層 2 1 G は D 7 と E 7 を結ぶ線分により形成される。

グラウンド用切替配線層 2 2 G は D 6 と E 6 を結ぶ線分により形成される。

グラウンド用切替配線層 2 3 G は D 5 と E 5 を結ぶ線分により形成される。

グラウンド用切替配線層 2 4 G は D 4 と E 4 を結ぶ線分により形成される。

グラウンド用切替配線層 2 5 G は D 3 と E 3 を結ぶ線分により形成される。

グラウンド用切替配線層 2 6 G は D 2 と E 2 を結ぶ線分により形成される。

【0023】

I C 用電源配線層 1 1 V における B 6 の位置と電源用切替配線層 2 1 V における B 6 の位置とをビルドアップビア 7 1 V が電氣的に接続する。

I C 用電源配線層 1 2 V における B 4 の位置と電源用切替配線層 2 2 V における B 4 の位置とをビルドアップビア 7 2 V が電氣的に接続する。

I C 用電源配線層 1 3 V における B 2 の位置と電源用切替配線層 2 3 V における B 2 の位置とをビルドアップビア 7 3 V が電氣的に接続する。

【0024】

I C 用電源配線層 1 4 V における G 7 の位置と電源用切替配線層 2 4 V における G 7 の位置とをビルドアップビア 7 4 V が電氣的に接続する。

I C 用電源配線層 1 5 V における G 5 の位置と電源用切替配線層 2 5 V における G 5 の位置とをビルドアップビア 7 5 V が電氣的に接続する。

I C 用電源配線層 1 6 V における G 3 の位置と電源用切替配線層 2 6 V における G 3 の位置とをビルドアップビア 7 6 V が電氣的に接続する。

【0025】

I C 用グラウンド配線層 1 1 G における D 7 の位置とグラウンド用切替配線層 2 1 G における D 7 の位置とをビルドアップビア 7 1 G が電氣的に接続する。

I C 用グラウンド配線層 1 2 G における E 6 の位置とグラウンド用切替配線層 2 2 G における E 6 の位置とをビルドアップビア 7 2 G が電氣的に接続する。

I C 用グラウンド配線層 1 2 G における D 5 の位置とグラウンド用切替配線層 2 3 G における D 5 の位置とをビルドアップビア 7 3 G が電氣的に接続する。

I C 用グラウンド配線層 1 3 G における E 4 の位置とグラウンド用切替配線層 2 4 G における E 4 の位置とをビルドアップビア 7 4 G が電氣的に接続する。

I C 用グラウンド配線層 1 3 G における D 3 の位置とグラウンド用切替配線層 2 5 G における D 3 の位置とをビルドアップビア 7 5 G が電氣的に接続する。

10

20

30

40

50

IC用グラウンド配線層14GにおけるE2の位置とグラウンド用切替配線層26GにおけるE2の位置とをビルドアップビア76Gが電氣的に接続する。

【0026】

3層パターン30はグラウンド(GND)パターン層であり、C6、C4、C2、F7、F5、及びF3の位置を除いてベタパターンとなっている。

GNDパターン層30は、C6、C4、C2、F7、F5、及びF3の位置において、導電層が円形に除かれており、C6、C4、C2、F7、F5、及びF3の中心位置において、インタスティシャルビアホール(IVH: interstitial via hole、以下IVHという)81V~86VがGNDパターン層30と電氣的に接続せずに貫通される。

【0027】

4層パターン40は電源パターン層であり、D6、D4、D2、E7、E5、及びE3の位置を除いてベタパターンとなっている。

電源パターン層40は、D6、D4、D2、E7、E5、及びE3の位置において、導電層が円形に除かれており、D6、D4、D2、E7、E5、及びE3の中心位置において、IVH81G~86Gが電源パターン層40と電氣的に接続せずに貫通される。

【0028】

5層パターン50はビルドアップ層の第2の切り替えパターンである。

5層パターン50は2つの電源用切替パターン層51V、52Vとグラウンド用切替パターン層51Gのパターンである。

電源用切替パターン層51VはB2~B7からC2~C7の位置を囲うように形成されたベタパターンである。

電源用切替パターン層52VはF2~F7からG2~G7の位置を囲うように形成されたベタパターンである。

グラウンド用切替パターン層51Gは、電源用切替パターン層51V、52Vを除き、電源用切替パターン層51V、52Vと離隔してA1~A8からH1~H8の位置を囲うように形成されたベタパターンである。

【0029】

IVH81V~86V及びIVH81G~86Gは2層から3層及び4層を貫通し、対応する2層パターン20と5層パターンを電氣的に接続する。

IVH81Vは、C6の位置において、電源用切替配線層21Vと電源パターン層40と電源用切替パターン層51Vを電氣的に接続する。

IVH82Vは、C4の位置において、電源用切替配線層22Vと電源パターン層40と電源用切替パターン層51Vを電氣的に接続する。

IVH83Vは、C2の位置において、電源用切替配線層23Vと電源パターン層40と電源用切替パターン層51Vを電氣的に接続する。

【0030】

IVH84Vは、F7の位置において、電源用切替配線層24Vと電源パターン層40と電源用切替パターン層52Vを電氣的に接続する。

IVH85Vは、F5の位置において、電源用切替配線層25Vと電源パターン層40と電源用切替パターン層52Vを電氣的に接続する。

IVH86Vは、F3の位置において、電源用切替配線層26Vと電源パターン層40と電源用切替パターン層52Vを電氣的に接続する。

【0031】

IVH81Gは、E7の位置において、グラウンド用切替配線層21GとGNDパターン層30とグラウンド用切替パターン層51Gを電氣的に接続する。

IVH82Gは、D6の位置において、グラウンド用切替配線層22GとGNDパターン層30とグラウンド用切替パターン層51Gを電氣的に接続する。

IVH83Gは、E5の位置において、グラウンド用切替配線層23GとGNDパターン層30とグラウンド用切替パターン層51Gを電氣的に接続する。

【0032】

10

20

30

40

50

I V H 8 4 G は、D 4 の位置において、グラウンド用切替配線層 2 4 G と G N D パターン層 3 0 とグラウンド用切替パターン層 5 1 G を電氣的に接続する。

I V H 8 5 G は、E 3 の位置において、グラウンド用切替配線層 2 5 G と G N D パターン層 3 0 とグラウンド用切替パターン層 5 1 G を電氣的に接続する。

I V H 8 6 G は、D 2 の位置において、グラウンド用切替配線層 2 6 G と G N D パターン層 3 0 とグラウンド用切替パターン層 5 1 G を電氣的に接続する。

【 0 0 3 3 】

6 層パターン 6 0 はプリント基板の裏面におけるパターンであり、複数のパスコン C 1 ～ C 1 2 が実装可能な実装面である。

6 層パターン 6 0 は 2 つのコンデンサ用電源配線層 6 1 V、6 2 V とコンデンサ用グラウンド配線層 6 1 G のパターンである。

コンデンサ用電源配線層 6 1 V は電源用切替パターン層 5 1 V と対向して形成されたベタパターンである。

コンデンサ用電源配線層 6 2 V は電源用切替パターン層 5 2 V と対向して形成されたベタパターンである。

コンデンサ用グラウンド配線層 6 1 G は、コンデンサ用電源配線層 6 1 V とコンデンサ用電源配線層 6 2 V の間に位置し、コンデンサ用電源配線層 6 1 V とコンデンサ用電源配線層 6 2 V と離隔して D 2 ～ D 7 から E 2 ～ E 7 の位置を囲うように形成されたベタパターンである。

【 0 0 3 4 】

電源用切替パターン層 5 1 V とコンデンサ用電源配線層 6 1 V はそれぞれ、B 6、B 4、及び B 2 の位置において、ビルドアップビア 9 1 V ～ 9 3 V により電氣的に接続される。

電源用切替パターン層 5 2 V とコンデンサ用電源配線層 6 2 V はそれぞれ、G 7、G 5、及び G 3 の位置において、ビルドアップビア 9 4 V ～ 9 6 V により電氣的に接続される。

グラウンド用切替パターン層 5 1 G とコンデンサ用グラウンド配線層 6 1 G はそれぞれ、D と E の間の 3 ～ 6 の位置の 4 ケ所において、ビルドアップビア 9 1 G ～ 9 4 G により電氣的に接続される。

【 0 0 3 5 】

コンデンサ用電源配線層 6 1 V における C 7 ～ C 2 の 6 ケ所の位置それぞれは、対応するパスコン C 1 ～ C 6 の一方の電極（以下、便宜上、電源側電極という）が接続可能な位置である。

コンデンサ用グラウンド配線層 6 1 G における D 7 ～ D 2 の 6 ケ所の位置それぞれは、対応するパスコン C 1 ～ C 6 の他方の電極（以下、便宜上、G N D 側電極という）が接続可能な位置である。

【 0 0 3 6 】

コンデンサ用電源配線層 6 2 V における F 7 ～ F 2 の 6 ケ所の位置それぞれは、対応するパスコン C 7 ～ C 1 2 の電源側電極が接続可能な位置である。

コンデンサ用グラウンド配線層 6 1 G における E 7 ～ E 2 の 6 ケ所の位置それぞれは、対応するパスコン C 7 ～ C 1 2 の G N D 側電極が接続可能な位置である。

すなわち、プリント基板の実装面に 1 2 個のパスコン C 1 ～ C 1 2 が実装可能である。

【 0 0 3 7 】

次に、実施の形態 1 に係るプリント基板の設計支援システムについて図 1 ～図 3 を用いて説明する。

実施の形態 1 に係る設計支援システムは、パスコンの有効性を判別し、プリント基板の実装面に配置するパスコンの個数を最適化することができる設計支援システムである。

上記に示したプリント基板を例にとると、プリント基板の実装面に実装可能な 1 2 個のパスコン C 1 ～ C 1 2 に対して有効性を判断し、不要なパスコンを削除して最適個数のパスコンを効率的に選択して設計支援する。

【 0 0 3 8 】

実施の形態 1 に係る設計支援システム 1 0 0 は、図 1 に示すように、基板情報入力部 1

10

20

30

40

50

01と調査対象選択部102と接続経路算出部103と有効性評価部104と設計変更部105と変更結果出力部106を備える。

基板情報入力部101により基板設計情報200は入力され、基板情報入力部101は入力された基板設計情報200を設計支援システム100内で処理できる形式に変換して出力する。

基板設計情報200は、IC1及びパスコンC1～C12を含む部品に関する部品個別情報、並びにプリント基板に形成される配線レイアウトに関する情報を含む。

【0039】

基板設計情報200は、例えば、プリント基板のCAD (Computer Aided Design) データ201であり、図2に示すように、内部情報として少なくとも、部品群情報210、個別部品情報211、電氣的ネット群情報220、個別ネット情報221、配線群情報222、及び個別配線情報223の要素を含んでいる。

各要素は階層構造になっている。

【0040】

部品群情報210を構成する個別部品情報211は、IC1、パスコンC1～C12、及びインダクタ(図示せず)といったプリント基板に実装される個々の部品に対する部品個別情報を示し、部品個別情報は部品型番及び特性を示す部品固有情報、並びに実装外形などが紐づけられた情報である。

【0041】

電氣的ネット群情報220を構成する個別ネット情報221は、1.0V電源系統、GND系統といった、プリント基板上で電氣的に独立した個別のネットである。例えば、上記したプリント基板では、1層から6層におけるA1～A8、～、H1～H8の位置、つまり各ノードが1.0V系統かGND系統かを示す情報である。

【0042】

配線群情報222は、個別ネット情報221に電氣的に接続する配線のまとまりを示す情報である。

配線群情報222を構成する個別配線情報223は、IC1の端子の種類と接続位置、つまりネット、実装部品、例えば、パスコンC1～C12が接続される実装パッド、各層における配線層、層間を接続するビアといったプリント基板を構成する個々の導体の構造物を示す情報である。

【0043】

例えば、個別配線情報223は、上記したプリント基板では、IC1のB2、B4、B6、C3、C5、C7、D2、D4、D6、E3、E5、E7、F2、F4、F6、G3、G5、G7に位置するピンは電源端子1Vであり、1.0V電源系統は電源系統に接続されるといった情報である。同様にIC1のグラウンド端子1Gの情報である。

【0044】

個別配線情報223は、同様に、IC用電源配線層11V～15V及びIC用グラウンド配線層11G～14G、電源用切替配線層21V～26V及びグラウンド用切替配線層21G～26G、GNDパターン層30、電源パターン層40、電源用切替パターン層51V、52V及びグラウンド用切替パターン層51G、並びにコンデンサ用電源配線層61V、62V及びコンデンサ用グラウンド配線層61Gにおけるネット情報と絡めた各層の配線層における個々の情報であり、配線レイアウトに関する情報である。

【0045】

個別配線情報223は、同様に、ビルドアップビア71V～76V、71G～76G、IVH81V～86V、81G～86G、及びビルドアップビア91V～96V、91G～94Gにおけるネット情報と絡めたビアにおける個々の情報であり、配線レイアウトに関する情報である。

【0046】

調査対象選択部102は個別部品選択部と個別配線選択部を備える。

調査対象選択部102における個別部品選択部は、基板情報入力部101から出力され

10

20

30

40

50

た基板設計情報 2 0 0 における個別部品情報 2 1 1 を参照し、プリント基板に搭載するための I C 1 とパスコン C 1 ～ C 1 2 を選択する。

【 0 0 4 7 】

調査対象選択部 1 0 2 における個別部品選択部は、上記したプリント基板に対して、例えば、図 3 に示すように、パスコン C 1 ～ C 1 2 を調査対象として選択し、基板情報入力部 1 0 1 から出力されたそれ以外のパスコンを調査対象外として分類分けする。

調査対象選択部 1 0 2 における個別部品選択部により調査対象とされた情報は、調査対象とされたパスコン C 1 ～ C 1 2 の個別情報に紐づけされた配列、つまり、6 層パターンにおける配置位置を示す情報である。

【 0 0 4 8 】

調査対象選択部 1 0 2 における個別配線選択部は、基板情報入力部 1 0 1 から出力された基板設計情報 2 0 0 における個別配線情報 2 2 3 を参照し、選択された I C 1 の電源端子 1 V とグラウンド端子 1 G を選択する。

調査対象選択部 1 0 2 における個別配線選択部は、個別部品選択部が上記した I C 1 を選択すると、図 3 に示すように、B 2、B 4、B 6、C 3、C 5、C 7、D 2、D 4、D 6、E 3、E 5、E 7、F 2、F 4、F 6、G 3、G 5、G 7 に位置するピンを電源端子 1 V として調査対象とし、B 3、B 5、C 2、C 4、C 6、D 3、D 5、D 7、E 2、E 4、E 6、F 3、F 5、F 7、G 4、G 6 に位置するピンをグラウンド端子 1 G として調査対象とし、それ以外のピンを調査対象外として分類分けする。

調査対象選択部 1 0 2 における個別配線選択部により調査対象とされた情報は、調査対象とされた I C 1 の電源端子 1 V 及びグラウンド端子 1 G に紐づけされた配置、つまり、1 層パターンにおける接続位置を示す情報である。

【 0 0 4 9 】

図 3 において、個別配線情報 2 2 3 において、I C を付して I C 1 の端子であることを示している。

なお、調査対象選択部 1 0 2 は、個別部品情報 2 1 1 と個別配線情報 2 2 3 に紐づいた個別ネット情報 2 2 1 に基づいて、同じネットに接続するパスコン C 1 ～ C 1 2 と I C 1 の電源端子 1 V 及びグラウンド端子 1 G を自動で選択してもよい。

【 0 0 5 0 】

接続経路算出部 1 0 3 は、調査対象選択部 1 0 2 における個別配線選択部により選択された I C 1 の複数の電源端子 1 V それぞれに対応する複数の I C 用電源配線層 1 1 V ～ 1 5 V における接続位置からパスコン C 1 ～ C 1 2 それぞれの電源側電極が接続されるコンデンサ用電源配線層 6 1 V、6 2 V における接続位置までの配線経路の最短の距離を算出する。

また、接続経路算出部 1 0 3 は、調査対象選択部 1 0 2 における個別配線選択部により選択された I C 1 の複数のグラウンド端子 1 G それぞれに対応する複数の I C 用グラウンド配線層 1 1 G ～ 1 4 G における接続位置からパスコン C 1 ～ C 1 2 それぞれの G N D 側電極が接続されるコンデンサ用グラウンド配線層 6 1 G における接続位置までの配線経路の最短の距離を算出する。

【 0 0 5 1 】

例えば、I C 1 の複数の電源端子 1 V の内、C 7 に位置する電源端子 1 V が接続される I C 用電源配線層 1 1 V における C 7 の位置から、パスコン C 1 の電源側電極が接続されるコンデンサ用電源配線層 6 1 V における C 7 の位置までの最短距離、パスコン C 2 の電源側電極が接続されるコンデンサ用電源配線層 6 1 V における C 6 の位置までの最短距離、パスコン C 3 の電源側電極が接続されるコンデンサ用電源配線層 6 1 V における C 5 の位置までの最短距離、パスコン C 4 の電源側電極が接続されるコンデンサ用電源配線層 6 1 V における C 4 の位置までの最短距離、パスコン C 5 の電源側電極が接続されるコンデンサ用電源配線層 6 1 V における C 3 の位置までの最短距離、パスコン C 6 の電源側電極が接続されるコンデンサ用電源配線層 6 1 V における C 2 の位置までの最短距離、パスコン C 7 の電源側電極が接続されるコンデンサ用電源配線層 6 2 V における F 7 の位置まで

10

20

30

40

50

の最短距離、パスコン C 8 の電源側電極が接続されるコンデンサ用電源配線層 6 2 V における F 6 の位置までの最短距離、パスコン C 9 の電源側電極が接続されるコンデンサ用電源配線層 6 2 V における F 5 の位置までの最短距離、パスコン C 1 0 の電源側電極が接続されるコンデンサ用電源配線層 6 2 V における F 4 の位置までの最短距離、パスコン C 1 1 の電源側電極が接続されるコンデンサ用電源配線層 6 2 V における F 3 の位置までの最短距離、及びパスコン C 1 2 の電源側電極が接続されるコンデンサ用電源配線層 6 2 V における F 2 の位置までの最短距離を算出する。

算出結果を一例として図 1 1 に示す。

【 0 0 5 2 】

I C 1 の複数の電源端子 1 V、上記した例では 1 8 個の電源端子 1 V それぞれに対して、同様に、電源端子 1 V が接続される I C 用電源配線層 1 1 V ~ 1 5 V における接続位置からパスコン C 1 ~ C 1 2 それぞれの電源側電極が接続されるコンデンサ用電源配線層 6 1 V、6 2 V における接続位置までの最短距離を算出する。

また、I C 1 の複数のグラウンド端子 1 G、上記した例では 1 6 個のグラウンド端子 1 G それぞれに対して、同様に、グラウンド端子 1 G が接続される I C 用グラウンド配線層 1 1 G ~ 1 4 G における接続位置からパスコン C 1 ~ C 1 2 それぞれの G N D 側電極が接続されるコンデンサ用グラウンド配線層 6 1 G における接続位置までの最短距離を算出する。

【 0 0 5 3 】

要するに、接続経路算出部 1 0 3 は、I C 1 の電源端子 1 V それぞれとパスコン C 1 ~ C 1 2 の電源側端子の全ての組み合わせにおけるプリント基板における 1 . 0 V 電源システムの配線経路の最短距離と I C 1 のグラウンド端子 1 G それぞれとパスコン C 1 ~ C 1 2 のグラウンド側端子の全ての組み合わせにおけるグラウンドシステムの配線経路の最短距離を算出する。

接続経路算出部 1 0 3 により得られる情報は、I C 1 の電源端子 1 V 及びグラウンド端子 1 G それぞれとパスコン C 1 ~ C 1 2 それぞれと最短距離それぞれとが紐づけされた情報である。

【 0 0 5 4 】

有効性評価部 1 0 4 は、I C 1 の電源端子 1 V それぞれに対してパスコン C 1 ~ C 1 2 の電源側端子の全ての組み合わせにおけるプリント基板における 1 . 0 V 電源システムの配線経路の最短距離を相対比較し、最短距離が最小値を示す配線経路におけるパスコンを有効、それ以外を無効と判定し、I C 1 のグラウンド端子 1 G それぞれに対してパスコン C 1 ~ C 1 2 の電源側端子の全ての組み合わせにおけるプリント基板におけるグラウンドシステムの配線経路の最短距離を比較し、最短距離が最小値を示す配線経路におけるパスコンを有効、それ以外を無効と判定し、最終的に I C 1 の電源端子 1 V 及びグラウンド端子 1 G の内少なくとも 1 つのパスコンに対して有効とされたパスコンを有効とする。

すなわち、有効性評価部 1 0 4 は、I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれに対して配線経路が最短距離となる 1 つのパスコンを抽出し、抽出されたパスコンを有効とし、それ以外を無効と判定する。

【 0 0 5 5 】

複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれに対する判定結果の一例を図 1 2 の各端子に対する有効性の欄に示す。

図 1 2 において、I C 1 の C 7 に位置する電源端子 1 V に対してパスコン C 2 が有効（図示○印）であり、それ以外のパスコンは無効（図示×印）と判定した結果を示し、I C 1 の C 6 に位置するグラウンド端子 1 G に対してパスコン C 2 が有効（図示○印）であり、それ以外のパスコンは無効（図示×印）と判定した結果を示し、I C 1 の C 5 に位置する電源端子 1 V に対してパスコン C 4 が有効（図示○印）であり、それ以外のパスコンは無効（図示×印）と判定した結果を示している。

【 0 0 5 6 】

また、図 1 2 において、I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G に

10

20

30

40

50

において、パスコン C 1 ～ C 1 2 それぞれに対する有効性を判定した結果、I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G の内少なくとも 1 つの端子において、パスコンに対して有効とされたパスコン C 2、C 4、C 6、C 7、C 9、C 1 1 は有効（図示○印）であり、それ以外のパスコン C 1、C 3、C 5、C 8、C 1 0、C 1 2 は無効（図示×印）と判定した結果を、基板に対する有効性の欄に示している。

【0057】

有効性評価部 104 により得られる情報は、有効と紐づけされた、基板に対して有効と判定されたパスコン C 2、C 4、C 6、C 7、C 9、C 1 1 に対するパスコン個別情報と、無効と紐づけされた、無効と判定されたパスコン C 1、C 3、C 5、C 8、C 1 0、C 1 2 に対するパスコン個別情報である。

【0058】

要するに、有効性評価部 104 は、パスコン C 1 ～ C 1 2 の内、接続経路算出部 103 により算出された最短距離の配線経路に接続されるパスコン C 2、C 4、C 6、C 7、C 9、C 1 1 を有効と判定し、それ以外のパスコン C 1、C 3、C 5、C 8、C 1 0、C 1 2 を無効と判定する。

なお、有効性評価部 104 は、I C 1 の電源端子 1 V 及びグラウンド端子 1 G に対してパスコン C 1 ～ C 1 2 が重複して有効と判定した場合も、最終結果は有効と判定する。

【0059】

設計変更部 105 は、有効性評価部 104 により得られた情報に基づき、有効と判定されたパスコンについてプリント基板の 6 層パターンに実装し、無効と判定されたパスコンについてはプリント基板の 6 層パターンに実装しないと決定する。

設計変更部 105 は、例えば、上記した例では、有効と判定されたパスコン C 2、C 4、C 6、C 7、C 9、C 1 1 についてはプリント基板の 6 層パターンに実装するパスコンとし、無効、つまり、有効であると判定されなかったパスコン C 1、C 3、C 5、C 8、C 1 0、C 1 2 についてはプリント基板の 6 層パターンに実装しないパスコンと決定する。

設計変更部 105 により得られる情報は、実装と紐づけされた、有効と判定されたパスコン C 2、C 4、C 6、C 7、C 9、C 1 1 に対するパスコン個別情報である。

【0060】

変更結果出力部 106 は、設計変更部 105 により得られた情報を基板設計情報 200 のフォーマットに変換して変更結果 300 として出力する。

変更結果出力部 106 により得られた変更結果 300 に基づき、ディスプレイなどの表示装置に表示した 6 層パターンに配置された設計変更後のパスコン C 2、C 4、C 6、C 7、C 9、C 1 1 の配置状態を図 13 に示す。

【0061】

このように、I C 1 の複数の電源端子 1 V それぞれに対応する複数の I C 用電源配線層 11 V ～ 15 V における接続位置からパスコン C 1 ～ C 1 2 それぞれの電源側電極が接続されるコンデンサ用電源配線層 61 V、62 V における接続位置までの配線経路の最短距離、及び、I C 1 の複数のグラウンド端子 1 G それぞれに対応する複数の I C 用グラウンド配線層 11 G ～ 14 G における接続位置からパスコン C 1 ～ C 1 2 それぞれの GND 側電極が接続されるコンデンサ用グラウンド配線層 61 G における接続位置までの配線経路の最短距離を算出し、I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれに対応したパスコン C 1 ～ C 1 2 までの最短距離を相対比較し、配線経路が選択された最短距離より長く、配線経路におけるインピーダンスが高く、I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれからパスコン C 1 ～ C 1 2 までのインピーダンスの低減への寄与が低いパスコンを削除することとしているので、バイパスコンデンサによる性能を落とすことなく、バイパスコンデンサが配置される個数の最適化を図れる。

【0062】

次に、実施の形態 1 に係るプリント基板の設計支援システムの動作について図 14 を用いて説明する。

ステップ S T 1 に示すように、基板情報入力部 101 により入力された基板設計情報 2

10

20

30

40

50

00を調査対象選択部102が読み込む。

調査対象選択部102は読み込んだ基板設計情報200を対象と対象外に分類分けし、対象とする個別部品情報211及び個別配線情報223を選択する(ステップST2)。

【0063】

一例として図3に示すように、個別部品情報211としてパスコンC1～C12を調査対象として選択し、個別配線情報223としてB2、B4、B6、C3、C5、C7、D2、D4、D6、E3、E5、E7、F2、F4、F6、G3、G5、G7に位置するIC1の電源端子1VとB3、B5、C2、C4、C6、D3、D5、D7、E2、E4、E6、F3、F5、F7、G4、G6に位置するグラウンド端子1Gを調査対象として選択する。

ステップST2は、ICの複数の電源端子1V及び複数のグラウンド端子1GとパスコンC1～C12を調査対象として選択する選択ステップである。

【0064】

なお、図3に示す、調査対象とされた個別部品情報であるパスコンC1～C12と調査対象とされた個別配線情報であるIC1の電源端子1V及びグラウンド端子1Gを配列したデータを知りたい場合は、図3に示す配列により表示装置に出力するような構成にしても良い。

【0065】

接続経路算出部103は、選択ステップにより調査対象として選択されたIC1の複数の電源端子1V及び複数のグラウンド端子1Gそれぞれに対してパスコンC1～C12それぞれまでのプリント基板における配線経路の最短距離を算出する(ステップST3)。

ステップST3は、IC1の複数の電源端子1V及び複数のグラウンド端子1Gそれぞれにおいて、パスコンC1～C12それぞれに対応するプリント基板における配線経路の最短距離を算出する最短距離算出ステップである。

【0066】

配線経路の最短距離の算出について、図4に示すC7に位置する電源端子1Vを例にとり、図5から図10を用いて説明する。

図5に示すように、C7に位置する電源端子1Vが接続される1層パターン10におけるIC用電源配線層11VにおけるC7の位置を始点PSとして、始点PSから経路P1を経由してIC用電源配線層11VにおけるB6に位置するビルドアップビア71Vに至る。

【0067】

ビルドアップビア71Vから2層パターン20における電源用切替配線層21Vにおいて、図6に示すように、経路P2を経由して電源用切替配線層21VにおけるC6に位置するIVH81Vに至る。

IVH81Vは、図7に示すように、3層パターン30に電氣的に接続されることなく貫通し4層パターン40に至る。

【0068】

4層パターン40において、図8に示すように、パスコンC1～C6に対してはIVH81Vから5層パターン50に至る経路、パスコンC7、C8に対しては経路P41を経由してIVH84Vに至る経路、パスコンC9、C10に対しては経路P42を経由してIVH85Vに至る経路、パスコンC11、C12に対しては経路P43を経由してIVH86Vに至る経路が最短距離として選択される。

【0069】

5層パターン50において、図9に示すように、パスコンC1～C12に対応して、IVH81Vから電源用切替パターン層51Vにおける経路P51を経由してビルドアップビア91Vに至る経路、IVH84Vから電源用切替パターン層52Vにおける経路P52を経由してビルドアップビア94Vに至る経路、IVH85Vから電源用切替パターン層52Vにおける経路P53を経由してビルドアップビア95Vに至る経路、IVH86Vから電源用切替パターン層52Vにおける経路P54を経由してビルドアップビア96

10

20

30

40

50

Vに至る経路が最短距離として選択される。

【0070】

6層パターン60において、図10に示すように、次のような経路が最短距離として選択される。

ビルドアップビア91Vから経路P61を経由してパスコンC1の電源側端子が接続されるコンデンサ用電源配線層61VにおけるC7の位置である終点PE1に至る経路。

ビルドアップビア92Vから経路P62を経由してパスコンC2の電源側端子が接続されるコンデンサ用電源配線層61VにおけるC6の位置である終点PE2に至る経路。

ビルドアップビア91Vから経路P63を経由してパスコンC3の電源側端子が接続されるコンデンサ用電源配線層61VにおけるC5の位置である終点PE3に至る経路。

10

【0071】

ビルドアップビア91Vから経路P64を経由してパスコンC4の電源側端子が接続されるコンデンサ用電源配線層61VにおけるC4の位置である終点PE4に至る経路。

ビルドアップビア92Vから経路P65を経由してパスコンC5の電源側端子が接続されるコンデンサ用電源配線層61VにおけるC3の位置である終点PE5に至る経路。

ビルドアップビア91Vから経路P66を経由してパスコンC6の電源側端子が接続されるコンデンサ用電源配線層61VにおけるC2の位置である終点PE6に至る経路。

【0072】

ビルドアップビア94Vから経路P67を経由してパスコンC7の電源側端子が接続されるコンデンサ用電源配線層62VにおけるF7の位置である終点PE7に至る経路。

20

ビルドアップビア94Vから経路P68を経由してパスコンC8の電源側端子が接続されるコンデンサ用電源配線層62VにおけるF6の位置である終点PE8に至る経路。

ビルドアップビア95Vから経路P69を経由してパスコンC9の電源側端子が接続されるコンデンサ用電源配線層62VにおけるF5の位置である終点PE9に至る経路。

【0073】

ビルドアップビア95Vから経路P610を経由してパスコンC10の電源側端子が接続されるコンデンサ用電源配線層62VにおけるF4の位置である終点PE10に至る経路。

ビルドアップビア96Vから経路P611を経由してパスコンC11の電源側端子が接続されるコンデンサ用電源配線層62VにおけるF3の位置である終点PE11に至る経路。

30

ビルドアップビア96Vから経路P612を経由してパスコンC12の電源側端子が接続されるコンデンサ用電源配線層62VにおけるF2の位置である終点PE12に至る経路。

【0074】

したがって、C7に位置する電源端子1Vに対するパスコンC1に対応するプリント基板における配線経路の最短距離は、始点PSー経路P1ービルドアップビア71Vー経路P2ーIVH81Vー経路P51ービルドアップビア91Vー経路P61ー終点PE1に至る経路となる。この経路が接続経路算出部103により算出される。

【0075】

40

同様にして、C7に位置する電源端子1Vに対するパスコンC2～C12に対応するプリント基板における配線経路の最短距離も、接続経路算出部103により算出される。

このようにして接続経路算出部103が求めた、C7に位置する電源端子1Vに対するパスコンC1～C12に対応するプリント基板における配線経路の最短距離の一例を、図11に示す。

【0076】

なお、図11に示す、個別部品情報であるパスコンC1～C12と個別配線情報であるIC1の電源端子1V及びグラウンド端子1Gと最短距離を示す情報を1組として配列したデータを知りたい場合は、図11に示す配列により表示装置に出力するような構成にしても良い。

50

【0077】

基板における配線経路の最短距離を算出するステップST3において、IC1の複数の電源端子1V及び複数のグラウンド端子1Gすべてにおいて、バスコンC1～C12に対応するプリント基板における配線経路の最短距離の算出を終了すると、有効性評価部104が、IC1の複数の電源端子1V及び複数のグラウンド端子1Gそれぞれにおいて、バスコンC1～C12に対応するプリント基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバスコンを有効と判定し、残りのバスコンを無効と判定する（ステップST4）。

ステップST4は、IC1の複数の電源端子1V及び複数のグラウンド端子1Gそれぞれに対するバスコンC1～C12の有効性を判定する第1の有効性判定ステップである。

10

【0078】

有効性評価部104がIC1の複数の電源端子1V及び複数のグラウンド端子1Gそれぞれに対するバスコンC1～C12の有効性の判定を終了すると、有効性評価部104は複数の電源端子1V及び複数のグラウンド端子1Gの少なくとも1つの端子において有効として判定されたバスコンをプリント基板に対して有効と判定し、それ以外のバスコンをプリント基板に対して無効、つまり有効ではないと判定する（ステップST5）。

【0079】

ステップST5は、プリント基板に対するバスコンC1～C12の有効性を判定する第2の有効性判定ステップである。

このようにして、有効性評価部104が第1の有効性判定ステップにより得た各端子に対する有効性の判定結果と第2の有効性判定ステップにより得た基板に対する有効性の判定結果の一例を図12に示す。

20

【0080】

なお、図12に示す、個別部品情報であるバスコンC1～C12とIC1の電源端子1V及びグラウンド端子1Gそれぞれに対する有効性の判定結果と基板に対する有効性の判定結果を示す情報を1組として配列したデータを知りたい場合は、図12に示す配列により表示装置に出力するような構成にしても良い。

【0081】

設計変更部105は、有効性評価部104により得られた情報に基づき、プリント基板に対して有効と判定されたバスコンについてプリント基板に実装する、無効と判定されたバスコンについてはプリント基板に実装しないと決定する（ステップST6）。

30

ステップST6は、プリント基板に搭載するバスコンを決定するバスコン決定ステップである。

【0082】

変更結果出力部106は、ステップST6により決定されたバスコンによる情報を基板設計情報200のフォーマットに変換して変更結果300として出力（ステップST7）し、終了する。

変更結果300に基づき、ディスプレイなどの表示装置に表示した設計変更後のバスコンC2、C4、C6、C7、C9、C11の配置状態を図13に示す。

【0083】

40

実施の形態1に係る設計支援システムにおける、調査対象選択部102と接続経路算出部103と有効性評価部104と設計変更部105は、コンピュータによるハードウェア構成により実現され、図15に示すように、CPU（Central Processing Unit）110と、大容量の半導体メモリ（RAM：Random Access Memory）120と、ハードディスク装置又はSSD装置などの不揮発性記録装置などの記憶装置（ROM：Read only memory）130と、入力インタフェース部140と、出力インタフェース部150と、信号路（バス）160を備える。

【0084】

CPU110はRAM120とROM130と入力インタフェース部140と出力インタフェース部150を制御、管理する。

50

CPU110はROM130に記憶されたプログラムをRAM120にロードし、CPU110がRAM120にロードされたプログラムに基づき各種処理を実行する。

【0085】

ステップST2からステップST6によるプリント基板の設計支援方法は、CPU110がROM130に記憶されたプログラムに従って処理を実行することにより行われる。

すなわち、ROM130に記憶されたプログラムは、基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、選択された半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離を算出する最短距離算出手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第1の有効性判定手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも1つの端子において有効として判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する第2の有効性判定手順と、複数のバイパスコンデンサの内から基板に対して有効と判定されたバイパスコンデンサを基板に搭載するバイパスコンデンサとして決定するパスコン決定手順とを備える。

【0086】

なお、実施の形態1に係るプリント基板の設計支援システムは、IC1の電源端子1VそれぞれとパスコンC1～C12の電源側端子の全ての組み合わせにおけるプリント基板における1.0V電源システムの配線経路の最短距離とIC1のグラウンド端子1GそれぞれとパスコンC1～C12のグラウンド側端子の全ての組み合わせにおけるグラウンドシステムの配線経路の最短距離を算出し、IC1の複数の電源端子1V及び複数のグラウンド端子1Gそれぞれに対して配線経路が最短距離となる1つのパスコンを抽出し、抽出されたパスコンを有効とし、それ以外を無効と判定したものとしたが、IC1の電源端子1VそれぞれとパスコンC1～C12の電源側端子の全ての組み合わせにおけるプリント基板における1.0V電源システムの配線経路の最短距離を算出し、IC1の複数の電源端子1Vそれぞれに対して配線経路が最短距離となる1つのパスコンを抽出し、抽出されたパスコンを有効とし、それ以外を無効と判定したものとしてもよい。

【0087】

以上に述べたように、実施の形態1に係るプリント基板の設計支援システムは、IC1の複数の電源端子1Vそれぞれに対応する複数のIC用電源配線層11V～15Vにおける接続位置からパスコンC1～C12それぞれの電源側電極が接続されるコンデンサ用電源配線層61V、62Vにおける接続位置までの配線経路の最短距離を接続経路算出部103が算出し、有効性評価部104が、接続経路算出部103が算出した、IC1の複数の電源端子1Vそれぞれに対応したパスコンC1～C12までの最短距離を相対比較し、相対比較した結果最小値を示す最短距離の配線経路に接続されるバイパスコンデンサを有効と判定し、それ以外のバイパスコンデンサを無効と判定し、設計変更部105が、複数のパスコンC1～C12の内、有効性評価部104がプリント基板に対して有効と判定されたパスコンについて基板に実装する、有効性評価部104がプリント基板に対して有効でないとして判定されたパスコンについて基板に実装しないと、各パスコンに対して配線経路が最小値として選択された最短距離より長く、その結果、配線経路におけるインピーダンスが高く、IC1の複数の電源端子1VそれぞれからパスコンC1～C12までのインピーダンスの低減への寄与が低いパスコンを削除することとしているので、バイパスコンデンサによる性能を落とすことなく、バイパスコンデンサが配置される個数の最適化を図れる。

【0088】

実施の形態1に係るプリント基板の設計支援システムは、接続経路算出部103が、さ

らに、I C 1 の複数のグラウンド端子 1 G それぞれに対応する複数の I C 用グラウンド配線層 1 1 G ～ 1 4 G における接続位置からパスコン C 1 ～ C 1 2 それぞれの G N D 側電極が接続されるコンデンサ用グラウンド配線層 6 1 G における接続位置までの配線経路の最短距離を算出し、有効性評価部 1 0 4 が、さらに、接続経路算出部 1 0 3 が算出した、I C 1 の複数のグラウンド端子 1 G それぞれに対応したパスコン C 1 ～ C 1 2 までの最短距離を相対比較し、相対比較した結果最小値を示す最短距離の配線経路に接続されるバイパスコンデンサを有効と判定し、それ以外のバイパスコンデンサを無効と判定するため、I C 1 の複数のグラウンド端子 1 G それぞれからパスコン C 1 ～ C 1 2 までのインピーダンスの低減への寄与が低いパスコンを削除することができ、バイパスコンデンサによる性能を落とすことなく、より一層、バイパスコンデンサが配置される個数の最適化を図れる。

10

【 0 0 8 9 】

実施の形態 2 .

実施の形態 2 に係るプリント基板の設計支援システムを図 1 6 から図 2 0 に従い説明する。

実施の形態 2 に係る設計支援システムは、実施の形態 1 に係る設計支援システムに対し、有効性評価部 1 0 4 A と設計変更部 1 0 5 A が相違するだけであり、その他の点は同じである。

したがって、有効性評価部 1 0 4 A と設計変更部 1 0 5 A を中心に説明する。

【 0 0 9 0 】

なお、I C 1 のピン配置及びプリント基板における I C 1 の実装領域直下の各層における表面のパターンは、実施の形態 1 において図 4 から図 1 0 に示したものと同一ものを用いたものとする。

20

また、図 1 6 から図 2 0 中、図 1 から図 1 5 に付した符号と同一符号は同一又は相当部分を示す。

【 0 0 9 1 】

有効性評価部 1 0 4 A は、I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれに対して配線経路が最短距離となる 1 つのパスコンを抽出し、抽出されたパスコンを有効とし、それ以外を無効と判定する機能、及び、複数の電源端子 1 V 及び複数のグラウンド端子 1 G の少なくとも 1 つの端子において有効として判定されたパスコンをプリント基板に対して有効と判定し、それ以外のパスコンをプリント基板に対して無効、つまり有効ではないと判定する機能については、実施の形態 1 に係る設計支援システムにおける有効性評価部 1 0 4 と同じである。

30

【 0 0 9 2 】

接続経路算出部 1 0 3 により算出された最短距離と複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれに対する判定結果の一例を、図 1 7 において、各端子からパスコンまでの最短距離と有効性の欄と、基板に対する有効性の判定結果を基板に対する有効性の欄に示す。

図 1 7 において、各端子からパスコンまでの最短距離と有効性の欄、及び基板に対する有効性の欄に示した一例は、実施の形態 1 において、図 1 1 及び図 1 2 に示した一例と同じである。

40

【 0 0 9 3 】

有効性評価部 1 0 4 A は、さらに、基板に対する有効性の判定結果に基づき、プリント基板に対して有効と判定したパスコン C 2 、 C 4 、 C 6 、 C 7 、 C 9 、 C 1 1 と、プリント基板に対して無効と判定したパスコン C 1 、 C 3 、 C 5 、 C 8 、 C 1 0 、 C 1 2 にグループ分けし、各グループに対して優先順位をつける機能を有する。

有効性評価部 1 0 4 A は、プリント基板に対して有効と判定したグループ A と、無効と判定したグループ B それぞれのパスコンに対して最短距離の値に基づいて順位付けを実行する。

【 0 0 9 4 】

グループ A 、 B 毎の順位付けは、グループ A 、 B 毎に属するパスコンにおいて、I C 1

50

の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれにおいて算出されたプリント基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいパスコンの有効性をより高く評価し、グループ A、B 毎に有効性の順位付けが行なわれる。

【0095】

例えば、プリント基板に対して有効と判定したパスコン C 2、C 4、C 6、C 7、C 9、C 11 のグループ A については次のようにして順位付けが行われる。

パスコン C 2、C 4、C 6、C 7、C 9、C 11 毎に、IC 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれにおいて算出されたプリント基板における配線経路の最短距離の最小値を相対比較し、最小値の最短距離を得る。例えば、パスコン C 2 に対しては C 7 に位置する電源端子 1 V に対する最短距離、パスコン C 4 に対しては C 5 に位置する電源端子 1 V に対する最短距離のようにして各パスコンに対する最小の最短距離を得る。

10

【0096】

次に、得られた各パスコンに対する最小の最短距離を相対比較し、最小値の最短距離の値が小さいパスコンの有効性をより高く評価して順位付けを行う。例えば、図 17 の順位の欄に示すように、評価が高い順に A 1 がパスコン C 2、A 2 がパスコン C 4、A 3 がパスコン C 7、A 4 がパスコン C 6、A 5 がパスコン C 9、A 6 がパスコン C 11 のように順位づけられる。

【0097】

20

無効と判定したパスコン C 1、C 3、C 5、C 8、C 10、C 12 のグループ B についてもグループ A と同様に順位付けがなされ、例えば、図 17 の順位の欄に示すように、評価が高い順に B 1 がパスコン C 8、B 2 がパスコン C 3、B 3 がパスコン C 1、B 4 がパスコン C 5、B 5 がパスコン C 10、B 6 がパスコン C 12 のように順位づけられる。

すなわち、有効性評価部 104 A は、有効性の順位は A 1 が最も有効性が高く、次に A 2 から A 6 の順になり、さらに B 1 から B 6 の順になり、B 6 が最も有効性が低い順位付けとする。

【0098】

設計変更部 105 A は、有効性評価部 104 A により得られた有効性の順位付けに基づき、有効性順位の低い順にパスコンを順次累積して削除候補とし、削除候補としたパスコンを除いた場合のパスコン（以下、実装候補パスコンという）の総容量値が削除していない全てのパスコン C 1～C 12（以下、実装可能な全パスコンという）の総容量値未満であると、実装候補パスコンの総容量値が実装可能な全パスコンの総容量値以上になるように、容量値の異なる実装候補パスコンを選択する。

30

【0099】

実装可能な全パスコンはプリント基板の実装面に実装可能な暫定的に決めた複数のパスコン C 1～C 12 であり、調査対象選択部 102 における個別部品選択部により調査対象として選択されたパスコン C 1～C 12 である。

調査対象として選択されたパスコン C 1～C 12 の総容量値は IC 1 に対するバイパスコンデンサによる性能を満足させる容量値以上である。

40

各パスコン C 1～C 12 の容量値は反共振による特性の劣化を回避するために等しい容量値のパスコンが調査対象選択部 102 における個別部品選択部に登録されたパスコンから選択される。

選択されるパスコン C 1～C 12 それぞれは、総容量値が IC 1 に対するバイパスコンデンサによる性能を満足させる容量値以上となる個別部品選択部に登録されたパスコンの中の最小の容量値であるパスコンである。

【0100】

同様に、各実装候補パスコンも、調査対象選択部 102 における個別部品選択部に登録されたパスコンから選択される。

選択される各実装候補パスコンは、実装候補パスコンの総容量値が IC 1 に対するバイ

50

パスコンデンサによる性能を満足させる容量値以上となる個別部品選択部に登録されたパスコンの中の最小の容量値であるパスコンである。

要するに、設計変更部 105A は、実装候補パスコンの総容量値が実装可能な全パスコンの総容量値以上を満足し、実装候補パスコンそれぞれが容量値の等しいパスコンを選択する。

したがって、設計変更部 105A は、IC1 に対するバイパスコンデンサによる性能を落とすことなく、また、反共振による特性の劣化を回避した実装候補パスコンを調査対象選択部 102 における個別部品選択部に登録されたパスコンの中から条件を満足した最小の容量値のパスコンを選択する。

【0101】

設計変更部 105A は、有効性評価部 104A により得られた有効性の順位付けに基づき、有効性順位の低い順にパスコンを順次累積して削除候補とし、削除候補としたパスコンを除いた場合の IC1 の複数の電源端子 1V 及び複数のグラウンド端子 1G 間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が IC1 の複数の電源端子 1V 及び複数のグラウンド端子 1G 間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のパスコンまでをプリント基板に実装しない、残りのパスコンをプリント基板に実装すると決定する。

【0102】

設計変更部 105A は、パスコン変更順位決定、パスコン変更、インピーダンス計算、変更結果比較、及び、最適化完了判定の機能を有する。

各機能は次の通りである。

パスコン変更順位決定の機能は、有効性評価部 104A により得られた有効性の順位付けに基づき、有効性順位の低いパスコンの削除順位を高く設定する。

すなわち、パスコン C1～C12 の削除順位は有効性評価部 104A により得られた有効性の順位付けと逆になる。

【0103】

パスコン変更の機能は、パスコン変更順位決定の機能により削除順位を高く設定されたパスコンを削除順位が最も高いパスコンから順に累積した削除候補、つまり、プリント基板に実装しないと、変更結果比較の機能において、比較結果が高いと判定すると直前に削除候補とした削除順位までのパスコンを再度、削除候補とする。

さらに、パスコン変更の機能は、最適化完了判定の機能により完了不可とされると、次に削除順位が高いパスコンまでを削除候補とする。

【0104】

パスコン変更の機能は、例えば、初期状態において、全てのパスコン C1～C12 を基板に実装する（実装可能な全パスコン）、つまり、削除候補なしとし、最適化完了判定の機能により完了不可とされると、最も削除順位が高いパスコンを削除候補とし、この例においては 11 個のパスコンを基板に実装するとする。

パスコン変更の機能は、最適化完了判定の機能により完了不可とされると、削除順位が高いパスコンから順次削除候補とし、この例においては 10 個、9 個の順にパスコンを基板に実装するとする。

【0105】

また、パスコン変更の機能は、変更結果比較の機能により比較結果が高いとされると直前に削除候補とした削除候補に戻され、1 個のパスコンを追加した個数を基板に実装するとする。例えば、削除順位が 7 番目、言い換えれば 5 個のパスコンを基板に実装とする場合に、比較結果が高いとされると、パスコン変更の機能は、削除順位を 6 番目、言い換えればパスコンを 1 個追加した 6 個のパスコンを基板に実装するとする。

【0106】

さらに、パスコン変更の機能は、基板に実装するとするパスコン（実装候補パスコン）の総容量値と実装可能な全パスコン C1～C12 の総容量値とを比較し、実装候補パスコンの総容量値が実装可能な全パスコン C1～C12 の総容量値未満であると、実装候補パ

10

20

30

40

50

スコンの容量値に対して調査対象選択部 102 における個別部品選択部に登録された次に高い容量値のパスコンを実装候補パスコンとして選択する。

【0107】

インピーダンス計算の機能は、実装候補パスコンの IC1 の複数の電源端子 1V 及び複数のグラウンド端子 1G 間のインピーダンスを計算する。

インピーダンスの計算は、一般に知られている計算方法、例えば、基板情報入力部 101 により入力された基板設計情報 200 から抽出された 3D モデルによる電磁界解析、又は等価回路化による回路解析により行われる。

【0108】

変更結果比較の機能は、インピーダンスの計算結果と設定したインピーダンス（以下、設定値という）を比較し、インピーダンスの計算結果が設定値より高い場合はパスコン変更の機能に戻る。

パスコン変更の機能に戻ると、パスコン変更の機能は直前に削除候補とした削除候補に戻され、1 個のパスコンを追加した個数を基板に実装するとする。

設定値は、IC1 をプリント基板に実装した時の目標値でもある。

【0109】

最適化完了判定の機能は、パスコン変更の機能が初期状態を示した場合、もしくは変更結果比較の機能において、当該比較結果がインピーダンスの計算結果が設定値より低く、当該比較結果の直前の比較結果も低いと判定した場合、パスコン配置の最適化は不可と判定してパスコン変更の機能に戻る。

パスコン変更の機能に戻ると、パスコン変更の機能は、削除候補を削除順位が 1 つ高いパスコンまで削除候補、つまり、1 個のパスコンを削除した個数を基板に実装するとする。

【0110】

また、最適化完了判定の機能は、変更結果比較の機能において、当該比較結果がインピーダンスの計算結果が設定値より低く、当該比較結果の直前の比較結果が高いと、パスコン配置の最適化は完了と判定し、当該比較結果を得た時の削除順位までのパスコンを削除し、残りのパスコンを基板に実装すると決定する。

【0111】

このように、IC1 の複数の電源端子 1V 及び複数のグラウンド端子 1G それぞれに対応したパスコン C1 ～ C12 までの最短距離を相対比較し、有効性の順位付けを行った上でプリント基板に実装するパスコンを決定しているので、IC1 に対するバイパスコンデンサによる性能を落とすことなく、IC1 の複数の電源端子及び複数のグラウンド端子間のインピーダンスを設定値以下とする、プリント基板に実装するパスコンの個数の最適化の精度及び効率化が可能となる。

【0112】

次に、実施の形態 2 に係るプリント基板の設計支援システムの動作について図 18 及び図 19 を用いて説明する。

ステップ ST1 からステップ ST5 までは実施の形態 1 に係る設計支援システムと同じであるので、説明を省略する。

有効性評価部 104A が第 1 の有効性判定ステップ ST4 により得た IC1 の複数の電源端子 1V 及び複数のグラウンド端子 1G それぞれからパスコン C1 ～ C12 までの最短距離及び各端子に対する有効性の判定結果と第 2 の有効性判定ステップ ST5 により得た基板に対する有効性の判定結果の一例を図 17 に示す。

【0113】

有効性評価部 104A は、プリント基板に対して有効と判定したパスコンのグループ A と無効と判定したグループ B それぞれのパスコンにおいて最短距離の最小値を相対比較してグループ A 及びグループ B 毎に最小値の小さい方から有効性が高いとして順位付けを実行する（ステップ ST5A）。

ステップ 5A は有効性の順位付けステップである。

有効性評価部 104A がステップ ST5A により得た有効性の順位の一例を図 17 の有

10

20

30

40

50

効性の欄に示す。

【0114】

なお、図17に示す、個別部品情報であるパスコンC1～C12と個別配線情報であるIC1の電源端子1V及びグラウンド端子1GそれぞれからパスコンC1～C12までの最短距離を示す情報及び各端子に対する有効性の判定結果を示す情報と第2の有効性判定ステップにより得た基板に対する有効性の判定結果を示す情報とパスコンC1～C12における有効性の順位を示す情報を1組として配列したデータを知りたい場合は、図17に示す配列により表示装置に出力するような構成にしても良い。

【0115】

ステップST6Aは、設計変更部105Aが、有効性評価部104Aにより得られた情報に基づき、プリント基板に搭載するパスコンを決定するパスコン決定ステップである。

パスコン決定ステップST6Aは、ステップST6A1からステップST6A5を有する。

IC1に対するパスコンC1～C12の総容量値はIC1に対するバイパスコンデンサによる性能を満足させる容量値、一例として12.0μFとする。

従って、プリント基板に実装可能なIC1に対するパスコンC1～C12それぞれの容量値は等しく、パスコン全体としての性能を落とすことなく、調査対象選択部102における個別部品選択部に登録されたパスコンの中から総容量値が12.0μF以上を満足する、1.0μFのパスコンが初期状態のパスコンとして選択される。

【0116】

実施の形態2では、基板に実装するパスコンの総容量値が初期状態のパスコンC1～C12の総容量値12.0μF以上を満足するものとし、IC1の電源端子1Vに接続されるパスコン全体としての性能を落とすことなく、IC1の複数の電源端子及び複数のグラウンド端子間のインピーダンスを設定値以下とする、基板に実装するパスコンの個数及び配置位置の最適化をパスコン決定ステップST6Aにより求める。

ステップST6A1において、設計変更部105Aが、有効性評価部104Aにより得られた有効性の順位付けから有効性順位の低い順にパスコンC1～C12の削除候補の順位付けを行う。

【0117】

削除候補の順位付けはプリント基板に実装するパスコンの配置位置とIC1の電源端子1V及びグラウンド端子1Gに接続する個数の変更順序を決定するステップに相当する。

ステップST6A1は、パスコンの変更順序を決定するステップである。

パスコンC1～C12それぞれの容量値を1.0μFとした最初の状態においては、ステップST6A2において削除候補0、つまり、パスコンC1～C12全てをプリント基板に実装するとしてステップST6A2に進む。

【0118】

ステップST6A3において、設計変更部105AはパスコンC1～C12全てをプリント基板に実装した場合のIC1の複数の電源端子1V及び複数のグラウンド端子1G間のインピーダンスを、基板情報入力部101により入力された基板設計情報200を基に電磁界解析又は等価回路化による回路解析により計算する。

ステップST6A3はインピーダンスを計算するステップである。

【0119】

ステップST6A4において、インピーダンスの計算結果と基板情報入力部101により入力されたインピーダンスの設定値と比較する。

インピーダンスの計算結果が設定値より低い、つまり、OKであるとステップST6A5に進む。

ステップST6A4は、パスコンのプリント基板への実装個数（配置を含む）を変更した時のインピーダンスの比較を行うステップである。

【0120】

ステップST6A5は、初期状態であるので、NGとしてステップST6A2に戻る。

10

20

30

40

50

ステップ S T 6 A 2 は削除候補を削除順位が 1 つ高いパスコンまで削除候補、つまり、1 個のパスコンを削除した個数を基板に実装するとする。

一例として示したものにあっては、ステップ S T 6 A 2 においてパスコン C 1 2 を削除候補（図 1 7 の順位の欄参照）とし、パスコン C 1 2 を除いた 1 1 個のパスコンをプリント基板に実装するとする。

【 0 1 2 1 】

1 1 個のパスコンの総容量値は $11.0 \mu\text{F}$ ($= 1.0 \mu\text{F} \times 11 \text{ 個}$) となり、I C 1 に対するバイパスコンデンサによる性能を満足させる容量値 $12.0 \mu\text{F}$ 未満になるので、1 1 個のパスコンそれぞれを、1 1 個のパスコンの総容量値が容量値 $12.0 \mu\text{F}$ 以上になるように、調査対象選択部 1 0 2 における個別部品選択部に登録されたパスコンの中から選択する。

10

調査対象選択部 1 0 2 における個別部品選択部に登録されたパスコンの中から、1 1 個のパスコンの総容量値が容量値 $12.0 \mu\text{F}$ 以上を満足する、つまり、各パスコンの容量値が ($12.0 \mu\text{F} / 11 \text{ 個}$) の容量値を満足する最小の容量値を示すパスコン、一例として $2.2 \mu\text{F}$ のパスコンを設計変更部 1 0 5 A が選択する。

初期状態である 1 2 個の $1.0 \mu\text{F}$ のパスコンから 1 1 個の $2.2 \mu\text{F}$ のパスコンに変更してステップ S T 6 A 3 に進む。

【 0 1 2 2 】

ステップ S T 6 A 3 から順次ステップ S T 6 A 4、ステップ S T 6 A 5 と進む。

ステップ S T 6 A 5 において、インピーダンスの計算結果が設定値より低く、設定値より低いとされた比較結果の直前の比較結果も低いとされているので、N G としてステップ S T 6 A 2 に戻る。

20

ステップ S T 6 A 2 は削除候補を削除順位が 1 つ高いパスコン C 1 0 まで累積して削除候補とし、パスコン C 1 2、C 1 0 を除いた 1 0 個のパスコンをプリント基板に実装するとする。

【 0 1 2 3 】

この時、1 0 個のパスコンの総容量値 $22.0 \mu\text{F}$ ($= 2.2 \mu\text{F} \times 10 \text{ 個}$) であり、実装可能な全パスコン C 1 ~ C 1 2 の総容量値 $12.0 \mu\text{F}$ 以上を満足するので、ステップ S T 6 A 3 に進み、同様にステップ S T 6 A 4、ステップ S T 6 A 5 に進み、ステップ S T 6 A 2 に戻る処理が、ステップ S T 6 A 4 において、インピーダンスの計算結果が設定値より高いとされるまで繰り返し実行される。

30

【 0 1 2 4 】

今、一例として、パスコン C 1 1 まで累積して削除候補、この例において C 1 2、C 1 0、C 5、C 1、C 3、C 8、C 1 1 の 7 個とし、残りの 5 個のパスコンをプリント基板に実装するとした場合、ステップ S T 6 A 4 において、インピーダンスの計算結果が設定値より高い、つまり、N G であるとステップ S T 6 A 2 に戻る。

ステップ S T 6 A 2 において、直前に削除候補としたパスコン C 8 まで累積した削除候補に戻され、1 個のパスコン C 1 1 を追加した 6 個のパスコンをプリント基板に実装するとする。

この時、6 個のパスコンの総容量値 $13.2 \mu\text{F}$ ($= 2.2 \mu\text{F} \times 6 \text{ 個}$) であり、実装可能な全パスコン C 1 ~ C 1 2 の総容量値 $12.0 \mu\text{F}$ 以上を満足するので、ステップ S T 6 A 3 に進む。

40

【 0 1 2 5 】

この場合、インピーダンスの計算結果が設定値より低いので、ステップ S T 6 A 3 から順次ステップ S T 6 A 4、ステップ S T 6 A 5 と進む。

ステップ S T 6 A 5 において、インピーダンスの計算結果が設定値より低く、設定値より低いとされた比較結果の直前の比較結果が高いとされているので O K とし、当該比較結果を得た時の削除順位までのパスコン、この例においては C 1 2、C 1 0、C 5、C 1、C 3、C 8 の 6 個のパスコンを削除し、残りのパスコン、この例においては容量値 $2.2 \mu\text{F}$ のパスコン C 2、C 4、C 7、C 6、C 9、C 1 1 を基板に実装すると決定して変更結

50

果を出力する。

【0126】

図20にパスコンC1～C12それぞれの容量値が初期状態である1.0μFの場合と、パスコンC1～C12それぞれの容量値を2.2μFとした場合のプリント基板に対するパスコンC1～C12の有効性を示す。

【0127】

このように、ステップST6A5において、当該比較結果がインピーダンスの計算結果が設定値より低いとされ、直前の比較結果がインピーダンスの計算結果が設定値より高いとされるまでパスコンの削除を削除順位により行うことにより、IC1に対するバイパスコンデンサによる性能を落とすことなく、インピーダンスの設定値に対してプリント基板に実装するパスコンを過剰に実装することが避けられ、最低限のパスコンの個数により、プリント基板における的確な配置位置に実装できる。

【0128】

ステップST7は、実施の形態1に係る設計支援システムと同じであり、ステップST6Aにより決定されたパスコンによる情報を基板設計情報200のフォーマットに変換して変更結果300として出力し、終了する。

変更結果300に基づく、ディスプレイなどの表示装置に表示した設計変更後のパスコンの配置状態は、図13に示した実施の形態1に係る設計支援システムによる配置状態と同様である。

【0129】

実施の形態2に係る設計支援システムにおける、調査対象選択部102と接続経路算出部103と有効性評価部104Aと設計変更部105Aは、図15に示した実施の形態1に係る設計支援システムにおけるコンピュータによるハードウェア構成と同様である。

ステップST2からステップST6Aによるプリント基板の設計支援方法は、CPU110がROM130に記憶されたプログラムに従って処理を実行することにより行われる。

【0130】

すなわち、ROM130に記憶されたプログラムは、基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、選択された半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離を算出する最短距離算出手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第1の有効性判定手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも1つの端子において有効として判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する第2の有効性判定手順と、基板に対して有効と判定されたバイパスコンデンサのグループAが基板に対して無効と判定されたバイパスコンデンサのグループBに対して有効性が高いとし、かつ、グループA及びグループB毎に属するバイパスコンデンサにおいて、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付け手順と、得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサの総容量値が最初に設定した基板に搭載可能な複数のバイパスコンデンサの総容量値以上を満足し、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサそれぞれが容量値の等しいバイパスコンデンサを選択するパスコン選択手順と、得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補とした

10

20

30

40

50

バイパスコンデンサを除いた場合の半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを基板に実装しない、残りのバイパスコンデンサを基板に実装するバイパスコンデンサとして決定するパコン決定手順とを備える。

【0131】

以上に述べたように、実施の形態2に係るプリント基板の設計支援システムは、実施の形態1に係る設計支援システムと同様の効果を有する他、IC1の複数の電源端子1V及び複数のグラウンド端子1G間のインピーダンスの計算結果と設定したインピーダンスとを比較し、当該比較結果がインピーダンスの計算結果が設定値より低いとされ、直前の比較結果がインピーダンスの計算結果が設定値より高いとされるまでパコンの削除を削除順位により行うことにより、IC1に対するバイパスコンデンサによる性能を落とすことなく、インピーダンスの設定値に対してプリント基板に実装するパコンを過剰に実装することが避けられ、最低限のパコンの個数によりプリント基板における的確な配置位置に実装できる。

【0132】

実施の形態3.

実施の形態3に係るプリント基板の設計支援システムを図21及び図22に従い説明する。

実施の形態3に係る設計支援システムは、実施の形態2に係る設計支援システムに対して、設計変更部105Bが相違するだけであり、その他の点は同じである。

したがって、設計変更部105Bを中心に説明する。

なお、図21及び図22中、図1から図20に付した符号と同一符号は同一又は相当部分を示す。

【0133】

設計変更部105Bは、有効性評価部104AによりグループBに属するパコンすべてを削除候補とし、次に、有効性評価部104Aにより得られたグループAにおける有効性の順位付けに基づき、有効性順位の低い順にパコンを順次累積して削除候補とし、削除候補としたパコンを除いた場合のIC1の複数の電源端子1V及び複数のグラウンド端子1G間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果がIC1の複数の電源端子1V及び複数のグラウンド端子1G間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のパコンまでをプリント基板に実装しない、残りのパコンをプリント基板に実装すると決定する。

【0134】

設計変更部105Bは、パコン変更順位決定、パコン変更、インピーダンス計算、変更結果比較、及び、最適化完了判定の機能を有する。

パコン変更順位決定の機能が実施の形態2におけるパコン変更順位決定の機能が異なるだけであり、その他の点は同じである。

【0135】

パコン変更順位決定の機能は、まず、有効性評価部104AによりグループBに属するパコンすべてを削除候補とし、次に、有効性評価部104Aにより得られたグループAにおける有効性の順位付けに基づき、有効性順位の低いパコンの削除順位を高く設定する。

すなわち、パコンC1～C12の削除順位は有効性評価部104Aにより得られた有効性の順位付けと逆になる。

【0136】

このように、グループBに属するパコンすべてを削除候補とし、IC1の複数の電源端子1V及び複数のグラウンド端子1Gそれぞれに対応したパコンC1～C12までの最短距離を相対比較し、有効性の順位付けを行った上でプリント基板に実装するパコン

10

20

30

40

50

を決定しているので、処理時間の短縮を図れ、I C 1 の複数の電源端子及び複数のグラウンド端子間のインピーダンスを設定値以下とする、プリント基板に実装するパスキンの個数の最適化の精度及び効率化が可能となる。

【0137】

次に、実施の形態3に係るプリント基板の設計支援システムの動作について図22を用いて説明する。

実施の形態3に係る設計支援システムの動作は、実施の形態2に係る設計支援システムの動作に対して、パスキンの変更順序を決定するステップST6A1'が異なるだけであり、その他の点は同じであるので、ステップST6A1'を中心に説明する。

【0138】

ステップST6A1'は、最初、削除候補としてグループBに属するパスキンスべて、この例においては、C12、C10、C5、C1、C3、C8の6個とし、残りの6個のパスキンをプリント基板に実装するとしてステップST6A2、ステップST6A3、ステップST6A4に進み、ステップST6A4において、インピーダンスの計算結果が設定値より低いとステップST6A5に進み、ステップST6A2に戻る。

【0139】

ステップST6A2には削除候補を削除順位が1つ高いパスキンまで削除候補、つまり、1個のパスキンを削除した個数を基板に実装するとする。

一例として、パスキnC11が次の削除候補となり、C11までの削除候補を7個とし、5個のパスキンをプリント基板に実装するとしてステップST6A3、ステップST6A4に進み、ステップST6A4において、インピーダンスの計算結果が設定値より高いとしてステップST6A2に戻る。

ステップST6A2において、グループBに属する一番低い削除候補のパスキnC8まで削除候補が戻され、1個のパスキnC11を追加した6個のパスキンをプリント基板に実装するとしてステップST6A3に進む。

【0140】

この場合、インピーダンスの計算結果が設定値より低いので、ステップST6A3から順次ステップST6A4、ステップST6A5と進む。

ステップST6A5において、インピーダンスの計算結果が設定値より低く、設定値より低いとされた比較結果の直前の比較結果が高いとされているのでOKとし、当該比較結果を得た時の削除順位までのパスキンの、この例においてはC12、C10、C5、C1、C3、C8の6個のパスキンを削除し、残りのパスキンの、この例においてはC2、C4、C7、C6、C9、C11を基板に実装すると決定して変更結果を出力する。

【0141】

なお、ステップST6A4において、インピーダンスの計算結果が設定値より低いとステップST6A5に進み、ステップST6A2に戻り、ステップST6A2において削除候補を削除順位が1つ高いパスキンまで累積して削除候補として処理が繰り返される。

一方、ステップST6A2において、削除候補をグループBに属するパスキンスべてとして、ステップST6A3、ステップST6A4に進み、ステップST6A4において、インピーダンスの計算結果が設定値より高いとされるとステップST6A2に戻る。

ステップST6A2において、グループBに属する一番低い削除候補のパスキnC8まで削除候補が戻され、1個のパスキnC11を追加した6個のパスキンをプリント基板に実装するとしてステップST6A3に進み、同様の処理がなされる。

【0142】

実施の形態3に係る設計支援システムにおける、調査対象選択部102と接続経路算出部103と有効性評価部104Aと設計変更部105Bは、図15に示した実施の形態1に係る設計支援システムにおけるコンピュータによるハードウェア構成と同様である。

ステップST2からステップST6Aによるプリント基板の設計支援方法は、CPU110がROM130に記憶されたプログラムに従って処理を実行することにより行われる。

【0143】

10

20

30

40

50

すなわち、ROM 130に記憶されたプログラムは、基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、選択された半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離を算出する最短距離算出手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第1の有効性判定手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも1つの端子において有効として判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する第2の有効性判定手順と、基板に対して有効と判定されたバイパスコンデンサのグループAが基板に対して無効と判定されたバイパスコンデンサのグループBに対して有効性が高いとし、かつ、グループAに属するバイパスコンデンサにおいて、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付け手順と、グループBとされたバイパスコンデンサすべてを削除候補とし、次に得られたグループAにおける有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサの総容量値が最初に設定した基板に搭載可能な複数のバイパスコンデンサの総容量値以上を満足し、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサそれぞれが容量値の等しいバイパスコンデンサを選択するパスコン選択手順と、グループBとされたバイパスコンデンサすべてを削除候補とし、次に得られたグループAにおける有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを基板に実装しない、残りのバイパスコンデンサを基板に実装するバイパスコンデンサとして決定するパスコン決定手順とを備える。

【0144】

以上に述べたように、実施の形態3に係るプリント基板の設計支援システムは、実施の形態2に係る設計支援システムと同様の効果を有する他、グループBに属するパスコンすべてを最初に削除候補としているため、プリント基板に対するパスコンの個数及び配置位置が最適化に近い状態から始められ、処理時間を短くして、IC1に対するバイパスコンデンサによる性能を落とすことなく、IC1の複数の電源端子及び複数のグラウンド端子間のインピーダンスを設定値以下とする、プリント基板に実装するパスコンの個数の最適化の精度及び効率化が可能となる。

【0145】

実施の形態4.

実施の形態4に係るプリント基板の設計支援システムを図23及び図24に従い説明する。

実施の形態4に係る設計支援システムは、実施の形態2に係る設計支援システムに対して、有効性評価部104Bが相違するだけであり、その他の点は同じである。

したがって、有効性評価部104Bを中心に説明する。

なお、図23及び図24中、図1から図22に付した符号と同一符号は同一又は相当部分を示す。

【0146】

有効性評価部 104B は、複数のパスコン C1～C12 の中に平滑コンデンサが含まれているか否かを確認し、含まれていると平滑コンデンサを抽出し、抽出した平滑コンデンサはプリント基板に必ず実装されたとする。

有効性評価部 104B における平滑コンデンサの抽出は、基板情報入力部 101 から入力された基板設計情報を基に接続経路算出部 103 が得た個別部品情報であるパスコン C1～C12 の諸元に紐づいた部品情報であるパスコン C1～C12 の容量値を参照し、予め決めた平滑コンデンサの容量しきい値以上であれば、平滑コンデンサとして識別する。

平滑コンデンサの容量しきい値は、一般に 10 μ F である。

【0147】

有効性評価部 104B は、抽出した平滑コンデンサを除いた複数のパスコンに対する処理は、実施の形態 2 における有効性評価部 104A と同じである。

設計変更部 105A も、有効性評価部 104B が抽出した平滑コンデンサを除いた複数のパスコンに対する処理は、実施の形態 2 における設計変更部 105A と実質同じである。

【0148】

すなわち、設計変更部 105A は、有効性評価部 104B が抽出した平滑コンデンサを常に削除候補から外して処理を実施し、変更結果比較の機能において、当該比較結果がインピーダンスの計算結果が設定値より低く、当該比較結果の直前の比較結果が高いと、当該比較結果を得た時の削除順位までのパスコンを削除し、有効性評価部 104B が抽出した平滑コンデンサを含む残りのパスコンを基板に実装すると決定する。

なお、基板情報入力部 101 と調査対象選択部 102 と接続経路算出部 103 と変更結果出力部 106 は、実施の形態 2 における基板情報入力部 101 と調査対象選択部 102 と接続経路算出部 103 と変更結果出力部 106 と同じである。

【0149】

このように、有効性評価部 104B により平滑コンデンサが抽出されると、平滑コンデンサを除いて処理するので、プリント基板に実装される電源平滑用のコンデンサを削除することを防いだ上で、IC1 の複数の電源端子及び複数のグラウンド端子間のインピーダンスを設定値以下とする、プリント基板に実装するパスコンの個数の最適化の精度及び効率化が可能となる。

【0150】

実施の形態 4 に係るプリント基板の設計支援システムの動作も実施の形態 2 に係る設計支援システムの動作と、第 1 の有効性判定ステップ ST4 において平滑コンデンサを抽出した上で処理を実行する点が異なるものの実質同じである。

すなわち、実施の形態 2 において示した図 18 に示すフローチャートにおいて、実施の形態 4 に係る設計支援システムの動作は次のようになる。

【0151】

第 1 の有効性判定ステップ ST4 において、有効性評価部 104B が複数のパスコン C1～C12 から平滑コンデンサを抽出し、平滑コンデンサを除いた前記複数のパスコン C1～C12 について有効か無効かの判定を実行し、第 2 の有効性判定ステップ ST5 において、平滑コンデンサを除いた前記複数のパスコン C1～C12 についてプリント基板に対して有効か無効かの判定を実行する。

【0152】

有効性評価部 104B が第 1 の有効性判定ステップ ST4 により抽出した平滑コンデンサと第 1 の有効性判定ステップ ST4 により得た IC1 の複数の電源端子 1V 及び複数のグラウンド端子 1G それぞれからパスコン C1～C12 までの最短距離及び各端子に対する有効性の判定結果と第 2 の有効性判定ステップにより得た基板に対する有効性の判定結果と有効性の順位の一例を図 23 に示す。

一例として、有効性評価部 104B により抽出された平滑コンデンサがパスコン C1 とし、パスコン C1 の容量値が 12 μ F であり、パスコン C2～C12 それぞれを、パスコン C1～C12 の総容量値が IC1 に対するバイパスコンデンサによる性能を満足させる容量値 12.0 μ F 以上を満足する、調査対象選択部 102 における個別部品選択部に登録さ

10

20

30

40

50

れたパスコンの中から最小の容量値を示す $0.1\ \mu\text{F}$ のパスコンとした。

パスコン C 1 が平滑コンデンサであることを示すために、順位の欄に C を付した。

【0153】

なお、図 23 に示す、個別部品情報であるパスコン C 1 ～ C 12 と、パスコン C 1 ～ C 12 の容量値と、個別配線情報である IC 1 の電源端子 1V 及びグラウンド端子 1G それぞれからパスコン C 1 ～ C 12 までの最短距離を示す情報及び各端子に対する有効性の判定結果を示す情報と第 2 の有効性判定ステップにより得た基板に対する有効性の判定結果を示す情報とパスコン C 1 ～ C 12 における有効性の順位を示す情報を 1 組として配列したデータを知りたい場合は、図 23 に示す配列により表示装置に出力するような構成にしても良い。

【0154】

また、実施の形態 2 において示した図 19 に示すフローチャートにおいて、実施の形態 4 に係るパスコン決定ステップ ST 6A は次のようになる。

ステップ ST 6A 1 において、設計変更部 105A が、例えば、有効性評価部 104A により抽出された平滑コンデンサであるパスコン C 1 を除いて、有効性評価部 104A により得られた有効性の順位付けから有効性順位の低い順にパスコン C 2 ～ C 12 の削除候補の順位付けを行う。

ステップ ST 6A 2 以降ステップ ST 6A 5 まで、有効性評価部 104A により抽出された平滑コンデンサであるパスコン C 1 をプリント基板に実装するとの前提で処理が実行される。

【0155】

このように、有効性評価部 104A により抽出された平滑コンデンサであるパスコン C 1 をプリント基板に実装するとの前提の下、比較結果がインピーダンスの計算結果が設定値より低いとされ、直前の比較結果がインピーダンスの計算結果が設定値より高いとされるまでパスコンの削除を削除順位により行うことにより、平滑コンデンサがプリント基板に必ず実装された上で、インピーダンスの設定値に対してプリント基板に実装するパスコンを過剰に実装することが避けられ、最低限のパスコンの個数により、プリント基板における確な配置位置に実装できる。

【0156】

実施の形態 4 に係る設計支援システムにおける、調査対象選択部 102 と接続経路算出部 103 と有効性評価部 104B と設計変更部 105A は、図 15 に示した実施の形態 1 に係る設計支援システムにおけるコンピュータによるハードウェア構成と同様である。

ステップ ST 2 からステップ ST 6A によるプリント基板の設計支援方法は、CPU 110 が ROM 130 に記憶されたプログラムに従って処理を実行することにより行われる。

【0157】

すなわち、ROM 130 に記憶されたプログラムは、基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、選択された半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離を算出する最短距離算出手順と、複数のバイパスコンデンサから平滑コンデンサを抽出し、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、抽出された平滑コンデンサを除いた複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相对比较をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第 1 の有効性判定手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも 1 つの端子において有効として判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する第 2 の有効性判定手順と、基板に対して有効と判定されたバイパスコンデンサのグループ A が基板に対して無効と判定されたバイパスコンデンサのグループ B に対して有効性が高いとし、かつ、グループ A 及びグループ B それぞれに属するバイパ

10

20

30

40

50

スコンデンサにおいて、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付け手順と、得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを基板に実装しない、抽出された平滑コンデンサを含む残りのバイパスコンデンサを基板に実装するバイパスコンデンサとして決定するパコン決定手順とを備える。

10

【0158】

以上に述べたように、実施の形態4に係るプリント基板の設計支援システムは、実施の形態2に係る設計支援システムと同様の効果を有する他、平滑コンデンサがプリント基板に必ず実装された上で、IC1の複数の電源端子及び複数のグラウンド端子間のインピーダンスを設定値以下とする、プリント基板に実装するパコンの個数の最適化の精度及び効率化が可能となる。

【0159】

なお、実施の形態4に係る設計支援システムにおいて、実施の形態3に係る設計支援システムと同様に、有効性評価部104BによりグループBに属するパコンすべてを削除候補としとして設計変更部105Bにより処理を実行するものでもよい。

20

【0160】

この場合のROM130に記憶されたプログラムは、基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、選択された半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離を算出する最短距離算出手順と、複数のバイパスコンデンサから平滑コンデンサを抽出し、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、抽出された平滑コンデンサを除いた複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第1の有効性判定手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも1つの端子において有効として判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する第2の有効性判定手順と、基板に対して有効と判定されたバイパスコンデンサのグループAが基板に対して無効と判定されたバイパスコンデンサのグループBに対して有効性が高いとし、かつ、グループAに属するバイパスコンデンサにおいて、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付け手順と、グループBとされたバイパスコンデンサすべてを削除候補とし、次に得られた有効性の順位付けに基づき、グループAにおける有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを基板に実装しない、抽出された平滑コンデンサを含む残りのバイパスコンデンサを基板に実装するバイパスコンデンサとして決定するパコン決定手順とを備える。

30

40

50

【0161】

また、実施の形態4に係る設計支援システムにおいて、有効性評価部104が複数のパスコンC1～C12から平滑コンデンサを抽出し、平滑コンデンサを除いた複数のパスコンC1～C12についてプリント基板に対して有効か無効かの判定を実行した後、実施の形態1に係る設計支援システムと同様に、設計変更部105は、有効性評価部104により得られた情報に基づき、平滑コンデンサとして抽出されたパスコン及び有効と判定されたパスコンについてプリント基板に実装し、無効と判定されたパスコンについてはプリント基板に実装しないと決定してもよい。

【0162】

この場合のROM130に記憶されたプログラムは、基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、選択された半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離を算出する最短距離算出手順と、複数のバイパスコンデンサから平滑コンデンサを抽出し、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、抽出された平滑コンデンサを除いた複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相对比较をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第1の有効性判定手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも1つの端子において有効として判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する第2の有効性判定手順と、複数のバイパスコンデンサの内から平滑コンデンサとして抽出されたバイパスコンデンサ及び基板に対して有効と判定されたバイパスコンデンサを基板に搭載するバイパスコンデンサとして決定するパスコン決定手順とを備える。

【0163】

実施の形態5.

実施の形態5に係るプリント基板の設計支援システムを図25から図35に従い説明する。

実施の形態5に係る設計支援システムは、実施の形態2に係る設計支援システムに対して、有効性評価部104Cが相違するだけであり、その他の点は同じである。

したがって、有効性評価部104Cを中心に説明する。

なお、図25から図34中、図1から図22に付した符号と同一符号は同一又は相当部分を示す。

【0164】

実施の形態5に係る設計支援システムについて、図26に示したピン配置のIC1、及び図27から図32に示したIC1の実装領域直下の各層におけるパターンを有するプリント基板を対象にパスコンの配置位置を決定する設計支援を説明する。

すなわち、実施の形態2に係る設計支援システムでは、IC1として、図4に示すように、電源端子1Vとグラウンド端子1Gが縦横ともに交互に配置されるIC及び当該ICに対応したプリント基板を対象としている。

【0165】

これに対して、実施の形態5に係る設計支援システムは、図26に示すように、隣接した2つの電源端子1Vがペアとして配置、本例では4つの電源端子1Vペアが配置されている。

隣接して配置された2つの電源端子1VのピッチPは1mmである。つまり、ピン配置される格子間のピッチは1mmである。

【0166】

したがって、まず、IC1のピン配置及びプリント基板におけるICの実装領域直下の各層におけるパターンを図26から図32を用いて説明する。

IC 1のピン配置（この例において、はんだボールの配置であるが、総称してピン配置と言う）は、図 2 6 に示すように、実施の形態 2 が対象とする IC 1 のピン配置と同様に、横 8 列、縦 8 行の 8 × 8 の格子状にピンが配置されている。

横を A 列から H 列とし、縦を 1 行から 8 行とし、列と行との交点を A 1 ～ A 8、～、H 1 ～ H 8 とする。

【 0 1 6 7 】

IC 1 の電源端子 1 V は、B 4、B 5、D 2、E 2、D 7、E 7、G 4、G 5 に配置されている。

B 4 及び B 5 に配置された電源端子 1 V が電源端子 1 V ペアを、D 2 及び E 2 に配置された電源端子 1 V が電源端子 1 V ペアを、D 7 及び E 7 に配置された電源端子 1 V が電源端子 1 V ペアを、G 4 及び G 5 に配置された電源端子 1 V が電源端子 1 V ペアを構成し、本例において、4 つの電源端子 1 V ペアが配置されている。

【 0 1 6 8 】

IC 1 のグラウンド端子 1 G は、C 3 ～ C 6 から F 3 ～ F 6 の位置を囲う領域に位置する 1 6 個のピン配置に配置される。

残りのピンは信号端子 1 S である。

電源端子 1 V は 1 . 0 V 電源系統に接続され、電源端子 1 V に 1 . 0 V が供給される。グラウンド端子 1 G はグラウンド系統に接続され、接地電位とされる。

【 0 1 6 9 】

次に、プリント基板における IC 1 の実装領域直下の各層における表面のパターンを図 2 7 ～図 3 2 を用いて説明する。

説明の煩雑をなくすため、プリント基板の 1 層目のパターンを単に 1 層パターンと略称する。2 層目から 6 層目も略称して説明する。

なお、1 層から 6 層において、IC 1 の実装領域直下以外の領域において、信号配線層などのパターンが形成されている。

【 0 1 7 0 】

1 層パターン 1 0 はプリント基板の表面におけるパターンであり、IC 1 の実装面である。

1 層パターン 1 0 は複数の IC 用電源配線層 1 1 V ～ 1 4 V のパターンと IC 用グラウンドパターン 1 1 G である。

IC 用電源配線層 1 1 V ～ 1 4 V は 1 . 0 V 電源系統に接続され、IC 用グラウンドパターン 1 1 G はグラウンド系統に接続される。

2 層パターン 2 0 から 6 層パターン 6 0 においても、電源配線層は 1 . 0 V 電源系統に接続され、グラウンドパターンはグラウンド系統に接続される。

【 0 1 7 1 】

IC 用電源配線層 1 1 V ～ 1 4 V はそれぞれ、4 つの電源端子 1 V ペアに対応して配置される。

すなわち、IC 用電源配線層 1 1 V は、B 5 と B 4 を結ぶ線分により形成され、B 5 と B 4 に位置する電源端子 1 V のペアと接続される。

IC 用電源配線層 1 2 V は、D 2 と E 2 を結ぶ線分により形成され、D 2 と E 2 に位置する電源端子 1 V のペアと接続される。

【 0 1 7 2 】

IC 用電源配線層 1 3 V は、D 7 と E 7 を結ぶ線分により形成され、D 7 と E 7 に位置する電源端子 1 V のペアと接続される。

IC 用電源配線層 1 4 V は、G 5 と G 4 を結ぶ線分により形成され、G 5 と G 4 に位置する電源端子 1 V のペアと接続される。

IC 用グラウンドパターン 1 1 G は C 3 ～ C 6 から F 3 ～ F 6 の位置を囲うように形成されたベタパターンであり、C 3 ～ C 6 から F 3 ～ F 6 を囲う領域に位置する 1 6 個のグラウンド端子 1 G と接続される。

【 0 1 7 3 】

10

20

30

40

50

2層パターン20から6層パターン60において、各層における電源配線層及び電源配線層間を接続するビア並び各層におけるグラウンドパターン間を接続するビアは、6層パターン60に実装可能な複数のパスコンC1～C8の配置を暫定的に決めた後、1層パターン10における複数のIC用電源配線層11V～14V及びグラウンドパターン11Gと実装可能な複数のパスコンC1～C8が接続されるように適宜配置される。

すなわち、2層パターン20から6層パターン60における各層における電源配線層及び電源配線層間を接続するビア並び各層におけるグラウンドパターン間を接続するビアは、IC1のピンの配置に一義的に決定されるものではない。

【0174】

但し、以下の説明では、実施の形態5に係るプリント基板の設計支援システムの特徴点を分かり易く説明するために、各層における電源配線層及び電源配線層間を接続するビア並び各層におけるグラウンドパターン間を接続するビアの位置を、説明の煩雑さを避け、説明の都合上、模式的に列と行との交点を示す符号を用いて説明する。

従って、各層における電源配線層及び電源配線層間を接続するビア並び各層におけるグラウンドパターン間を接続するビアの位置は以下の説明の位置に限られるものではない。

【0175】

2層パターン20はビルドアップ層の第1の切り替えパターンである。

2層パターン20は複数の電源用切替配線層21V～28Vのパターンとグラウンド用切替パターン21Gである。

電源用切替配線層21VはB5とA5を結ぶ線分により形成される。

電源用切替配線層22VはB4とA4を結ぶ線分により形成される。

電源用切替配線層23VはD2とD1を結ぶ線分により形成される。

電源用切替配線層24VはE2とE1を結ぶ線分により形成される。

【0176】

電源用切替配線層25VはD7とD8を結ぶ線分により形成される。

電源用切替配線層26VはE7とE8を結ぶ線分により形成される。

電源用切替配線層27VはG5とH5を結ぶ線分により形成される。

電源用切替配線層28VはG4とH4を結ぶ線分により形成される。

グラウンド用切替パターン21GはC3～C6からF3～F6の位置を囲うように形成されたベタパターンである。

【0177】

IC用電源配線層11VにおけるB5の位置と電源用切替配線層21VにおけるB5の位置とをビルドアップビア71Vが電氣的に接続する。

IC用電源配線層11VにおけるB4の位置と電源用切替配線層22VにおけるB4の位置とをビルドアップビア72Vが電氣的に接続する。

IC用電源配線層12VにおけるD2の位置と電源用切替配線層23VにおけるD2の位置とをビルドアップビア73Vが電氣的に接続する。

IC用電源配線層12VにおけるE2の位置と電源用切替配線層24VにおけるE2の位置とをビルドアップビア74Vが電氣的に接続する。

【0178】

IC用電源配線層13VにおけるD7の位置と電源用切替配線層25VにおけるD7の位置とをビルドアップビア75Vが電氣的に接続する。

IC用電源配線層13VにおけるE7の位置と電源用切替配線層26VにおけるE7の位置とをビルドアップビア76Vが電氣的に接続する。

IC用電源配線層14VにおけるG5の位置と電源用切替配線層27VにおけるG5の位置とをビルドアップビア77Vが電氣的に接続する。

IC用電源配線層14VにおけるG4の位置と電源用切替配線層28VにおけるG4の位置とをビルドアップビア78Vが電氣的に接続する。

【0179】

IC用グラウンドパターン11GにおけるC5、C4、D3、E3、D6、E6、F5

10

20

30

40

50

、及び F 4 それぞれの位置とグラウンド用切替パターン 2 1 G における C 5、C 4、D 3、E 3、D 6、E 6、F 5、及び F 4 それぞれの位置とをビルドアップビア 7 1 G ~ 7 8 G それぞれが電氣的に接続する。

【0180】

3 層パターン 3 0 はグラウンドパターン層であり、A 5、A 4、D 1、E 1、D 8、E 8、H 5 及び H 4 の位置を除いてベタパターンとなっている。

GND パターン層 3 0 は、A 5、A 4、D 1、E 1、D 8、E 8、H 5 及び H 4 の位置において、導電層が円形に除かれており、A 5、A 4、D 1、E 1、D 8、E 8、H 5 及び H 4 の中心位置において、I V H 8 1 V ~ 8 8 V が GND パターン層 3 0 と電氣的に接続せずに貫通される。

【0181】

4 層パターン 4 0 は電源パターン層であり、D 5、D 4、E 5 及び E 4 の位置を除いてベタパターンとなっている。

電源パターン層 4 0 は、D 5、D 4、E 5 及び E 4 の位置において、導電層が円形に除かれており、D 5、D 4、E 5 及び E 4 の中心位置において、I V H 8 1 G ~ 8 4 G が電源パターン層 4 0 と電氣的に接続せずに貫通される。

【0182】

5 層パターン 5 0 はビルドアップ層の第 2 の切り替えパターンである。

5 層パターン 5 0 は複数の電源用切替配線層 5 1 V ~ 5 8 V のパターンとグラウンド用切替パターン 5 1 G である。

電源用切替配線層 5 1 V は A 5 と B 5 を結ぶ線分により形成される。

電源用切替配線層 5 2 V は A 4 と B 4 を結ぶ線分により形成される。

電源用切替配線層 5 3 V は D 1 と D 2 を結ぶ線分により形成される。

電源用切替配線層 5 4 V は E 1 と E 2 を結ぶ線分により形成される。

【0183】

電源用切替配線層 5 5 V は D 8 と D 7 を結ぶ線分により形成される。

電源用切替配線層 5 6 V は E 8 と E 7 を結ぶ線分により形成される。

電源用切替配線層 5 7 V は H 5 と G 5 を結ぶ線分により形成される。

電源用切替配線層 5 8 V は H 4 と G 4 を結ぶ線分により形成される。

グラウンド用切替パターン 5 1 G は C 3 ~ C 6 から F 3 ~ F 6 の位置を囲うように形成されたベタパターンである。

【0184】

電源パターン層 4 0 における A 5 の位置と電源用切替配線層 5 1 V における A 5 の位置とをビルドアップビア 8 1 V が電氣的に接続する。

電源パターン層 4 0 における A 4 の位置と電源用切替配線層 5 2 V における A 4 の位置とをビルドアップビア 8 2 V が電氣的に接続する。

電源パターン層 4 0 における D 1 の位置と電源用切替配線層 5 3 V における D 1 の位置とをビルドアップビア 8 3 V が電氣的に接続する。

電源パターン層 4 0 における E 1 の位置と電源用切替配線層 5 4 V における E 1 の位置とをビルドアップビア 8 4 V が電氣的に接続する。

【0185】

電源パターン層 4 0 における D 8 の位置と電源用切替配線層 5 5 V における D 8 の位置とをビルドアップビア 8 5 V が電氣的に接続する。

電源パターン層 4 0 における E 8 の位置と電源用切替配線層 5 6 V における E 8 の位置とをビルドアップビア 8 6 V が電氣的に接続する。

電源パターン層 4 0 における H 5 の位置と電源用切替配線層 5 7 V における H 5 の位置とをビルドアップビア 8 7 V が電氣的に接続する。

電源パターン層 4 0 における H 4 の位置と電源用切替配線層 5 8 V における H 4 の位置とをビルドアップビア 8 8 V が電氣的に接続する。

【0186】

10

20

30

40

50

GNDパターン層30におけるD5、D4、E5及びE4それぞれの位置とグラウンド用切替パターン51GにおけるD5、D4、E5及びE4それぞれの位置とをビルドアップビア81G～84Gそれぞれが電氣的に接続する。

【0187】

IVH81V～88V及びIVH81G～84Gは2層から3層及び4層を貫通し、対応する2層パターン20と5層パターンを電氣的に接続する。

IVH81Vは、A5の位置において、電源用切替配線層21Vと電源パターン層40と電源用切替配線層51Vを電氣的に接続する。

IVH82Vは、A4の位置において、電源用切替配線層22Vと電源パターン層40と電源用切替配線層52Vを電氣的に接続する。

IVH83Vは、D1の位置において、電源用切替配線層23Vと電源パターン層40と電源用切替配線層53Vを電氣的に接続する。

【0188】

IVH84Vは、E1の位置において、電源用切替配線層24Vと電源パターン層40と電源用切替配線層54Vを電氣的に接続する。

IVH85Vは、D8の位置において、電源用切替配線層25Vと電源パターン層40と電源用切替配線層55Vを電氣的に接続する。

IVH86Vは、E8の位置において、電源用切替配線層26Vと電源パターン層40と電源用切替配線層56Vを電氣的に接続する。

IVH87Vは、H5の位置において、電源用切替配線層27Vと電源パターン層40と電源用切替配線層57Vを電氣的に接続する。

IVH88Vは、H4の位置において、電源用切替配線層28Vと電源パターン層40と電源用切替配線層58Vを電氣的に接続する。

【0189】

IVH81Gは、D5の位置において、グラウンド用切替パターン21GとGNDパターン層30とグラウンド用切替パターン51Gを電氣的に接続する。

IVH82Gは、D4の位置において、グラウンド用切替パターン21GとGNDパターン層30とグラウンド用切替パターン51Gを電氣的に接続する。

IVH83Gは、E4の位置において、グラウンド用切替パターン21GとGNDパターン層30とグラウンド用切替パターン51Gを電氣的に接続する。

IVH84Gは、E5の位置において、グラウンド用切替パターン21GとGNDパターン層30とグラウンド用切替パターン51Gを電氣的に接続する。

【0190】

6層パターン60はプリント基板の裏面におけるパターンであり、複数のパスコンC1～C8が実装可能な実装面である。

6層パターン60は複数のコンデンサ用電源配線層61V～64Vのパターンとコンデンサ用グラウンドパターン61Gである。

コンデンサ用電源配線層61VはB4とB5を結ぶ線分により形成され、B4とB5を結ぶ線分により形成されるIC用電源配線層11Vと対向して配置される。

コンデンサ用電源配線層62VはD2とE2を結ぶ線分により形成され、D2とE2を結ぶ線分により形成されるIC用電源配線層12Vと対向して配置される。

【0191】

コンデンサ用電源配線層63VはD7とE7を結ぶ線分により形成され、D7とE7を結ぶ線分により形成されるIC用電源配線層13Vと対向して配置される。

コンデンサ用電源配線層64VはG4とG5を結ぶ線分により形成され、G4とG5を結ぶ線分により形成されるIC用電源配線層14Vと対向して配置される。

コンデンサ用グラウンドパターン61GはC3～C6からF3～F6の位置を囲うように形成されたベタパターンである。

【0192】

電源用切替配線層51VにおけるB5の位置とコンデンサ用電源配線層61Vにおける

10

20

30

40

50

B 5 の位置とをビルドアップビア 9 1 V が電氣的に接続する。

電源用切替配線層 5 2 V における B 4 の位置とコンデンサ用電源配線層 6 1 V における B 4 の位置とをビルドアップビア 9 2 V が電氣的に接続する。

電源用切替配線層 5 3 V における D 2 の位置とコンデンサ用電源配線層 6 2 V における D 2 の位置とをビルドアップビア 9 3 V が電氣的に接続する。

電源用切替配線層 5 4 V における E 2 の位置とコンデンサ用電源配線層 6 2 V における E 2 の位置とをビルドアップビア 9 4 V が電氣的に接続する。

【 0 1 9 3 】

電源用切替配線層 5 5 V における D 7 の位置とコンデンサ用電源配線層 6 3 V における D 7 の位置とをビルドアップビア 9 5 V が電氣的に接続する。

電源用切替配線層 5 6 V における E 7 の位置とコンデンサ用電源配線層 6 3 V における E 7 の位置とをビルドアップビア 9 6 V が電氣的に接続する。

電源用切替配線層 5 7 V における G 5 の位置とコンデンサ用電源配線層 6 4 V における G 5 の位置とをビルドアップビア 9 7 V が電氣的に接続する。

電源用切替配線層 5 8 V における G 4 の位置とコンデンサ用電源配線層 6 4 V における G 4 の位置とをビルドアップビア 9 8 V が電氣的に接続する。

【 0 1 9 4 】

グラウンド用切替パターン 5 1 G における C 5、C 4、D 3、E 3、D 6、E 6、F 5、及び F 4 の位置それぞれとコンデンサ用グラウンドパターン 6 1 G における C 5、C 4、D 3、E 3、D 6、E 6、F 5、及び F 4 の位置それぞれとをビルドアップビア 9 1 G ～ 9 8 G それぞれが電氣的に接続する。

【 0 1 9 5 】

コンデンサ用電源配線層 6 1 V の一端部 (B 5 の位置に対応) がパスコン C 1 の電源側電極が接続可能な位置であり、コンデンサ用電源配線層 6 1 V の一端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部 (C 5 の位置に対応) がパスコン C 1 の GND 側電極が接続可能な位置である。

コンデンサ用電源配線層 6 1 V の他端部 (B 4 の位置に対応) がパスコン C 2 の電源側電極が接続可能な位置であり、コンデンサ用電源配線層 6 1 V の他端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部 (C 4 の位置に対応) がパスコン C 2 の GND 側電極が接続可能な位置である。

【 0 1 9 6 】

コンデンサ用電源配線層 6 2 V の一端部 (D 2 の位置に対応) がパスコン C 3 の電源側電極が接続可能な位置であり、コンデンサ用電源配線層 6 2 の一端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部 (D 3 の位置に対応) がパスコン C 3 の GND 側電極が接続可能な位置である。

コンデンサ用電源配線層 6 2 V の他端部 (E 2 の位置に対応) がパスコン C 4 の電源側電極が接続可能な位置であり、コンデンサ用電源配線層 6 2 V の他端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部 (E 3 の位置に対応) がパスコン C 4 の GND 側電極が接続可能な位置である。

【 0 1 9 7 】

コンデンサ用電源配線層 6 3 V の一端部 (D 7 の位置に対応) がパスコン C 5 の電源側電極が接続可能な位置であり、コンデンサ用電源配線層 6 3 V の一端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部 (D 6 の位置に対応) がパスコン C 5 の GND 側電極が接続可能な位置である。

コンデンサ用電源配線層 6 3 V の他端部 (E 7 の位置に対応) がパスコン C 6 の電源側電極が接続可能な位置であり、コンデンサ用電源配線層 6 3 V の他端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部 (E 6 の位置に対応) がパスコン C 6 の GND 側電極が接続可能な位置である。

【 0 1 9 8 】

コンデンサ用電源配線層 6 4 V の一端部 (G 5 の位置に対応) がパスコン C 7 の電源側

10

20

30

40

50

電極が接続可能な位置であり、コンデンサ用電源配線層 6 4 V の一端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部（F 5 の位置に対応）がパスコン C 7 の G N D 側電極が接続可能な位置である。

コンデンサ用電源配線層 6 4 V の他端部（G 4 の位置に対応）がパスコン C 8 の電源側電極が接続可能な位置であり、コンデンサ用電源配線層 6 4 V の他端部と対向した位置におけるコンデンサ用グラウンドパターン 6 1 G の側部（F 4 の位置に対応）がパスコン C 8 の G N D 側電極が接続可能な位置である。

すなわち、プリント基板の実装面に 8 個のパスコン C 1 ～ C 8 が実装可能である。

【0199】

次に、実施の形態 5 に係るプリント基板の設計支援システムについて図 2 5 を用いて説明する。

実施の形態 5 に係る設計支援システムは、上記に示したプリント基板を例にとると、プリント基板の実装面に実装可能な 8 個のパスコン C 1 ～ C 8 に対して有効性を判断し、不要なパスコンを削除して最適な個数のパスコンを効率的に選択して設計支援する。

【0200】

実施の形態 5 に係る設計支援システム 1 0 0 は、図 2 5 に示すように、基板情報入力部 1 0 1 と調査対象選択部 1 0 2 と接続経路算出部 1 0 3 と有効性評価部 1 0 4 C と設計変更部 1 0 5 A と変更結果出力部 1 0 6 を備える。

基板情報入力部 1 0 1 と調査対象選択部 1 0 2 と接続経路算出部 1 0 3 と設計変更部 1 0 5 A は実施の形態 2 に係る設計支援システム 1 0 0 における基板情報入力部 1 0 1 と調査対象選択部 1 0 2 と接続経路算出部 1 0 3 と設計変更部 1 0 5 A は同じであるので、詳細な説明は省略する。

【0201】

基板情報入力部 1 0 1 により基板設計情報 2 0 0 は入力され、基板情報入力部 1 0 1 は入力された基板設計情報 2 0 0 を設計支援システム 1 0 0 内で処理できる形式に変換して出力する。

調査対象選択部 1 0 2 は個別部品選択部と個別配線選択部を備える。

調査対象選択部 1 0 2 における個別部品選択部は、基板情報入力部 1 0 1 から出力された基板設計情報 2 0 0 における個別部品情報 2 1 1 を参照し、プリント基板に搭載するための I C 1 とパスコン C 1 ～ C 8 を選択する。

【0202】

調査対象選択部 1 0 2 における個別部品選択部は、上記したプリント基板に対して、例えば、パスコン C 1 ～ C 8 を調査対象として選択し、基板情報入力部 1 0 1 から出力されたそれ以外のパスコンを調査対象外として分類わけする。

調査対象選択部 1 0 2 における個別配線選択部は、基板情報入力部 1 0 1 から出力された基板設計情報 2 0 0 における個別配線情報 2 2 3 を参照し、選択された I C 1 の電源端子 1 V とグラウンド端子 1 G を選択する。

【0203】

接続経路算出部 1 0 3 は、調査対象選択部 1 0 2 における個別配線選択部により選択された I C 1 の複数の電源端子 1 V それぞれに対応する複数の I C 用電源配線層 1 1 V ～ 1 4 V における接続位置からパスコン C 1 ～ C 8 それぞれの電源側電極が接続されるコンデンサ用電源配線層 6 1 V ～ 6 4 V における接続位置までの配線経路の最短の距離を算出する。

また、接続経路算出部 1 0 3 は、調査対象選択部 1 0 2 における個別配線選択部により選択された I C 1 の複数のグラウンド端子 1 G それぞれに対応する複数の I C 用グラウンドパターン 1 1 G における接続位置からパスコン C 1 ～ C 8 それぞれの G N D 側電極が接続されるコンデンサ用グラウンド配線層 6 1 G における接続位置までの配線経路の最短の距離を算出する。

【0204】

要するに、接続経路算出部 1 0 3 は、I C 1 の電源端子 1 V それぞれとパスコン C 1 ～

10

20

30

40

50

C 8 の電源側端子の全ての組み合わせにおけるプリント基板における 1.0 V 電源系統の配線経路の最短距離と IC 1 のグラウンド端子 1 G それぞれとパスコン C 1 ~ C 8 のグラウンド側端子の全ての組み合わせにおけるグラウンド系統の配線経路の最短距離を算出する。

【0205】

接続経路算出部 103 により得られる情報は、IC 1 の電源端子 1 V 及びグラウンド端子 1 G それぞれとパスコン C 1 ~ C 8 それぞれと最短距離それぞれとが紐づけされた情報である。

また、接続経路算出部 103 により得られる情報は IC 1 の電源端子 1 V、グラウンド端子 1 G、及び信号端子 1 S も紐づけされた情報である。

10

【0206】

有効性評価部 104 C は、IC 1 の電源端子 1 V それぞれに対してパスコン C 1 ~ C 8 の電源側端子の全ての組み合わせにおけるプリント基板における 1.0 V 電源系統の配線経路の最短距離を相対比較し、最短距離が最小値を示す配線経路におけるパスコンを有効、それ以外を無効と判定し、IC 1 のグラウンド端子 1 G それぞれに対してパスコン C 1 ~ C 8 の電源側端子の全ての組み合わせにおけるプリント基板におけるグラウンド系統の配線経路の最短距離を比較し、最短距離が最小値を示す配線経路におけるパスコンを有効、それ以外を無効と判定し、最終的に IC 1 の電源端子 1 V 及びグラウンド端子 1 G の内少なくとも 1 つのパスコンに対して有効とされたパスコンを有効とする。

【0207】

すなわち、有効性評価部 104 C は、IC 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれに対して配線経路が最短距離となる 1 つのパスコンを抽出し、抽出されたパスコンを有効とし、それ以外を無効と判定する。

有効性評価部 104 C は有効と判定したパスコンをグループ A とし、無効と判定したパスコンをグループ B とする。

有効性評価部 104 C はパスコン C 1 ~ C 8 の有効性を判定し、有効・無効のグループ分けをする有効性の判定機能を有する。

20

【0208】

IC 用電源配線層 11 V ~ 14 V とコンデンサ用電源配線層 61 V ~ 64 V は、図 27 及び図 32 から理解されるように、プリント基板の表裏方向に対向して配置される。そのため、IC 1 の複数の電源端子 1 V それぞれが接続される IC 用電源配線層 11 V ~ 14 V の位置からコンデンサ用電源配線層 61 V ~ 64 V におけるパスコン C 1 ~ C 8 それぞれの接続可能な位置までの最短距離は、複数の電源端子 1 V それぞれに対してそれぞれ別々のコンデンサ用電源配線層 61 V ~ 64 V におけるパスコン C 1 ~ C 8 それぞれの接続可能な位置までの距離になる。

30

【0209】

すなわち、複数の電源端子 1 V それぞれが最短距離で接続されるパスコン C 1 ~ C 8 はすべて異なったパスコンとなる。

IC 1 の B5 に位置する電源端子 1 V に対してパスコン C 1 を抽出する。

IC 1 の B4 に位置する電源端子 1 V に対してパスコン C 2 を抽出する。

IC 1 の D2 に位置する電源端子 1 V に対してパスコン C 3 を抽出する。

IC 1 の E2 に位置する電源端子 1 V に対してパスコン C 4 を抽出する。

IC 1 の D7 に位置する電源端子 1 V に対してパスコン C 5 を抽出する。

IC 1 の E7 に位置する電源端子 1 V に対してパスコン C 6 を抽出する。

IC 1 の G5 に位置する電源端子 1 V に対してパスコン C 7 を抽出する。

IC 1 の G4 に位置する電源端子 1 V に対してパスコン C 8 を抽出する。

40

【0210】

従って、有効性評価部 104 C における有効性の判定はすべてのパスコン C 1 ~ C 8 がプリント基板に対して有効と判定し、有効性評価部 104 C はパスコン C 1 ~ C 8 をグループ A に分類する。

50

複数の電源端子 1 V それぞれに対する判定結果の一例を接続経路算出部 103 により得られた最短距離と合わせて図 35 の各端子からのパスコンまでの最短距離と有効性の欄に示す。

【0211】

同様に、IC1 の複数のグラウンド端子 1 G それぞれに対しても、図 27 及び図 32 から理解されるように、IC 用グラウンドパターン 11 G とコンデンサ用グラウンド配線層 61 G がプリント基板の表裏方向に対向して配置されるため、複数のグラウンド端子 1 G それぞれが最短距離で接続されるパスコン C1 ～ C8 はすべて異なったパスコンとなる。

IC1 の C5 に位置するグラウンド端子 1 G に対してパスコン C1 を抽出する。

IC1 の C4 に位置するグラウンド端子 1 G に対してパスコン C2 を抽出する。

IC1 の D3 に位置するグラウンド端子 1 G に対してパスコン C3 を抽出する。

IC1 の E3 に位置するグラウンド端子 1 G に対してパスコン C4 を抽出する。

IC1 の D6 に位置するグラウンド端子 1 G に対してパスコン C5 を抽出する。

IC1 の E6 に位置するグラウンド端子 1 G に対してパスコン C6 を抽出する。

IC1 の F5 に位置するグラウンド端子 1 G に対してパスコン C7 を抽出する。

IC1 の F4 に位置するグラウンド端子 1 G に対してパスコン C8 を抽出する。

【0212】

有効性評価部 104 C は、さらに、プリント基板に対して有効と判定したパスコンのグループ A をプリント基板に対して無効と判定したグループ B に対して有効性が高いとする。

有効性評価部 104 C は、グループ A 及びグループ B それぞれにおいて、IC1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G それぞれにおいて算出されたプリント基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいパスコンの有効性をより高く評価し有効性の順位付けを実行する。

有効性評価部 104 C はグループ A 及びグループ B 毎にグループ内のパスコンの有効性の評価を行い、パスコンの有効性の順位付けを実行する順位付け機能を有する。

本例においてはパスコン C1 ～ C8 全てグループ A に分類わけされるため、グループ A のパスコン C1 ～ C8 の順位付けが行われる。

【0213】

有効性評価部 104 C は、グループ A に属するパスコン C1 ～ C8 に対する電源端子 1 V、本例においては、IC1 のピン番号 B5、B4、D2、E2、D7、E7、G5、G4 に位置する電源端子 1 V について、隣接する電源端子 1 V を抽出する。

有効性評価部 104 C は電源端子 1 V が隣接しているか否か、すなわち、2 つの電源端子 1 V の間にグラウンド端子 1 G 及び信号端子 1 S が存在していない電源端子 1 V を抽出する隣接判定の機能を有する。

【0214】

有効性評価部 104 C による隣接判定は次のようにして行われる。

第 1 の方法として、基板情報入力部 101 により入力され基板設計情報 200 の個別部品情報 211 における IC1 の電源端子 1 V に関する情報と電源端子 1 V のピン番号を示す情報により電源端子 1 V の隣接判定を行う。

すなわち、電源端子 1 V のピン番号が連番であると、ピン番号が連番となる複数の電源端子 1 V は隣接すると判定する。

【0215】

一般的に、BGA パッケージにおいて、IC1 の端子は数字とアルファベットの組み合わせによるピン番号により指定される。図 26 に示す IC1 のピン配置では、A1、A2、・・・、A8、B1、B2、・・・、G8、H1、H2、・・・、H8 のように端子にピン番号が付される。

このとき、ピン番号のアルファベットが同じで数字が連番の場合の電源端子 1 V と、数字が同じでアルファベットが連続の場合の電源端子 1 V を隣接する電源端子 1 V であると判定する。

【0216】

10

20

30

40

50

本例においては、アルファベットが同じで数字が連番のピン番号 B 5 及び B 4 とピン番号 G 5 及び G 4 それぞれのペアが隣接する電源端子 1 V のグループ、本例であってはペアと判定される。

また、数字が同じでアルファベットが連続のピン番号 D 2 及び E 2 とピン番号 D 7 及び E 7 それぞれのペアが隣接する電源端子 1 V のグループ、本例であってはペアと判定される。

【0217】

8×8 の格子状のピン配置の BGA パッケージを例にとって説明したが、大規模な BGA パッケージの場合は 2 つのアルファベットと数字によるピン番号により、例えば、A A 1、A B 2 などにより IC 1 の端子を指定する場合もある。この時は、BGA パッケージの端子のアルファベットの表記ルールに従って連続するかどうか判別すればよい。

また、本例においては、グループとして隣接する 2 つの電源端子 1 V のグループを例にとって説明したが、ピン番号が連番となる 3 つ以上の電源端子 1 V を 1 つのグループとしてもよい。

【0218】

第 2 の方法として、基板情報入力部 101 により入力され基板設計情報 200 の個別部品情報 211 における IC 1 の端子に関する情報と電源端子 1 V のピン番号を示す情報と IC 1 の端子間のピッチに関する情報とにより電源端子 1 V の隣接判定を行う。

ピッチに関する情報は、IC 1 の端子の中心座標間の距離に関する情報である。

【0219】

2 つの電源端子 1 V 間の距離を算出し、算出した距離を閾値と比較し、閾値以下である場合は隣接する電源端子 1 V であると判定する。

閾値は BGA パッケージのピンピッチである。

なお、閾値は BGA パッケージのピンピッチ以上対角線ピンピッチ未満、つまりピンピッチの $\sqrt{2}$ 倍未満の範囲の値であればよい。

【0220】

本例においては、ピン番号 B 4 と B 5 の間の距離、ピン番号 G 4 と G 5 の間の距離、ピン番号 D 7 と E 7 の間の距離、ピン番号 D 2 と E 2 の間の距離がそれぞれ、閾値以下になり、ピン番号 B 4 と B 5、ピン番号 G 4 と G 5、ピン番号 D 7 と E 7、ピン番号 D 2 と E 2 がそれぞれ隣接する電源端子 1 V のグループと判定される。

【0221】

有効性評価部 104 C は、隣接判定したグループ内の複数の電源端子 1 V と複数の電源端子 1 V それぞれに対して最短距離と判定されたパスコン C 1 ～ C 8 との最短距離の相对比较をし、隣接判定したグループ内の複数の電源端子 1 V に対応する複数のパスコンの内から 1 つのパスコンを有効として判定し、有効と判定したパスコンをグループ A のままとし、残りのパスコンを無効として判定し、無効と判定したパスコンをグループ B に分類わけする。

【0222】

有効性評価部 104 C における抽出した隣接する電源端子 1 V に対するパスコンの内からの 1 つのパスコンの選択は、抽出した隣接する電源端子 1 V に対するパスコンそれぞれに対応するプリント基板における配線経路の最短距離が最小値を示す配線経路に接続されるパスコンを選択し、当該最小値を示す配線経路に接続されるパスコンが複数あると当該最小値を示す配線経路に接続されるパスコンの内のいずれか 1 つのパスコンを選択する。

【0223】

本例において、IC 1 における隣接するピン番号 B 5 と B 4 の電源端子 1 V (IC, B5、IC, B4) に対するパスコン C 1 (最短距離: 1.5 mm) 及びパスコン C 2 (最短距離: 1 mm) はパスコン C 2 に対する最短距離がパスコン C 1 に対する最短距離より短いので、パスコン C 1 及びパスコン C 2 の内、配線経路の最短距離が最小値を示す配線経路に接続されるパスコン C 2 が選択される。

すなわち、図 35 の基板に対する有効性の欄に示すように、パスコン C 2 は有効の判定

10

20

30

40

50

を維持してグループ A のままとし、パスコン C 1 は有効から無効に判定を変更し、グループ B に分類わけする。

【 0 2 2 4 】

I C 1 における隣接するピン番号 D 7 と E 7 の電源端子 1 V (I C, D 7、I C, E 7) に対するパスコン C 5 (最短距離: 1 mm) 及びパスコン C 6 (最短距離: 1 mm) までの配線経路の最短距離が同じであるので、パスコン C 5 又はパスコン C 6 のいずれか一方、本例においてはパスコン C 6 が選択される。

すなわち、図 3 5 の基板に対する有効性の欄に示すように、パスコン C 6 は有効の判定を維持してグループ A のままとし、パスコン C 5 は有効から無効に判定を変更し、グループ B に分類わけする。

【 0 2 2 5 】

なお、パスコン C 5 に対する最短距離とパスコン C 6 に対する最短距離が同じであるので、パスコン C 5 を選択し、パスコン C 5 は有効の判定を維持してグループ A のままとし、パスコン C 6 は有効から無効に判定を変更し、グループ B に分類わけしてもよい。

いずれにしても、複数のパスコンに対する最短距離が同じである場合は、最短距離が同じである複数のパスコンからいずれか 1 つのパスコンを選択して 1 つのパスコンを有効と再判定してグループ A のままとし、残りのパスコンを有効から無効と再判定し、グループ B に分類わけすればよい。

【 0 2 2 6 】

同様に、I C 1 における隣接するピン番号 D 2 と E 2 の電源端子 1 V (I C, D 2、I C, E 2) に対するパスコン C 3 及びパスコン C 4 に対しては、図 3 5 の基板に対する有効性の欄に示すように、パスコン C 4 は有効の判定を維持してグループ A のままとし、パスコン C 3 は有効から無効に判定を変更し、グループ B に分類わけする。

I C 1 における隣接するピン番号 G 5 と G 4 の電源端子 1 V (I C, G 5、I C, G 4) に対するパスコン C 7 及びパスコン C 8 に対しては、図 3 5 の基板に対する有効性の欄に示すように、パスコン C 7 は有効の判定を維持してグループ A のままとし、パスコン C 8 は有効から無効に判定を変更し、グループ B に分類わけする。

【 0 2 2 7 】

その結果、有効性評価部 1 0 4 C は、パスコン C 2、C 4、C 6、C 7 を有効と再判定してグループ A のままとし、パスコン C 1、C 3、C 5、C 8 を無効と再判定してグループ A からグループ B に変更する。

グループ A 及びグループ B それぞれにおける順位付けは、順位付け機能により実行された順位付けが踏襲される。

【 0 2 2 8 】

設計変更部 1 0 5 A は、実施の形態 2 における設計変更部 1 0 5 A と同様に、有効性評価部 1 0 4 C により得られた有効性の順位付けに基づき、有効性順位の低い順にパスコンを順次累積して削除候補とし、削除候補としたパスコンを除いた場合の実装候補パスコンの総容量値が削除していない実装可能な全パスコン C 1 ~ C 8 の総容量値未満であると、実装候補パスコンの総容量値が実装可能な全パスコンの総容量値以上になるように、容量値の異なる実装候補パスコンを選択する。

【 0 2 2 9 】

また、設計変更部 1 0 5 A は、実施の形態 2 における設計変更部 1 0 5 A と同様に、有効性評価部 1 0 4 C により得られた有効性の順位付けに基づき、有効性順位の低い順にパスコンを順次累積して削除候補とし、削除候補としたパスコンを除いた場合の I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G 間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が I C 1 の複数の電源端子 1 V 及び複数のグラウンド端子 1 G 間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のパスコンまでをプリント基板に実装しない、残りのパスコンをプリント基板に実装すると決定する。

【 0 2 3 0 】

10

20

30

40

50

要するに、設計変更部 105A は、実施の形態 2 における設計変更部 105A と同様に、パソコン C1～C8 に対し、パソコン変更順位決定、パソコン変更、インピーダンス計算、変更結果比較、及び、最適化完了判定の機能を有する。

従って、設計変更部 105A は、実施の形態 2 における設計変更部 105A と同様であるので、さらなる詳細な説明は省略する。

【0231】

なお、設計変更部 105A は、実施の形態 1 における設計変更部 105 と同様にし、有効性評価部 104C により得られた情報、つまり、有効性評価部 104C によりパソコン C1～C8 の再判定を行った結果、有効と判定されたパソコン C2、C4、C6、C7 についてプリント基板に実装し、無効と判定されたパソコン C1、C3、C5、C8 についてはプリント基板に実装しないと決定してもよい。

10

【0232】

変更結果出力部 106 は、実施の形態 2 における変更結果出力部 106 と同様に、設計変更部 105A により得られた情報を基板設計情報 200 のフォーマットに変換して変更結果 300 としてディスプレイなどの表示装置に出力する。

なお、設計変更部 105A を実施の形態 1 における設計変更部 105 と同様にした場合は設計変更部 105 により得られた情報を基板設計情報 200 のフォーマットに変換して変更結果 300 としてディスプレイなどの表示装置に出力する。

【0233】

次に、実施の形態 2 に係るプリント基板の設計支援システムの動作について図 33 及び図 34 を用いて説明する。

20

ステップ ST1 からステップ ST5A までは実施の形態 2 に係る設計支援システムと同じであるので、説明を省略する。

有効性評価部 104C が第 1 の有効性判定ステップ ST4 により得た IC1 の複数の電源端子 1V 及び複数のグラウンド端子 1G それぞれからパソコン C1～C8 までの最短距離及び各端子に対する有効性の判定結果と第 2 の有効性判定ステップ ST5 により得た基板に対する有効性の判定結果の一例を、図 35 の各端子からのパソコンまでの最短距離と有効性の欄に示す。

図 35 の各端子からのパソコンまでの最短距離と有効性の欄には、ピン番号 B4 と B5 と D7 と E7 の電源端子 1V (IC,B4、IC,B5、IC,D7、IC,E7) について代表して示す。

30

【0234】

有効性評価部 104C は、プリント基板に対して有効と判定したパソコンのグループ A に属するパソコン 1C～C8 に対する電源端子 1V、本例においては、IC1 のピン番号 B5、B4、D2、E2、D7、E7、G5、G4 に位置する電源端子 1V について、隣接する電源端子 1V を抽出する (ステップ ST5B)。

本例において、有効性評価部 104C は、ピン番号 B4 と B5、ピン番号 D2 と E2、ピン番号 D7 と E7、ピン番号 G4 と G5 がそれぞれ隣接する電源端子 1V のグループと判定される。

ステップ ST5B は隣接判定のステップである。

【0235】

40

有効性評価部 104C は、隣接判定したグループ内の複数の電源端子 1V (IC,B5 及び IC,B4、IC,D7 及び IC,E7、IC,D2 及び IC,E2、IC,G5 及び IC,G4) と複数の電源端子 1V (IC,B5 及び IC,B4、IC,D7 及び IC,E7、IC,D2 及び IC,E2、IC,G5 及び IC,G4) それぞれに対して最短距離と判定されたパソコン C1 及び C2、C3 及び C4、C5 及び C6、C7 及び C8 との最短距離の相対比較をし、隣接判定したグループ内の複数の電源端子 1V に対応する複数のパソコンの内から 1 つのパソコン C2、C4、C6、C7 を有効として判定し、有効と判定したパソコン C2、C4、C6、C7 をグループ A のままとし、残りのパソコン C1、C3、C5、C8 を無効として判定し、無効と判定したパソコン C1、C3、C5、C8 をグループ B に分類わけする (ステップ ST5C)。

【0236】

50

ステップ S T 5 C はパソコンの有効性の再判定ステップである。

有効性評価部 1 0 4 C がステップ S T 5 C により得た有効性の再判定の結果の一例を図 3 5 の基板に対する有効性の欄に示す。

図 3 5 の基板に対する有効性の欄において、「○」の記載が有効のままを示し、「○→×」の記載が有効から無効に変更したことを示している。

本例においては、グループ A に属するパソコンの数を 8 個から 4 個に削減することが可能となる。

【 0 2 3 7 】

このようにして有効性評価部 1 0 4 C により有効性の再判定が行われたパソコン C 1 ~ C 8 に対して、設計変更部 1 0 5 A が、有効性評価部 1 0 4 C により得られた情報に基づき、ステップ S T 6 A によりプリント基板に搭載するパソコンを決定する。

パソコン決定ステップ S T 6 A は、図 3 4 に示すように、ステップ S T 6 A 1 からステップ S T 6 A 5 を有し、ステップ S T 6 A 1 からステップ S T 6 A 5 は実施の形態 2 に係る設計支援システムにおけるステップ S T 6 A 1 からステップ S T 6 A 5 と同じであり、詳細な説明は省略する。

【 0 2 3 8 】

すなわち、設計変更部 1 0 5 A が、パソコン C 1 ~ C 8 に対し、パソコン変更順位決定（ステップ S T 6 A 1）、パソコン変更（ステップ S T 6 A 2）、インピーダンス計算（ステップ S T 6 A 3）、変更結果比較（ステップ S T 6 A 4）、及び、最適化完了判定（ステップ S T 6 A 5）を実施する。

【 0 2 3 9 】

このようにして設計変更部 1 0 5 がステップ S T 6 A によりプリント基板に搭載するパソコンを決定すると、ステップ S T 7 により、ステップ S T 6 A により決定されたパソコンによる情報を設計変更部 1 0 5 A が基板設計情報 2 0 0 のフォーマットに変換して変更結果 3 0 0 として表示装置に出力し、終了する。

【 0 2 4 0 】

なお、設計変更部 1 0 5 A を実施の形態 1 における設計変更部 1 0 5 と同様にした場合、設計変更部 1 0 5 はステップ S T 6 A ではなくステップ S T 6 として動作し、設計変更部 1 0 5 が有効性評価部 1 0 4 C により得られた情報に基づき、プリント基板に対して有効と判定されたパソコンについてプリント基板に搭載する、無効と判定されたパソコンについてはプリント基板に搭載しないと決定し、ステップ S T 7 により、ステップ S T 6 により決定されたパソコンによる情報を設計変更部 1 0 5 が基板設計情報 2 0 0 のフォーマットに変換して変更結果 3 0 0 として表示装置に出力し、終了する。

【 0 2 4 1 】

実施の形態 5 に係る設計支援システムにおける、調査対象選択部 1 0 2 と接続経路算出部 1 0 3 と有効性評価部 1 0 4 C と設計変更部 1 0 5 A は、図 1 5 に示した実施の形態 1 に係る設計支援システムにおけるコンピュータによるハードウェア構成と同様である。

ステップ S T 2 からステップ S T 6 A によるプリント基板の設計支援方法は、C P U 1 1 0 が R O M 1 3 0 に記憶されたプログラムに従って処理を実行することにより行われる。

【 0 2 4 2 】

すなわち、R O M 1 3 0 に記憶されたプログラムは、ステップ S T 2 からステップ S T 5 C に対して、基板に搭載される半導体集積回路装置の複数の電源端子及び複数のグラウンド端子と、基板に搭載可能な複数のバイパスコンデンサを調査対象として選択する選択手順と、選択された半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれに対する複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離を算出する最短距離算出手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて、算出された、複数のバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相対比較をし、最短距離が最小値を示すバイパスコンデンサを有効と判定し、残りのバイパスコンデンサを無効と判定する第 1 の有効性判定手順と、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子の少なくとも

10

20

30

40

50

1つの端子において有効として判定されたバイパスコンデンサを基板に対して有効と判定し、それ以外のバイパスコンデンサを基板に対して無効と判定する第2の有効性判定手順と、基板に対して有効と判定されたバイパスコンデンサのグループAが基板に対して無効と判定されたバイパスコンデンサのグループBに対して有効性が高いとし、かつ、グループA及びグループB毎に属するバイパスコンデンサにおいて、半導体集積回路装置の複数の電源端子及び複数のグラウンド端子それぞれにおいて算出され基板における配線経路の最短距離を相対比較し、最小値の最短距離を得、当該最小値の最短距離の値が小さいバイパスコンデンサの有効性をより高く評価し有効性の順位付けを実行する有効性の順位付け手順と、グループAに属するバイパスコンデンサに対する電源端子について隣接する電源端子を抽出する電源端子の隣接判定手順と、当該抽出した隣接する電源端子に対するバイパスコンデンサそれぞれに対応する基板における配線経路の最短距離の相対比較をすることによって当該抽出した隣接する電源端子に対するバイパスコンデンサの内1つのバイパスコンデンサを選択してグループAに残し、選択されなかったバイパスコンデンサをグループAからグループBに変更する有効性の再判定手順とを備える。

10

【0243】

また、ROM130に記憶されたプログラムは、ステップST6Aに対して、得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサの総容量値が最初に設定した基板に搭載可能な複数のバイパスコンデンサの総容量値以上を満足し、当該削除候補としたバイパスコンデンサを除いた場合のバイパスコンデンサそれぞれが容量値の等しいバイパスコンデンサを選択するパコン選択手順と、得られた有効性の順位付けに基づき、有効性順位の低い順にバイパスコンデンサを順次累積して削除候補とし、当該削除候補としたバイパスコンデンサを除いた場合の半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスと設定したインピーダンスとを比較し、当該比較結果が半導体集積回路装置の複数の電源端子及び複数のグラウンド端子間のインピーダンスが設定したインピーダンスより低く、直前の比較結果が高いと、当該比較結果を得た時のバイパスコンデンサまでを基板に実装しない、残りのバイパスコンデンサを基板に実装するバイパスコンデンサとして決定するパコン決定手順とを備える。

20

【0244】

なお、ステップST6AではなくステップST6によるプリント基板の設計支援方法では、ROM130に記憶されたプログラムは、ステップST6に対して、有効性の再判定手順により複数のバイパスコンデンサの内から基板に対して有効と判定されたバイパスコンデンサを基板に搭載するバイパスコンデンサとして決定するパコン決定手順とを備える。

30

【0245】

以上に述べたように、実施の形態5に係るプリント基板の設計支援システムは、実施の形態2に係る設計支援システム又は実施の形態2に係る設計支援システムと同様の効果をする。

さらに、実施の形態5に係るプリント基板の設計支援システムは、有効性評価部104Cは、グループAに属するパコンに対する電源端子1Vについて隣接する電源端子1Vを抽出し、当該抽出した隣接する電源端子1Vに対するパコンそれぞれに対応する基板における配線経路の最短距離の相対比較をすることによって当該抽出した隣接する電源端子1Vに対するパコンの内1つのバイパスコンデンサを選択してグループAに残し、選択されなかったバイパスコンデンサをグループAからグループBに変更するので、隣接する電源端子1Vに対してパコンを1つとすることが可能であるので、パコンによる性能を落とすことなくパコンを削減でき、バイパスコンデンサが配置される個数の最適化を図れる。

40

【0246】

なお、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変

50

形、もしくは各実施の形態において任意の構成要素の省略が可能である。

【産業上の利用可能性】

【0247】

本開示に係るプリント基板の設計支援システムは、多機能化及び高機能化のために大規模化した半導体集積回路装置、特に、ボールグリッドアレイパッケージの半導体集積回路装置が搭載されるプリント基板に、複数のバイパスコンデンサを選択し、複数のバイパスコンデンサの配置位置を決定する設計を支援する設計支援システムに好適である。

【符号の説明】

【0248】

1 IC、1V 電源端子、1G2 グラウンド端子、10 1層パターン、11V～15V IC用電源配線層、11G～14G IC用グラウンド配線層、20 2層パターン、21V～26V 電源用切替配線層、21G～26G グラウンド用切替配線層、30 3層パターン（GNDパターン層）、40 4層パターン（電源パターン層）、50 5層パターン、51V、52V 電源用切替パターン層、51Gグラウンド用切替パターン層、60 6層パターン、61V、62V コンデンサ用電源配線層、61G コンデンサ用グラウンド配線層、71V～76V、71G～76G ビルドアップビア、81V～86V、81G～86GVIVH、91V～96V、91G～94G ビルドアップビア、100 設計支援システム、101 基板情報入力部、102 調査対象選択部、103 接続経路算出部、104 有効性評価部、105 設計変更部、106 変更結果出力部、C1～C12 パスコン。

10

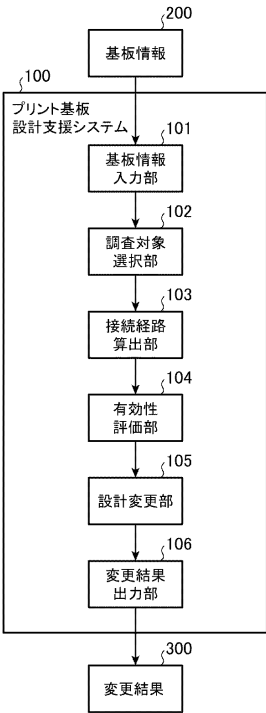
20

30

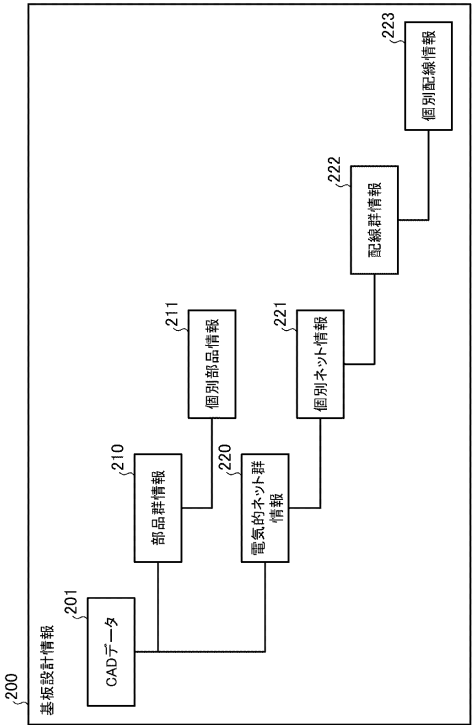
40

50

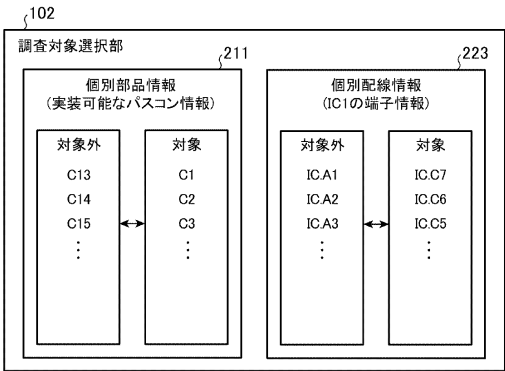
【図面】
【図 1】



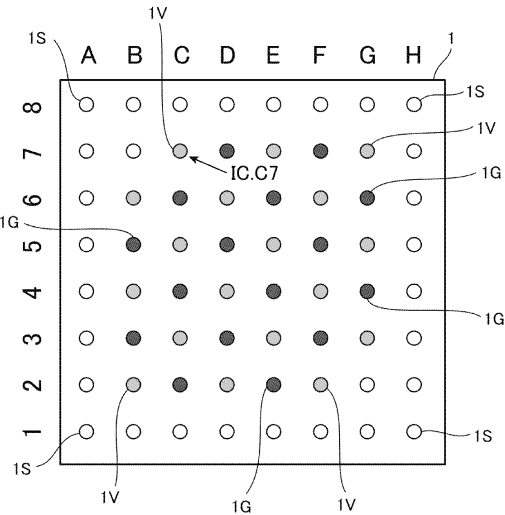
【図 2】



【図 3】



【図 4】



10

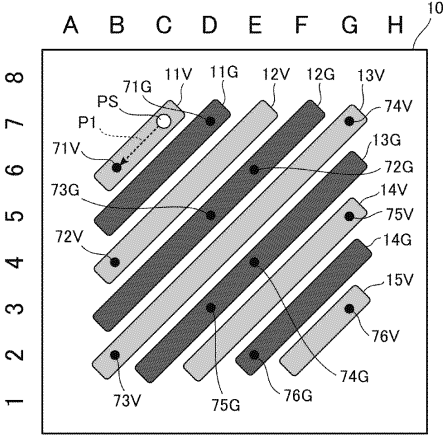
20

30

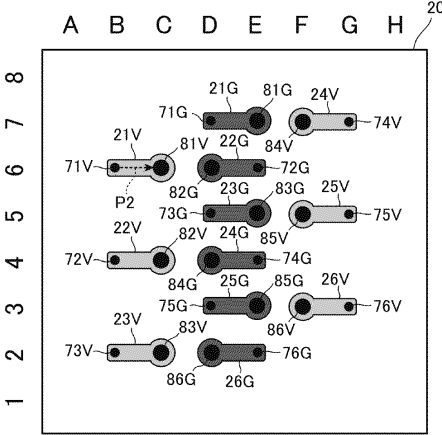
40

50

【図 5】



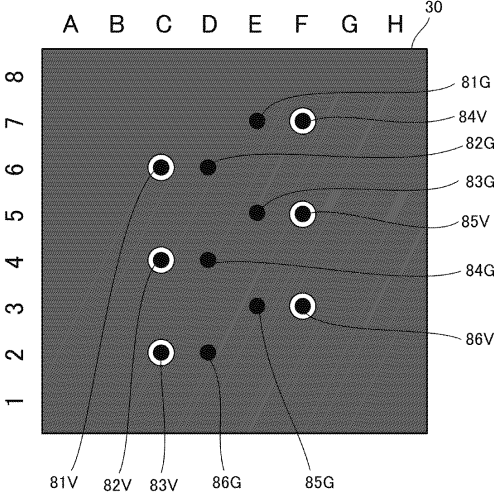
【図 6】



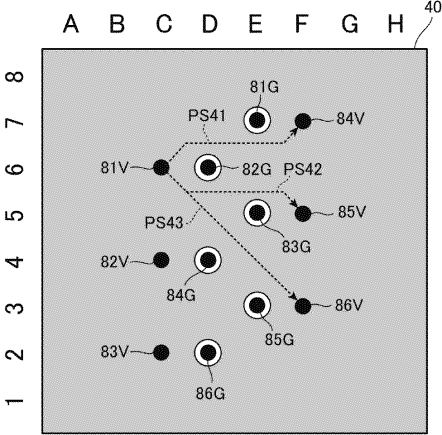
10

20

【図 7】



【図 8】

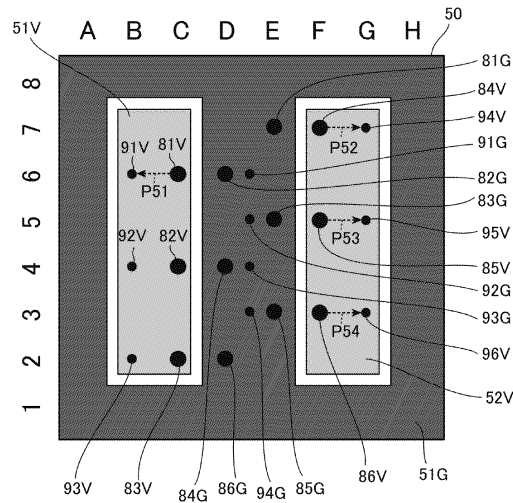


30

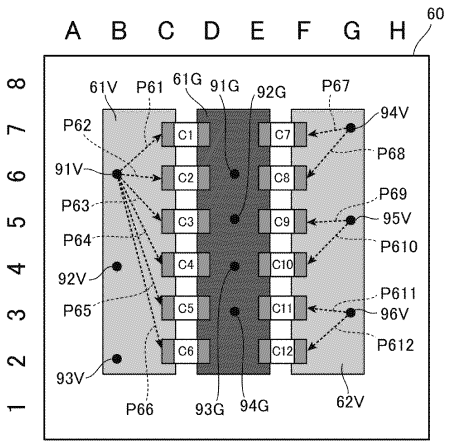
40

50

【図 9】



【図 10】



10

【図 11】

個別部品	個別配線	最短距離
C1	IC.C7	2.5 mm
C2	IC.C7	1 mm
C3	IC.C7	2 mm
C4	IC.C7	3 mm
C5	IC.C7	4 mm
C6	IC.C7	5 mm
C7	IC.C7	6 mm
C8	IC.C7	7 mm
C9	IC.C7	8 mm
C10	IC.C7	9 mm
C11	IC.C7	10 mm
C12	IC.C7	11 mm

【図 12】

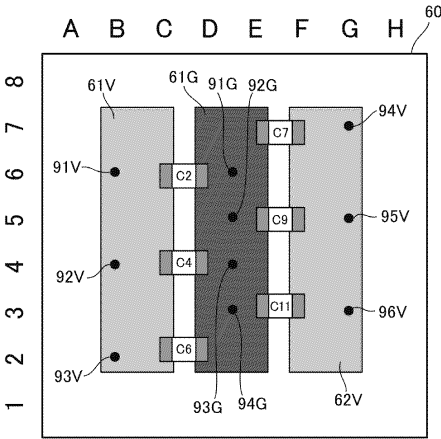
個別部品	各端子に対する有効性				基板に対する有効性
	IC.C7	IC.C6	IC.C5	...	
C1	×	×	×	...	×
C2	○	○	×	...	○
C3	×	×	×	...	×
C4	×	×	○	...	○
C5	×	×	×	...	×
C6	×	×	×	...	○
C7	×	×	×	...	○
C8	×	×	×	...	×
C9	×	×	×	...	○
C10	×	×	×	...	×
C11	×	×	×	...	○
C12	×	×	×	...	×

30

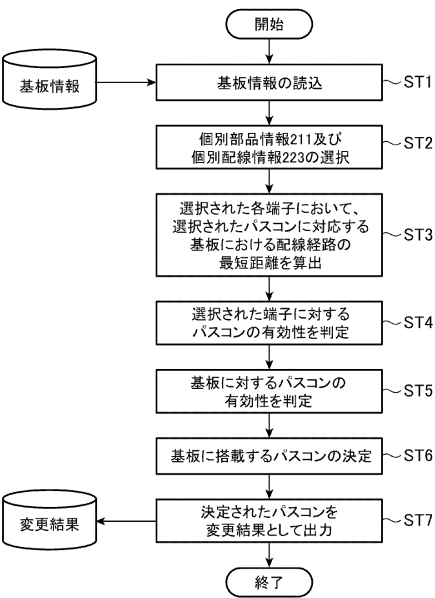
40

50

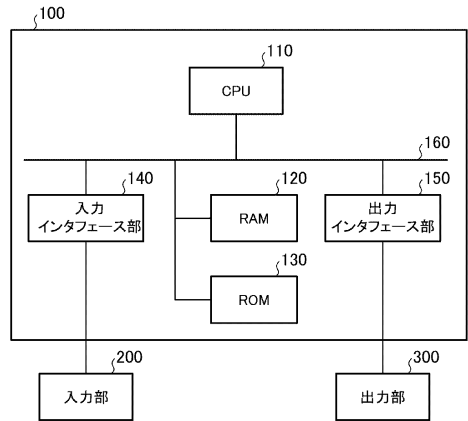
【図 1 3】



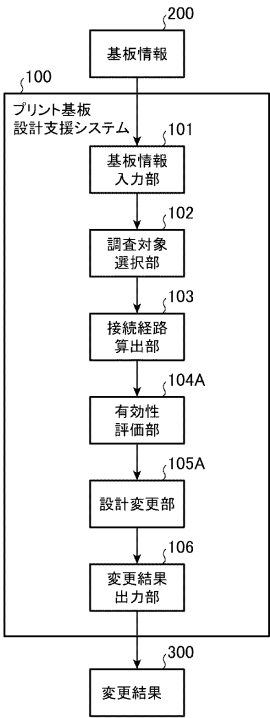
【図 1 4】



【図 1 5】



【図 1 6】



10

20

30

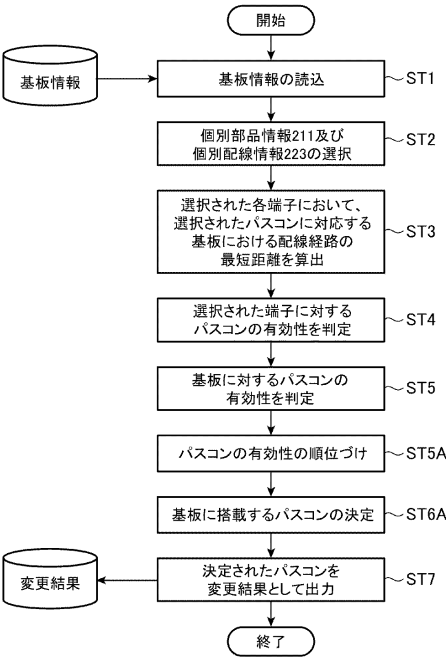
40

50

【図 17】

個別部品	各端子からバスコンまでの最短距離と有効性					基板に対する有効性	順位
	IC.C7	IC.C6	IC.C5	...			
C1	2.5 mm ×	2.5 mm ×	4 mm ×	...	×	×	B3
C2	1 mm ○	1.2 mm ○	3 mm ×	...	○	○	A1
C3	2 mm ×	3 mm ×	2 mm ×	...	×	×	B2
C4	3 mm ×	4 mm ×	1.5 mm ○	...	○	○	A2
C5	4 mm ×	5 mm ×	2.8 mm ×	...	×	×	B4
C6	5 mm ×	6 mm ×	3 mm ×	...	○	○	A4
C7	6 mm ×	2.5 mm ×	7 mm ×	...	○	○	A3
C8	7 mm ×	1.5 mm ×	6 mm ×	...	×	×	B1
C9	8 mm ×	3.5 mm ×	5 mm ×	...	○	○	A5
C10	9 mm ×	4.5 mm ×	5.5 mm ×	...	×	×	B5
C11	10 mm ×	5.5 mm ×	7 mm ×	...	○	○	A6
C12	11 mm ×	6.5 mm ×	8 mm ×	...	×	×	B6

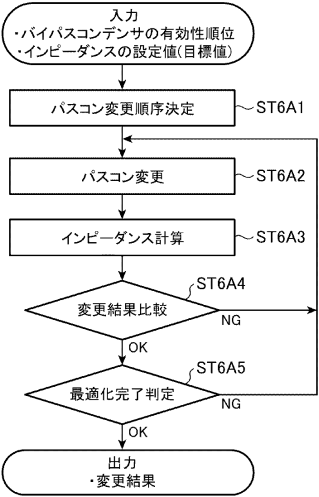
【図 18】



10

20

【図 19】



【図 20】

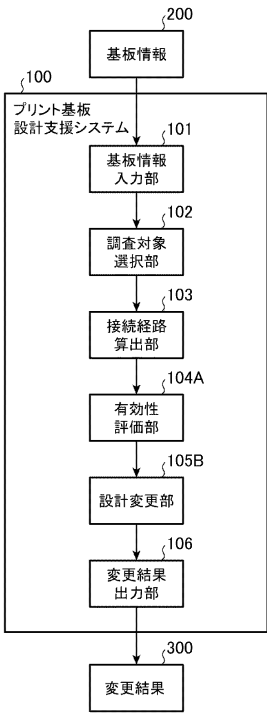
個別部品	初期状態	変更後
C1	有(1.0 μF)	×
C2	有(1.0 μF)	有(2.2 μF)
C3	有(1.0 μF)	×
C4	有(1.0 μF)	有(2.2 μF)
C5	有(1.0 μF)	×
C6	有(1.0 μF)	有(2.2 μF)
C7	有(1.0 μF)	有(2.2 μF)
C8	有(1.0 μF)	×
C9	有(1.0 μF)	有(2.2 μF)
C10	有(1.0 μF)	×
C11	有(1.0 μF)	有(2.2 μF)
C12	有(1.0 μF)	×

30

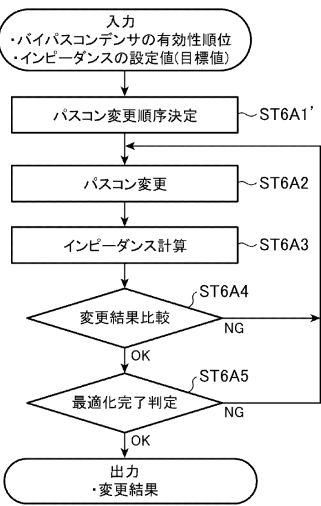
40

50

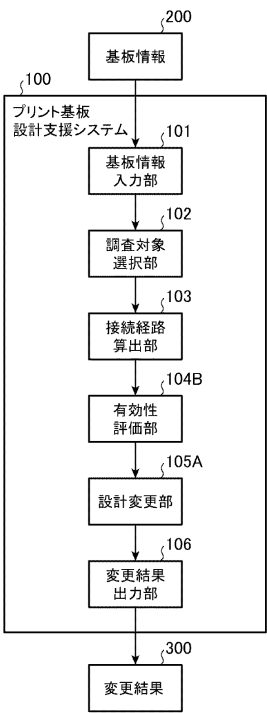
【図 2 1】



【図 2 2】



【図 2 3】



【図 2 4】

個別部品	バスコンの 容量値	各端子からバスコンまでの最短距離と有効性			基板に対する 有効性	順位
		IC C7	IC C6	IC C5		
C1	12μF	2.5 mm	2.5 mm	4 mm	○	C
C2	0.1μF	1 mm	1.2 mm	3 mm	○	A1
C3	0.1μF	2 mm	3 mm	2 mm	×	B2
C4	0.1μF	3 mm	4 mm	1.5 mm	○	A2
C5	0.1μF	4 mm	5 mm	2.8 mm	×	B3
C6	0.1μF	5 mm	6 mm	3 mm	×	A4
C7	0.1μF	6 mm	2.5 mm	7 mm	○	A3
C8	0.1μF	7 mm	1.5 mm	6 mm	×	B1
C9	0.1μF	8 mm	3.5 mm	5 mm	○	A5
C10	0.1μF	9 mm	4.5 mm	5.5 mm	×	B4
C11	0.1μF	10 mm	5.5 mm	7 mm	×	A6
C12	0.1μF	11 mm	6.5 mm	8 mm	×	B5

10

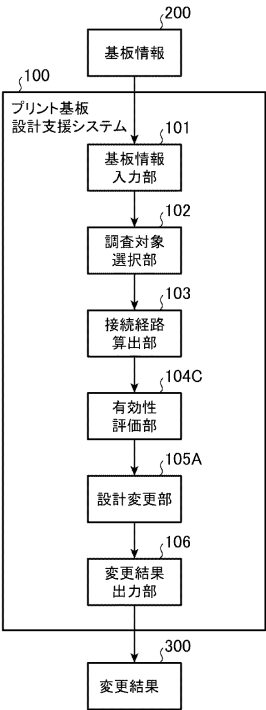
20

30

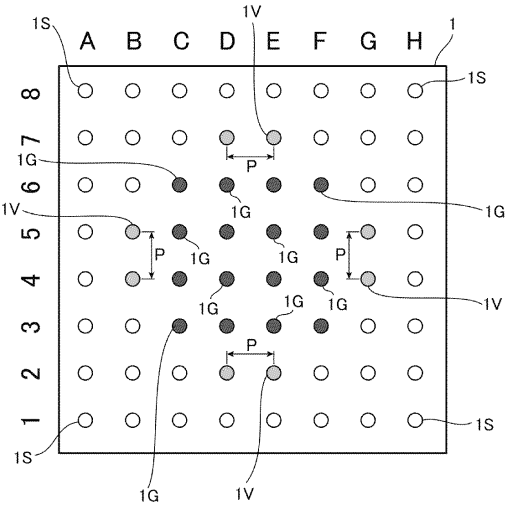
40

50

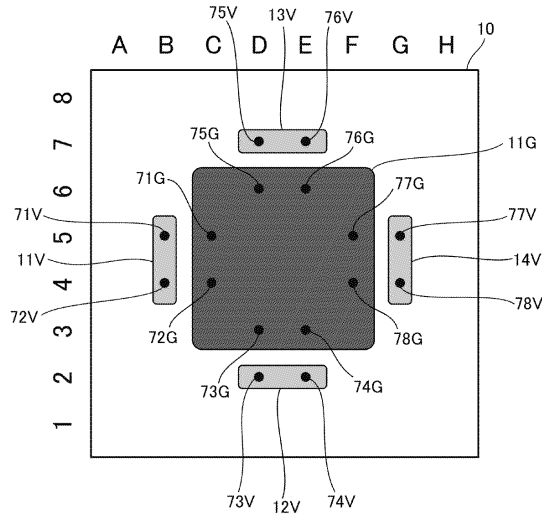
【図 2 5】



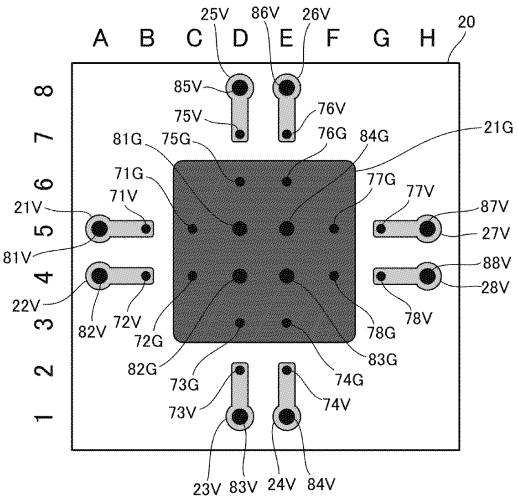
【図 2 6】



【図 2 7】



【図 2 8】



10

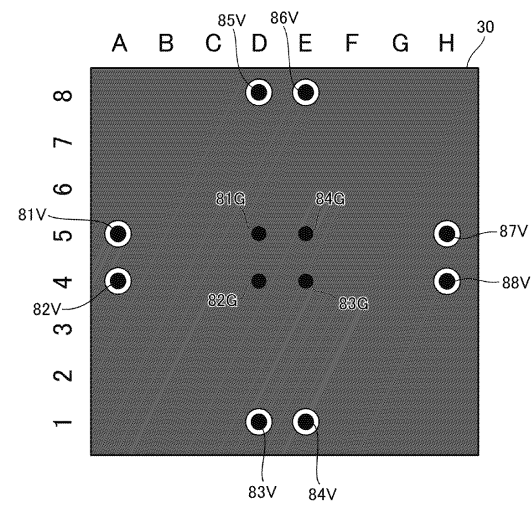
20

30

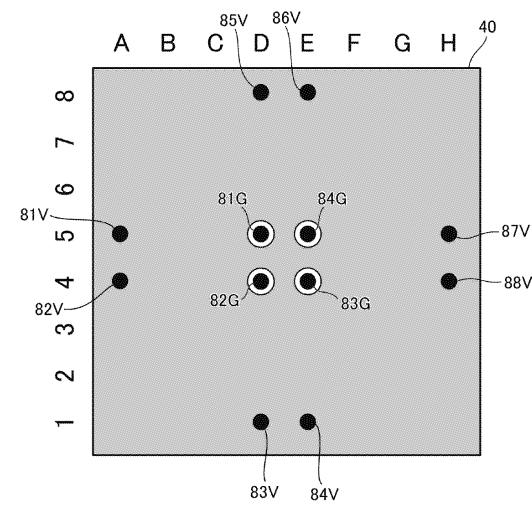
40

50

【図 29】



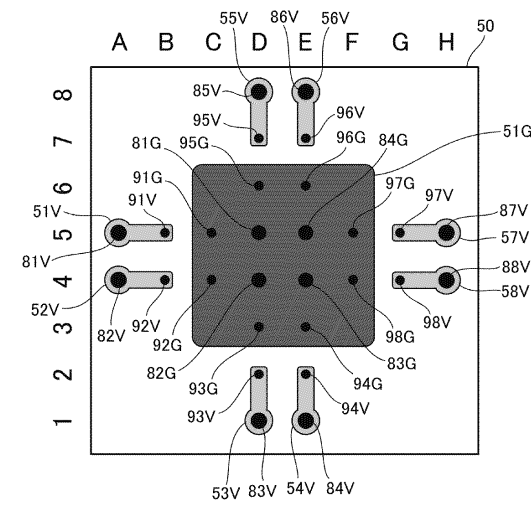
【図 30】



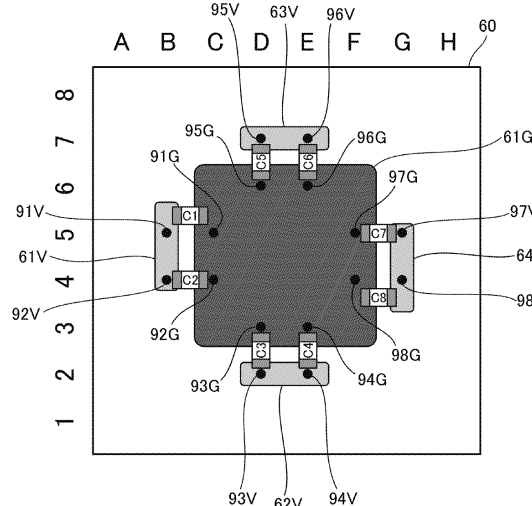
10

20

【図 31】



【図 32】

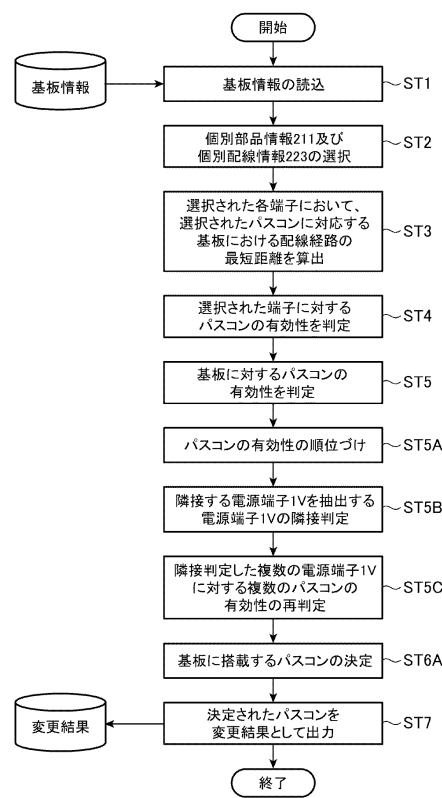


30

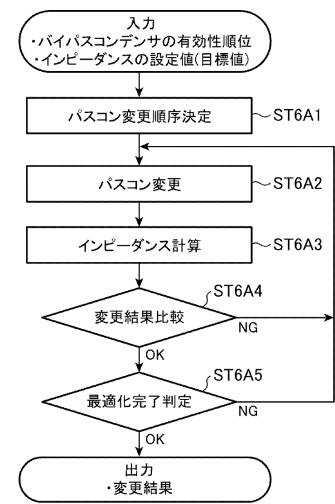
40

50

【図 3 3】



【図 3 4】



【図 3 5】

個別部品	各端子からバスコンまでの最短距離と有効性					基板に対する有効性
	IC B4	IC B5	IC D7	IC E7	...	
C1	2 mm x	1.5 mm x	4 mm x	5 mm x	...	○ → x
C2	1 mm ○	2 mm x	5 mm x	6 mm x	...	○
C3	3 mm x	4 mm x	5 mm x	6 mm x	...	○ → x
C4	5 mm x	4 mm x	6 mm x	5 mm x	...	○
C5	5 mm x	4 mm x	1 mm ○ → x	2 mm x	...	x → ○
C6	4 mm x	5 mm x	2 mm x	1 mm ○	...	○
C7	6 mm x	7 mm x	4 mm x	3 mm x	...	○
C8	7 mm x	6 mm x	5 mm x	4 mm x	...	○ → x

10

20

30

40

50

フロントページの続き

- (56)参考文献
- 特開2008-158694 (JP, A)
- 特開2004-199352 (JP, A)
- 特開2007-234853 (JP, A)
- 特開2007-299268 (JP, A)
- 特開2015-228078 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- G06F30/00-30/398