

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4848324号  
(P4848324)

(45) 発行日 平成23年12月28日(2011.12.28)

(24) 登録日 平成23年10月21日(2011.10.21)

(51) Int.Cl. F I  
H03M 9/00 (2006.01) H03M 9/00 C

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2007-183444 (P2007-183444)	(73) 特許権者	000006208
(22) 出願日	平成19年7月12日 (2007.7.12)		三菱重工株式会社
(65) 公開番号	特開2009-21866 (P2009-21866A)		東京都港区港南二丁目16番5号
(43) 公開日	平成21年1月29日 (2009.1.29)	(74) 代理人	100112737
審査請求日	平成22年1月21日 (2010.1.21)		弁理士 藤田 考晴
		(74) 代理人	100118913
			弁理士 上田 邦生
		(72) 発明者	石井 茂
			愛知県小牧市大字東田中1200番地 三
			菱重工業株式会社 名古屋誘導推進システ
			ム製作所内
		(72) 発明者	能町 正治
			大阪府豊中市待兼山1-1 大阪大学 大
			学院理学研究科附属原子核実験施設内

最終頁に続く

(54) 【発明の名称】 シリアルパラレル変換回路及び通信装置

(57) 【特許請求の範囲】

【請求項1】

受信したデータとストロープとの排他的論理和をとることによりクロックを生成するクロック生成手段と、前記クロックの立ち上がりに同期してデータを取り込む第1のレジスタ群と、前記クロックの立ち下がりに同期してデータを取り込む第2のレジスタ群とを備えるシリアルパラレル変換回路において、

前記第1のレジスタ群のデータ入力側に設けられるとともに、データとストロープとの組み合わせによって取り込むデータが一義的に決定される前記第1のレジスタ群の動作の規則性から定められる、データおよびストロープならびに前記第1のレジスタ群に取り込まれるデータの関係に従って、入力されたデータおよびストロープに対応する前記第1のレジスタ群に取り込まれるデータを出力する第1のデータ出力手段と、

前記第2のレジスタ群のデータ入力側に設けられるとともに、データとストロープとの組み合わせによって取り込むデータが一義的に決定される前記第2のレジスタ群の動作の規則性から定められる、データおよびストロープならびに前記第2のレジスタ群に取り込まれるデータの関係に従って、入力されたデータおよびストロープに対応する前記第2のレジスタ群に取り込まれるデータを出力する第2のデータ出力手段と、

前記第1のレジスタ群のデータ取り込みタイミングを前記クロックの立ち下がりとし、前記第2のレジスタ群のデータ取り込みタイミングを前記クロックの立ち上がりとするクロック反転手段と

を具備するシリアルパラレル変換回路。

10

20

## 【請求項 2】

前記第 1 のデータ出力手段は、データが 0 およびストロークが 1 のときに 0 を出力し、データが 1 およびストロークが 0 のときに 1 を出力し、データとストロークとがともに 0 またはともに 1 のときに前回値を出力し、

前記第 2 のデータ出力手段は、データが 0 およびストロークが 0 のときに 0 を出力し、データが 1 およびストロークが 1 のときに 1 を出力し、データとストロークとが互いに異なる値をとるときに前回値を出力する請求項 1 に記載のシリアルパラレル変換回路。

## 【請求項 3】

受信したデータとストロークとの排他的論理和をとることにより、クロックを生成するクロック生成手段と、

前記クロックの立ち下がりデータを取り込む第 1 のレジスタ群と、

前記クロックの立ち上がりデータを取り込む第 2 のレジスタ群と、

前記第 1 のレジスタ群のデータ入力側に設けられ、データが 0 およびストロークが 1 のときに 0 を出力し、データが 1 およびストロークが 0 のときに 1 を出力し、データとストロークとがともに 0 またはともに 1 のときに前回値を出力する第 1 のデータ出力手段と、

前記第 2 のレジスタ群のデータ入力側に設けられ、データが 0 およびストロークが 0 のときに 0 を出力し、データが 1 およびストロークが 1 のときに 1 を出力し、データとストロークとが互いに異なる値をとるときに前回値を出力する第 2 のデータ出力手段とを具備するシリアルパラレル変換回路。

## 【請求項 4】

請求項 1 から請求項 3 のいずれかに記載のシリアルパラレル変換回路を備える通信装置

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、データとストロークに基づいて受信側でクロックを再生し、デコーディングを行うシリアルパラレル変換回路に関するものである。

## 【背景技術】

## 【0002】

従来、宇宙機器向けのインターフェース規格として、IEEE 1355 が知られている。また、近年、次世代の宇宙機器向けのインターフェース規格として「Space Wire」が提案されている。この「Space Wire」は、欧州宇宙機関 (ESA: European Space Agency) によって IEEE 1355 をベースに宇宙標準として提案された規格であり、IEEE 1355.2 と呼ばれている (例えば、特許文献 1 参照)。

また、地上では、AV 機器やパソコン周辺機器等を統合して接続するのに適したインターフェースとして、IEEE 1394 高速シリアルバスが幅広く用いられている。

## 【0003】

上述した IEEE 1355、IEEE 1355.2、IEEE 1394 等は、送信側から送られてきた「データ」、「ストローク」の 2 つの信号から受信側で送信側のクロックを再現するため、送受信の両側でクロックを同期させる必要がなく、システムを安価に構成することが可能となる。また、データ転送レートが可変なため、様々な機器に柔軟に対応できる等の利点を有している。

## 【0004】

図 15 に、上記規格に用いられるシリアルパラレル変換回路の一構成例を示す。このようなシリアルパラレル変換回路では、送信側から受信した「データ D」と「ストローク S」との排他的論理和をとることにより、クロック CLK が生成される。このクロック CLK は、シフトレジスタ 100 を構成する複数段のフリップフロップ FF0, FF1, ~ FF n に入力される。

これにより、図 16 に示すように、クロック CLK の立ち上がりで入力データ Data がシフトレジスタ 100 の初段に設けられたフリップフロップ FF0 に取り込まれる。

10

20

30

40

50

【特許文献1】米国特許第5341371号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、図15に示したような従来のシリアルパラレル変換回路を実際の回路で実現する場合、クロックCLKや入力データDataがフリップフロップFF0に入力されるまでに遅延が生ずる。このとき、図17に示されるように、入力データDataが変化した後、クロックCLKがフリップフロップFF0に到達すれば問題は生じないが、図18に示されるように、入力データDataが変化する前にクロックCLKがフリップフロップFF0に到達してしまふと、変化する前のデータDataがフリップフロップFF0に取り込まれることとなり、本来取り込まれるべきデータと実際に取り込むデータとが異なるという、いわゆるレースコンディションが生ずる。

10

【0006】

上記レースコンディションの問題を解消するために、遅延回路を介してクロックCLKをフリップフロップFF0に入力させることが考えられる。しかしながら、上述したシリアルパラレル変換回路をCPLD (Complex PLD) や、FPGA (Field Programmable Gate Array) 等のプログラミング可能な汎用の半導体デバイスにより実現しようとする、遅延回路を設けるのは非常に困難となる。

更に、遅延回路を設けることによりクロックCLKの位相を遅らせると、受信データの最小ビット周期がクロックCLKの遅延回路の遅延量によって制限されるため、最大受信速度もクロックCLKの遅延量により制限されてしまうという不都合が生ずる。

20

【0007】

本発明は、上記問題を解決するためになされたもので、受信速度を制約せずに、レースコンディションを解消することのできるシリアルパラレル変換回路の設計方法およびシリアルパラレル変換回路並びに通信装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記課題を解決するために、本発明は以下の手段を採用する。

本発明は、受信したデータとストロープとの排他的論理和をとることによりクロックを生成するクロック生成手段と、前記クロックの立ち上がりに同期してデータを取り込む第1のレジスタ群と、前記クロックの立ち下がりに同期してデータを取り込む第2のレジスタ群とを備えるシリアルパラレル変換回路において、前記第1のレジスタ群のデータ入力側に設けられるとともに、データとストロープとの組み合わせによって取り込むデータが一義的に決定される前記第1のレジスタ群の動作の規則性から定められる、データおよびストロープならびに前記第1のレジスタ群に取り込まれるデータの関係に従って、入力されたデータおよびストロープに対応する前記第1のレジスタ群に取り込まれるデータを出力する第1のデータ出力手段と、前記第2のレジスタ群のデータ入力側に設けられるとともに、データとストロープとの組み合わせによって取り込むデータが一義的に決定される前記第2のレジスタ群の動作の規則性から定められる、データおよびストロープならびに前記第2のレジスタ群に取り込まれるデータの関係に従って、入力されたデータおよびストロープに対応する前記第2のレジスタ群に取り込まれるデータを出力する第2のデータ出力手段と、前記第1のレジスタ群のデータ取り込みタイミングを前記クロックの立ち下がりとし、前記第2のレジスタ群のデータ取り込みタイミングを前記クロックの立ち上がりとするクロック反転手段とを具備するシリアルパラレル変換回路を提供する。

30

40

【0015】

発明者らは、受信したデータとストロープとの排他的論理和をとることにより、受信側でクロックを生成するようなシリアルパラレル変換回路において、レジスタ群に取り込まれるデータとストロープの間には規則性があることを見出した。本発明は、このような規則性に着目して、データ受信の高速化と、レースコンディションを解消する点に特徴を有している。

50

即ち、このような構成によれば、第1レジスタ群および第2レジスタ群に入力するデータの有効期間を長めに設定する（例えば、従来の期間がクロック半周期分であったのに対し、本発明ではクロック1周期分、つまり、従来に比べてデータの有効期間を2倍とすることが可能となる。これにより、レーシング対策としてクロックに従来と同様の遅延回路を設けたとしても、従来に比べて高速なシリアルデータをパラレルデータに変換することが可能となる。

特に、シリアルパラレル変換回路を通信装置に用いる場合には、シリアルパラレル変換装置においてメモリ素子がデータを取り込むのに必要な時間が通信速度の律速点になるので、通信速度（ビットレート）を約2倍とすることが可能となる。

また、このようにすることで、遅延回路を不要とすることができ、より高速なシリアルパラレル変換を実現することが可能となる。

#### 【0018】

上記シリアルパラレル変換回路において、前記第1のデータ出力手段は、データが0およびストロープが1のときに0を出力し、データが1およびストロープが0のときに1を出力し、データとストロープとがともに0またはともに1のときに前回値を出力し、前記第2のデータ出力手段は、データが0およびストロープが0のときに0を出力し、データが1およびストロープが1のときに1を出力し、データとストロープとが互いに異なる値をとるときに前回値を出力することとしてもよい。

#### 【0020】

本発明は、受信したデータとストロープとの排他的論理和をとることにより、クロックを生成するクロック生成手段と、前記クロックの立ち上がりでデータを取り込む第1のレジスタ群と、前記クロックの立ち上がりでデータを取り込む第2のレジスタ群と、前記第1のレジスタ群のデータ入力側に設けられ、データが0およびストロープが1のときに0を出力し、データが1およびストロープが0のときに1を出力し、データとストロープとがともに0またはともに1のときに前回値を出力する第1のデータ出力手段と、前記第2のレジスタ群のデータ入力側に設けられ、データが0およびストロープが0のときに0を出力し、データが1およびストロープが1のときに1を出力し、データとストロープとが互いに異なる値をとるときに前回値を出力する第2のデータ出力手段とを具備するシリアルパラレル変換回路を提供する。

#### 【0021】

このような構成によれば、クロックの立ち上がりで第1のレジスタ群において最初に信号が入力されるメモリ素子に取り込まれるデータが変化し、このデータをクロックの立下りで該メモリ素子に取り込む。同様に、クロックの立下りで第2のレジスタ群において最初に信号が入力されるメモリ素子に取り込まれるデータが変化し、このデータをクロックの立ち上がりで該メモリ素子に取り込む。このように、各レジスタ群における最初に信号が入力されるメモリ素子がデータを取り込むタイミングと、該メモリ素子に取り込むデータが変化するタイミングとが略半周期ずれているので、変化後のデータを確実にメモリ素子に読み取らせることが可能となる。

#### 【0022】

本発明において、上記第1のレジスタ群および第2のレジスタ群は、例えば、複数のメモリ素子が直列、或いは、並列に接続されて構成されていてもよい。

本発明は、上記シリアルパラレル変換回路を備える通信装置を提供する。

また、上記態様は、可能な範囲で組み合わせることができるものである。

#### 【発明の効果】

#### 【0023】

本発明によれば、受信速度を制約せずに、レースコンディションを解消することができるという効果を奏する。

#### 【発明を実施するための最良の形態】

#### 【0024】

以下に、本発明に係るシリアルパラレル変換回路の設計方法およびシリアルパラレル変

10

20

30

40

50

換回路および通信装置並びにプログラムの一実施形態について、図面を参照して説明する。

【0025】

図1には、レジスタ群として複数のメモリ素子が直列に接続されて構成されるシフトレジスタを用いた場合のシリアルパラレル変換回路の概略構成が示されている。図1に示されるように、シリアルパラレル変換回路1は、送信機(図示略)から受信したデータDとストロープSとの排他的論理和(イクスクルーシブOR)をとることにより、クロックCLKを生成するクロック生成部2と、該クロックCLKに同期してデータを取り込む第1のシフトレジスタSF1および第2のシフトレジスタSF2を有している。

第1のシフトレジスタ(第1のレジスタ群)SF1は、直列に接続されたn段のDフリップフロップ(メモリ素子)10a, 10b...10nを備えている。第1のシフトレジスタSF1は、クロックCLKの立ち上がりでデータDを取り込む構成とされている。第1のシフトレジスタSF1において、初段のDフリップフロップ10aに取り込まれたデータDは、下段のDフリップフロップ10b...10nに順次取り込まれ、最終的にnビットの平行データとして出力される。

10

【0026】

第2のシフトレジスタ(第2のレジスタ群)SF2は、直列に接続されたn段のDフリップフロップ(メモリ素子)20a, 20b...20nを備えている。第2のシフトレジスタSF2は、クロックCLKの立ち下がりでデータDを取り込む構成とされている。第2のシフトレジスタSF2において、初段のDフリップフロップ20aに取り込まれたデータDは、下段のDフリップフロップ20b...20nに順次取り込まれ、最終的にnビットの平行データとして出力される。

20

なお、本実施形態では、各メモリ素子が直列に接続されている場合について例示したが、これらのメモリ素子は並列に接続されていてもよい。また、本発明におけるレジスタ群は、上記シフトレジスタに限定されず、シリアルパラレル変換に用いられる公知の他の構成とされていてもよい。

【0027】

図2には、図1に示されたシリアルパラレル変換回路1のタイミングチャートが示されている。図2に示されるように、クロックCLKの立ち上がりで、シリアルデータDが第1のシフトレジスタSF1のDフリップフロップ10aに取り込まれ、クロックCLKの立下りでシリアルデータDが第2のシフトレジスタSF2のDフリップフロップ20aに取り込まれる。このように、シリアルパラレル変換回路1は、クロックCLKの立ち上がりおよび立下りに同期して、シリアルデータDを第1のシフトレジスタSF1および第2のシフトレジスタSF2に交互に取り込むので、受信速度を高速化することができるという利点を有している。

30

【0028】

ところで、図1に示したシリアルパラレル変換回路1は、レースコンディションの問題を抱えている。

即ち、図1に示したシリアルパラレル変換回路1においては、データDが変化した後、クロックCLKがDフリップフロップ10a、20aに到達するという補償がない。このため、図3に示されるように、クロックCLKがデータDよりも先にDフリップフロップ10a、20aに到達してしまった場合には、変化する前のデータDがDフリップフロップ10a、20aに取り込まれることとなり、本来取り込まれるべきデータと実際に取り込まれるデータとが異なってしまう。

40

【0029】

このようなレースコンディションを解消するべく、本実施形態に係るシリアルパラレル変換回路の設計方法では、以下のような論理回路を設けることとしている。

具体的には、まず、第1のシフトレジスタSF1の初段のDフリップフロップ10aの動作に着目し、このDフリップフロップ10aがデータを保持するときのデータおよびストロープの論理値が略同時に変化しないことが担保されることに基づく規則性を求め、該

50

規則性に合致する出力を行う論理回路（第1の論理回路）を第1のシフトレジスタSF1の入力側に設け、更に、第1のシフトレジスタSF1を構成するn段のDフリップフロップ10a~10nのうち、少なくとも初段のDフリップフロップ10aのデータ取り込みタイミングを半周期ずらす、つまり、立下りでデータDを取り込むこととする。

【0030】

また、同様に、第2のシフトレジスタSF2の初段のDフリップフロップ20aの動作に着目し、このDフリップフロップ20aがデータを保持するときのデータおよびストロークの論理値が略同時に変化しないことが担保されることに基づく規則性を求め、該規則性に合致する出力を行う論理回路（第2の論理回路）を第2のシフトレジスタSF2の入力側に設け、更に、第2のシフトレジスタSF2を構成するn段のDフリップフロップ20a~20nのうち、少なくとも初段のDフリップフロップ20aのデータ取り込みタイミングを半周期ずらす、つまり、立ち上がりでデータDを取り込むこととする。

10

【0031】

これにより、例えば、図1に示されたシリアルパラレル変換回路1は、図4に示されるようなシリアルパラレル変換回路1'とされる。

図4において、符号30は、Dフリップフロップ10aの動作の規則性に従った出力を行う論理回路（第1の論理回路）、符号40は、Dフリップフロップ20aの動作の規則性に従った出力を行う論理回路（第2の論理回路）である。また、第1のシフトレジスタSF1を構成する各Dフリップフロップ10a~10nのクロック入力ラインには、クロックCLKを反転するための反転回路50a~50nがそれぞれ設けられている。これにより、Dフリップフロップ10a~10nは、クロックCLKの立下りタイミングで論理回路30から出力されるデータDevenを順次取り込むこととなる。

20

また、第2のシフトレジスタSF2を構成する各Dフリップフロップ20a~20nのクロック入力ラインから反転回路を取り去ることで、Dフリップフロップ20a~20nのデータDの取り込みタイミングをクロックCLKの立ち上がりとしている。

【0032】

次に、上記論理回路30について詳細に説明する。

まず、図1に示したDフリップフロップ10aの動作に着目すると、クロックCLKの立ち上がりでデータDを取り込み、次のCLKの立ち上がりまで取り込んだデータDを保持する。クロックCLKが立ち上がる時、つまり、排他的論理和EXORの出力が「1」となるのは、データDが「1」およびストロークSが「0」のときと、データDが「0」およびストロークSが「1」のときである。また、排他的論理和EXORの出力が「0」となるのは、データDとストロークSとが同じ値をとるときである。図5に、上記Dフリップフロップ10aの動作の規則性を示す。

30

【0033】

図5からわかるように、データDが「0」およびストロークSが「1」のときには、Dフリップフロップ10aに入力されるべきデータDは必ず「0」であり、データDが「1」およびストロークSが「0」のときには、Dフリップフロップ10aに入力されるべきデータDは必ず「1」である。また、これ以外の場合には、前回値Z(T-1)が保持される。

40

【0034】

図6には、図5に示すような規則性と合致する出力を生成する論理回路30の一構成例が示されている。

図6に示されるように、論理回路30は、2つの入力端子LD、LGと、1つの出力端子LZを有するラッチ回路31を有している。ラッチ回路31の入力端子LDには、データDが入力され、入力端子LGにはデータDとストロークSとの排他的論理和をとった信号が入力されるようになっている。

このような構成によれば、データDとストロークSとの値が異なる場合に、データDが出力端子LZから出力され、データDとストロークSとの値が同一の場合に、前回値Z(T-1)が保持される。

50

## 【 0 0 3 5 】

なお、論理回路 3 0 は、上記構成例に限られず、組み合わせ論理により容易に実現することが可能である。例えば、図 7 および図 9 に示されるような R S フリップフロップ ( R S ラッチ ) 等を用いることにより図 1 9 および図 2 0 に示すように容易に実現することができる。図 8 には図 7 に示した R S フリップフロップの真理値表が、図 1 0 には図 9 に示した R S フリップフロップの真理値表が示されている。

## 【 0 0 3 6 】

次に、上記論理回路 4 0 について詳細に説明する。

D フリップフロップ 2 0 a の動作に着目すると、クロック C L K の立下りでデータ D を取り込み、次のクロック C L K の立下りまで取り込んだデータ D を保持する。クロック C L K が立ち下がる時、つまり、排他的論理和 E x O R の出力が「 0 」となるのは、データ D が「 0 」およびストロブ S が「 0 」のときと、データ D が「 1 」およびストロブ S が「 1 」のときである。また、排他的論理和 E x O R の出力が「 0 」となるのは、データ D とストロブ S とが異なる値をとるときである。図 1 1 に、上記 D フリップフロップ 2 0 a の動作の規則性を表す。

## 【 0 0 3 7 】

図 1 1 からわかるように、データ D が「 0 」およびストロブ S が「 0 」のときには、D フリップフロップ 2 0 a に入力されるべきデータ D は必ず「 0 」であり、データ D が「 1 」およびストロブ S が「 1 」のときには、D フリップフロップ 2 0 a に入力されるべきデータ D は必ず「 1 」である。また、これ以外の場合には、前回値 Z ( T - 1 ) が保持される。

## 【 0 0 3 8 】

図 1 2 には、図 1 1 に示される規則性に合致する出力を生成する論理回路 4 0 の一構成例が示されている。

図 1 2 に示されるように、論理回路 4 0 は、2 つの入力端子 L D , L G と、1 つの出力端子 L Z を有するラッチ回路 4 1 を有している。このラッチ回路 4 1 は、例えば、図 6 に示したラッチ回路 3 1 と同様の構成を有している。ラッチ回路 4 1 の入力端子 L D には、データ D が入力され、入力端子 L G にはデータ D とストロブ S との排他的論理和を反転させた信号が入力されるようになっている。

このような構成によれば、データ D とストロブ S との値が同一の場合に、データ D が出力端子 L Z から出力され、データ D とストロブ S との値が異なる場合に、前回値 Z ( T - 1 ) が保持される。

なお、論理回路 4 0 は、上記構成例に限られず、組み合わせ論理により容易に実現することが可能である。例えば、図 7 および図 9 に示されるような R S フリップフロップ ( R S ラッチ ) 等を用いることにより図 2 1 および図 2 2 に示すように容易に実現することができる。

## 【 0 0 3 9 】

図 1 3 には、図 4 に示されたシリアルパラレル変換回路、つまり、本発明の一実施形態に係るシリアルパラレル変換回路のタイミングチャートが示されている。

図 1 3 に示されるように、クロック C L K の立下りの略半周期前には、論理回路 3 0 の出力 D even はデータ D に応じて既に変化し、かつ出力 D even は次のクロック C L K の立上がりまで保持されているので、クロック C L K の位相が伝送ライン等の要因により多少ずれたとしても、D フリップフロップ 1 0 a は、取り込まれるべきデータを確実に取り込むことが可能となる。同様に、クロック C L K の立ち上がりの略半周期前には、論理回路 4 0 の出力 D odd はデータ D に応じて既に変化し、かつ出力 D odd は次のクロック C L K の立下りまで保持されているので、クロック C L K の位相が伝送ライン等の要因により多少ずれたとしても、D フリップフロップ 2 0 a は、取り込むべきデータを確実に取り込むことが可能となる。

## 【 0 0 4 0 】

以上説明してきたように、本実施形態に係るシリアルパラレル変換回路の設計方法およ

びシリアルパラレル変換回路1'によれば、図13に示されるように、データが変化するタイミングとデータを取り込むタイミングとを半周期ずらすこととしたので、変化後のデータを確実に初段のフリップフロップ10a, 20aに取り込ませることが可能となる。これにより、レースコンディションの問題を解消することができる。

更に、遅延回路を採用していないことから、本実施形態に係るシリアルパラレル変換回路をCPLD (Complex PLD) や、FPGA (Field Programmable Gate Array) 等のプログラミング可能な汎用の半導体デバイスにより容易に実現することが可能となる。更に、遅延回路とは別の方法でレースコンディションの問題を解消することにより、受信速度が制約されず、通信環境に応じた最適かつ高速なビットレートで通信を行うことが可能となる。

10

#### 【0041】

なお、上述した本実施形態では、Dフリップフロップを用いてnビットのシフトレジスタを構成したが、シフトレジスタの構成はこれに限られない。例えば、JKフリップフロップ等の他のメモリ素子を用いてシフトレジスタを構成することとしてもよい。

また、シフトレジスタを構成する各メモリ素子は、必ずしも同一のタイミングでデータを取り込まなくてもよい。例えば、図4において、初段のフリップフロップ10aがクロックCLKの立ち下がりでデータDevenを取り込むのに対し、他のフリップフロップ10b~10nはクロックCLKの立ち上がりで前段のDフリップフロップからのデータを取り込むような構成としてもよい。

更に、本実施形態では、シフトレジスタを使用した場合について例示したが、これ以外のレジスタを用いてシリアルパラレル変換回路を構成することとしてもよい。

20

#### 【0042】

また、上述した本実施形態に係るシリアルパラレル変換回路1'は、通信装置に利用されて好適なものである。通信装置としては、ルータ、コンピュータ間データ通信端末、機器間のデータ通信端末、リモートセンシング用通信装置、リモートコントロール用通信装置、データストレージ用通信装置等が一例として挙げられる。また、通信装置は、地上で用いられるものに限られず、宇宙を含む様々な環境下で用いられるものも含む。

#### 【0043】

また、図4に示した本発明の一実施形態に係るシリアルパラレル変換回路1'をCPLD (Complex PLD) や、FPGA (Field Programmable Gate Array) 等のプログラミング可能な汎用の半導体デバイスにより実現する場合には、ハードウェア記述言語等によりハードウェア設計を行う。ハードウェア記述言語の一例としては、VHDLやVerilog-HDL等が挙げられる。

30

#### 【0044】

上記シリアルパラレル変換回路1'の一部をVHDLにより表したときの一例を図14に示す。このように、VHDL等のハードウェア記述言語を用いてプログラミングを行うことにより、図4に示した本実施形態に係るシリアルパラレル変換回路1'を容易に実現することが可能となる。なお、図14では、図4に示されたフリップフロップ10aが「FF0」として、フリップフロップ10bが「FF2」として記述されている。

#### 【0045】

以上、本発明の実施形態について図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

40

#### 【図面の簡単な説明】

#### 【0046】

【図1】シリアルパラレル変換回路の概略構成を示した図である。

【図2】図1に示されたシリアルパラレル変換回路のタイミングチャートを示した図である。

【図3】図1に示したシリアルパラレル変換回路が抱えるレースコンディションについて説明するためのタイミングチャートである。

50

【図 4】本発明の一実施形態に係るシリアルパラレル変換回路の概略構成を示した図である。

【図 5】第 1 のシフトレジスタの初段の D フリップフロップの動作の規則性を表として示した図である。

【図 6】第 1 のシフトレジスタの入力側に設けられる論理回路の一構成例を示した図である。

【図 7】RS フリップフロップの一構成例を示した図である。

【図 8】図 7 に示した RS フリップフロップの真理値表を示した図である。

【図 9】RS フリップフロップの他の構成例を示した図である。

【図 10】図 9 に示した RS フリップフロップの真理値表を示した図である。

10

【図 11】第 2 のシフトレジスタの初段の D フリップフロップの動作の規則性を表として示した図である。

【図 12】第 2 のシフトレジスタの入力側に設けられる論理回路の一構成例を示した図である。

【図 13】図 4 に示したシリアルパラレル変換回路のタイミングチャートを示した図である。

【図 14】図 4 に示したシリアルパラレル変換回路の一部を VHDL により表したときの一例を示す図である。

【図 15】一般的なシリアルパラレル変換回路の概略構成を示した図である。

【図 16】図 15 に示したシリアルパラレル変換回路のタイミングチャートを示した図である。

20

【図 17】図 15 に示したシリアルパラレル変換回路が抱えるレースコンディションについて説明するための図である。

【図 18】図 15 に示したシリアルパラレル変換回路が抱えるレースコンディションについて説明するための図である。

【図 19】図 7 に示された RS フリップフロップを用いた場合の論理回路の他の構成例を示した図である。

【図 20】図 9 に示された RS フリップフロップを用いた場合の論理回路の他の構成例を示した図である。

【図 21】図 7 に示された RS フリップフロップを用いた場合の論理回路の他の構成例を示した図である。

30

【図 22】図 9 に示された RS フリップフロップを用いた場合の論理回路の他の構成例を示した図である。

【符号の説明】

【0047】

1 回路変更前のシリアルパラレル変換回路

1' シリアルパラレル変換回路

2 クロック生成部

S F 1 第 1 のシフトレジスタ

S F 2 第 2 のシフトレジスタ

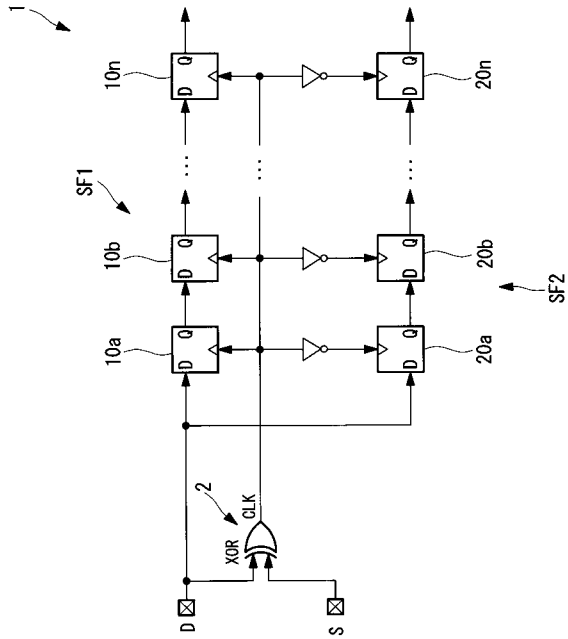
40

3 0 , 4 0 論理回路

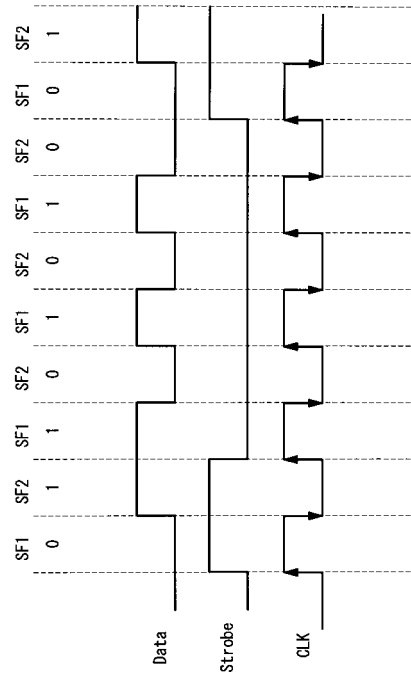
1 0 a ~ 1 0 n , 2 0 a ~ 2 0 n D フリップフロップ

5 0 a ~ 5 0 n 反転回路

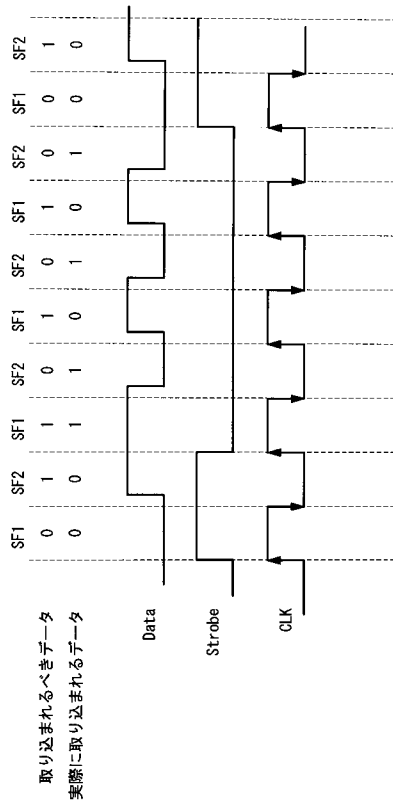
【図1】



【図2】

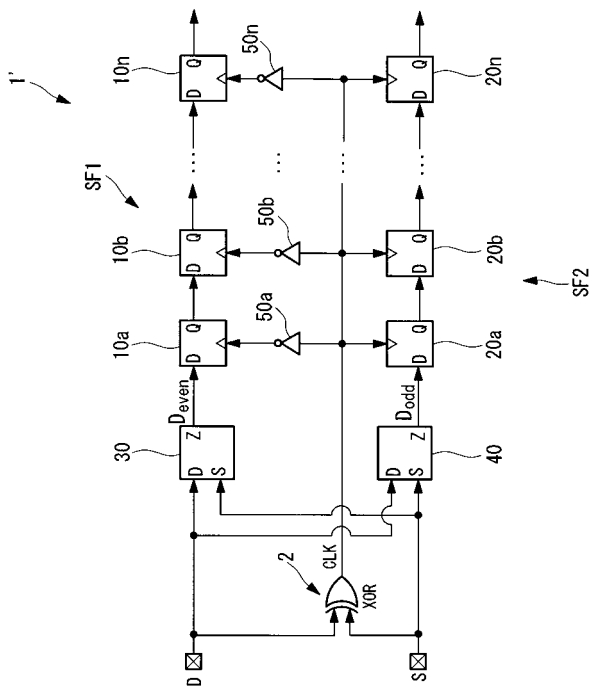


【図3】



取り込まれるべきデータ  
実際に取り込まれるデータ

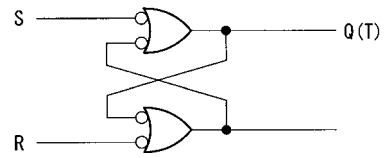
【図4】



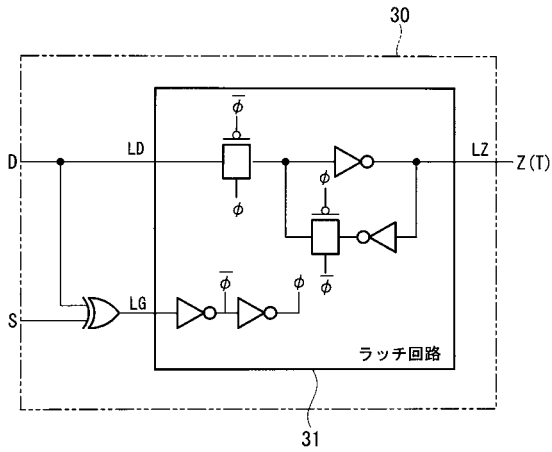
【図5】

D	S	Z(T)
0	0	Z(T-1)
0	1	0
1	0	1
1	1	Z(T-1)

【図7】



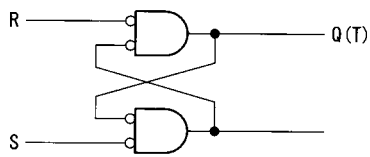
【図6】



【図8】

S	R	Q(T)
0	0	1
0	1	1
1	0	0
1	1	Q(T-1)

【図9】



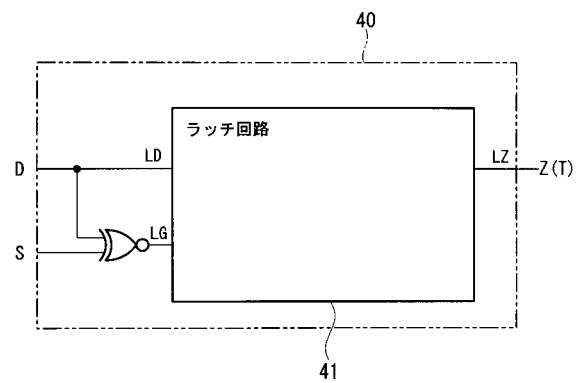
【図11】

D	S	Z(T)
0	0	0
0	1	Z(T-1)
1	0	Z(T-1)
1	1	1

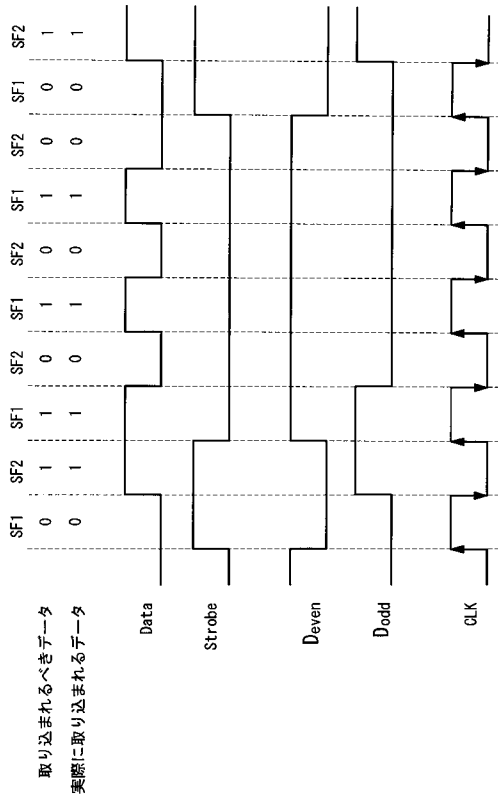
【図10】

R	S	Q(T)
0	0	Q(T-1)
0	1	1
1	0	0
1	1	0

【図12】



【図 13】



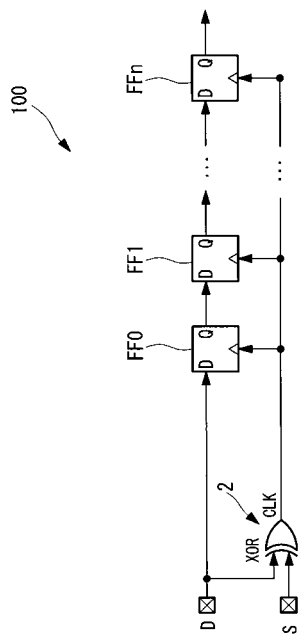
【図 14】

```

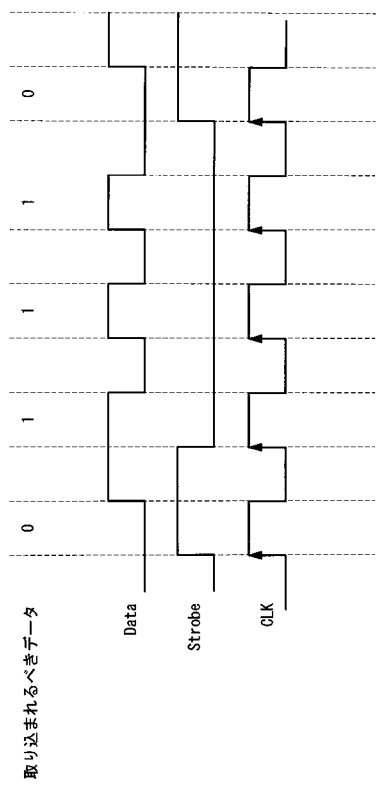
rx_clk <= SpW_S xor SpW_D;
FF0 <=
  '1' when SpW_D = '1' and SpW_S = '1' else
  '0' when SpW_D = '0' and SpW_S = '0' else
  FF0;
process(rx_clk) begin
  if rx_clk'event and rx_clk='1' then
    FF2 <= FF0;
  end if;
end process;

```

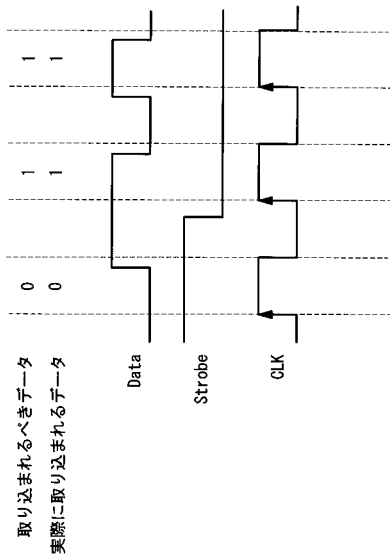
【図 15】



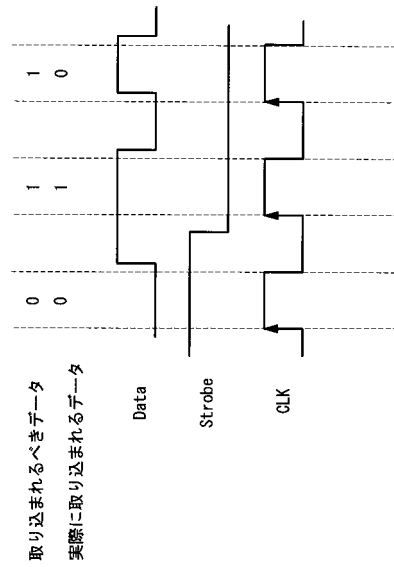
【図 16】



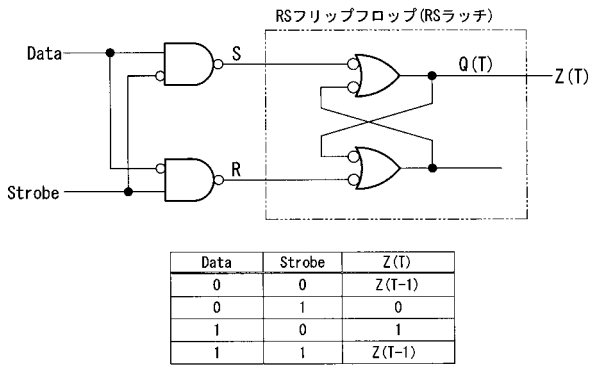
【図17】



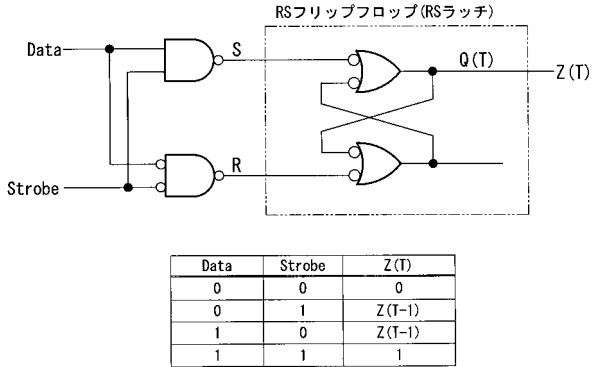
【図18】



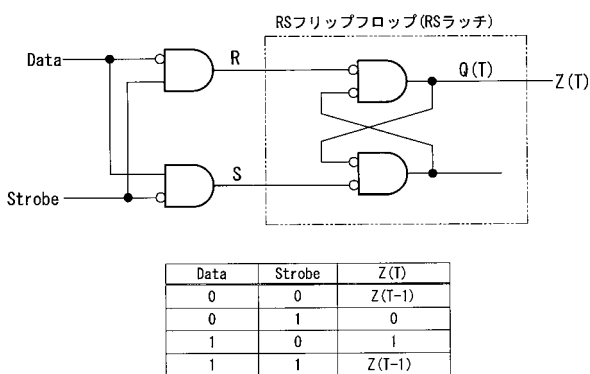
【図19】



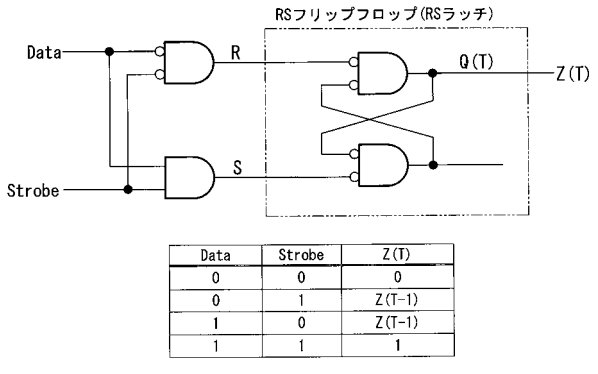
【図21】



【図20】



【図22】



---

フロントページの続き

審査官 北村 智彦

- (56)参考文献 特開平10-304014(JP,A)  
特開2000-269943(JP,A)  
特開2009-021865(JP,A)  
特開2000-195287(JP,A)  
特開2000-196463(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H03M3/00-11/00