

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-140344
(P2004-140344A)

(43) 公開日 平成16年5月13日(2004.5.13)

(51) Int.C1.⁷
H01L 21/8242
G11C 11/409
H01L 27/108

F 1
H01L 27/10 681G
G11C 11/34 353E

テーマコード(参考)
5FO83
5MO24

審査請求 未請求 請求項の数 16 O L (全 23 頁)

(21) 出願番号 特願2003-320862 (P2003-320862)
(22) 出願日 平成15年9月12日 (2003.9.12)
(31) 優先権主張番号 特願2002-278072 (P2002-278072)
(32) 優先日 平成14年9月24日 (2002.9.24)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100084618
弁理士 村松 貞男
(74) 代理人 100092196
弁理士 橋本 良郎

最終頁に続く

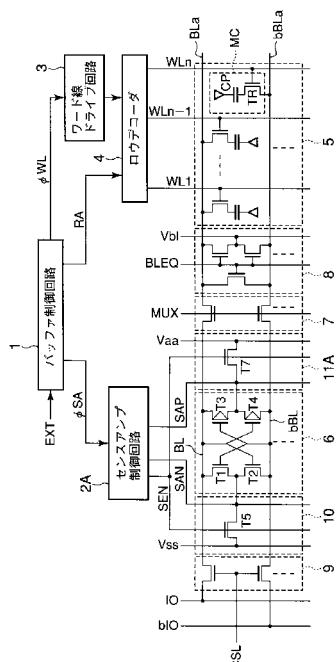
(54) 【発明の名称】半導体集積回路

(57) 【要約】

【課題】ピット線電位のセンス動作の高速化に適した半導体集積回路を提供する。

【解決手段】メモリセルMCがマトリクス状に配置されたメモリセルアレイ5と、メモリセルMCから読み出された信号を増幅する、NチャネルMOSトランジスタから構成されたNチャネルセンスアンプとPチャネルMOSトランジスタから構成されたPチャネルセンスアンプとを含むセンスアンプ6と、センスアンプ6に隣接して配置され、センスアンプ6が含むNチャネルセンスアンプ及びPチャネルセンスアンプをそれぞれ駆動するNチャネルMOSトランジスタを有するセンスアンプ駆動回路10、11Aと、これらセンスアンプ駆動回路が有する各々のNチャネルMOSトランジスタのゲート電極に共通の制御信号を供給するセンスアンプ制御回路2Aとを有する。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

メモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルから読み出された信号を増幅する、NチャネルMOSトランジスタから構成されたNチャネルセンスアンプとPチャネルMOSトランジスタから構成されたPチャネルセンスアンプとを含むセンスアンプと、

前記センスアンプに隣接して配置され、前記センスアンプが含む前記Nチャネルセンスアンプ及びPチャネルセンスアンプをそれぞれ駆動するNチャネルMOSトランジスタを有する第1、第2の駆動回路と、

前記第1、第2の駆動回路が有する各々の前記NチャネルMOSトランジスタのゲート電極に共通の制御信号を供給するセンスアンプ制御回路と、

を具備することを特徴とする半導体集積回路。

【請求項 2】

メモリセルが行方向及び列方向にマトリクス状に配置され、ピット線対に接続されたメモリセルアレイと、

前記列方向に連続して配置され、前記メモリセルから読み出され前記ピット線対間に現われた微小信号を増幅する、PチャネルMOSトランジスタから構成されたPチャネルセンスアンプを含むセンスアンプと、

前記センスアンプに隣接して前記列方向に連続して配置され、前記センスアンプが含む前記Pチャネルセンスアンプを駆動するNチャネルMOSトランジスタを有する駆動回路と、

前記駆動回路が有する前記NチャネルMOSトランジスタのゲート電極に制御信号を供給するセンスアンプ制御回路と、

を具備することを特徴とする半導体集積回路。

【請求項 3】

メモリセルが行方向及び列方向にマトリクス状に配置され、ピット線対に接続されたメモリセルアレイと、

前記列方向に連続して配置され、前記メモリセルから読み出され前記ピット線対間に現われた微小信号を増幅する、NチャネルMOSトランジスタから構成されたNチャネルセンスアンプとPチャネルMOSトランジスタから構成されたPチャネルセンスアンプとを含むセンスアンプと、

前記センスアンプに隣接して前記列方向に連続して配置され、前記センスアンプが含む前記Nチャネルセンスアンプ及びPチャネルセンスアンプをそれぞれ駆動するNチャネルMOSトランジスタを有する第1、第2の駆動回路と、

前記第1、第2の駆動回路が有する各々の前記NチャネルMOSトランジスタのゲート電極に共通の制御信号を供給するセンスアンプ制御回路と、

を具備することを特徴とする半導体集積回路。

【請求項 4】

前記Nチャネルセンスアンプを駆動する前記第1の駆動回路が有するNチャネルMOSトランジスタと、前記Pチャネルセンスアンプを駆動する前記第2の駆動回路が有するNチャネルMOSトランジスタとが、前記列方向に一列に配置されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項 5】

前記第1の駆動回路が有するNチャネルMOSトランジスタのゲート長と、前記第2の駆動回路が有するNチャネルMOSトランジスタのゲート長が等しいことを特徴とする請求項4に記載の半導体集積回路。

【請求項 6】

前記第1の駆動回路が有するNチャネルMOSトランジスタのしきい値電圧と、前記第2の駆動回路が有するNチャネルMOSトランジスタのしきい値電圧が等しいことを特徴とする請求項4に記載の半導体集積回路。

10

20

30

40

50

【請求項 7】

前記列方向に連続して配置された前記センスアンプのうち、2個のセンスアンプ毎に、前記Pチャネルセンスアンプを駆動する駆動回路が1個ずつ配置されていることを特徴とする請求項2に記載の半導体集積回路。

【請求項 8】

前記列方向に連続して配置された前記センスアンプのうち、2個のセンスアンプ毎に、前記Nチャネルセンスアンプを駆動する前記第1の駆動回路と、前記Pチャネルセンスアンプを駆動する第2の駆動回路とが1個ずつ配置されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項 9】

前記第1の駆動回路が有するNチャネルMOSトランジスタと、前記第2の駆動回路が有するNチャネルMOSトランジスタとが、前記列方向に伸びる共通のゲート電極を有することを特徴とする請求項4に記載の半導体集積回路。

【請求項 10】

前記第1の駆動回路が有するNチャネルMOSトランジスタのソースに接続されたソースコンタクトと、前記第2の駆動回路が有するNチャネルMOSトランジスタのソースに接続されたソースコンタクトとが、前記列方向に伸びる共通のゲート電極に対して、互いに反対側に配置されることを特徴とする請求項9に記載の半導体集積回路。

【請求項 11】

前記Pチャネルセンスアンプを構成する前記PチャネルMOSトランジスタはNウェル領域上に形成されており、前記Nウェル領域のウェル電位は、前記Pチャネルセンスアンプを駆動する前記駆動回路が有するNチャネルMOSトランジスタのドレイン電圧に等しいことを特徴とする請求項2に記載の半導体集積回路。

【請求項 12】

前記Pチャネルセンスアンプを構成する前記PチャネルMOSトランジスタはNウェル領域上に形成されており、前記Nウェル領域のウェル電位は、前記Pチャネルセンスアンプを駆動する前記第2の駆動回路が有するNチャネルMOSトランジスタのドレイン電圧に等しいことを特徴とする請求項3に記載の半導体集積回路。

【請求項 13】

前記Pチャネルセンスアンプを構成する前記PチャネルMOSトランジスタはNウェル領域上に形成され、前記Nチャネルセンスアンプを構成する前記NチャネルMOSトランジスタは前記Nウェル領域に隣接するPウェル領域上に形成されており、前記駆動回路が有する前記NチャネルMOSトランジスタは前記Pウェル領域上に形成されていることを特徴とする請求項2に記載の半導体集積回路。

【請求項 14】

前記Pチャネルセンスアンプを構成する前記PチャネルMOSトランジスタはNウェル領域上に形成され、前記Nチャネルセンスアンプを構成する前記NチャネルMOSトランジスタは前記Nウェル領域に隣接するPウェル領域上に形成されており、前記第1、第2の駆動回路が有する前記NチャネルMOSトランジスタは前記Pウェル領域上に形成されていることを特徴とする請求項1または3に記載の半導体集積回路。

【請求項 15】

前記Nチャネルセンスアンプと前記Pチャネルセンスアンプを含む前記センスアンプ、及び前記Nチャネルセンスアンプを駆動する前記第1の駆動回路を含む第1回路群と、前記センスアンプ、及び前記Pチャネルセンスアンプを駆動する前記第2の駆動回路を含む第2回路群とを複数備えた前記半導体集積回路であって、

前記第1、第2回路群の配置数を変更して、第1、第2の駆動回路の数を変更することにより、前記第1の駆動回路が有するNチャネルMOSトランジスタと前記第2の駆動回路が有するNチャネルMOSトランジスタとのトランジスタサイズ比を設定することを特徴とする請求項1または3に記載の半導体集積回路。

【請求項 16】

10

20

30

40

50

前記Nチャネルセンスアンプを構成する前記NチャネルMOSトランジスタのソース電位と、前記Pチャネルセンスアンプを構成する前記PチャネルMOSトランジスタのソース電位とをイコライズするイコライズトランジスタをさらに具備し、

前記イコライズトランジスタは、前記第1、第2の駆動回路が連続して配置された列内に配置されていることを特徴とする請求項3に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体集積回路に関するものであり、特にピット線の電位を読み取るセンスアンプ回路とこのセンスアンプ回路を活性化するためのセンスアンプ活性化回路とを備えたダイナミックランダムアクセスメモリに関するものである。 10

【背景技術】

【0002】

近年、通信用のルータやデータサーバ用の記憶素子として、ランダムアクセスが高速であるダイナミックランダムアクセスメモリ（以下、DRAMと記す）の需要が高まっている。

【0003】

以下に、従来のDRAMの構成例について説明する。図16は、従来のピット線センスアンプを使用したDRAMの一例を示す回路図である。

【0004】

外部から入力される複数の外部入力信号EXTから、バッファ・制御回路101により、ピット線センスアンプ制御信号SA、ワード線制御信号WL、及びロウアドレスRAが作られる。ピット線センスアンプ制御信号SAは、センスアンプ制御回路102に入力される。ワード線制御信号WLはワード線ドライブ回路103に入力され、ロウアドレスRAはロウデコーダ104に入力される。 20

【0005】

前記ロウデコーダ104に接続されたワード線WL1、…、WL_{n-1}、WL_nは、トランジスタTRと容量CPで構成されたメモリセルMCに接続されている。メモリセルMCは、アレイ状に複数配置されてメモリセルアレイ105を構成している。

【0006】

メモリセルMCに対するデータの読み出し/書き込みは、ピット線センスアンプによって制御される。ピット線センスアンプは、ダイナミック型CMOSセンスアンプ106、セルアレイ選択スイッチ107、ピット線イコライズ回路108、及びカラム選択スイッチ109で構成される。センスアンプ106は、相補関係にあるピット線対BLとbBLとの間にクロス接続されている。セルアレイ選択スイッチ107は、セルアレイ105とセンスアンプ106との間に配置されている。ピット線イコライズ回路108は、ピット線対BLとbBLを接続すると共に、これらピット線対BL、bBLを電圧V_{b1}にプリチャージする。カラム選択スイッチ109は、カラム選択信号CSLによって制御され、データ読み出し/書き込みを行うピット線対BL、bBLを選択する。 30

【0007】

前記ダイナミック型CMOSセンスアンプ106は、NチャネルMOSトランジスタT101、T102からなるNチャネルセンスアンプと、PチャネルMOSトランジスタT103、T104からなるPチャネルセンスアンプを有している。Nチャネルセンスアンプの共通ソースには、Nチャネルセンスアンプ駆動信号SANが入力され、Pチャネルセンスアンプの共通ソースにはPチャネルセンスアンプ駆動信号SAPが入力される。センスアンプ駆動信号SAN、SAPのどちらも、センスアンプ制御回路102から出力される。 40

【0008】

前記センスアンプ制御回路102の構成を図17に示す。タイミング発生回路110では、センスアンプ制御信号SAに基づいて、センスアンプ制御回路で必要な各種の制御

10

20

30

40

50

信号 S E N、S E P、S A E Q が作られる。

【0009】

センスアンプ駆動回路 111 では、N チャネル MOS トランジスタ T111 のゲートに N チャネルセンスイネーブル信号 S E N が入力され、ソースに接地電位 V ss が供給される。このトランジスタ T111 のドレインからは信号 S A N が出力される。

【0010】

また、P チャネル MOS トランジスタ T112 のゲートに P チャネルセンスイネーブル信号 S E P が入力され、ソースにビット線リストア電位 V aa が供給される。このトランジスタ T112 のドレインからは信号 S A P が出力される。

【0011】

センスアンプイコライズ回路 112 は、トランジスタ T113、T114、T115 から構成され、センスアンプイコライズ信号 S A E Q によって制御される。このセンスアンプイコライズ回路 112 は、イコライズ信号 S A E Q に従ってトランジスタ T111 のドレインとトランジスタ T112 のドレインとを接続すると共に、信号 S A N、S A P をイコライズ電位 V B L にプリチャージする。

【0012】

次に、前記ビット線センスアンプにおけるビット線電位の基本的なセンス動作について説明する。図 18 は、前記ビット線センスアンプにおけるセンス動作を示すタイミングチャートである。

【0013】

まず、ビット線イコライズ信号 B L E Q の立ち下りによって、ビット線イコライズ回路 108 が非活性化される。その後、ワード線 W L n が立ち上がると、メモリセル容量 C P に蓄えられた電荷はトランジスタ T R を介してビット線 b B L に読み出される。仮に、蓄積されていたデータが“0”であれば、ビット線 b B L の電位はイコライズ電位 V B L から 100 mV 程度低くなる。

【0014】

その後、センスイネーブル信号が S E N、S E P の順で活性化され、センスアンプ駆動信号 S A N が接地電位 V ss に、センスアンプ駆動信号 S A P が電圧 V aa に向けて変化する。信号 S A N の電圧低下でトランジスタ T102 のゲート - ソース間電圧 V gs がトランジスタ T102 のしきい電圧 V thn よりも高くなれば、トランジスタ T102 がオンする。信号 S A P の電圧上昇でトランジスタ T103 のゲート - ソース間電圧 V gs がトランジスタ T103 のしきい電圧 V thp よりも高くなれば、トランジスタ T103 がオンする。これにより、ビット線 b B L は接地電位 V ss に向けて放電され、ビット線 B L は電圧 V aa に向けて充電される。この結果、ビット線 b B L に読み出された信号が増幅される。

【0015】

その後、ビット線対 B L、b B L に十分な電位差が生じた時点でカラム選択スイッチ 109 に入力されるカラム選択信号 C S L が立ち上がり、データが I / O 線対 I O、b I O に読み出される。I / O 線対へのデータ読み出し後も、メモリセルへデータをリストアするためビット線対 B L、b B L への充放電が継続される。

【0016】

前述した動作より、メモリセルからのデータの高速読み出し、またはメモリセルへのデータのリストアが含まれるサイクルタイムの短縮のいずれを達成するにも、ビット線電位のセンス動作の高速化、特に初期のセンス時間の短縮が重要であることがわかる。前記ビット線電位のセンス動作を高速化するための例としては、ビット線オーバドライブ機構を設けた記憶装置が開示されている（例えば、特許文献 1 参照）。

【0017】

また、前述した初期のセンス時間を短縮するためには、信号 S A N、S A P が流れる配線を介して接地電位 V ss、電圧 V aa に流れる電流値を大きくすること、つまり信号 S A N、S A P が流れる配線の配線抵抗を削減することと、信号 S A N、S A P の駆動トランジスタ T111、T112 の寸法を大きくすることが特に有効である。そのために、センス

10

20

30

40

50

アンプ及びセンスアンプ駆動回路のレイアウトにはさまざまな工夫がなされてきた。その一例を以下に示す。

【0018】

図19は、センスアンプ及びセンスアンプ駆動回路のレイアウトを示す概略図である。この図19では、センスアンプ駆動回路(SAD)111を分散配置し、センスアンプ駆動回路(SAD)111からセンスアンプ(SA1~SA2m)106までのセンスアンプ駆動信号SAN、SAPが流れる配線の抵抗を小さくした例を示している。

【0019】

2つのメモリセルアレイ間でセンスアンプを共有する方式の場合、4mカラムのセルアレイ105に対して左右にそれぞれ2mカラムのセンスアンプ106が配置される。ここでは、右側に配置される2mカラムのセンスアンプは図示していない。センスアンプ(SA1~SA2m)106の列の中央には、センスアンプ駆動回路111が配置されている。このような方式では、セルアレイ105の2カラム分のピッチよりもセンスアンプの1カラムのピッチを小さくレイアウトすることにより、センスアンプ寸法を大きくすることなく、センスアンプ106の列内にもセンスアンプ駆動回路111を配置するスペースを捻出している。

【特許文献1】特開平9-63271号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

しかしながら、図19に示したレイアウト方式では、センスアンプ駆動回路111のトランジスタ寸法を実際にはそれほど大きく設定することができない。さらに、セルアレイ105とセンスアンプ106間のビット線の接続が、領域W1で示すように複雑化し、ビット線の配線容量にアンバランスが生じる。したがって、このレイアウト方式は、センス動作のスピードを重視する場合には適切でない。

【0021】

そこでこの発明は、前記課題に鑑みてなされたものであり、ビット線電位のセンス動作の高速化に適した半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0022】

前記目的を達成するために、この発明の一実施形態の半導体集積回路装置は、メモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルから読み出された信号を増幅する、NチャネルMOSトランジスタから構成されたNチャネルセンスアンプとPチャネルMOSトランジスタから構成されたPチャネルセンスアンプとを含むセンスアンプと、前記センスアンプに隣接して配置され、前記センスアンプが含む前記Nチャネルセンスアンプ及びPチャネルセンスアンプをそれぞれ駆動するNチャネルMOSトランジスタを有する第1、第2の駆動回路と、前記第1、第2の駆動回路が有する各々の前記NチャネルMOSトランジスタのゲート電極に共通の制御信号を供給するセンスアンプ制御回路とを具備することを特徴とする。

【発明の効果】

【0023】

この発明によれば、ビット線電位のセンス動作の高速化に適した半導体集積回路を提供することが可能である。

【発明を実施するための最良の形態】

【0024】

この発明の実施の形態を説明する前に、センスアンプを駆動するためのセンスアンプ駆動回路をセンスアンプに隣接して配置した半導体集積回路について説明する。ここでは、半導体集積回路として、ランダムアクセスが可能なダイナミックランダムアクセスメモリ(DRAM)について述べる。

【0025】

10

20

30

40

50

図1は、センスアンプにおけるセンス動作のスピードを重視する場合に、一般的に使用されるセンスアンプ及びセンスアンプ駆動回路のレイアウトを示す概略図である。

【0026】

図1において、センスアンプ6の1カラムのピッチは、セルアレイ5の2カラム分のピッチと等しく設定する。Pチャネルセンスアンプ(PSA)が配列されるPチャネルセンスアンプ列6Pに隣接して、Pチャネルセンスアンプを駆動するためのセンスアンプ駆動回路(PSAD)11が配置される。また、Nチャネルセンスアンプ(NSA)が配列されるNチャネルセンスアンプ列6Nに隣接して、Nチャネルセンスアンプを駆動するためのセンスアンプ駆動回路(NSAD)10が配置される。

【0027】

図2は、図1に示したレイアウトを有する半導体集積回路を、回路構成にて示した回路図である。

【0028】

図2に示すように、外部から複数の外部入力信号EXTがバッファ制御回路1へ入力される。バッファ制御回路1は、外部入力信号EXTに基づいて、ピット線センスアンプ制御信号SA、ワード線制御信号WL、及びロウアドレスRAを生成する。ピット線センスアンプ制御信号SAは、センスアンプ制御回路2に入力される。ワード線制御信号WLはワード線ドライブ回路3に入力され、ロウアドレスRAはロウデコーダ4に入力される。

【0029】

前記ロウデコーダ4からの出力信号が入力されるワード線WL1、…、WL_{n-1}、WL_nは、トランジスタTRと容量CPで構成されたメモリセルMCに接続されている。メモリセルMCは、アレイ状に複数配置されてメモリセルアレイ5を構成している。

【0030】

前記メモリセルMCに記憶されたデータの読み出し、及びメモリセルMCへのデータの書き込みは、ピット線センスアンプによって制御される。ピット線センスアンプは、ダイナミック型CMOSセンスアンプ6、セルアレイ選択スイッチ7、ピット線イコライズ回路8、カラム選択スイッチ9、及びセンスアンプ駆動回路10、11で構成される。センスアンプ6は、相補関係にあるピット線対BLとbBLとの間にクロス接続されている。セルアレイ選択スイッチ7は、セルアレイ5とセンスアンプ6との間に配置されている。ピット線イコライズ回路8は、ピット線対BLとbBLを接続すると共に、これらピット線対BL、bBLを電圧VbIにプリチャージする。カラム選択スイッチ9は、カラム選択信号CSLによって制御され、データ読み出しありは書き込みを行うピット線対BL、bBLを選択する。センスアンプ駆動回路10、11は、センスアンプ6を活性化あるいは非活性化状態にする。

【0031】

通常は、2つのセルアレイ間でセンスアンプ6が共有されているので、セルアレイ選択スイッチ7とピット線イコライズ回路8はセンスアンプ6を挟んで反対側にも接続されるが、ここでは図示しない。

【0032】

前記ダイナミック型CMOSセンスアンプ6は、NチャネルMOSトランジスタT1、T2からなるNチャネルセンスアンプと、PチャネルMOSトランジスタT3、T4からなるPチャネルセンスアンプとを有している。

【0033】

Nチャネルセンスアンプの共通ソースには、Nチャネルセンスアンプ駆動信号SANが入力される。さらに、センスアンプ駆動信号SANは、Nチャネルセンスアンプ駆動回路10を構成するNチャネルMOSトランジスタT5のドレインに入力される。トランジスタT5のソースには接地電位Vssが供給され、ゲートにはセンスイネーブル信号SENが入力される。

【0034】

10

20

30

40

50

また、Pチャネルセンスアンプの共通ソースには、Pチャネルセンスアンプ駆動信号SAPが入力される。さらに、センスアンプ駆動信号SAPは、Pチャネルセンスアンプ駆動回路11を構成するPチャネルMOSトランジスタT6のドレインに入力される。トランジスタT6のソースにはビット線リストア電位Vaaが供給され、ゲートにはセンスイネーブル信号SEN、SEPが入力される。センスアンプ駆動信号SAN、SAP、及びセンスイネーブル信号SEN、SEPは、いずれもセンスアンプ制御回路2から出力される。

【0035】

図3は、前記センスアンプ制御回路2の構成を示す回路図である。

【0036】

センスアンプ制御回路2は、タイミング発生回路21とイコライズ回路22を有する。
タイミング発生回路21では、入力されるセンスアンプ制御信号SAに基づいて、センスアンプ動作で必要な各種の制御信号SEN、SEP、SAEQを生成する。イコライズ回路22は、トランジスタT8、T9、T10からなり、制御信号SAEQを受け取り、センスアンプ駆動信号SANとSAPをイコライズする。イコライズ回路22は、センスアンプ6が非活性状態のときに、センスアンプイコライズ信号SAEQに従って、センスアンプ駆動信号SAN、SAPをイコライズ電位Vbl(Vaa/2レベル)にプリチャージする。

【0037】

次に、基本的なビット線電位のセンス動作について図4を用いて説明する。図4は、前記ビット線センスアンプにおけるビット線電位のセンス動作を示すタイミングチャートである。

【0038】

まず、ビット線イコライズ信号BLEQの立ち下りによって、ビット線イコライズ回路8が非活性化される。次に、ワード線WLnが立ち上がりると、メモリセルの容量CPに蓄えられた電荷はトランジスタTRを介してビット線bBLに読み出される。仮に、メモリセルMCに蓄積されていたデータが“0”であれば、ビット線bBLの電位はイコライズ電位Vblから100mV程度低くなる。

【0039】

その後、センスイネーブル信号SENが電圧Vppに向けて立ち上がり、続いてセンスイネーブル信号SEPが接地電位Vssに向けて立ち下がる。これにより、センスアンプ駆動回路(トランジスタT5、T6)が活性化される。このトランジスタT5、T6の活性化によって、センスアンプ駆動信号SANが接地電位Vssに、センスアンプ駆動信号SAPが電圧Vaaに向けて変化する。

【0040】

センスアンプ駆動信号SANの電圧低下で、トランジスタT2のゲート-ソース間電圧VgsがトランジスタT2のしきい電圧Vthnよりも高くなれば、トランジスタT2がオンする。センスアンプ駆動信号SAPの電圧上昇でトランジスタT3のゲート-ソース間電圧VgsがトランジスタT3のしきい電圧Vthpよりも高くなれば、トランジスタT3がオンする。これにより、ビット線bBLは接地電位Vssに向けて放電される。また、ビット線BLは電圧Vaaに向けて充電される。この結果、ビット線bBLに読み出された信号が增幅される。

【0041】

その後、ビット線対BLとbBLとの間に十分な電位差が生じた時点でカラム選択スイッチ9に入力されるカラム選択信号CSLが立ち上がり、データがI/O線対IO、bIOに読み出される。I/O線対へのデータ読み出し後も、メモリセルMCへデータをリストアするためにビット線対BL、bBLへの充放電が継続される。

【0042】

図5は、前記センスアンプ及びセンスアンプ駆動回路を構成するトランジスタの具体的なレイアウト図である。

【0043】

10

20

30

40

50

この図5は、2カラム分のセンスアンプとセンスアンプ駆動回路を示している。領域CにはPチャネルセンスアンプ(トランジスタT3、T4)が配置され、領域BにはPチャネルセンスアンプ駆動回路(トランジスタT6)が配置される。また、領域EにはNチャネルセンスアンプ(トランジスタT1、T2)が配置され、領域DにはNチャネルセンスアンプ駆動回路(トランジスタT5)が配置される。領域A1、A2は、それぞれカラムごとのセンスアンプ領域を示している。

【0044】

図5に示すように、P型拡散領域31上には、ゲート電極32、33、ドレインコンタクト34、35、及び共通ソースコンタクト36が形成される。前記ゲート電極32、33は、クロスカップルされたPチャネルトランジスタT3、T4のそれぞれのゲート電極である。ドレインコンタクト34、35は、トランジスタT3、T4のドレインにそれぞれ接続されている。共通ソースコンタクト36は、トランジスタT3、T4の共通のソースに接続されている。

【0045】

トランジスタT3、T4から構成されるPチャネルセンスアンプに隣接して、センスアンプ駆動回路を構成する駆動トランジスタT6が配置される。この駆動トランジスタT6は、P型拡散領域37に形成される。P型拡散領域37上には、トランジスタT6のゲート電極38、ドレインコンタクト39、及びソースコンタクト40が形成される。なお、ゲート電極38のゲートコンタクトは図示していないが、センスアンプ領域上を縦に走る配線から、あるまとまったセンスアンプ単位ごとに取られる。

【0046】

ウェル境界41は、Pチャネルセンスアンプが含まれるNウェル領域と、Nチャネルセンスアンプが含まれるPウェル領域との境界である。Pウェル領域内の領域E、Dには、前述したように、Nチャネルセンスアンプ(トランジスタT1、T2)、センスアンプ駆動回路(トランジスタT5)がそれぞれ配置される。

【0047】

図5に示したレイアウトでは、センスアンプの2カラム当たりに1つの駆動トランジスタが隣接配置されるため、センスアンプとセンスアンプを駆動する駆動トランジスタとの間の配線抵抗を非常に小さくできる。また、センスアンプの2カラム当たりに1つ設けられる駆動トランジスタの寸法を十分大きく設定できるため、ビット線電位のセンス時間を短縮することが可能となる。

【0048】

しかし、図5に示したレイアウトでは、センスアンプ及びセンスアンプ駆動回路を形成するために必要な領域の寸法が増え、チップサイズが大きくなってしまう。具体的には、Nチャネルセンスアンプ及びPチャネルセンスアンプのそれぞれの駆動トランジスタを、前記Nチャネルセンスアンプ及びPチャネルセンスアンプの横にそれぞれ配置したため、トランジスタ領域が増大する。さらに、センスアンプを駆動するセンスイネーブル信号SEN、SEPの配線が2本増える。これらにより、チップ面積が大幅に増大し、高速ランダムアクセスが可能なDRAMを安価に提供することができない場合がある。

【0049】

このような問題点を解決した、この発明の実施の形態の半導体集積回路について以下に説明する。説明に際し、前述した半導体集積回路における構成と同様の部分には同じ符号を付す。

【0050】

図6は、この発明の実施の形態の半導体集積回路の構成を示す回路図である。

【0051】

図6に示すように、外部から複数の外部入力信号EXTがバッファ制御回路1へ入力される。バッファ制御回路1は、外部入力信号EXTに基づいて、ビット線センスアンプ制御信号SA、ワード線制御信号WL、及びロウアドレスRAを生成する。ビット線センスアンプ制御信号SAは、センスアンプ制御回路2Aに入力される。ワード線制御信

10

20

30

40

50

号 W_L はワード線ドライブ回路 3 に入力され、ロウアドレス R_A はロウデコーダ 4 に入力される。

【0052】

前記ロウデコーダ 4 からの出力信号が入力されるワード線 $W_L 1, \dots, W_L n-1, W_L n$ は、トランジスタ T_R と容量 C_P で構成されたメモリセル M_C に接続されている。メモリセル M_C は、アレイ状（例えばマトリクス状）に複数配置されてメモリセルアレイ 5 を構成している。

【0053】

前記メモリセル M_C に記憶されたデータの読み出し、及びメモリセル M_C へのデータの書き込みは、ビット線センスアンプによって制御される。ビット線センスアンプは、ダイナミック型 CMOS センスアンプ 6、セルアレイ選択スイッチ 7、ビット線イコライズ回路 8、カラム選択スイッチ 9、及びセンスアンプ駆動回路 10、11A で構成される。センスアンプ 6 は、相補関係にあるビット線対 B_L と $b_B L$ の間にクロス接続されている。セルアレイ選択スイッチ 7 は、セルアレイ 5 とセンスアンプ 6 の間に配置されている。ビット線イコライズ回路 8 は、ビット線対 B_L と $b_B L$ を接続すると共に、これらビット線対 B_L 、 $b_B L$ を電圧 V_{bI} にプリチャージする。カラム選択スイッチ 9 は、カラム選択信号 $C_S L$ によって制御され、データ読み出しままたは書き込みを行うビット線対 B_L 、 $b_B L$ を選択する。センスアンプ駆動回路 10、11A は、センスアンプ 6 を活性化あるいは非活性化状態にする。

【0054】

通常は、2つのセルアレイ間でセンスアンプ 6 が共有されているので、セルアレイ選択スイッチ 7 とビット線イコライズ回路 8 はセンスアンプ 6 を挟んで反対側にも接続されるが、ここでは図示しない。

【0055】

前記ダイナミック型 CMOS センスアンプ 6 は、N チャネル MOS トランジスタ T_1, T_2 からなる N チャネルセンスアンプと、P チャネル MOS トランジスタ T_3, T_4 からなる P チャネルセンスアンプとを有している。

【0056】

N チャネルセンスアンプの共通ソースには、N チャネルセンスアンプ駆動信号 S_{AN} が入力される。さらに、センスアンプ駆動信号 S_{AN} は、N チャネルセンスアンプ駆動回路 10 を構成する N チャネル MOS トランジスタ T_5 のドレインに入力される。トランジスタ T_5 のソースには接地電位 V_{ss} が供給され、ゲートにはセンスイネーブル信号 S_{EN} が入力される。

【0057】

また、P チャネルセンスアンプの共通ソースには、P チャネルセンスアンプ駆動信号 S_{AP} が入力される。さらに、センスアンプ駆動信号 S_{AP} は、P チャネルセンスアンプ駆動回路 11A を構成する N チャネル MOS トランジスタ T_7 のドレインに入力される。トランジスタ T_7 のソースにはビット線リストア電位 V_{aa} が供給され、ゲートには前記トランジスタ T_5 のゲートと同様に、センスイネーブル信号 S_{EN} が入力される。センスアンプ駆動信号 S_{AN} 、 S_{AP} 、及びセンスイネーブル信号 S_{EN} は、いずれもセンスアンプ制御回路 2A から出力される。

【0058】

図 1 に示した半導体集積回路とは、P チャネルセンスアンプを駆動するセンスアンプ駆動回路が N チャネル MOS トランジスタ T_7 で構成される点と、N チャネル及び P チャネルセンスアンプを駆動するセンスアンプ駆動回路、すなわちトランジスタ T_5 及び T_7 のゲートに入力される信号が同一のセンスイネーブル信号 S_{EN} である点が異なっている。

【0059】

図 7 は、前記センスアンプ制御回路 2A の構成を示す回路図である。

【0060】

センスアンプ制御回路 2A は、タイミング発生回路 21 とイコライズ回路 22 を有する

10

20

30

40

50

。タイミング発生回路 21 では、入力されるセンスアンプ制御信号 S A に基づいて、センスアンプ動作で必要な各種の制御信号 S E N 、 S A E Q を生成する。イコライズ回路 22 は、トランジスタ T 8 、 T 9 、 T 10 からなり、制御信号 S A E Q を受け取り、センスアンプ駆動信号 S A N と S A P をイコライズする。イコライズ回路 22 は、センスアンプ 6 が非活性状態のときに、センスアンプイコライズ信号 S A E Q に従って、センスアンプ駆動信号 S A N 、 S A P をイコライズ電位 V bI (V aa / 2 レベル) にプリチャージする。

【 0 0 6 1 】

次に、基本的なビット線電位のセンス動作について図 8 を用いて説明する。図 8 は、前記ビット線センスアンプにおけるビット線電位のセンス動作を示すタイミングチャートである。

10

【 0 0 6 2 】

まず、ビット線イコライズ信号 B L E Q の立ち下りによって、ビット線イコライズ回路 8 が非活性化される。次に、ワード線 W L n が立ち上がると、メモリセルの容量 C P に蓄えられた電荷はトランジスタ T R を介してビット線 b B L に読み出される。仮に、メモリセル M C に蓄積されていたデータが “ 0 ” であれば、ビット線 b B L の電位はイコライズ電位 V bI から 100 mV 程度低くなる。

【 0 0 6 3 】

その後、センスイネーブル信号 S E N が電圧 V pp に向けて立ち上がり、センスアンプ駆動回路 (トランジスタ T 5 、 T 7) が活性化される。これにより、センスアンプ駆動信号 S A N が接地電位 V ss に向けて変化する。これと同時に、センスアンプ駆動信号 S A P がビット線リストア電位 V aa に向けて変化する。

【 0 0 6 4 】

この実施の形態では、ビット線リストア速度のさらなる高速化のために、すなわちビット線 B L を電圧 V aa まで充電する速度を高速化するために、ビット線電位のセンス動作の初期に、ビット線リストア電位 V aa を一時的に電圧 V aah まで上昇させるオーバードライブ方式を採用している。前記電圧 V aah は、電圧 V aa より所定電圧だけ高い電圧である。

【 0 0 6 5 】

N チャネル及び P チャネルセンスアンプを駆動する駆動トランジスタ T 5 及び T 7 のゲートには、前述したように、センスイネーブル信号 S E N が共通に入力される。このとき、トランジスタ T 7 のソース電位の初期値はイコライズ電位 V bI と高い。このため、 P チャネルセンスアンプ駆動信号 S A P の立ち上がりは、 N チャネルセンスアンプ駆動信号 S A N の立ち下がりよりもわずかに遅くなる。

30

【 0 0 6 6 】

センスアンプ駆動信号 S A N の電圧低下で、トランジスタ T 2 のゲート - ソース間電圧 V gs がしきい電圧 V thn よりも高くなればトランジスタ T 2 がオンする。また、センスアンプ駆動信号 S A P の電圧上昇で、トランジスタ T 3 のゲート - ソース間電圧 V gs がしきい電圧 V thp よりも高くなればトランジスタ T 3 がオンする。これらにより、ビット線 b B L は接地電位 V ss に向けて放電され、ビット線 B L は電圧 V aah に向けて充電される。この結果、ビット線 b B L に読み出された信号が増幅される。

40

【 0 0 6 7 】

その後、ビット線対 B L と b B L との間に十分な電位差が生じた時点でカラム選択スイッチ 9 に入力されるカラム選択信号 C S L が立ち上がり、データが I / O 線対 I O 、 b I O に読み出される。 I / O 線対へのデータ読み出し後も、メモリセルへデータをリストアするためにビット線対 B L 、 b B L への充放電が継続される。なお、前記オーバードライブは、ビット線が予め設定されたリストア用の電圧 V aa に十分近づいた時点で停止される。

【 0 0 6 8 】

図 9 は、前記ビット線リストア電位 V aa 及び電圧 V aah を発生するオーバードライブ回路の構成を示す図である。

【 0 0 6 9 】

50

このオーバードライブ回路は、チップ内に設けられており、第1内部降圧回路51、及び第2内部降圧回路52を有する。第1内部降圧回路51は、供給される電源電位Vccを降圧して、あらかじめ設定されたリストア電位Vaaを定常的に発生する。また、第2内部降圧回路52は、供給される電源電位Vccを降圧してオーバードライブ用電位を発生する。この第2内部降圧回路52には制御信号ODが入力されており、第2内部降圧回路52は制御信号ODに従って、オーバードライブ用電圧を出力するか否かを切り換える。電位Vaaより所定電圧だけ高い電圧Vahは、ビット線リストア電位Vaaにオーバードライブ用電位を加えることにより生成される。そして、第2内部降圧回路52に入力される制御信号ODによって、電圧Vahを出力するか否かが制御される。

【0070】

10

図10は、前記センスアンプ及びセンスアンプ駆動回路を構成するトランジスタの第1例のレイアウト図である。

【0071】

この図10には、2カラム分のセンスアンプとセンスアンプ駆動回路が示されている。領域CにはPチャネルセンスアンプ(トランジスタT3、T4)が配置され、領域EにはNチャネルセンスアンプ(トランジスタT1、T2)が配置されている。領域Fには、Nチャネルセンスアンプを駆動するセンスアンプ駆動回路(トランジスタT5)と、Pチャネルセンスアンプを駆動するセンスアンプ駆動回路(トランジスタT7)が配置されている。領域A1、A2は、それぞれカラムごとのセンスアンプ領域を示している。

【0072】

20

前記レイアウト図中の個々の構成について、以下に詳しく述べる。P型拡散領域31上には、ゲート電極32、33、ドレインコンタクト34、35、及び共通ソースコンタクト36が形成される。前記ゲート電極32、33は、クロスカップルされたPチャネルトランジスタT3、T4のゲート電極である。ドレインコンタクト34、35は、トランジスタT3、T4のドレインにそれぞれ接続されている。共通ソースコンタクト36は、トランジスタT3、T4の共通のソースに接続されている。N型拡散領域61及びコンタクト62は、Pチャネルセンスアンプが含まれるNウェル領域の電位を取るものである。

【0073】

ウェル境界41は、Pチャネルセンスアンプが含まれるNウェル領域と、Nチャネルセンスアンプが含まれるPウェル領域との境界である。

【0074】

前記Pウェル領域内のN型拡散領域42上には、ゲート電極43、44、ドレインコンタクト45、46、及び共通ソースコンタクト47が形成される。前記ゲート電極43、44は、クロスカップルされたNチャネルトランジスタT1、T2のゲート電極である。ドレインコンタクト45、46は、トランジスタT1、T2のドレインにそれぞれ接続されている。共通ソースコンタクト47は、トランジスタT1、T2の共通のソースに接続されている。

【0075】

また、前記Pウェル領域内の領域Fには、センスアンプ駆動回路を構成するNチャネルMOSトランジスタT5、T7が形成されている。ここで、図6の回路図に示したように、Nチャネルセンスアンプ及びPチャネルセンヌアンプは、共にNチャンネルMOSトランジスタで駆動される。さらに、トランジスタT5、T7のゲートに入力される信号は、共にセンスイネーブル信号SENである。このような回路構成の場合、トランジスタT5及びT7をセンスアンプ6が形成される領域C、Eに隣接する領域Fに1列に配置することが可能である。

【0076】

40

N型拡散領域63上には、Pチャネルセンスアンプを駆動するための前記NチャネルトランジスタT7が形成されており、ゲート電極64、ソースコンタクト65、及びドレインコンタクト66が配置されている。ソースコンタクト65はトランジスタT7のソース

50

に接続されており、このソースコンタクト 6 5 には電位 V_{aa} が供給される。ドレインコンタクト 6 6 はトランジスタ T 7 のドレインに接続されており、このドレインコンタクト 6 6 にはセンスアンプ駆動信号 S A P が供給される。

【 0 0 7 7 】

N 型拡散領域 6 7 上には、N チャネルセンスアンプを駆動するための N チャネルトランジスタ T 5 が形成されており、ゲート電極 6 4 、ソースコンタクト 6 8 、及びドレインコンタクト 6 9 が配置されている。図に示したトランジスタ T 5 はレイアウトの境界部のため、トランジスタの上部と下部が分離されて描かれている。ソースコンタクト 6 8 はトランジスタ T 5 のソースに接続されており、このソースコンタクト 6 8 には接地電位 V_{ss} が供給される。ドレインコンタクト 6 9 はトランジスタ T 5 のドレインに接続されており、このドレインコンタクト 6 9 には信号 S A N が供給される。これらのトランジスタ T 5 、T 7 では、チャネルリイオン注入の境界と拡散領域間の余裕を取ることが難しい。このため、通常、トランジスタ T 5 と T 7 のしきい値電圧は、等しく低い電圧に設定される。また、トランジスタ T 5 と T 7 のゲート長は等しく設定される。

【 0 0 7 8 】

図 1 1 は、図 1 0 に示したレイアウト図に、ビット線配線とこのビット線配線と同層の配線層を追加した図である。

【 0 0 7 9 】

P チャネルセンスアンプ駆動回路を構成するトランジスタ T 7 のドレインコンタクト 6 6 と、P チャネルセンスアンプを構成するトランジスタ T 3 、T 4 の共通のソースコンタクト 3 6 は、配線 8 1 で相互に接続される。P チャネルセンスアンプが含まれる N ウェル領域に接続されたコンタクト 6 2 は、前記配線 8 1 に接続されている。配線 8 1 は、例えばタンゲステン (W) により形成する。

【 0 0 8 0 】

また、N チャネルセンスアンプ駆動回路を構成するトランジスタ T 5 のドレインコンタクト 6 9 と、N チャネルセンスアンプを構成するトランジスタ T 1 、T 2 の共通のソースコンタクト 4 7 は、配線 8 2 で相互に接続される。配線 8 1 と配線 8 2 は、図 1 1 に示すように、列方向に交互に配置される。なお、ビット線と同じ配線層で直接接続されていないソースコンタクト 3 6 、4 7 もあるが、ソースコンタクト 3 6 間、及びソースコンタクト 4 7 間はさらに前記配線 8 1 、8 2 より上層の配線層を介してそれぞれ共通に接続される。

【 0 0 8 1 】

また、トランジスタ T 4 のドレインコンタクト 3 5 、トランジスタ T 3 のゲート電極 3 2 、トランジスタ T 2 のドレインコンタクト 4 6 、及びトランジスタ T 1 のゲート電極 4 3 は、ビット線 b B L である配線 8 3 で相互に接続される。トランジスタ T 3 のドレインコンタクト 3 4 、トランジスタ T 4 のゲート電極 3 3 、トランジスタ T 1 のドレインコンタクト 4 5 、及びトランジスタ T 2 のゲート電極 4 4 は、ビット線 B L である配線 8 4 で相互に接続される。

【 0 0 8 2 】

図 1 2 は、前記センスアンプ及びセンスアンプ駆動回路を構成するトランジスタの第 2 例のレイアウト図である。

【 0 0 8 3 】

この図 1 2 には、前記第 1 例と同様に、2 カラム分のセンスアンプとセンスアンプ駆動回路が示されている。領域 C には P チャネルセンスアンプ (トランジスタ T 3 、T 4) が配置され、領域 E には N チャネルセンスアンプ (トランジスタ T 1 、T 2) が配置されている。領域 F には、N チャネルセンスアンプを駆動するセンスアンプ駆動回路 (トランジスタ T 5) 、または P チャネルセンスアンプを駆動するセンスアンプ駆動回路 (トランジスタ T 7) が配置されている。領域 A 1 、A 2 は、それぞれカラムごとのセンスアンプ領域を示している。

【 0 0 8 4 】

10

20

30

40

50

前記レイアウト図中の個々の構成について、以下に詳しく述べる。P型拡散領域31上には、前記第1例と同様に、ゲート電極32、33、ドレインコンタクト34、35、及び共通ソースコンタクト36が形成されている。N型拡散領域61及びコンタクト62は、Pチャネルセンスアンプが含まれるN型ウェル領域の電位を設定するためのものである。さらに、ウェル境界41は、Pチャネルセンスアンプが含まれるN型ウェル領域と、Nチャネルセンスアンプが含まれるP型ウェル領域との境界である。

【0085】

前記P型ウェル領域内のN型拡散領域42上には、ゲート電極93、94、ドレインコンタクト95、96、及び共通ソースコンタクト97が形成される。前記ゲート電極93、94は、クロスカップルされたNチャネルトランジスタT1、T2のゲート電極である。ドレインコンタクト95、96は、トランジスタT1、T2のドレインにそれぞれ接続されている。共通ソースコンタクト97は、トランジスタT1、T2の共通のソースに接続されている。

【0086】

また、前記P型ウェル領域内の領域Fには、センスアンプ駆動回路を構成するNチャネルMOSトランジスタT5またはT7が形成されており、ゲート電極98が配置されている。NチャネルMOSトランジスタT5またはT7のゲート電極98の一端は、領域Aの末端まで延伸されずに切断されている。一方、ゲート電極98の他端には配線99が接続され、配線99にはコンタクト92が接続されている。

【0087】

図13は、図12に示したレイアウト図に、ピット線配線とこのピット線配線と同層の配線層を追加した図であり、領域FにはPチャネルセンスアンプを駆動するNチャネルMOSトランジスタT7が配置されている。

【0088】

N型拡散領域63上には、Pチャネルセンスアンプを駆動するための前記NチャネルトランジスタT7が形成されており、ゲート電極98、ソースコンタクト65、及びドレインコンタクト66が配置されている。

【0089】

NチャネルMOSトランジスタT7のドレインコンタクト66と、Pチャネルセンスアンプを構成するトランジスタT3、T4の共通のソースコンタクト36は、配線81で相互に接続される。Pチャネルセンスアンプが含まれるN型ウェル領域に接続されたコンタクト62は、前記配線81に接続されている。配線81は、例えはタングステン(W)により形成される。なお、ピット線と同じ配線層で直接接続されていないソースコンタクト36、97もあるが、ソースコンタクト36間、及びソースコンタクト97間はさらに前記配線81より上層の配線層を介してそれぞれ共通に接続される。

【0090】

また、トランジスタT4のドレインコンタクト35、トランジスタT3のゲート電極32、トランジスタT1のゲート電極93、及びトランジスタT2のドレインコンタクト96は、ピット線bBLである配線90で相互に接続される。トランジスタT4のゲート電極33、トランジスタT3のドレインコンタクト34、トランジスタT1のドレインコンタクト95、及びトランジスタT2のゲート電極94は、ピット線BLである配線91で相互に接続される。

【0091】

ソースコンタクト65はトランジスタT7のソースに接続されており、このソースコンタクト65には電位Vaaが供給される。ドレインコンタクト66はトランジスタT7のドレインに接続されており、このドレインコンタクト66にはセンスアンプ駆動信号SAPが供給される。

【0092】

図14は、図12に示したレイアウト図に、ピット線配線とこのピット線配線と同層の配線層を追加した図であり、領域FにはNチャネルセンスアンプを駆動するNチャネルM

10

20

30

40

50

MOSトランジスタT5が配置されている。

【0093】

N型拡散領域63上には、Nチャネルセンスアンプを駆動するための前記NチャネルトランジスタT5が形成されており、ゲート電極98、ソースコンタクト68、及びドレインコンタクト69が配置されている。

【0094】

NチャネルMOSトランジスタT5のドレインコンタクト69と、Nチャネルセンスアンプを構成するトランジスタT1、T2の共通のソースコンタクト97は、配線82で相互に接続される。配線82は、例えばタングステン(W)により形成される。また、Pチャネルセンスアンプを構成するトランジスタT3、T4の共通のソースコンタクト36とPチャネルセンスアンプが含まれるN型ウェル領域に接続されたコンタクト62は、配線89にて接続されている。なお、ビット線と同じ配線層で直接接続されていないソースコンタクト36、97もあるが、ソースコンタクト36間、及びソースコンタクト97間はさらに前記配線81、89より上層の配線層を介してそれぞれ共通に接続される。

【0095】

また、トランジスタT4のドレインコンタクト35、トランジスタT3のゲート電極32、トランジスタT1のゲート電極93、及びトランジスタT2のドレインコンタクト96は、ビット線bBLである配線90で相互に接続される。トランジスタT4のゲート電極33、トランジスタT3のドレインコンタクト34、トランジスタT1のドレインコンタクト95、及びトランジスタT2のゲート電極94は、ビット線BLである配線91で相互に接続される。

【0096】

ソースコンタクト68はトランジスタT5のソースに接続されており、このソースコンタクト68には接地電位Vssが供給される。ドレインコンタクト69はトランジスタT5のドレインに接続されており、このドレインコンタクト69にはセンスアンプ駆動信号SANが供給される。

【0097】

ここで、図6の回路図に示したように、Nチャネルセンスアンプ及びPチャネルセンスアンプは、共にNチャンネルMOSトランジスタで駆動される。さらに、トランジスタT5またはT7のゲートに入力される信号は、共にセンスイネーブル信号SENである。このような回路構成の場合、トランジスタT5またはT7を、センスアンプ6が形成される領域C、Eに隣接する領域Fに1列に配置することが可能である。

【0098】

また、図13、図14に示したレイアウトを用いると、Pチャネルセンスアンプ(トランジスタT3、T4)及びNチャネルセンスアンプ(トランジスタT1、T2)にセンスアンプ駆動回路(トランジスタT7またはT5)をそれぞれ接続することが可能である。半導体基板上の所定領域内に、図13及び図14に示したレイアウトを所望の数だけ配置することにより、トランジスタT7を合せたトランジスタサイズと、トランジスタT5を合せたトランジスタサイズとのサイズ比を自由に設定することができる。例えば、セルアレイとして4mカラムのメモリセルが配置される場合、計m個のセンスアンプ駆動回路(トランジスタT7またはT5)を領域Fの列に配置できる。図13に示したレイアウトをi個配置し、図14に示したレイアウトをj個配置すると、 $i + j = m$ となる(i, j は、1、2、...、 $m - 1$)。このように図13に示したレイアウトと、図14に示したレイアウトとの配置数を調節することで、トランジスタT7及びT5(センスアンプ駆動回路)のトランジスタサイズを最適なサイズに設定する。これにより、ビット線センスの高速化とビット線リストアの高速化が容易となる。

【0099】

図15は、図7に示した信号SAPとSANをイコライズするトランジスタT10を、図12に示した領域Fに配置したレイアウト図である。

【0100】

10

20

30

40

50

N型拡散領域63上には、信号SAPとSANをイコライズするNチャネルMOSトランジスタT10が形成されており、ゲート電極78、ソースコンタクト85、及びドレインコンタクト86が配置されている。NチャネルMOSトランジスタT10のゲート電極78の一端は、領域Aの末端まで延伸されずに切断されている。一方、ゲート電極78の他端には配線79が接続され、配線79にはコンタクト80が接続されている。

【0101】

NチャネルMOSトランジスタT10のドレインコンタクト86と、Pチャネルセンスアンプを構成するトランジスタT3、T4の共通のソースコンタクト36は、配線87で相互に接続される。Pチャネルセンスアンプが含まれるN型ウェル領域に接続されたコンタクト62は、前記配線87に接続されている。また、NチャネルMOSトランジスタT10のソースコンタクト85と、Nチャネルセンスアンプを構成するトランジスタT1、T2の共通のソースコンタクト97は、配線88で相互に接続される。配線87、88は、例えばタングステン(W)により形成される。なお、図15に示した配線層で直接接続されていないソースコンタクト36、97もあるが、ソースコンタクト36間、及びソースコンタクト97間はさらに前記配線87、88より上層の配線層を介してそれぞれ共通に接続される。

【0102】

前記イコライズトランジスタT10のゲート電極78には、図8に示した信号SAEQが入力される。このイコライズトランジスタT10を領域Fの列方向に分散配置することにより、信号SAPとSANをイコライズするための機能を大きくすると共に配線抵抗を低減することができ、イコライズ動作を高速化できる。この結果、半導体集積回路における読み出し及び書き込みのサイクル時間(tRC)を短縮することができる。

【0103】

図5に示したレイアウト例では、Pチャネルセンスアンプ及びセンスアンプ駆動回路を構成するトランジスタT3、T4、及びT6が同一のNウェル領域内に形成される。このため、前記Nウェル領域の電位は電圧Vaa以下にすることはできない。したがって、図5に示したレイアウト例では、Pチャネルセンスアンプの動作開始時には、トランジスタT3、T4のソース電位は電圧Vaaよりも低くなるので、センスアンプ駆動回路(トランジスタT6)にはバックバイアスがかかる。このため、トランジスタT6のしきい電圧Vthが上昇しその駆動力が低下する。この結果、Pチャネルセンスアンプによる初期のセンス速度が悪化することができる。

【0104】

これに対して、この実施の形態では、Pチャネルセンスアンプによる初期のセンス動作時に、センスアンプ駆動回路(トランジスタT7)にバックバイアスがかからないため、しきい電圧Vthが低いままである。これにより、Pチャネルセンスアンプによる初期のセンス速度を高速化できる。

【0105】

以上説明したようにこの発明の実施の形態では、レイアウト及び回路の改良により、ビット線センスアンプ活性化回路をセンスアンプに隣接して配置した場合でも従来よりもチップ面積を小さくすることができ、高速なランダムアクセスが可能なDRAMを安価に提供することができる。

【0106】

詳述すると、前記実施の形態では、従来はPチャネルMOSトランジスタで構成されていた、Pチャネルセンスアンプを駆動する第1駆動トランジスタを、NチャネルMOSトランジスタに置き換える。さらに、Nチャネルセンスアンプを駆動する第2駆動トランジスタのゲートと、前記第1駆動トランジスタのゲートへの入力信号を共通化する。これらにより、センスアンプ中に2列必要であった第1駆動トランジスタ及び第2駆動トランジスタを1列に配列することができ、従来に比べてチップ面積が大幅に小さい高速なDRAMを実現できる。また、Pチャネルセンスアンプが含まれるNウェル領域の電位を、Pチャネルセンスアンプを駆動する第2駆動トランジスタの出力から取ることにより、

10

20

30

40

50

従来に比べて初期のセンス速度を高速化することができる。

【0107】

また、この発明の実施の形態は前述した構成に限定されるわけではなく、前記構成の変更あるいは各種構成の追加によって、様々な実施の形態を形成することが可能である。

【図面の簡単な説明】

【0108】

【図1】半導体集積回路において使用されるセンスアンプ及びセンスアンプ駆動回路のレイアウトを示す概略図である。

【図2】図1に示したレイアウトを有する半導体集積回路を、回路構成にて示した回路図である。

10

【図3】前記半導体集積回路におけるセンスアンプ制御回路の構成を示す回路図である。

【図4】前記半導体集積回路におけるビット線センスアンプのビット線電位のセンス動作を示すタイミングチャートである。

【図5】前記半導体集積回路におけるセンスアンプ及びセンスアンプ駆動回路を構成するトランジスタのレイアウト図である。

【図6】この発明の実施の形態の半導体集積回路の構成を示す回路図である。

【図7】前記実施の形態の半導体集積回路におけるセンスアンプ制御回路の構成を示す回路図である。

【図8】前記実施の形態の半導体集積回路におけるビット線センスアンプのビット線電位のセンス動作を示すタイミングチャートである。

20

【図9】前記実施の形態の半導体集積回路におけるオーバードライブ回路の構成を示す図である。

【図10】前記実施の形態の半導体集積回路におけるセンスアンプ及びセンスアンプ駆動回路を構成するトランジスタの第1例のレイアウト図である。

【図11】図10に示したレイアウト図に、ビット線配線と、このビット線配線と同層の他の配線層を追加したレイアウト図である。

【図12】前記実施の形態の半導体集積回路におけるセンスアンプ及びセンスアンプ駆動回路を構成するトランジスタの第2例のレイアウト図である。

【図13】図12に示したレイアウト図に、ビット線配線とこのビット線配線と同層の配線層を追加した一例を示す図である。

30

【図14】図12に示したレイアウト図に、ビット線配線とこのビット線配線と同層の配線層を追加した他の例を示す図である。

【図15】図7に示した信号SAPとSANをイコライズするトランジスタT10を、図12に示した領域Fに配置したレイアウト図である。

【図16】従来のビット線センスアンプを使用したDRAMの一例を示す回路図である。

【図17】前記DRAMにおけるセンスアンプ制御回路の構成を示す回路図である。

【図18】前記DRAMにおけるビット線センスアンプのセンス動作を示すタイミングチャートである。

【図19】前記DRAMにおけるセンスアンプ及びセンスアンプ駆動回路のレイアウトを示す概略図である。

40

【符号の説明】

【0109】

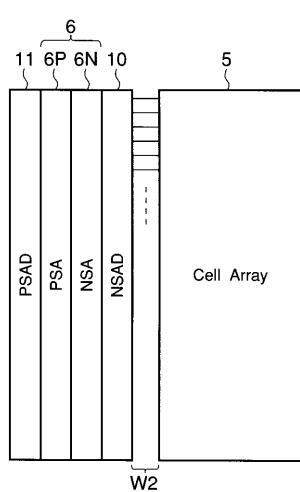
1 ... バッファ制御回路、2、2A ... センスアンプ制御回路、3 ... ワード線ドライブ回路、4 ... ロウデコーダ、5 ... メモリセルアレイ、6 ... ダイナミック型CMOSセンスアンプ、7 ... セルアレイ選択スイッチ、8 ... ビット線イコライズ回路、9 ... カラム選択スイッチ、10 ... Nチャネルセンスアンプ駆動回路、11、11A ... Pチャネルセンスアンプ駆動回路、21 ... タイミング発生回路、22 ... イコライズ回路、31 ... P型拡散領域、32、33 ... ゲート電極、34、35 ... ドレインコンタクト、36 ... 共通ソースコンタクト、41 ... ウェル境界、42 ... N型拡散領域、43、44 ... ゲート電極、45、46 ... ドレインコンタクト、47 ... 共通ソースコンタクト、51 ... 第1内部降圧回路、52 ... 第2内部降

50

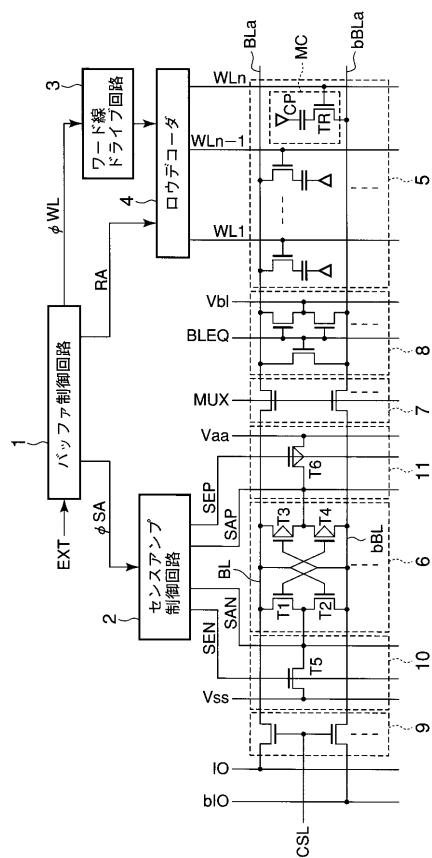
圧回路、61...N型拡散領域、62...コンタクト、63...N型拡散領域、64...ゲート電極、65...ソースコンタクト、66...ドレインコンタクト、67...N型拡散領域、68...ソースコンタクト、69...ドレインコンタクト、78...ゲート電極、79...配線、80...コンタクト、81、82、83、84...配線、85...ソースコンタクト、86...ドレインコンタクト、87、88、89、90、91...配線、92...コンタクト、93、94...ゲート電極、95、96...ドレインコンタクト、97...共通ソースコンタクト、98...ゲート電極、99...配線、B L、b B L...ビット線対、C S L...カラム選択信号、E X T...外部入力信号、M C...メモリセル、R A...ロウアドレス、S A N...Nチャネルセンスアンプ駆動信号、S A P...Pチャネルセンスアンプ駆動信号、S E N...センスイネーブル信号、T 1、T 2...NチャネルM O Sトランジスタ、T 3、T 4...PチャネルM O Sトランジスタ、T 5...NチャネルM O Sトランジスタ、T 6...PチャネルM O Sトランジスタ、T 7...NチャネルM O Sトランジスタ、W L 1、...、W L n - 1、W L n...ワード線、S A...ビット線センスアンプ制御信号、W L...ワード線制御信号

10

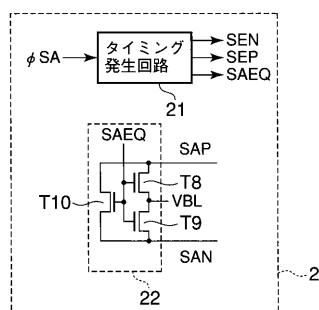
【図1】



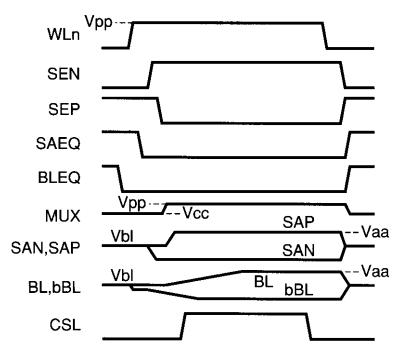
【図2】



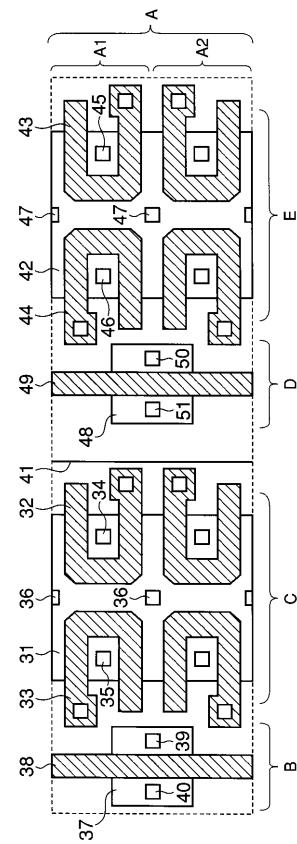
【図3】



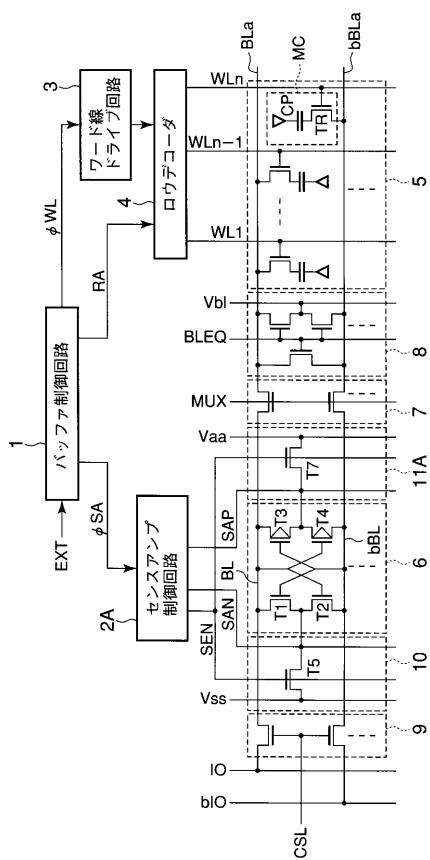
【図4】



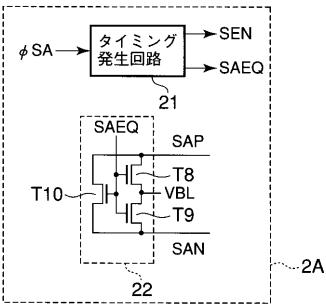
【図5】



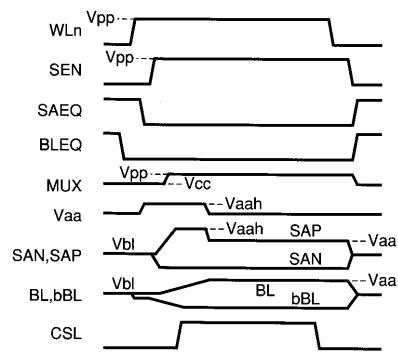
【図6】



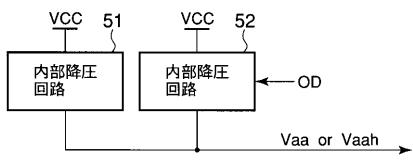
【図7】



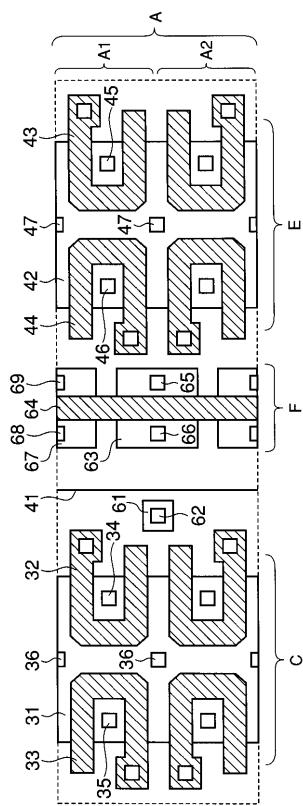
【図8】



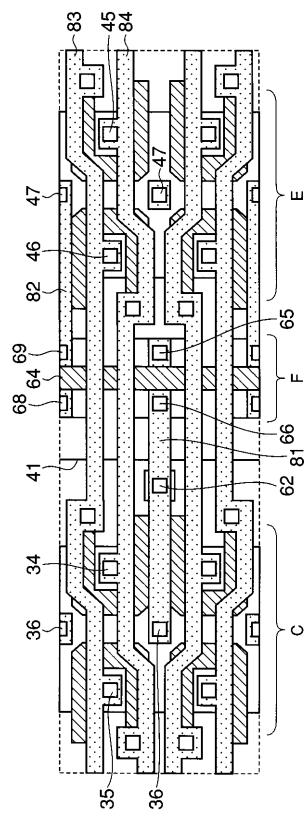
【図9】



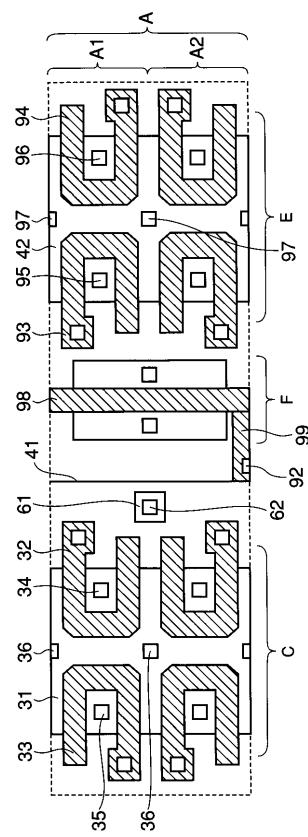
【 図 1 0 】



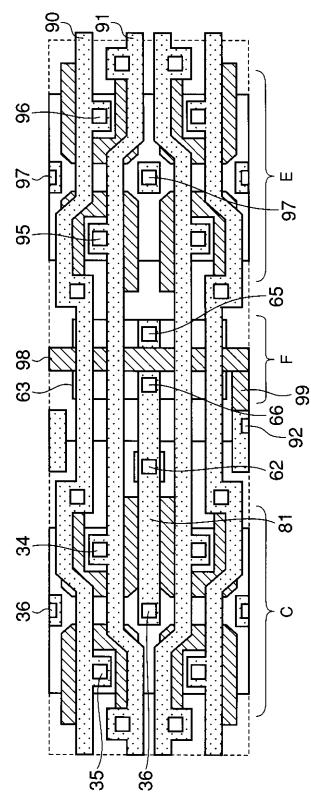
【 図 1 1 】



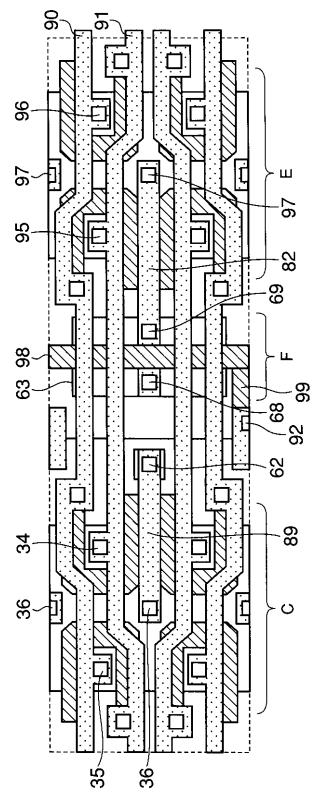
【図12】



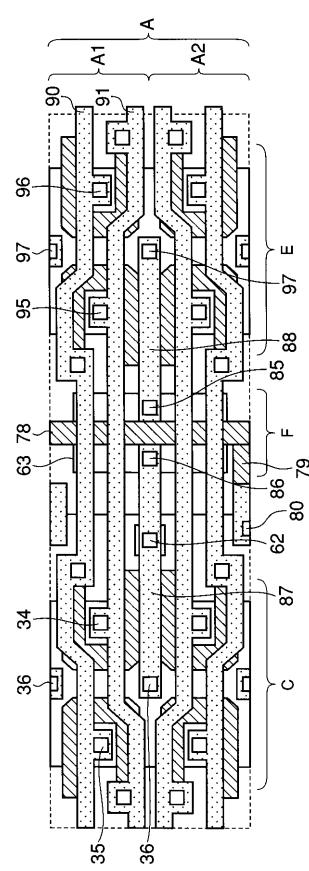
【図13】



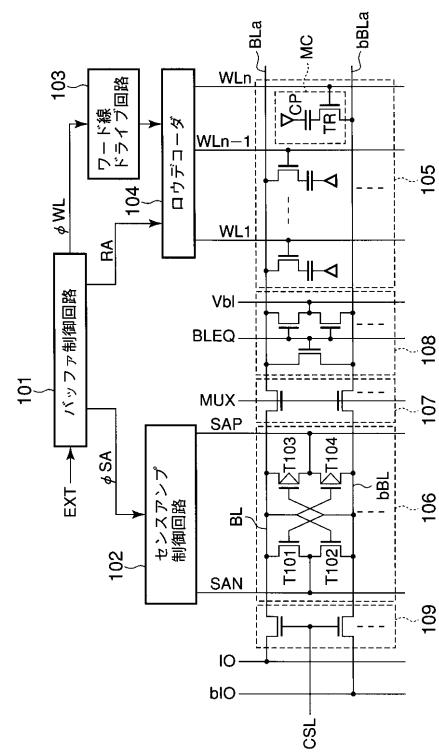
【図14】



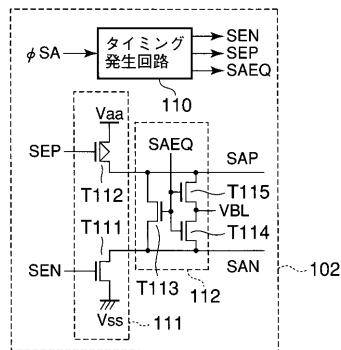
【図15】



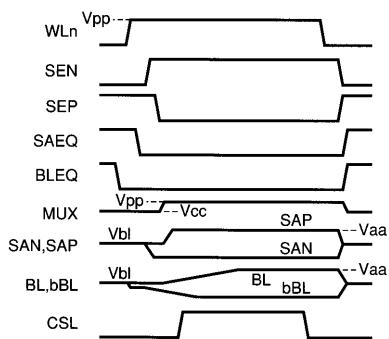
【図16】



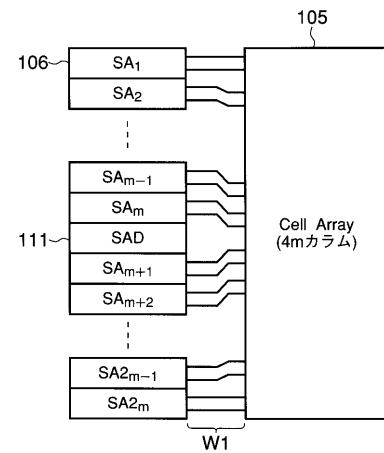
【 図 17 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(72)発明者 原 毅彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 吉原 正浩

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

F ターム(参考) 5F083 AD00 GA01 LA03 LA05 LA09 LA14 LA16

5M024 AA50 BB14 BB35 CC82 HH03 HH04 LL11 LL20 PP01 PP03

PP04 PP07