



(12) 发明专利

(10) 授权公告号 CN 102017129 B

(45) 授权公告日 2013. 10. 23

(21) 申请号 200980117627. 2

H01L 29/786 (2006. 01)

(22) 申请日 2009. 04. 24

H01L 29/788 (2006. 01)

H01L 29/792 (2006. 01)

(30) 优先权数据

2008-123583 2008. 05. 09 JP

(56) 对比文件

US 2005/0258473 A1, 2005. 11. 24,

CN 101047190 A, 2007. 10. 03,

JP 平 1-128472 A, 1989. 05. 22,

CN 101105975 A, 2008. 01. 16,

(85) PCT申请进入国家阶段日

2010. 11. 09

(86) PCT申请的申请数据

PCT/JP2009/058594 2009. 04. 24

审查员 金政

(87) PCT申请的公布数据

W02009/136615 EN 2009. 11. 12

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 浅见良信

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 朱海煜 王忠忠

(51) Int. Cl.

H01L 21/8247 (2006. 01)

H01L 27/115 (2006. 01)

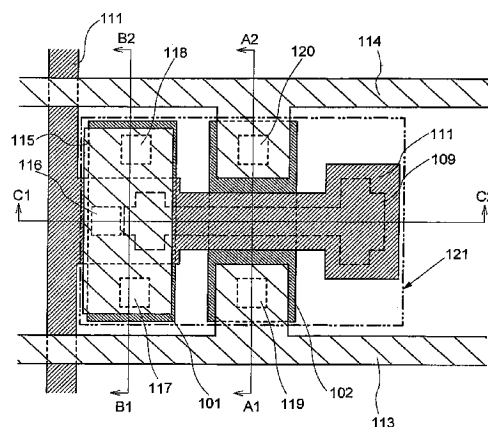
权利要求书2页 说明书17页 附图17页

(54) 发明名称

非易失性半导体存储装置

(57) 摘要

目的是在没有增加存储单元的的面积的情况下减小存储晶体管的写入和擦除电压,以及目的是在没有增加写入和擦除电压的情况下减小存储单元的的面积。存储单元包括具有第一岛状半导体区、浮栅和控制栅的存储晶体管。另外,第二岛状半导体区隔着绝缘膜在浮栅之下形成。由于第二岛状半导体区电连接到控制栅,所以电容在第二岛状半导体区与浮栅之间形成。这个电容促进存储晶体管的耦合比的增加,这使得能够在没有增加存储单元的的面积的情况下增加耦合比。此外,可在没有减小耦合比的情况下减小存储单元的的面积。



1. 一种非易失性半导体存储装置,包括多个存储单元,所述存储单元的每个包括:
在绝缘表面之上形成并且包含沟道形成区和一对杂质区的第一岛状半导体区;
在所述绝缘表面之上形成的第二岛状半导体区;
在所述第一岛状半导体区和所述第二岛状半导体区之上形成的第一绝缘膜;
在所述第一绝缘膜之上形成的浮栅,其中所述浮栅与所述第一岛状半导体区和所述第二岛状半导体区重叠;
在所述浮栅之上形成的第二绝缘膜;以及
在所述第二绝缘膜之上形成的控制栅,其中所述控制栅与所述浮栅重叠,并且电连接到所述第二岛状半导体区,并且
其中所述第一岛状半导体区与所述第二岛状半导体区电隔离,且所述第一绝缘膜夹在所述第一岛状半导体区和所述第二岛状半导体区之间。
2. 如权利要求1所述的非易失性半导体存储装置,其中,选择性地减小与所述第一岛状半导体区重叠的所述第一绝缘膜的一部分的厚度。
3. 如权利要求1所述的非易失性半导体存储装置,其中,选择性地减小与所述第二岛状半导体区重叠的所述第一绝缘膜的一部分的厚度。
4. 如权利要求1所述的非易失性半导体存储装置,其中,所述第一岛状半导体区包含从由单晶硅膜、多晶硅膜和微晶硅膜所组成的组中选取的一种膜。
5. 如权利要求1所述的非易失性半导体存储装置,其中,所述第二岛状半导体区包含从由单晶硅膜、多晶硅膜和微晶硅膜所组成的组中选取的一种膜。
6. 如权利要求1所述的非易失性半导体存储装置,其中,所述控制栅隔着所述第二绝缘膜覆盖所述浮栅的顶面和侧表面。
7. 一种非易失性半导体存储装置,包括多个存储单元,所述存储单元的每个包括:
在绝缘表面之上形成并且包含沟道形成区和一对杂质区的第一岛状半导体区;
在所述绝缘表面之上形成的第二岛状半导体区;
在所述第一岛状半导体区和所述第二岛状半导体区之上形成的第一绝缘膜;
在所述第一绝缘膜之上形成的第二绝缘膜;
在所述第二绝缘膜之上形成的浮栅,其中所述浮栅与所述第一岛状半导体区和所述第二岛状半导体区重叠;
在所述浮栅之上形成的第三绝缘膜;以及
在所述第三绝缘膜之上形成的控制栅,其中所述控制栅与所述浮栅重叠,并且电连接到所述第二岛状半导体区,
其中,所述第一绝缘膜在与所述第一岛状半导体区重叠的部分具有开口,并且
其中所述第一岛状半导体区与所述第二岛状半导体区电隔离,且所述第一绝缘膜夹在所述第一岛状半导体区和所述第二岛状半导体区之间。
8. 如权利要求7所述的非易失性半导体存储装置,其中,所述第一绝缘膜在与所述第二岛状半导体区重叠的一部分具有另一个开口。
9. 如权利要求7所述的非易失性半导体存储装置,其中,所述第一岛状半导体区包含从由单晶硅膜、多晶硅膜和微晶硅膜所组成的组中选取的一种膜。
10. 如权利要求7所述的非易失性半导体存储装置,其中,所述第二岛状半导体区包含

从由单晶硅膜、多晶硅膜和微晶硅膜所组成的组中选取的一种膜。

11. 如权利要求 7 所述的非易失性半导体存储装置,其中,所述控制栅隔着所述第三绝缘膜覆盖所述浮栅的顶面和侧表面。

12. 如权利要求 7 所述的非易失性半导体存储装置,
其中,所述多个存储单元在衬底之上形成,以及
所述衬底包含从由玻璃衬底、石英衬底和树脂衬底所组成的组中选取的一种衬底。

非易失性半导体存储装置

技术领域

[0001] 本发明涉及其中可写入、读取和擦除数据的非易失性半导体存储装置。

背景技术

[0002] 作为非易失性半导体存储装置,EEPROM(电可擦可编程只读存储器)、闪速存储器等是已知的。这些非易失性半导体存储装置用作例如数字照相机、便携音频播放器和蜂窝电话等的各种产品的记录介质。已经积极地进行非易失性半导体存储装置的研发,以便满足市场需要,例如产品尺寸的进一步减小、存储器容量的增加、写入和读取数据的速度的增加以及功耗的降低。

[0003] 作为满足上述市场需要的方式之一,近年来,已经积极地研制所谓的 SOI(绝缘体上硅)类型的非易失性半导体存储装置,其中元件在硅膜上形成,硅膜隔着绝缘膜设置在衬底之上。

[0004] 例如,专利文献 1 公开一种具有 SOI 结构的非易失性存储晶体管,它制作成以便降低成本和例如擦除电压等工作电压。在专利文献 1 中,玻璃衬底或塑料衬底用作衬底以降低成本。具有在玻璃衬底之上形成的 SOI 结构的非易失性存储晶体管例如在专利文献 2 中公开,专利文献 2 是一个专利申请,其发明人之一是本发明的发明人。

[0005] [专利文献 1] 日本已公开专利申请 No. 2006-013534

[0006] [专利文献 2] 日本已公开专利申请 No. 2007-288176

[0007] 但是,在专利文献 1 和 2 所公开的具有 SOI 结构的非易失性存储元件中,在不增加存储单元的面积的条件下很难降低写入电压和擦除电压。下面说明其原因。在这里,将描述非易失性存储晶体管(下文中又缩写成存储晶体管)用作非易失性存储元件的情况。首先描述存储单元的结构,然后描述用于写入、读取和擦除数据的方法。

[0008] 下面参照图 15、图 16A 和图 16B 来描述存储单元的结构。图 15 是示出常规存储单元的结构的一个示例的平面图,以及图 16A 和图 16B 是分别沿图 15 的截线 A1-A2 和 B1-B2 截取的截面图。

[0009] 在存储单元中,提供作为存储元件的一个存储晶体管,并且该存储晶体管电连接到源线(SL)、位线(BL)和字线(WL)。

[0010] 如图 16A 和图 16B 所示,绝缘膜 1130 在衬底 1100 之上形成,并且岛状半导体区 1102 设置在绝缘膜 1130 之上。岛状半导体区 1102 包括采用 n 型或 p 型杂质元素掺杂的第一杂质区 1103 和 1104、采用 n 型或 p 型杂质元素掺杂的第二杂质区 1105 和 1106 以及夹在第二杂质区 1105 与 1106 之间的沟道形成区 1107。第二杂质区 1105 和 1106 可作为杂质浓度低于第一杂质区 1103 和 1104 的 LDD(轻掺杂漏极)区来形成;可具有基本上等于第一杂质区 1103 和 1104 杂质浓度的杂质浓度;可具有与未采用杂质元素掺杂的沟道形成区 1107 的杂质浓度基本相等的杂质浓度。第二杂质区 1105 和 1106 可按照存储元件的特性来形成。

[0011] 绝缘膜 1108 设置在岛状半导体区 1102 之上。导电膜 1109 设置在绝缘膜 1108

之上,以便与岛状半导体膜 1102 重叠。导电膜 1109 形成存储晶体管的浮栅 (FG)。绝缘膜 1110 设置在导电膜 1109 之上。导电膜 1111 设置在绝缘膜 1110 之上,以便与岛状半导体区 1102 重叠。导电膜 1111 形成存储晶体管的控制栅 (CG) 和电连接到控制栅的字线。通过使用导电膜 1111 来形成控制栅和字线,控制栅和字线相互电连接。

[0012] 绝缘膜 1112 设置在导电膜 1111 之上,并且导电膜 1113 和 1114 在绝缘膜 1112 之上形成。导电膜 1113 形成电连接到存储晶体管的源线 (SL),并且导电膜 1114 形成电连接到存储晶体管的位线 (BL)。通过在绝缘膜 1112 中形成的开口 1119 和 1120,导电膜 1113 和 1114 分别电连接到第一杂质区 1103 和 1104。由图 15 的一长二短交替虚线所包围的区域 1121 是由一个存储单元所占据的区域。

[0013] 使用浮栅的非易失性存储晶体管是一种存储元件,其中数据按照浮栅中积聚的电荷量来存储。通过控制电荷量来写入或擦除数据,并且通过检测电荷量来读取数据。下面描述用于写入、读取和擦除数据的方法。

[0014] 在图 15 的存储晶体管中,浮栅 (导电膜 1109) 处于电浮动状态。相应地,当电压从控制栅 (导电膜 1111) 间接施加在岛状半导体区 1102 与浮栅之间时,存储晶体管用作晶体管。当电子在浮栅中积聚时,与电子没有积聚时相比,已经施加到控制栅的电压较不太可能施加在岛状半导体区 1102 与浮栅之间;因此,存储晶体管的阈值电压向正方向偏移。因此,存储晶体管中存储的数据可通过检测存储晶体管的阈值电压的变化来读取。如果第一杂质区 1103 和第一杂质区 1104 具有相同电位,则浮栅中积聚的电荷量与阈值电压之间的关系可由下式 (1) 和 (2) 来表示。

$$[0015] \quad V_{FG} = \frac{C_2}{C_1 + C_2} (V_{CG} - \Delta V_{tm}) \quad \dots(1)$$

$$[0016] \quad \Delta V_{tm} = -\frac{Q_{FG}}{C_2} \quad \dots(2)$$

[0017] 在公式 (1) 和 (2) 中, V_{FG} 是浮栅的电位; V_{CG} 是控制栅的电位; C_1 是岛状半导体区与浮栅之间的电容; C_2 是浮栅与控制栅之间的电容; Q_{FG} 是浮栅中的电荷量; 以及 ΔV_{tm} 是存储晶体管的阈值电压的变化。注意,公式 (1) 中的 $C_2/(C_1+C_2)$ 一般称作耦合比。如公式 (1) 所示,随着耦合比增加,施加在岛状半导体区 1102 与浮栅之间的电压与控制栅的电位 V_{CG} 之比增加。

[0018] 当数据将要写入存储晶体管时,高电压 (例如正高电压) 施加到控制栅,使得电压间接地施加在岛状半导体区 1102 与浮栅之间。然后,电子通过 F-N (Fowler-Nordheim) 隧穿电流或热电子注入浮栅。当数据将从存储晶体管擦除时,高电压 (例如负高电压) 施加到控制栅,使得电压间接地施加在岛状半导体区 1102 与浮栅之间,由此电子从浮栅退出。

[0019] 因此,施加到控制栅的电压可通过增加耦合比有效地施加在岛状半导体区 1102 与浮栅之间,使得写入电压和擦除电压可减小。换言之,耦合比显著影响写入电压和擦除电压。

[0020] 下面描述存储单元的面积与写入和擦除电压之间的关系以及存储单元的面积与耦合比之间的关系。

[0021] 如公式 (1) 所示,为了增加耦合比,增加浮栅与控制栅之间的电容 C_2 是有效的。电容 C_2 可通过减小绝缘膜 1110 的厚度或者增加浮栅和控制栅在图 15 的平面图 (布局) 中

相互重叠的面积来增加。

[0022] 但是,绝缘膜 1110 的最小厚度根据存储晶体管的上述操作原理自动判定,并且对绝缘膜 1110 的厚度的减小存在限制。这是因为如果浮栅中积聚的电荷易于泄漏,则很难令使用浮栅的存储晶体管保持所存储的数据。因此,绝缘膜 1110 的厚度不能小于预定厚度。由于类似原因,绝缘膜 1108 的厚度不能小于预定厚度。绝缘膜 1108 的厚度优选地为大约 8nm 至 10nm,以及绝缘膜 1110 的厚度优选地为大约 10nm 至 20nm。

[0023] 由于绝缘膜 1110 设置在浮栅之上,同时绝缘膜 1108 设置在岛状半导体区 1102 之上,所以与绝缘膜 1108 相比,绝缘膜 1110 作为绝缘膜较不太可靠。相应地,一般来说,绝缘膜 1110 的厚度需要比绝缘膜 1108 的厚度更大,以便防止电荷从浮栅泄漏。另外,在当耦合比很低时而绝缘膜 1110 太薄的情况下,浮栅中将要积聚的电子隧穿通过绝缘膜 1110,并且逸出到处于写入的控制栅。相应地,数据无法写入或擦除,这可导致作为存储元件的不正确功能。此外,在除了存储单元之外的功能电路在相同衬底 1100 之上形成的情况下,绝缘膜 1110 的厚度在某些情况下取决于形成功能电路的晶体管的制造过程而无法充分减小。

[0024] 因此,增加浮栅和控制栅在图 15 的平面图中重叠的区域的面积是增加耦合比的简易方法,因为没有特别损坏存储晶体管的操作。但是,增加这个面积的不利之处在于,存储元件所需的存储单元的面积增加以减小存储单元的集成度,从而导致非易失性半导体存储装置更高的位成本。

[0025] 此外,当存储单元的面积在图 15 的平面图中减小时,浮栅和控制栅相互重叠的面积也减小,这导致更低的耦合比和更高的写入及擦除电压。

发明内容

[0026] 鉴于上述问题,本发明的一个实施例的目的是提供一种非易失性半导体存储装置,其中可在没有增加存储单元的面积的情况下减小写入电压和擦除电压。

[0027] 本发明的一个实施例的另一个目的是提供一种非易失性半导体存储装置,其中可在没有增加写入电压和擦除电压的情况下减小存储单元的面积。

[0028] 本发明的一个实施例可适用于 EEPROM(电可擦可编程只读存储器)、闪速存储器等等。

[0029] 本发明的一个实施例的非易失性半导体存储装置包括多个存储单元,它们各包括:第一岛状半导体区,在绝缘表面上形成,并且具有沟道形成区和用作漏区或漏区的一对杂质区;第二岛状半导体区,在绝缘表面上形成;浮栅,与第一岛状半导体区和第二岛状半导体区重叠;控制栅,与浮栅重叠,并且电连接到第二岛状半导体区;第一绝缘膜,在第一和第二岛状半导体区与浮栅之间形成;以及第二绝缘膜,在浮栅与控制栅之间形成。

[0030] 在上述实施例中,与第一岛状半导体区重叠的第一绝缘膜的一部分的厚度可选择性地减小。另外,与第二岛状半导体区重叠的第一绝缘膜的一部分的厚度也可选择性地减小。厚度选择性减小的这种第一绝缘膜可通过例如下列步骤来获得:在厚度将要减小的一部分处形成具有开口的绝缘膜,并且然后在绝缘膜之上形成另一个绝缘膜。

[0031] 在上述实施例中,可提供电连接到控制栅的导电膜来代替第二岛状半导体区。。

[0032] 在本发明的一个实施例的非易失性半导体存储装置中,岛状半导体区或者导电膜(电连接到控制栅)隔着绝缘膜设置在浮栅之下。相应地,在岛状半导体区或导电膜与浮栅

之间添加电容。

[0033] 因此,根据本发明的一个实施例,耦合比可增加,而无需增加存储单元的面积。也就是说,根据本发明的一个实施例,写入电压和擦除电压可减小,而无需增加存储单元的面积;因此,本发明在减小非易失性半导体存储装置的功耗方面是有效的。

[0034] 此外,根据本发明的一个实施例,存储单元的面积可减小,而无需减小耦合比。也就是说,根据本发明的一个实施例,存储单元的面积可减小,而无需增加写入电压和擦除电压;因此,本发明的一个实施例对于存储单元的更高集成度是有效的。

附图说明

[0035] 附图包括:

[0036] 图 1 是示出根据本发明的一个实施例的非易失性半导体存储装置的存储单元的结构的一个示例的平面图;

[0037] 图 2A 至图 2C 是分别沿图 1 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图;

[0038] 图 3 是示出根据本发明的一个实施例的非易失性半导体存储装置的存储单元的结构的一个示例的框图;

[0039] 图 4 是示出根据本发明的一个实施例的存储单元的结构的一个示例的电路图;

[0040] 图 5 是示出根据本发明的一个实施例、用于制造非易失性半导体存储装置的方法的平面图;

[0041] 图 6A 至图 6C 是分别沿图 5 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图;

[0042] 图 7 是示出根据本发明的一个实施例、用于制造非易失性半导体存储装置的方法的平面图;

[0043] 图 8A 至图 8C 是分别沿图 7 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图;

[0044] 图 9 是示出根据本发明的一个实施例的非易失性半导体存储装置的存储单元的结构的一个示例的平面图;

[0045] 图 10A 至图 10C 是分别沿图 9 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图;

[0046] 图 11 是示出根据本发明的一个实施例的非易失性半导体存储装置的存储单元的结构的一个示例的平面图;

[0047] 图 12A 至图 12C 是分别沿图 11 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图;

[0048] 图 13 是示出根据本发明的一个实施例的非易失性半导体存储装置的存储单元的结构的一个示例的平面图;

[0049] 图 14A 至图 14C 是分别沿图 13 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图;

[0050] 图 15 是示出常规非易失性半导体存储装置的存储单元的结构的一个示例的平面图;以及

[0051] 图 16A 和图 16B 是分别沿图 15 的截线 A1-A2 和 B1-B2 所截取的截面图。

具体实施方式

[0052] 下面参照附图来描述本发明的实施例。注意,本发明并不局限于以下提供的描述,并且本领域的技术人员易于理解,模式和细节可通过各种方式进行修改,而没有背离本发明的精神和范围。相应地,本发明不应当被理解为局限于以下提供的实施例的描述。注意,

在用于说明实施例的附图中,相似部分由相似参考标号表示。

[0053] [实施例 1]

[0054] 这个实施例的非易失性半导体存储装置包括以矩阵排列的多个存储单元(用于存储数据的基本单元)、多个源线、多个位线和多个字线。存储单元的每个包括电连接到源线之一、位线之一和字线之一的存储元件。在这个实施例中,存储晶体管用作存储元件。

[0055] 将参照图 1、图 2A 至图 2C、图 3 和图 4 来描述这个实施例的非易失性半导体存储装置(以下又称作存储装置)。图 1 是示出这个实施例中的存储装置的一个存储单元的布局的平面图。图 2A 至图 2C 是分别沿图 1 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图。图 3 是示出这个实施例的非易失性半导体存储装置的结构的一个示例的框图,以及图 4 是示出这个实施例的存储单元的结构的一个示例的电路图。

[0056] 首先,参照图 3 来描述这个实施例的非易失性半导体存储装置。非易失性半导体存储装置 40(以下称作存储装置 40)包括存储单元阵列 51 以及电连接到存储单元阵列 51 并且控制写操作、擦除操作、读操作等的驱动器电路部分 52。存储单元阵列 51 和驱动器电路部分 52 在相同衬底之上形成。存储单元阵列 51 包括多个字线 WL、与字线 WL 相交的多个位线 BL 和源线 SL 以及电连接到字线 WL、位线 BL 和源线 SL 的多个存储单元。

[0057] 驱动器电路部分 52 包括用于控制驱动器电路部分 52 中的电路的控制电路 60、用于选择字线的行解码器 61、用于选择位线的列解码器 62、地址缓冲器 63、升压电路(step-up circuit)64、读出放大器(sense amplifier)65、数据缓冲器 66 和数据输入输出缓冲器 67。注意,图 3 仅示出驱动器电路部分 52 的结构的一个示例,但是本发明的非易失性半导体存储装置的结构并不局限于图 3 所示。

[0058] 地址数据 Add 经由地址缓冲器 63 输入到控制电路 60。地址数据 Add 指定写入、读取或擦除数据的存储单元的地址。在将地址数据 Add 输入到控制电路 60 时,内行地址信号和内列地址信号由控制电路 60 生成,以便分别传递给行解码器 61 和列解码器 62。

[0059] 在存储装置 40 中,数据使用通过增加电源电位所得到的电位来写入和擦除。因此,控制电路 60 控制升压电路 64,使得与操作模式对应的电位由升压电路 64 来生成。升压电路 64 的输出分别经由行解码器 61 和列解码器 62 提供给在存储单元阵列 51 中形成的字线 WL 和位线 BL。

[0060] 从存储单元阵列 51 所读取的数据(DATA)经由列解码器 62 输入到读出放大器 65。输入到读出放大器 65 的数据保持在数据缓冲器 66 中。控制电路 60 控制数据缓冲器 66,使得保持在数据缓冲器 66 中的数据经由数据输入输出缓冲器 67 从存储装置 40 输出。写入存储单元阵列 51 的数据(DATA)经由数据输入输出缓冲器 67 暂时保持在数据缓冲器 66 中,并且然后在控制电路 60 的控制下传递给列解码器 62。然后,数据从列解码器 62 写入存储单元阵列 51 的指定存储单元。

[0061] 接下来将参照图 4 来描述存储单元阵列的结构的一个示例。在存储装置 40 中,存储单元阵列 51 包括以矩阵排列的多个存储单元 70。图 4 示出以三行和三列排列的 9 个存储单元 70。在每个存储单元 70 中,具有浮栅的非易失性存储晶体管 Tm(以下称作存储晶体管 Tm)作为存储元件来提供。在这里描述由位线 BL0 和字线 WL1 所限定的存储单元 70 的结构,但其它存储单元 70 具有类似结构。

[0062] 在存储单元 70 中,存储晶体管 Tm 的栅极电连接到字线 WL1,其漏极电连接到位线

BL0, 以及其源极电连接到源线 SL0。

[0063] 接下来将描述在存储晶体管 Tm 是 n 沟道晶体管的情况下, 对位线 BL0 和字线 WL1 所限定的存储单元 70 写入数据或者从其中擦除数据的一个示例。

[0064] 例如, 在数据通过 F-N 隧穿电流来写入的情况下, 负高电压施加到源线 SL0 和位线 BL0, 而正高电压施加到字线 WL1。负高电压与正高电压之间的电位差为写入电压。

[0065] 在要写入数据“1”时, 正高电压施加到控制栅。因此, 在存储晶体管 Tm01 中, F-N 隧穿电流在沟道形成区与浮栅之间的绝缘膜 (与图 1 的绝缘膜 108 对应的绝缘膜) 中生成, 由此使电子注入浮栅。也就是说, 电子通过 F-N 隧穿电流注入浮栅, 使得存储晶体管 Tm01 的阈值电压增加。在那种状态中, 数据“1”存储在存储单元 70 中。

[0066] 当要擦除数据时, 正高电压施加到源线 SL0 和位线 BL0, 而负高电压施加到字线 WL1, 由此电子从存储晶体管 Tm01 的浮栅退出到岛状半导体区。在那种状态中, 数据“0”存储在存储单元 70 中, 也就是说, 存储单元 70 处于被擦除状态。正高电压与负高电压之间的电位差为擦除电压。

[0067] 例如, 数据按如下方式读取。具有与数据“0”和“1”对应的阈值电压的中间值的读取电压施加到字线 WL1, 同时源线 SL0 的电位为 0V, 并且位线 BL0 的电位大约为 1.5V。电流在读取电压施加到字线 WL1 时是否流经位线 BL0 由连接到位线 BL 的读出放大器 65 来确定。

[0068] 接下来将参照图 1 的平面图和图 2A 至图 2C 的截面图来描述这个实施例的存储单元的结构。

[0069] 如图 1 所示, 一个存储单元包括两个岛状半导体区 101 和 102。两个岛状半导体区 101 和 102 形成设置在存储单元中的一个存储元件。图 2A 示出包括岛状半导体区域 102 的这个实施例的存储装置的一部分的截面结构, 以及图 2B 示出包括岛状半导体区 101 的存储装置的另一个部分的截面结构。两个岛状半导体区 101 和 102 在绝缘表面上形成。

[0070] 如图 2A 所示, 岛状半导体区 102 包括第一杂质区 103 和 104、第二杂质区 105 和 106 以及沟道形成区 107。沟道形成区 107 位于第二杂质区 105 与第二杂质区 106 之间, 第二杂质区 105 位于第一杂质区 103 与沟道形成区之间, 以及第二杂质区 106 位于第一杂质区 104 与沟道形成区之间。第一杂质区 103 和 104 其中之一用作源区, 而其中的另一个用作漏区。在这里, 第一杂质区 103 为漏区, 而第一杂质区 104 为源区。

[0071] 如图 2B 所示, 岛状半导体区 101 包括第一杂质区 133 和 134, 并且第二杂质区 135 和沟道形成区 137 在第一杂质区 133 与 134 之间形成。第一杂质区 133 形成为围绕沟道形成区 137。第一杂质区 133 是形成与电极或布线的连接的低电阻半导体区。

[0072] 在这里, 第二杂质区 105、106 和 135 是具有比第一杂质区 103、104、133 和 134 更低的杂质浓度的 LDD (轻掺杂漏) 区。换言之, 第二杂质区 105、106 和 135 是具有比第一杂质区 103、104、133 和 134 更高电阻的高电阻半导体区。

[0073] 如图 2A 至图 2C 所示, 包括一层或多层的绝缘膜 130 设置在衬底 100 之上, 并且岛状半导体区 101 和 102 设置在绝缘膜 130 之上。绝缘膜 130 用作绝缘表面, 其上形成岛状半导体区 101 和 102。例如, 作为衬底 100, 可使用玻璃衬底、石英衬底、陶瓷衬底、树脂衬底或半导体衬底。

[0074] 在衬底 100 是例如玻璃衬底或石英衬底等绝缘衬底的情况下, 不一定提供绝缘膜

130, 因为衬底 100 本身具有绝缘表面。但是, 优选的是形成绝缘膜 130, 以便防止衬底 100 中的杂质扩散到岛状半导体区 101 和 102, 以及减小岛状半导体区 101、102 与基体之间的界面态密度。绝缘膜 130 由例如氧化硅、氮化硅、氧氮化硅 (SiO_xN_y , $x > y > 0$) 或者氧化氮化硅 (SiN_xO_y , $x > y > 0$) 等绝缘膜材料来形成。对于形成绝缘膜 130 的方法没有具体限制, 并且绝缘膜 130 可通过 CVD、溅射等形成。绝缘膜 130 可降低衬底 100 的粗糙度的影响, 并且防止衬底 100 中的杂质扩散到绝缘膜 130 之上所形成的元件中。在绝缘膜 130 包括多个层的情况下, 各层可由从上述绝缘材料等中选取的材料来形成, 这取决于用途, 例如防止杂质污染或者与相邻膜的相容性。

[0075] 绝缘膜 108 设置成覆盖岛状半导体区 101 和 102。形成浮栅的导电膜 109 设置在绝缘膜 108 之上。导电膜 109 隔着绝缘膜 108 与岛状半导体区 101 和 102 重叠。另外, 导电膜 109 处于电浮动状态。绝缘膜 110 设置成覆盖导电膜 109, 以及形成控制栅和字线的导电膜 111 设置在绝缘膜 110 之上。导电膜 111 隔着绝缘膜 110 与浮栅 (导电膜 109) 重叠。

[0076] 由于浮栅 (导电膜 109)、绝缘膜 110 和控制栅 (导电膜 111) 是层叠的, 所以电容在浮栅与控制栅之间形成。为了通过有效地使用这种层叠结构来增加存储晶体管的耦合比, 浮栅 (导电膜 109) 的整个顶面隔着绝缘膜 110 与控制栅 (导电膜 111) 重叠。此外, 为了得到控制栅与浮栅之间的大电容, 导电膜 111 形成为覆盖导电膜 109 的侧表面。

[0077] 绝缘膜 112 设置在导电膜 111 之上。绝缘膜 112 包括延伸到导电膜 111 的开口 116。此外, 绝缘膜 112、110 和 108 的叠层包括分别延伸到第一杂质区 133、134、103 和 104 的开口 117、118、119 和 120 (参见图 1)。

[0078] 如图 2A 所示, 形成源线 (SL) 的导电膜 113 和形成位线 (BL) 的导电膜 114 在绝缘膜 112 之上形成, 并且分别通过开口 119 和 120 电连接到岛状半导体区 102 的第一杂质区 103 和 104。

[0079] 如图 2C 所示, 形成连接电极 (或连接布线) 的导电膜 115 在绝缘膜 112 之上形成。导电膜 115 通过开口 116 电连接到导电膜 111。另外, 如图 2B 所示, 导电膜 115 还分别通过开口 117 和 118 电连接到岛状半导体区 101 的第一杂质区 133 和 134。由图 1 的一长二短交替虚线所包围的区域 121 是由一个存储单元 (用于存储数据的基本单元) 所占据的区域。注意, 区域 121 没有包括导电膜 111、113 和 114 的每个的形成布线的部分。

[0080] 虽然绝缘膜 130、108、110 和 112 以及导电膜 109、111、113 和 114 在图 2A 至图 2C 中各具有单层结构, 但是它们可具有多层结构。

[0081] 因此, 具有浮栅的常规非易失性存储晶体管使用岛状半导体区 102、绝缘膜 108 和 110 以及导电膜 109、111、113 和 114 (参见图 2A) 来形成。另外, 由于岛状半导体区 101 电连接到控制栅 (导电膜 111), 所以岛状半导体区 101 可用作控制栅。岛状半导体区 101 在下文中将称作背控制栅 (BCG), 因为它电连接到控制栅并且放置于浮栅之下。换言之, 这个实施例的存储元件由包括浮栅和背控制栅的非易失性存储晶体管来构成。

[0082] 在这个实施例中, 提供在浮栅之下的背控制栅以及在浮栅之上的控制栅, 由此有效地利用由存储单元所占据的区域 121。因此, 能够相对于区域 121 的面积有效地增加与公式 (1) 的 C_2 对应的电容。也就是说, 根据这个实施例, 耦合比可有效地增加。至于这个实施例的存储元件, 浮栅的电位以及存储晶体管的阈值电压的变化可由下式 (3) 和 (4) 表示。

$$[0083] \quad V_{FG} = \frac{C_{21} + C_{22}}{C_1 + C_{21} + C_{22}} (V_{CG} - \Delta V_{tm}) \quad \dots (3)$$

$$[0084] \quad \Delta V_{tm} = -\frac{Q_{FG}}{C_{21} + C_{22}} \quad \dots (4)$$

[0085] 在公式 (3) 和 (4) 中, V_{FG} 是浮栅 (导电膜 109) 的电位; V_{CG} 是控制栅 (导电膜 111) 的电位; C_1 是岛状半导体区 102 与浮栅之间的电容; C_{21} 是浮栅与背控制栅之间的电容; C_{22} 是浮栅与控制栅之间的电容; Q_{FG} 是浮栅中的电荷量; 以及 ΔV_{tm} 是使用岛状半导体区 101 所形成的存储晶体管的阈值电压的变化量。在公式 (3) 中, $(C_{21} + C_{22}) / (C_1 + C_{21} + C_{22})$ 是耦合比。

[0086] 只要导电膜 109 和导电膜 111 在图 1 中重叠的区域的面积等于导电膜 1109 和导电膜 1111 在图 15 中重叠的面积, 则满足 $C_{22} = C_2$ 。在这个实施例中, 与图 15 的存储晶体管的电容 C_2 对应的电容为 $C_{21} + C_{22}$; 因此耦合比为 $(C_{21} + C_{22}) / (C_1 + C_{21} + C_{22}) > C_2 / (C_1 + C_2)$ 。因此, 这个实施例的存储元件的耦合比高于图 15 的存储晶体管的耦合比, 这产生较低的写入电压和擦除电压。

[0087] 接下来将在存储单元的面积的角度来检查这个实施例的效果。只要这个实施例的存储元件 (参见图 1) 和图 15 的存储晶体管具有相同的耦合比以及相同的写入电压和擦除电压, 则这个实施例允许实现预期耦合比所需的电容 C_{22} 的减小。也就是说, 在这个实施例的存储元件的结构中, 能够减小对于得到电容 C_{22} 是必要的其中浮栅和控制栅相互重叠的区域的面积; 因此, 存储单元的面积可减小, 这在存储单元的更高集成度方面是有利的。

[0088] 在图 15 的存储晶体管中, 在浮栅与控制栅之间仅添加在导电膜 1109 和导电膜 1111 隔着绝缘膜 1110 重叠的区域中形成的电容。另一方面, 在本发明中, 通过在存储晶体管中提供背控制栅, 在浮栅与控制栅之间添加在岛状半导体区 101 (背控制栅) 和导电膜 109 (浮栅) 隔着绝缘膜 108 重叠的区域中形成的电容以及在导电膜 109 (浮栅) 和导电膜 111 (控制栅) 隔着绝缘膜 110 重叠的区域中形成的电容。此外, 在背控制栅与浮栅之间形成的电容的电介质是绝缘膜 108, 它可制作成比绝缘膜 110 要薄, 这允许增加每单位面积的电容。

[0089] 因此, 这个实施例适用的存储装置的耦合比可增加, 从而产生更低的写入电压和擦除电压 (参见公式 (3) 和 (4))。另外, 在这个实施例的存储装置中, 在浮栅与控制栅以及浮栅与背控制栅之间添加预定或者更大的电容值; 因此, 其中控制栅与浮栅重叠的区域的面积可减小。也就是说, 根据本发明, 存储单元的面积可减小。

[0090] 如上所述, 在这个实施例的存储装置中, 每单位面积的存储晶体管的耦合比可通过有效利用存储单元所占据的面积来增加。也就是说, 写入电压和擦除电压可通过增加每单位面积的耦合比来减小。此外, 通过增加每单位面积的耦合比, 存储单元的面积可减小, 而无需增加写入电压和擦除电压。

[0091] 注意, 这个实施例可适当地应用于其它实施例。也不用说, 图 1 和图 2A 至图 2C 所示的存储装置的结构只是示例, 并且可采用各种已知的结构。例如, 多个 LDD 区域可在半导体膜中形成, 或者侧壁可在控制栅的侧表面上形成。还能够采用多栅结构 (包括如下各项的结构: 具有相互串行连接的至少两个沟道形成区的半导体膜; 以及用于对相应沟道形成区施加电场的至少两个栅电极) 或者双栅结构 (其中半导体膜夹在上栅电极与下栅电极之间的结构)。

[0092] 下面描述一种用于制造这个实施例的存储装置 40 的方法。

[0093] 首先,绝缘膜 130 在衬底 100 之上形成,并且岛状半导体区 101 和岛状半导体区 102 在绝缘膜 130 之上形成。岛状半导体区 101 和 102 可使用包含硅 (Si) 或锗 (Ge) 作为主要成分 (例如 Si、Ge、碳化硅或 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)) 的半导体膜来形成。这种半导体膜可通过 CVD、溅射等形成。另外,形成岛状半导体区 101 和 102 的半导体膜可具有非晶、微晶、多晶和单晶结构的任一种,并且可采用那些结构的任一种,取决于存储装置 40 所需的特性。

[0094] 例如,多晶半导体膜可通过使非晶半导体膜结晶来形成。可通过激光晶化方法、使用 RTA 或退火炉的热晶化、使用促进晶化的金属元素的热晶化、任何这些结晶的组合等,来执行非晶半导体膜的晶化。

[0095] 在激光晶化中,能够使用例如 Ar 激光器、Kr 激光器或 CO_2 激光器等气体激光器;例如氦镭激光器等金属蒸汽激光器;或者例如 YAG 激光器、YLF 激光器、 YAIO_3 激光器、 GdVO_4 激光器、KGW 激光器、KYW 激光器、翠绿宝石激光器、钛蓝宝石激光器、 Y_2O_3 激光器或 YVO_4 激光器等固态激光器。注意,以 TEM (单横模) 振荡的激光优选地从激光器发出,因为待辐照表面的束斑可具有更均质能量。

[0096] 具体来说,可使用半导体激光器 (LD) 泵浦连续波 (CW) 激光器 (YVO_4) 的二次谐波 (波长 532nm)。虽然对波长没有具体限制,但二次谐波在能量效率方面优于其它高次谐波。当采用 CW 激光束来辐照半导体膜时,可将能量连续提供给半导体膜。因此,一旦熔融半导体膜,则熔融状态可保持。此外,通过采用 CW 激光束来扫描半导体膜,可移动半导体膜的固体-液体界面,并且可沿移动方向形成在一个方向很长的晶粒。使用固态激光器的原因在于,与使用气体激光器等的情况相比,可得到更稳定的输出,并且可执行更稳定的处理。取代 CW 激光器,也可使用重复率为 10MHz 或更大的脉冲激光器用于激光晶化。通过使用具有高重复率的脉冲激光器,如果激光器的脉冲间隔比半导体膜在熔融之后凝固所花费的时间要短,则半导体膜在用激光束辐照时可保持在熔融状态,并且可通过移动固体-液体界面来形成包含在一个方向很长的晶粒的半导体膜。也可使用重复率为 10MHz 或更大的其它 CW 激光器或脉冲激光器。此外,也可使用脉冲准分子激光器。

[0097] 单晶半导体膜可按照如下方式来形成:氧分子通过离子注入从硅晶体表面注入,并且然后在高温氧化,由此在硅晶体中形成氧化硅绝缘膜。备选地,单晶半导体膜可通过制备两个硅晶圆的方式来形成;用于分离的脆化层通过离子注入在硅晶圆之一中形成;两个硅晶圆相互接合;以及分离该一个衬底。在后一种情况下,包括脆化层的硅晶圆可接合到玻璃衬底。

[0098] 具有适当晶体结构的半导体区 (半导体膜) 在衬底 100 之上形成,并且然后经过选择性蚀刻,使得可形成岛状半导体区 101 和 102。

[0099] 然后,绝缘膜 108 在岛状半导体区 101 和 102 之上形成。作为绝缘膜 108,形成至少包含氧的膜。绝缘膜 108 可由例如氧化硅、氧氮化硅 (SiO_xN_y , $x > y > 0$)、氧化氮化硅 (SiN_xO_y , $x > y > 0$)、氧化铝 (Al_xO_y)、或氧化钽通过 CVD 或溅射来形成。此外,还可使用例如氧化铪等高介电常数材料。这种膜可通过 CVD、溅射等形成。绝缘膜 108 也可通过使用高密度等离子体对岛状半导体区 101 和 102 进行固相氧化来形成。例如,在绝缘膜 108 由氧化硅或氧氮化硅来形成的情况下,其厚度优选地为 1nm 至 2nm,以及更优选地为 7nm 至 10nm。

[0100] 在绝缘膜 108 由氧氮化硅来形成的情况下,它可通过等离子体 CVD 设备、使用甲硅烷 (SiH_4) 气体和一氧化二氮 (N_2O) 气体作为源气体来沉积。那种情况下的沉积条件如下所述。源气体的质量流量比为 $\text{SiH}_4 : \text{N}_2\text{O} = 1 : 800$,以及在等离子体 CVD 设备中,高频功率为 150W;频率为 60MHz;沉积温度(衬底温度)为 400°C ;腔室中的压力为 40Pa;以及电极间隔为 28mm。注意,在本说明书中,气体的质量流量比是提供给沉积室的气体的质量流率 (sccm) 的比率。

[0101] 等离子体氧化可对绝缘膜 108 来执行。优选地使用以高频、如微波(通常为 2.45GHz)来激励并且电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 或更大以及电子温度为 1.5eV 或更低的高密度等离子体,来执行等离子体氧化。具体来说,高密度等离子体的电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 至 $1 \times 10^{13} \text{cm}^{-3}$ 以及电子温度为 0.5eV 至 1.5eV。优选的是,等离子体氧化可对绝缘膜 108 执行 60 秒或更长时间。例如,在对岛状半导体区 101 和 102 执行等离子体氧化处理之后,氧氮化硅膜通过等离子体 CVD 设备在上述条件下形成,并且对氧氮化硅膜执行等离子体氧化处理,由此可形成绝缘膜 108。

[0102] 然后,导电膜 109 在绝缘膜 108 之上形成。导电膜 109 可具有单层结构或多层结构。具有单层或多层结构的导电膜被形成,并且通过蚀刻等选择性地去除,以便处理成预期形状,由此可形成导电膜 109。导电膜 109 可由从钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo)、铝 (Al)、铜 (Cu)、铬 (Cr)、铌 (Nb) 等中选取的金属、或者包含这些金属的任一种作为其主要成分的合金或金属化合物(例如硅化物或金属氮化物)、或者以采用例如磷等杂质元素掺杂的多晶硅为代表的半导体来制成。这种导电膜可通过 CVD、溅射等形成。

[0103] 随后,使用导电膜 109 作为掩模将 n 型或 p 型杂质元素添加到岛状半导体区 101 和 102,使得杂质区在岛状半导体区 101 和 102 的每个中形成。作为赋予 n 型导电的杂质元素,可使用磷 (P)、砷 (As) 等。作为赋予 p 型导电的杂质元素,可使用硼 (B)、铝 (Al)、镓 (Ga) 等。添加杂质元素的这个步骤将在岛状半导体区 102 中形成第二杂质区 105 和 106。图 5 是存储装置 40 的存储单元 70 的平面图,其中已经完成添加杂质元素的步骤。图 6A 至图 6C 是分别沿图 5 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图。

[0104] 如图 6A 所示,与导电膜 109 重叠的岛状半导体区 102 的一部分成为沟道形成区 107,并且已经对其添加杂质元素的杂质区 205 和 206 分别对应于第二杂质区 105 和 106。如图 6B 所示,与导电膜 109 重叠的岛状半导体区 101 的一部分成为沟道形成区 137,并且已经对其添加杂质元素的杂质区 235 对应于第二杂质区 135。

[0105] 随后形成绝缘膜 110。作为绝缘膜 110,例如氧化硅膜、氮化硅膜、氧氮化硅 (SiO_xN_y , $x > y > 0$) 膜或者氧化氮化硅 (SiN_xO_y , $x > y > 0$) 膜等含氧或氮的绝缘膜可通过 CVD、溅射等形成。绝缘膜 110 的厚度优选地为 10nm 至 100nm,以及更优选地为 20nm 至 50nm。

[0106] 然后,导电膜 111 在绝缘膜 110 之上形成。导电膜 111 形成字线和控制栅。导电膜 111 可按照与导电膜 109 相似的方式来形成。

[0107] 在这个实施例中,导电膜 109 的底面覆盖有绝缘膜 108,并且其顶面和侧表面仅覆盖有绝缘膜 110。因此,在导电膜 109 中积聚的电荷可易于保持,这在改进存储元件的电荷保持特性方面是有利的。这是因为如果使用玻璃衬底作为衬底 100,则加热温度的上限大约为 600°C ;因此,可形成的绝缘膜具有比通过高温热处理所得到的更低的耐受电压,并且因

此,可采用围绕导电膜 109 的更少数量的绝缘膜和更简单的元件结构来更有效地防止从浮栅的电荷的泄漏。

[0108] 随后,使用导电膜 111 作为掩模将 n 型或 p 型杂质元素添加到岛状半导体区 101 和 102。图 7 是已经完成添加杂质元素的这个步骤的存储单元的平面图。图 8A 至图 8C 是分别沿图 7 的截线 A1-A2、B1-B2 和 C1-C2 所截取的截面图。

[0109] 如图 8A 所示,第一杂质区 103 和 104 在岛状半导体区 102 中形成。第一杂质区 103 和 104 形成存储晶体管的源区或漏区。与导电膜 111 重叠的杂质区 205 和 206 (参见图 6A) 的部分分别成为第二杂质区 105 和 106。如图 8B 所示,第一杂质区 133 和 134 在岛状半导体区 101 中形成。与导电膜 111 重叠的杂质区 235 和 236 (参见图 6B) 的部分成为第二杂质区 135。

[0110] 在这里,作为具有比第一杂质区 103、104、133 和 134 更低的杂质浓度的 LDD (轻掺杂漏) 区来形成第二杂质区 105、106 和 135。如果使第二杂质区 105、106 和 135 的杂质浓度与第一杂质区 103、104、133 和 134 基本相等,则第二杂质区 105、106 和 135 可用作源区或漏区。此外,如果省略使用导电膜 109 作为掩模来添加杂质元素的步骤,则第二杂质区 105、106 和 135 的杂质浓度与沟道形成区 107 和 137 基本相等。

[0111] 当第一杂质区 103 和 104 的杂质浓度与第二杂质区 105 和 106 基本相等时,可获得存储晶体管的最高导通特性。注意,添加到第一杂质区 103 和 104 的过量杂质元素引起对绝缘膜 108 的损伤,这可能降低存储晶体管的可靠性。当第二杂质区 105 和 106 的杂质浓度与沟道形成区 107 基本相等时,可获得所谓的偏移存储晶体管。相应地,可防止数据的过度擦除,并且擦除操作之后的存储晶体管可保持在常截止 (normally-off) 状态。在这个实施例中,通过制作具有比第一杂质区 103、104、133 和 134 更低的杂质浓度的第二杂质区 105、106 和 135 LDD 区,存储晶体管的导通特性以及对热电子的电阻可得到改进。

[0112] 随后形成绝缘膜 112。绝缘膜 112 可由例如氧化硅膜、氮化硅膜、氧氮化硅 (SiO_xN_y , $x > y > 0$) 膜或氧化氮化硅 (SiN_xO_y , $x > y > 0$) 膜等的含氧或氮的绝缘膜、包含例如 DLC (菱形碳) 等碳的膜、包含例如环氧树脂、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯或丙烯酸等有机材料的膜或者包含例如硅氧烷树脂等硅氧烷材料的膜来形成。这种绝缘膜可通过 CVD、溅射、涂敷等形成。

[0113] 注意,硅氧烷材料是具有 Si-O-Si 键的材料。硅氧烷具有通过硅 (Si) 和氧 (O) 的键所形成的骨架。作为取代基,使用至少包括氢的有机基 (例如烷基或芳基)。备选地,可使用氟基作为取代基。又备选地,至少包含氢的有机基和氟基也可用作取代基。优选的是,作为绝缘膜 112 来形成包含有机材料或硅氧烷材料的膜,因为可减小因半导体膜、导电膜等引起的不平坦性。注意,由于水分易于在包含有机材料或硅氧烷材料的膜中被吸收并且经过其中,因此,如果例如半导体膜、绝缘膜和导电膜等其它膜极可能受到不利影响,则包含无机材料的膜优选地在包含有机材料或硅氧烷材料的膜的顶面和 / 或底面上形成。对于包含无机材料的膜,由于它对水分的高阻挡效应,包含氮化硅、氧化氮化硅等的膜是特别优选的。

[0114] 然后,绝缘膜 112、110 和 108 通过蚀刻选择性地去除,由此形成延伸到导电膜 111 的开口 116、分别延伸到在岛状半导体区 101 中形成的第一杂质区 133 和 134 的开口 117 和 118 以及分别延伸到在岛状半导体区 102 中形成的第一杂质区 103 和 104 的开口 119 和

120。

[0115] 随后,导电膜在绝缘膜 112 之上形成,并且通过蚀刻处理成预定形状,由此形成导电膜 113 至 115。导电膜 113 至 115 的每个可具有单层结构或多层结构。导电膜 113 至 115 可由从铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn) 和钕 (Nd) 中选取的金属或者包含这些金属的任一种作为其主要成分的合金或金属化合物来制成。这种金属膜或包含金属作为其主要成分的膜可通过 CVD、溅射等形成。作为包含铝作为其主要成分的合金,例如存在包含铝作为其主要成分并且还包含镍的合金,或者包含铝作为其主要成分并且还包含镍以及包含碳和硅的一个或二者的合金。

[0116] 在导电膜 113 至 115 的每个具有多层结构的情况下,能够采用阻挡膜 (barrier film)、铝硅膜和阻挡膜的层叠结构或者阻挡膜、铝硅膜、氮化钛膜和阻挡膜的层叠结构。对于阻挡膜,例如可使用钛、钛的氮化物、钼或者钼的氮化物。铝或者包含铝作为其主要成分的材料、如铝硅合金 (aluminum silicon) 因其低电阻和低价格而适合于导电膜 113 至 115 的材料;但是,可能生成小丘。因此,在包含铝作为其主要成分的膜用作导电膜 113 至 115 的情况下,阻挡膜优选地设置在铝膜的顶面和底面上,以便防止小丘的生成。而且在那种情况下,包含具有高还原性质的钛的阻挡膜优选地形成在包含铝作为其主要成分的膜的底面上。这是因为,即使薄天然氧化膜在半导体膜上形成,它也可被还原,使得可实现导电膜 113 和 114 与岛状半导体区 101 和 102 之间的有利接触。

[0117] 虽然导电膜 115 通过与导电膜 113 和 114 相同的过程来形成,但是它可通过与导电膜 113 和 114 不同的过程来形成。

[0118] 通过上述步骤,完成包括多个存储单元 70 的存储单元阵列 51。另外,存储装置 40 的驱动器电路部分 52 中包含的晶体管、电容器、电阻器等等通过与存储单元阵列 51 相同的制造过程来制造,并且因此驱动器电路部分 52 以及存储单元阵列 51 在衬底 100 之上制造。相应地,完成这个实施例的存储装置 40。

[0119] 虽然背控制栅由在与岛状半导体区 102 相同的时间制造的半导体膜来形成,但是它可由另一导电膜来形成。这个导电膜可具有单层结构或多层结构。例如,通过 CVD 或溅射,形成背控制栅的导电膜可由从钽 (Ta)、钨 (W)、钛 (Ti)、钼 (Mo) 和铝 (Al) 等中选取的金属或者包含这些金属的任一种作为其主要成分的合金或金属化合物 (例如硅化物或金属氮化物) 来形成。

[0120] 不用说,用于制造这个实施例中所所述的存储装置的方法只是示例,并且可采用各种已知的方法。用于制造这个实施例中所所述的存储装置的方法可适用于制造其它实施例中所所述的存储装置的方法。

[0121] [实施例 2]

[0122] 这个实施例是实施例 1 的修改示例。这个实施例的存储装置包括其中在岛状半导体区与浮栅之间的绝缘膜的厚度部分不同的存储元件。下面参照图 9 和图 10A 至图 10C 来描述这个实施例。

[0123] 图 9 是示出这个实施例的存储单元的结构的一个示例的平面图,以及图 10A 至图 10C 是分别沿图 9 的截线 A1-A2、B1-B2 和 C1-C2 截取的截面图。下面描述这个实施例的存储单元的制造方法和结构。注意,省略关于与实施例 1 中相似的结构描述。

[0124] 首先,如实施例 1 所述,岛状半导体区 101 和 102 隔着绝缘膜 130 在衬底 100 之上

形成。然后,具有单层结构或多层结构的绝缘膜 301 形成为覆盖岛状半导体区 101 和 102。作为绝缘膜 301,形成至少包含氧的绝缘膜。例如,这种绝缘膜可由例如氧化硅、氧氮化硅(SiO_xN_y , $x > y > 0$) 或者氧化氮化硅(SiN_xO_y , $x > y > 0$) 等的硅氧化物、例如氧化铝等金属氧化物,或者例如氧化钽或氧化铪等高介电常数材料来形成。绝缘膜 301 通过采用高密度等离子体的固相氧化、CVD、溅射等形成。如果使用氧化硅膜或氧氮化硅膜,则绝缘膜 301 优选地形成成为 1nm 至 50nm 厚度,以及更优选地为 3nm 至 30nm 厚。

[0125] 随后,绝缘膜 301 通过蚀刻选择性地去除,由此形成延伸到岛状半导体区 102 的开口 310。在岛状半导体区 102 与导电膜 109 和导电膜 111 重叠的区域的部分中形成开口 310。换言之,开口 310 与在岛状半导体区 102 中形成的沟道形成区 107 部分重叠。

[0126] 然后,具有单层结构或多层结构的绝缘膜 302 形成为覆盖岛状半导体区 101、102 和绝缘膜 301。绝缘膜 302 可按照与绝缘膜 108 相似的方式来形成。绝缘膜 302 的厚度优选地为 1nm 至 20nm,以及更优选地为 7nm 至 10nm。在这个实施例中,采用具有开口 310 的绝缘膜 301 与绝缘膜 302 的层叠结构,使得部分减小岛状半导体区 102 与浮栅之间的绝缘膜的厚度。以下步骤可按照与实施例 1 相似的方式执行,并且可制造这个实施例的存储装置。

[0127] 在这个实施例的存储装置中,与实施例 1 的存储装置中相似,背控制栅 (BCG) 设置在存储元件中。因此,增加耦合比并且可减小写入电压和擦除电压,而无需增加存储单元的面积。

[0128] 此外,能够减小存储单元的面积,它是实现预期耦合比所需的。也就是说,可减小存储单元的面积,而无需增加写入电压和擦除电压,这使得更易于高度集成存储单元。

[0129] 优选的是,在绝缘膜 301 中形成的开口至少包括与沟道形成区 107 重叠的区域。图 9 所示的开口 310 是这样一个示例。备选地,开口 320 可在绝缘膜 301 中形成,以便包括没有与导电膜 109 和导电膜 111 重叠的区域。

[0130] 图 11 是示出这个实施例的存储装置的结构的一个示例的平面图,以及图 12A 至图 12C 是分别沿图 11 的截线 A1-A2、B1-B2 和 C1-C2 截取的截面图。如图 11 和图 12A 所示,开口 320 在与岛状半导体区 102 中形成的第一杂质区 103 和 104、第二杂质区 105 和 106 以及沟道形成区 107 重叠的绝缘膜 301 的一部分中形成。通过形成开口 320,沟道形成区 107 与导电膜 109 之间的绝缘膜仅在沟道长度方向(与 A1-A2 平行的方向)包括绝缘膜 302,并且厚度被减小。另一方面,在沟道宽度方向(与截线 C1-C2 平行的方向),沟道形成区 107 与导电膜 109 之间的绝缘膜的中心仅包括绝缘膜 302 并且厚度被减小,其两端包括厚的绝缘膜 301 和绝缘膜 302。

[0131] 这个实施例的存储装置与实施例 1 的不同之处在于,具有开口 310(或开口 320)的绝缘膜 301 与绝缘膜 302 层叠在岛状半导体区 101 与浮栅之间,使得部分减小岛状半导体区 102 与浮栅之间的绝缘膜的厚度。

[0132] 相应地,取决于绝缘膜 301 和绝缘膜 302 的厚度,在公式 (3) 中,与实施例 1 相比,在这个实施例中,岛状半导体区 102 与浮栅(导电膜 109)之间的电容 C_1 减小,而耦合比增加。同时,背控制栅(岛状半导体区 101)与浮栅(导电膜 109)之间的电容 C_{21} 减小,而耦合比增加。因此,在某些情况下,与实施例 1 中相比,公式 (3) 中的耦合比 $(C_{21}+C_{22})/(C_1+C_{21}+C_{22})$ 相等或更小。

[0133] 甚至在那种情况下,这个实施例也具有如下新效果。在这个实施例的存储元件中,背控制栅与浮栅之间的绝缘膜的厚度可易于比实施例 1 增加更多。绝缘膜的厚度的增加促进从浮栅的电荷泄漏的抑制,从而产生存储元件改进的电荷保持特性。另外,绝缘膜在绝缘膜 301 和绝缘膜 302 层叠于岛状半导体区 102 之上的区域中不太可能退化。因此,能够抑制因写操作和擦除操作的重复引起的存储元件的特性的退化,这允许存储元件对重写具有更大抵抗力。

[0134] [实施例 3]

[0135] 在这个实施例中,将描述与实施例 1 不同的非易失性半导体存储装置,它是实施例 2 的修改示例。这个实施例的存储装置包括其中在岛状半导体区 101 与浮栅之间的绝缘膜的厚度部分不同的存储元件。参照图 13 和图 14A 至图 14C 来描述这个实施例。注意,省略关于与实施例 1 和 2 中相似的结构描述。

[0136] 图 13 是这个实施例的存储装置的存储单元的平面图,以及图 14A 至图 14C 是分别沿图 13 的截线 A1-A2、B1-B2 和 C1-C2 截取的截面图。

[0137] 首先,如实施例 2 所述,岛状半导体区 101 和 102 隔着绝缘膜 130 在衬底 100 之上形成。然后,具有单层结构或多层结构的绝缘膜 301 形成为覆盖岛状半导体区 101 和 102。

[0138] 随后,绝缘膜 301 通过蚀刻选择性地去除,由此形成开口 310 和开口 311。在岛状半导体区 101 与导电膜 109 重叠的区域的部分中形成开口 311。换言之,开口 311 在与沟道形成区 137 重叠的绝缘膜 301 的一部分中形成。注意,在与岛状半导体区 102 重叠的绝缘膜 301 的一部分中,可形成开口 320 来取代开口 310,以便包括没有与导电膜 109 和导电膜 111 重叠的区域,如图 11 和图 12A 所示。开口不一定在与岛状半导体区 102 重叠的绝缘膜 301 的部分中形成。以下步骤可按照与实施例 1 相似的方式执行,并且可制造这个实施例的存储装置。

[0139] 与实施例 1 相似,背控制栅 (BCG) 设置在这个实施例的存储装置中。因此,增加耦合比并且可减小写入电压和擦除电压,而无需增加存储单元的面积,从而产生存储装置的更低功耗。

[0140] 此外,能够减小实现预期耦合比所需的存储单元的面积。也就是说,可减小存储单元的面积,而无需增加写入电压和擦除电压,这使得更易于高度集成存储单元。

[0141] 与实施例 2 相似,在这个实施例的存储元件中,背控制栅与浮栅之间的绝缘膜的厚度可易于比实施例 1 增加更多。绝缘膜的厚度的增加促进从浮栅的电荷泄漏的抑制,从而产生存储元件改进的电荷保持特性。另外,绝缘膜对于在绝缘膜 301 和绝缘膜 302 层叠于岛状半导体区 102 之上的区域中的退化具有抗力。因此,能够抑制因写操作和擦除操作的重复引起的存储元件的特性的退化,这允许存储元件对重写具有更大抗力。

[0142] 这个实施例与实施例 2 的不同之处在于,开口 311 在与岛状半导体区 101 和导电膜 109 重叠的绝缘膜 301 的部分中形成,使得部分减小背控制栅与浮栅之间的绝缘膜的厚度。由于绝缘膜的厚度的减小促进耦合比的增加,所以耦合比在这个实施例中比在实施例 2 中可增加更多。

[0143] 实施例 1 至 3 中描述的非易失性半导体存储装置可用作其中可电存储数据并且可重写所存储数据的存储介质。因此,各实施例中描述的非易失性半导体存储装置可适用于所有领域的电子装置。作为电子装置,例如,存在拍照装置(例如摄像机和数码相机)、显示

装置（例如液晶显示装置和电致发光显示装置）、导航系统、声音再现装置（例如汽车音频系统和音频组件）、计算机、游戏机、便携信息终端（移动计算机、蜂窝电话、便携游戏机和电子书阅读器）、成像再现装置、记录装置、IC 芯片和 RFID。

[0144] [示例 1]

[0145] 在这个示例中，制造本发明的一个实施例的存储单元以及图 15、图 16A 和图 16B 所示的常规存储单元，并且比较其特性。作为本发明的一个实施例的存储单元，制造实施例 1 的存储单元（在这里称作“存储单元 A”）。首先描述一种用于制造存储单元 A 的方法。

[0146] 玻璃衬底用作衬底 100。作为绝缘膜 130，厚度为 50nm 的氧化氮化硅 (SiN_xO_y , $x > y > 0$) 膜和厚度为 100nm 的氧氮化硅 (SiO_xN_y , $x > y > 0$) 膜通过 CVD 在玻璃衬底（衬底 100）之上形成（参见图 6A 至图 6C）。

[0147] 岛状半导体区 101 和 102 由多晶硅来形成。多晶硅膜按照下列方式来形成。首先，厚度为 66nm 的非晶硅膜通过等离子体 CVD 设备使用氢和甲硅烷作为源气体来形成。然后，热处理在 500℃ 执行 1 小时并且在 550℃ 执行 4 小时，由此从非晶硅膜释放氢。随后，采用 YVO_4 激光器的二次谐波（波长为 532nm）的射束来辐照非晶硅膜，由此被结晶以形成多晶硅膜。 YVO_4 激光器是半导体激光器 (LD) 泵浦连续波激光器。然后，多晶硅膜通过蚀刻处理成预期形状，由此岛状半导体区 101 和 102 在绝缘膜 130 之上形成（参见图 5 和图 6A 至图 6C）。

[0148] 为了形成绝缘膜 108，首先对岛状半导体区 101 和 102 执行高密度等离子体氧化。然后，厚度为 9nm 的氧氮化硅膜通过等离子体 CVD 设备使用甲硅烷 (SiH_4) 气体和一氧化二氮 (N_2O) 气体作为源气体来形成。源气体的质量流比为 $\text{SiH}_4 : \text{N}_2\text{O} = 1 : 800$ ，以及在下列条件下执行等离子体激励：高频功率为 150W（频率为 60MHz）；沉积温度（衬底温度为 400℃；腔室中的压力为 40Pa；以及电极间隔为 28mm。在形成氧氮化硅膜之后，再次执行高密度等离子体氧化。通过上述步骤，形成绝缘膜 108。随后，厚度为 30nm 的钨膜通过溅射设备在绝缘膜 108 之上形成。钨膜通过蚀刻处理成预定形状，由此形成导电膜 109。然后，磷 (P) 通过等离子体掺杂设备添加到岛状半导体区域 101 和 102，由此形成杂质区 205、206 和 235。作为源气体，使用采用氢稀释的 PH_3 （参见图 5 和图 6A 至图 6C）。

[0149] 随后，绝缘膜 110 形成为覆盖导电膜 109。在这里，厚度为 50nm 的氧氮化硅膜通过等离子体 CVD 设备来形成。厚度为 20nm 的氮化钽膜和厚度为 370nm 的钨膜通过溅射设备层叠在绝缘膜 110 之上。这个层叠膜经过蚀刻以形成导电膜 111。然后，磷通过等离子体掺杂设备、使用导电膜 111 作为掩模添加到岛状半导体区域 101 和 102。作为源气体，使用采用氢稀释的 PH_3 。通过上述步骤，第一杂质区 103、104 和第二杂质区 105、106 在岛状半导体区 101 中形成，以及第一杂质区 133、134 和第二杂质区 135 在岛状半导体区 102 中形成（参见图 7 和图 8A 至图 8C）。

[0150] 然后，将厚度为 100nm 的氧氮化硅膜和厚度为 600nm 的氧化硅膜层叠而作为绝缘膜 112，以便覆盖导电膜 111。在形成氧化硅膜之后，在氮气氛中以 550℃ 执行热处理，由此激活已经添加到岛状半导体区 101 和 102 的磷。然后，蚀刻绝缘膜 108、110 和 112 的叠层，由此形成开口 116 至 120。随后，具有包含厚度为 60nm 的钛膜、厚度为 40nm 的氮化钛膜、厚度为 500nm 的纯铝膜以及厚度为 100nm 的钛膜的多层结构的导电膜通过溅射设备在绝缘膜 112 之上形成。这个层叠结构通过蚀刻处理成预期形状，由此形成导电膜 113 至 115。通过

上述步骤,制造存储单元 A(参见图 1 和图 2A 至图 2C)。

[0151] 在这个示例中,形成两种存储单元 x 和 y 作为比较示例。存储单元 x 和 y 各具有与图 15 所示的常规存储单元相同的结构。存储单元 x 和 y 各在与存储单元 A 相同的条件下制造,但形成背控制栅的岛状半导体区 101 以及导电膜 115 没有被形成。

[0152] 存储单元 A、x 和 y 在存储晶体管的岛状硅膜(岛状半导体区 102)与浮栅(导电膜 109)重叠的面积和浮栅与控制栅(导电膜 111)重叠的面积比率方面、以及在背控制栅(岛状半导体区 101)的存在性方面有所不同。这些条件确定耦合比。表 1 示出存储单元 A、x 和 y 之间的结构的差异以及存储单元 A、x 和 y 的写入电压和擦除电压。

[0153] [表 I]

[0154]

	当前示例	比较示例	
	存储单元 A	存储单元 x	存储单元 y
Si-FG : FG-CG : FG-BCG (面积比)	1:4:1	1:8:0	1:4:0
背控制栅	是	否	
写入电压	13.6 V	14.2 V	17.7 V
擦除电压	-14.8 V	-15.4 V	-21.1 V

[0155] 写操作和擦除操作通过 F-N(Fowler-Nordheim) 隧穿电流来执行。存储单元 A、x 和 y 的每个的写入电压和擦除电压通过将读取电压设置为 3V、将处于被写入状态的存储晶体管的阈值电压设置为 4.3V 以及将处于被擦除状态的存储晶体管的阈值电压设置为 1.3V 来测量。

[0156] 表 1 中, Si-FG 表示存储晶体管的岛状半导体区 102 与导电膜 109 重叠的面积, FG-CG 表示导电膜 109 与导电膜 111 重叠的面积, 以及 FG-BCG 表示导电膜 109 与形成背控制栅的岛状半导体区 101 重叠的面积。这些面积的比率如表 1 所示。

[0157] 在这里, 存储单元 x 的布局对应于图 15。存储单元 A 的岛状半导体区 102 和存储单元 x 的岛状半导体区 1102 具有相同的形状和大小。存储单元 A 和存储单元 x 制造成具有相同大小的面积 Si-FG。在存储单元 x 中, 形成浮栅的导电膜 1109 和形成控制栅的导电膜 1111 分别大于存储单元 A 的导电膜 109 和导电膜 111, 以及存储单元 x 的 FG-CG 是存储单元 A 的 FG-CG 的两倍。存储单元 A 的面积比存储单元 x 的面积小大约 13%。

[0158] 存储单元 y 具有其中从存储单元 A 去除岛状半导体区 101 和导电膜 115 的结构。存储单元 y 的面积 Si-FG 和面积 FG-CG 与存储单元 A 的那些相同。

[0159] 如果表 1 的值舍入到最近整数, 则存储单元 A 的写入电压和擦除电压与存储单元 x 的相等。另一方面, 存储单元 A 的面积比存储单元 x 的面积小大约 13%。这表明, 设置在存储晶体管中的背控制栅允许存储单元的面积减小, 而无需增加写入电压和擦除电压。注意, 在这个示例的存储单元 A 中, 岛状半导体区 102 形成为仅与导电膜 109 的小部分重叠。

但是,存储单元 A 的结构只是本发明的一个示例,并且背控制栅(岛状半导体区 101)可设置在与导电膜 109 重叠的几乎所有区域 121 中,除了在形成岛状半导体区 102 的区域中以及在元件分隔区域中以外。不用说,这个示例的效果通过采用这种结构得到增强。因此,发现这个示例的存储单元的结构对于存储单元的更高集成相当有用。

[0160] 另外,表 1 表明,写入电压和擦除电压可通过提供背控制栅来减小。比较存储单元 A 和存储单元 y,面积比 Si-FG : FG-CG 彼此相等;但是,存储单元 A 的写入电压和擦除电压比存储单元 y 的那些要小。这表明,设置在存储晶体管中的背控制栅允许写入电压和擦除电压减小,而无需增加存储单元的面积。因此,发现这个示例的结构在减小存储单元的功耗方面相当有用。

[0161] 本申请基于 2008 年 5 月 9 日向日本专利局提交的日本专利申请序号 2008-123583,通过引用将其完整内容结合于此。

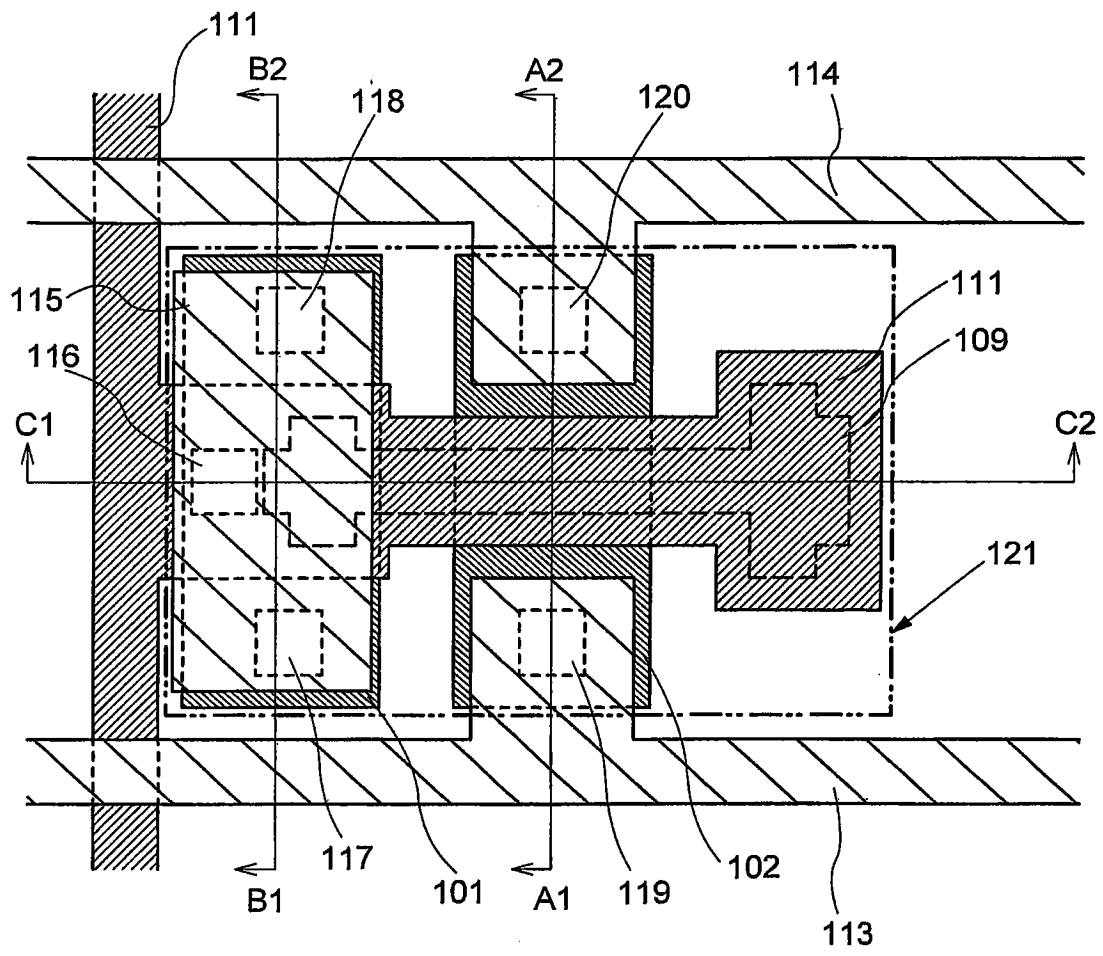
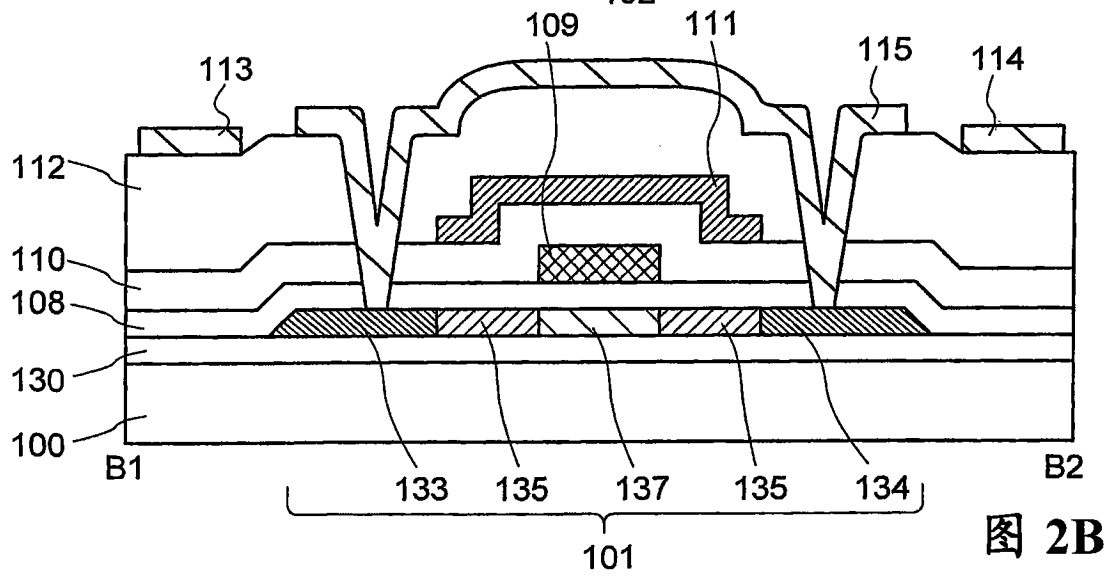
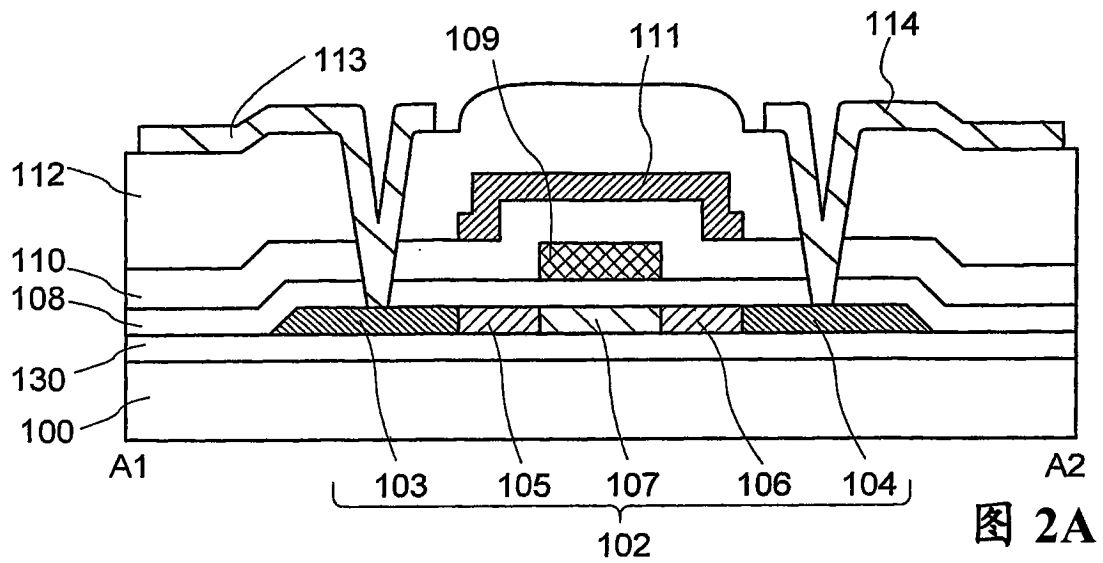


图 1



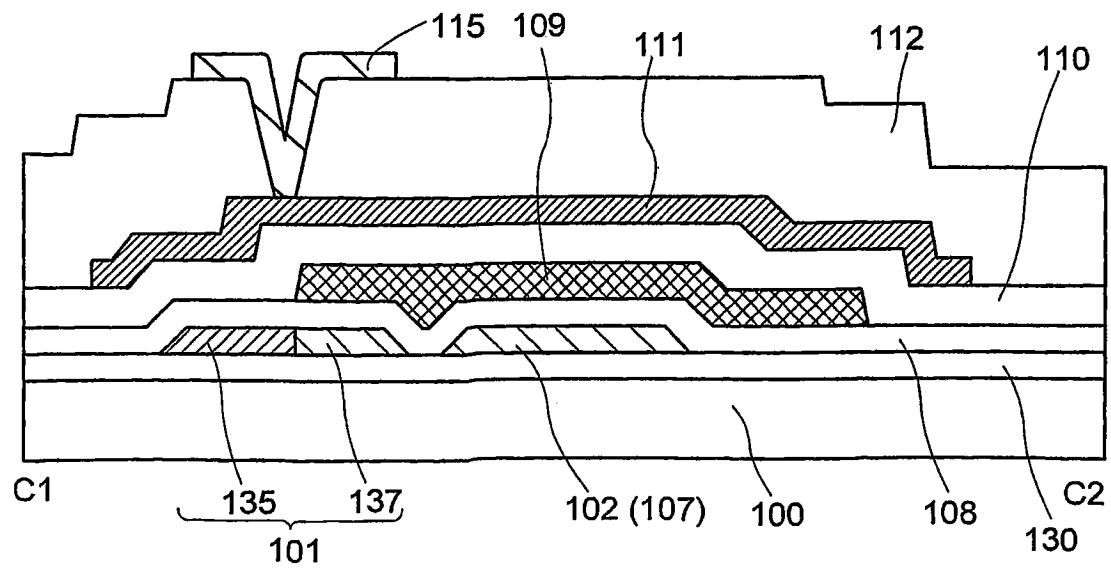


图 2C

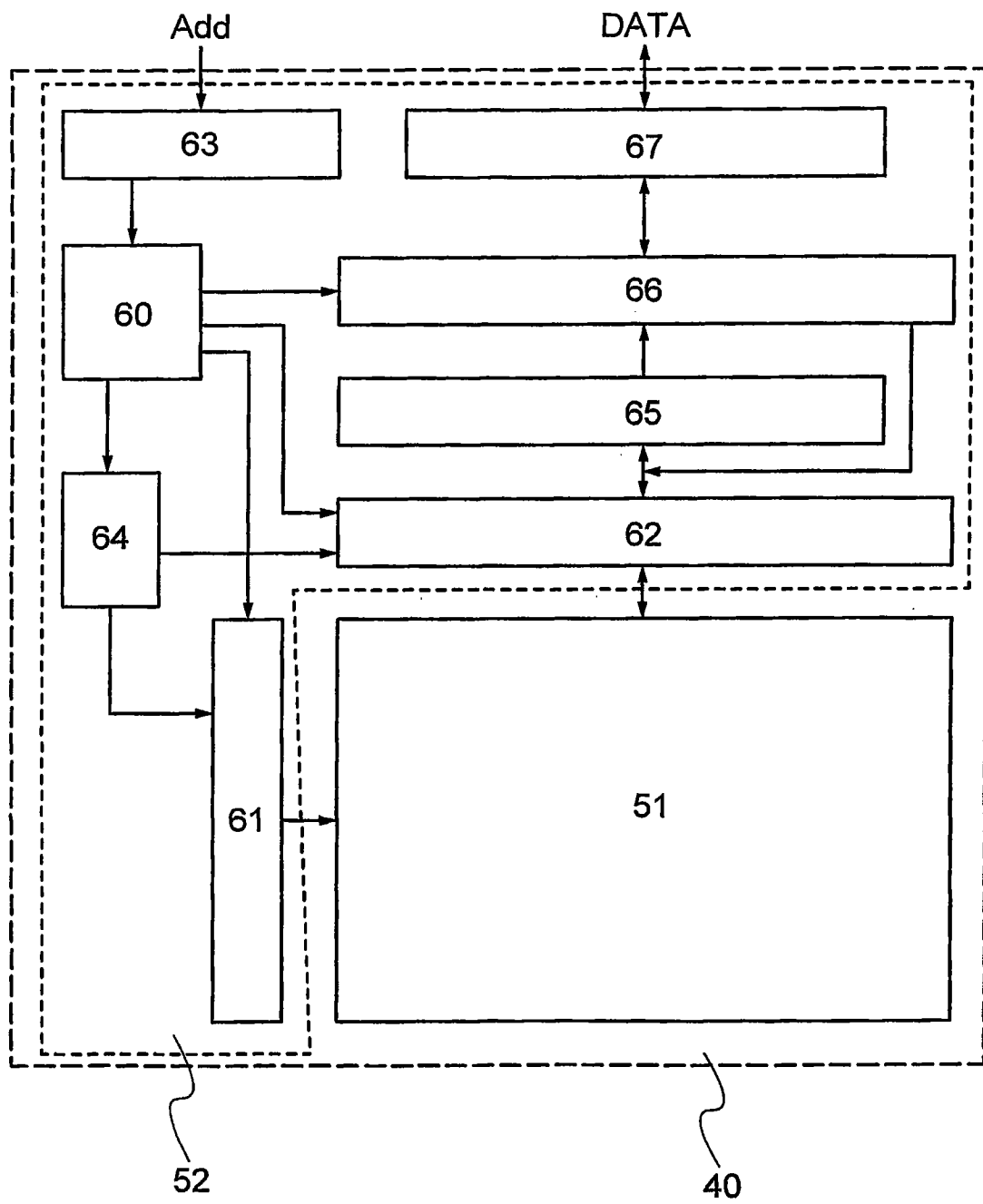


图 3

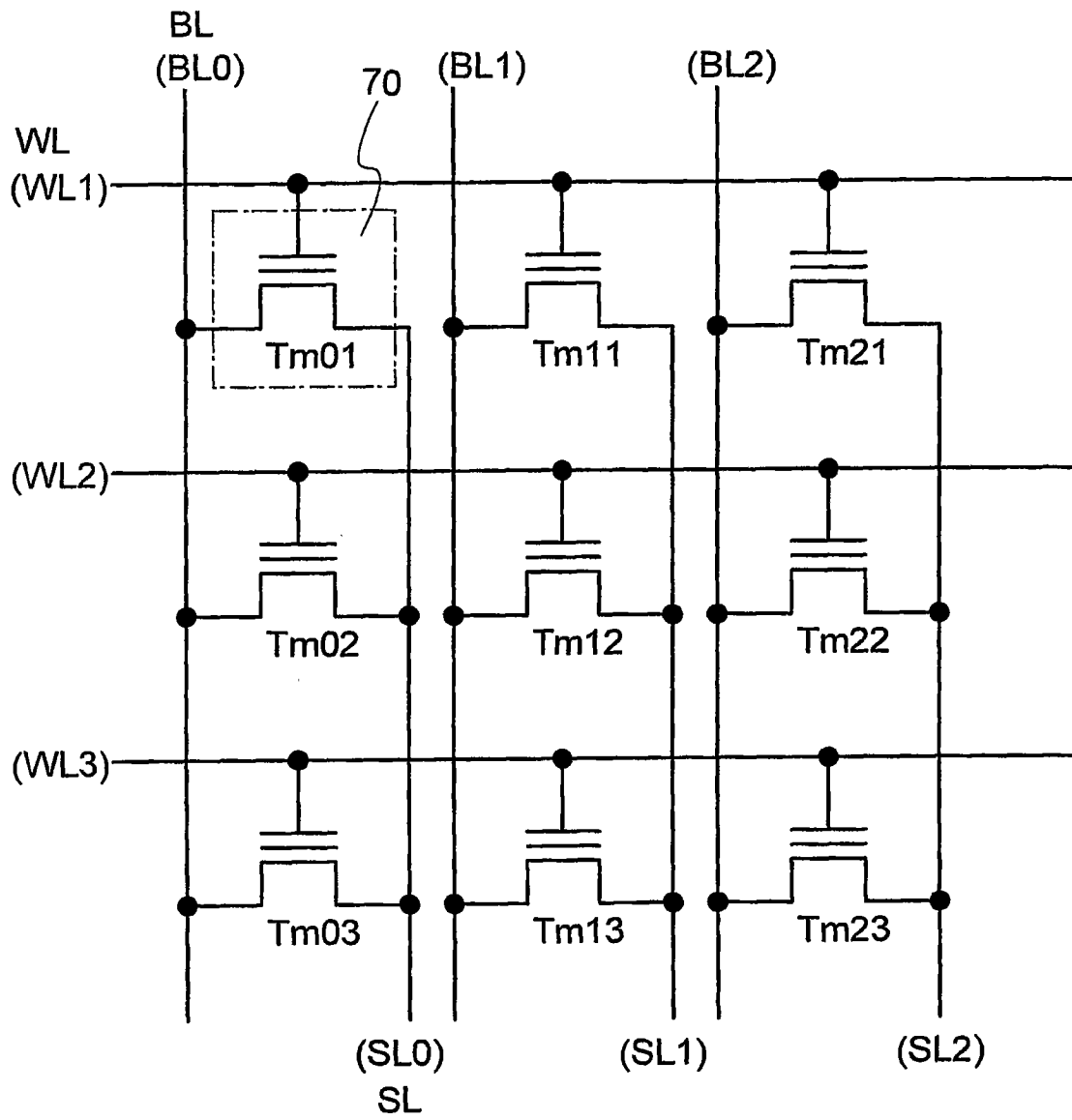


图 4

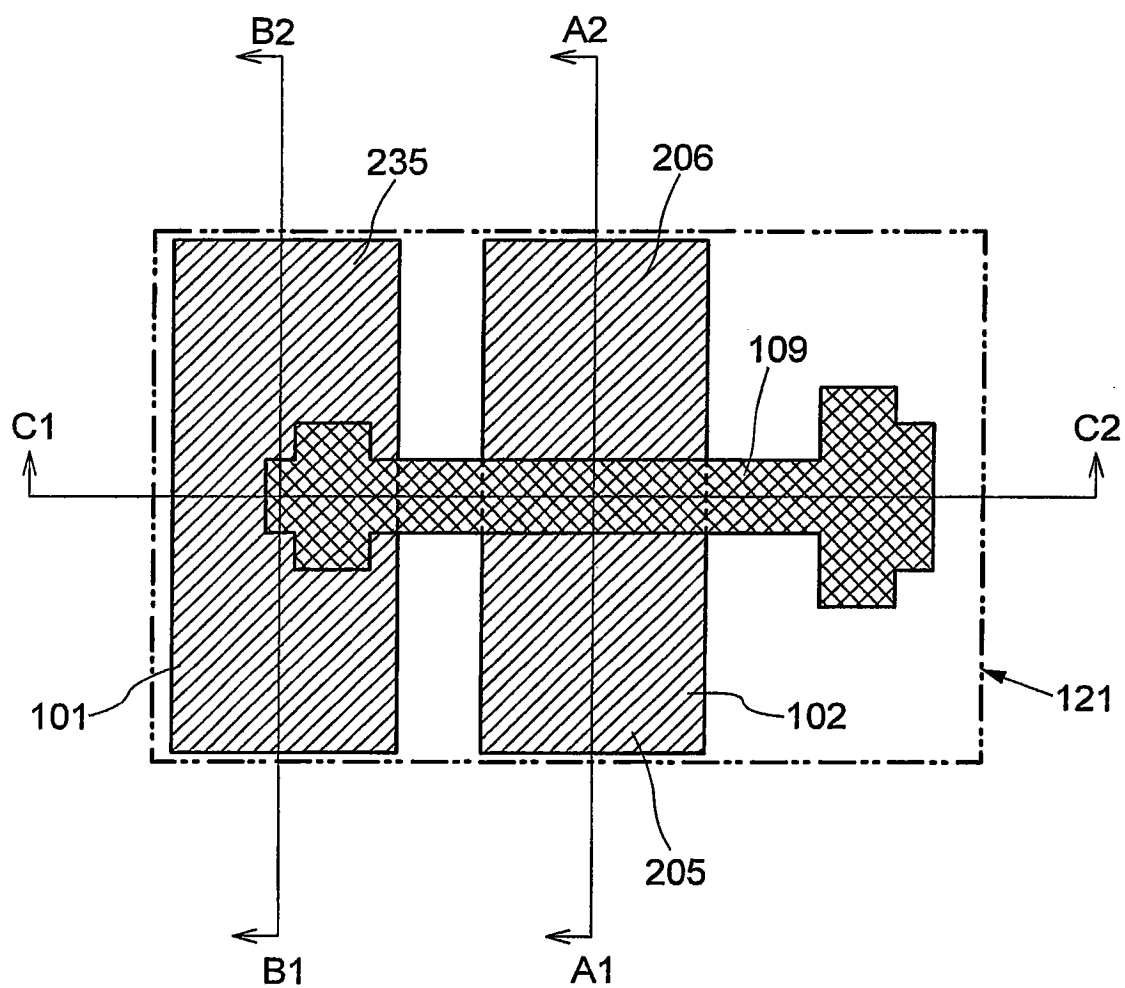


图 5

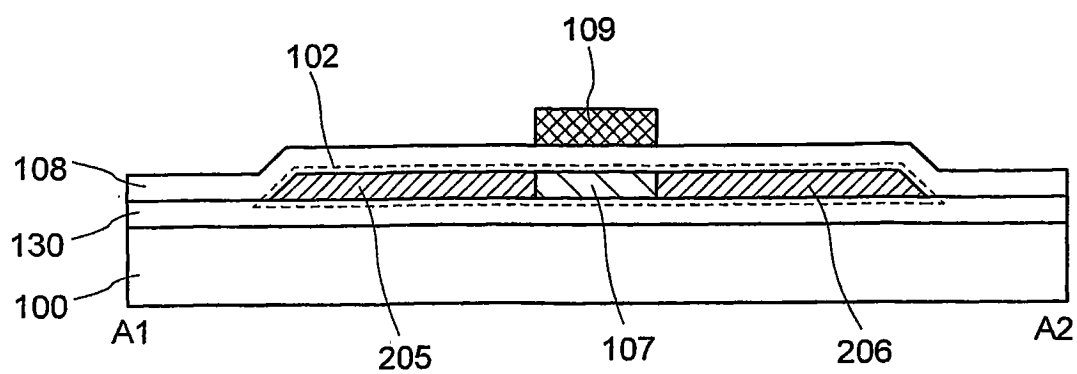


图 6A

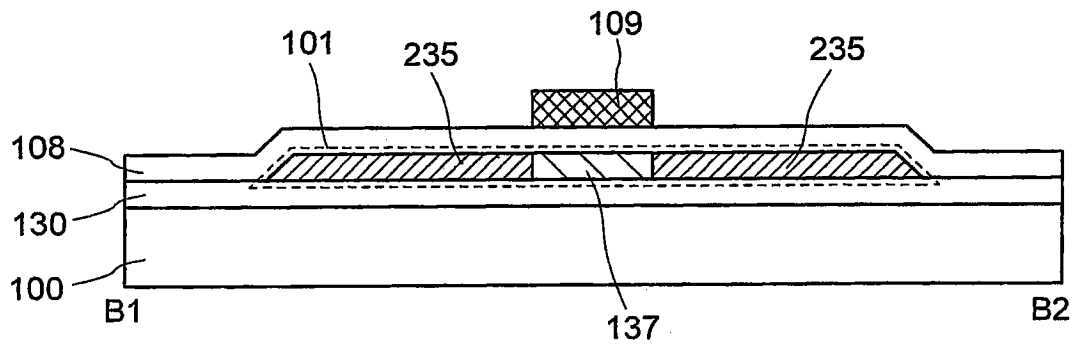


图 6B

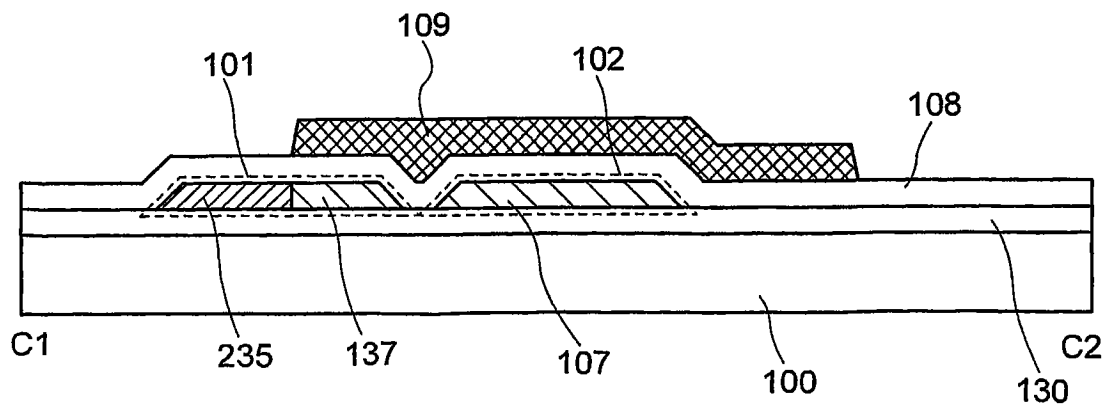


图 6C

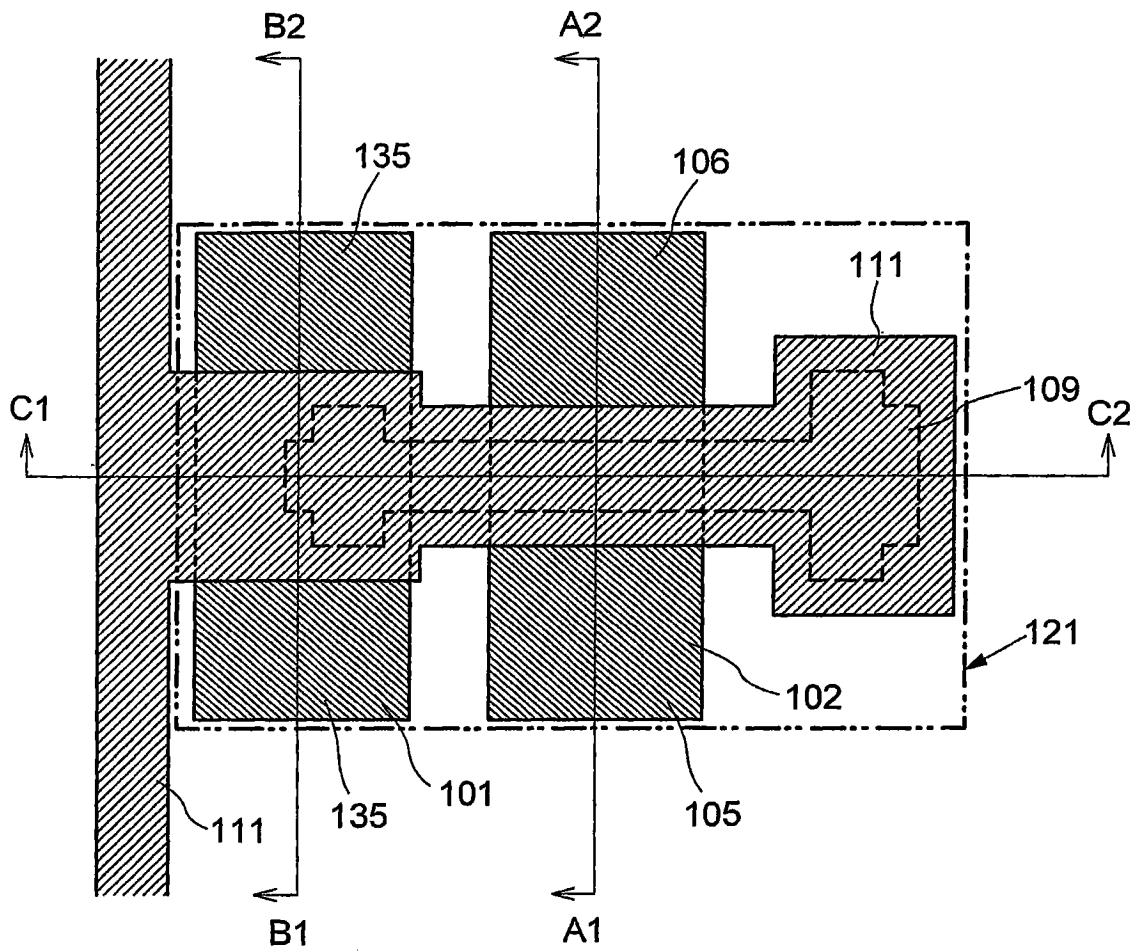


图 7

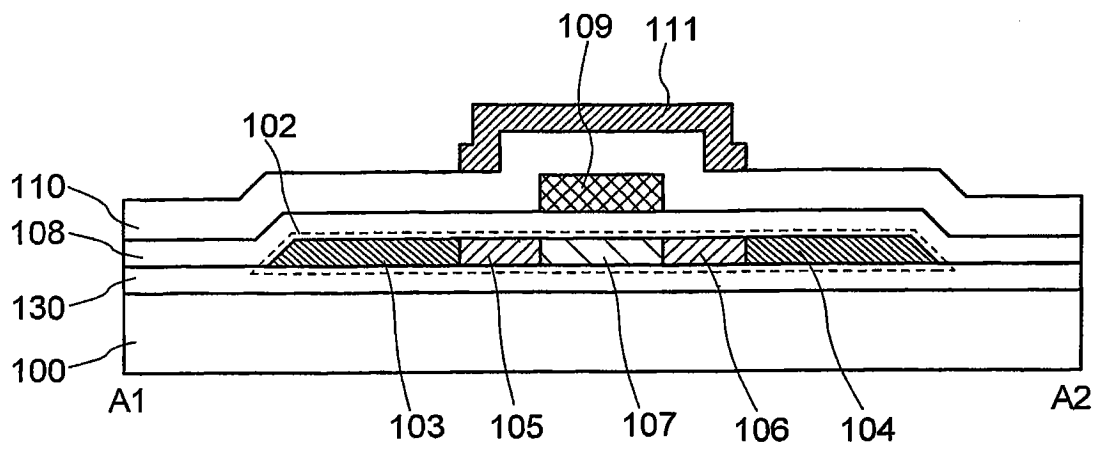


图 8A

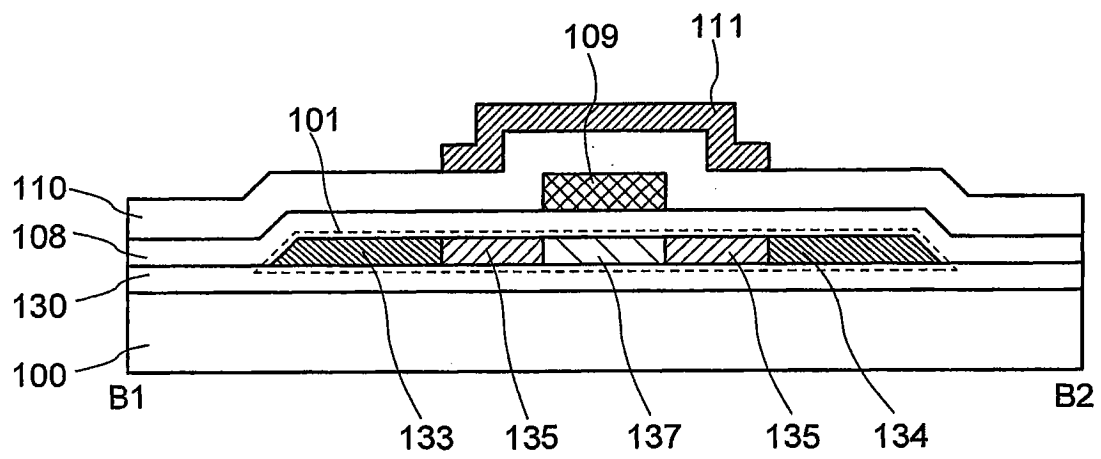


图 8B

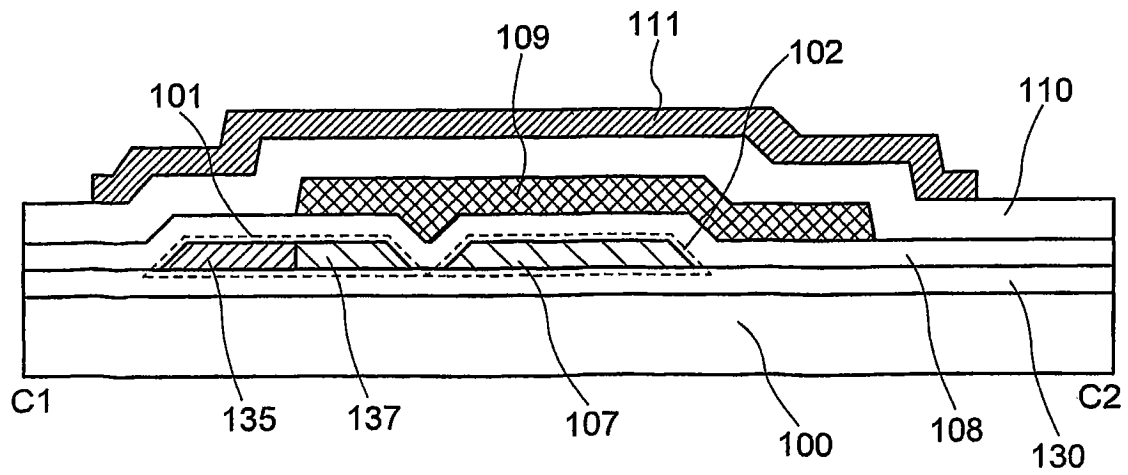


图 8C

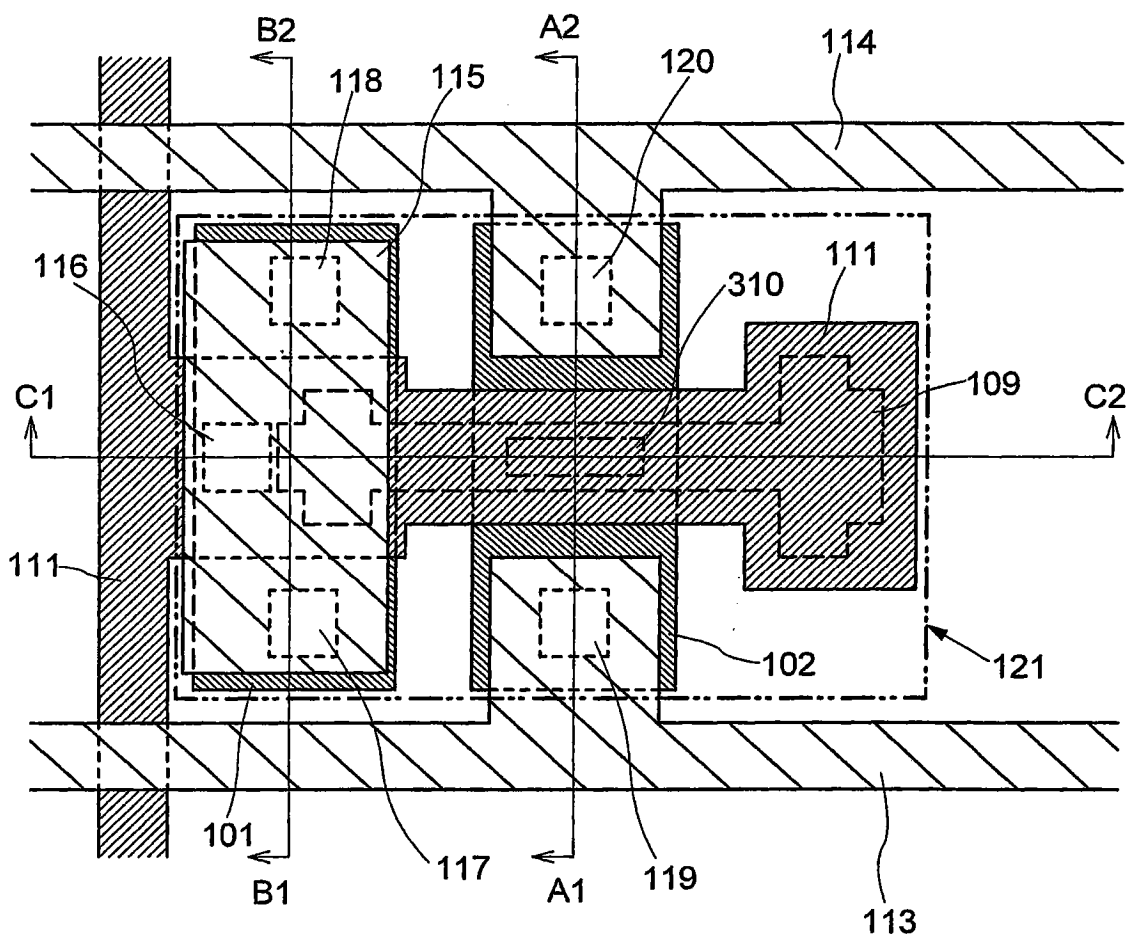


图 9

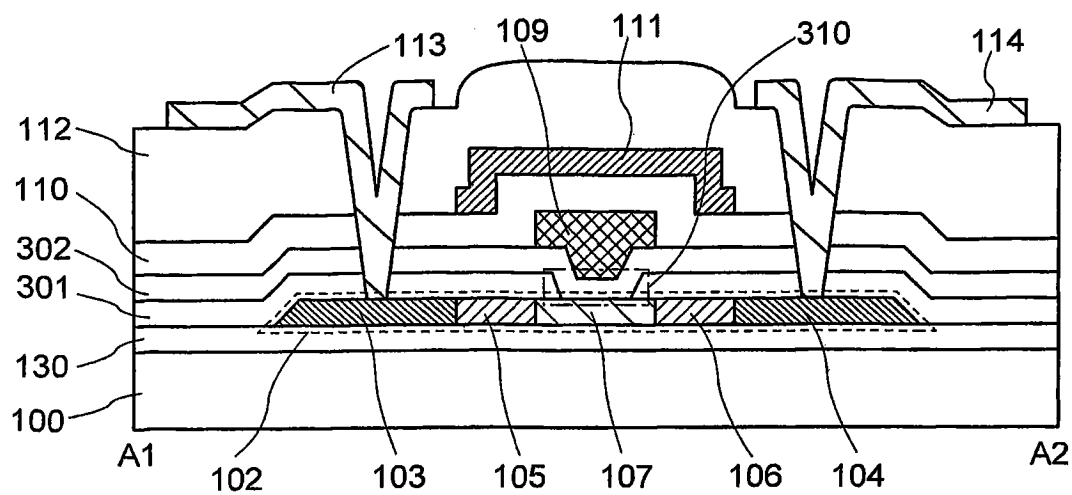


图 10A

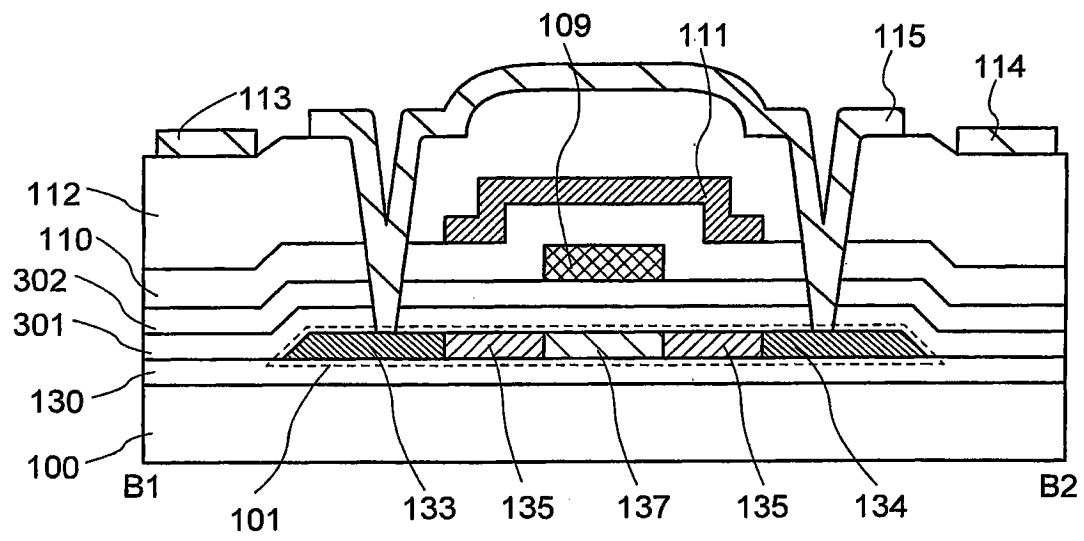


图 10B

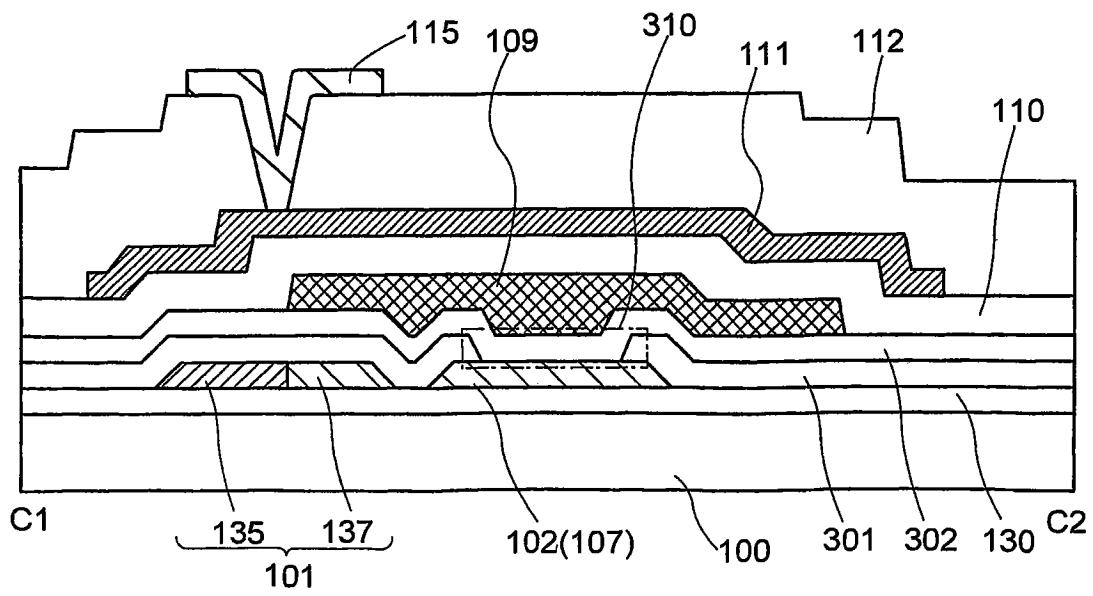


图 10C

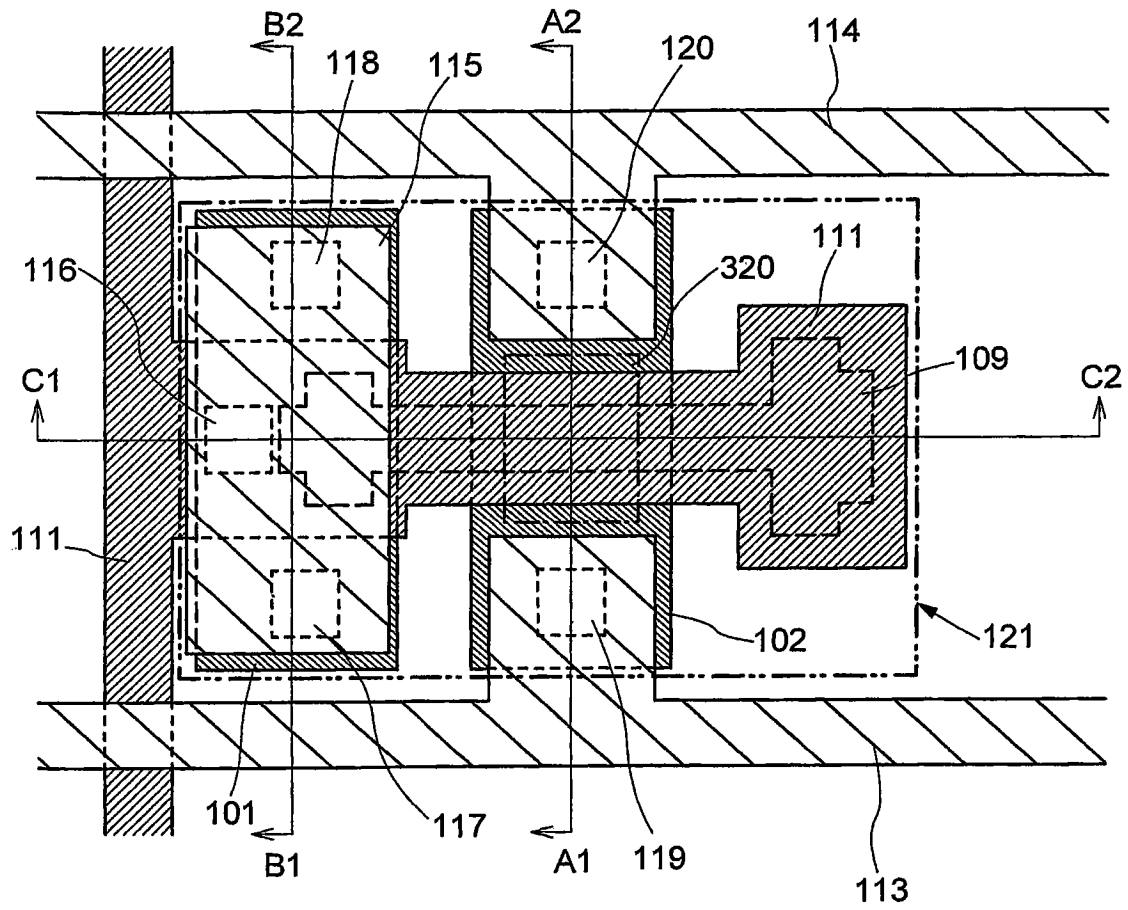


图 11

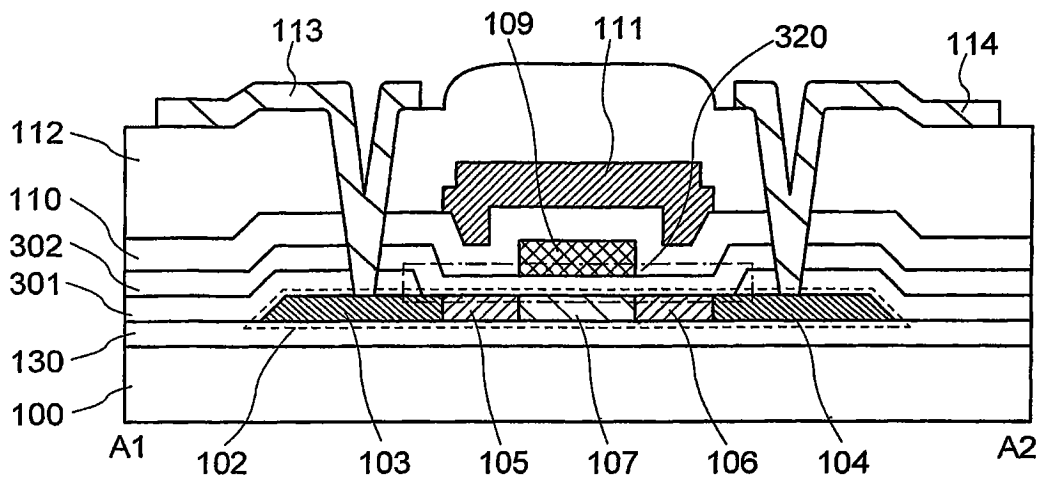


图 12A

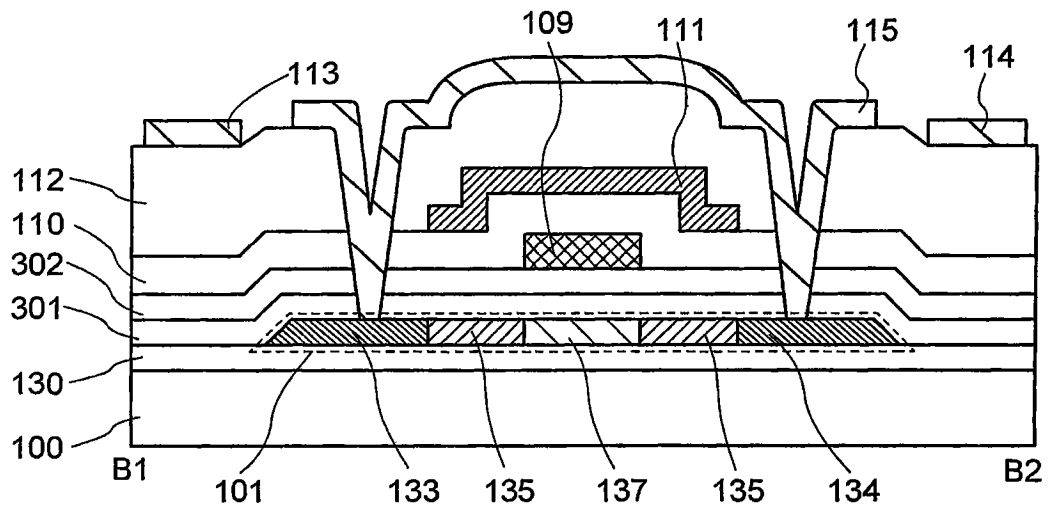


图 12B

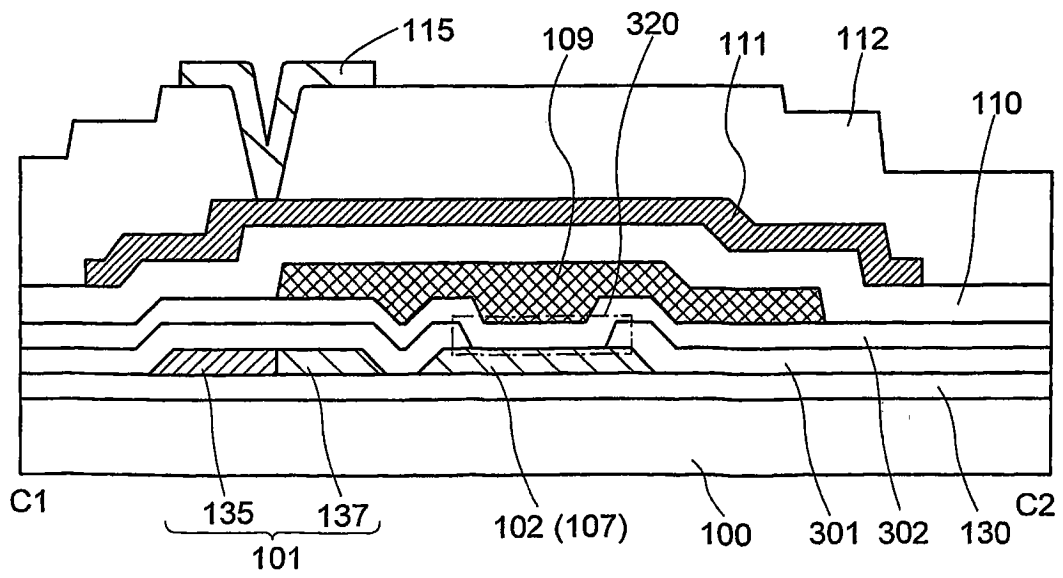


图 12C

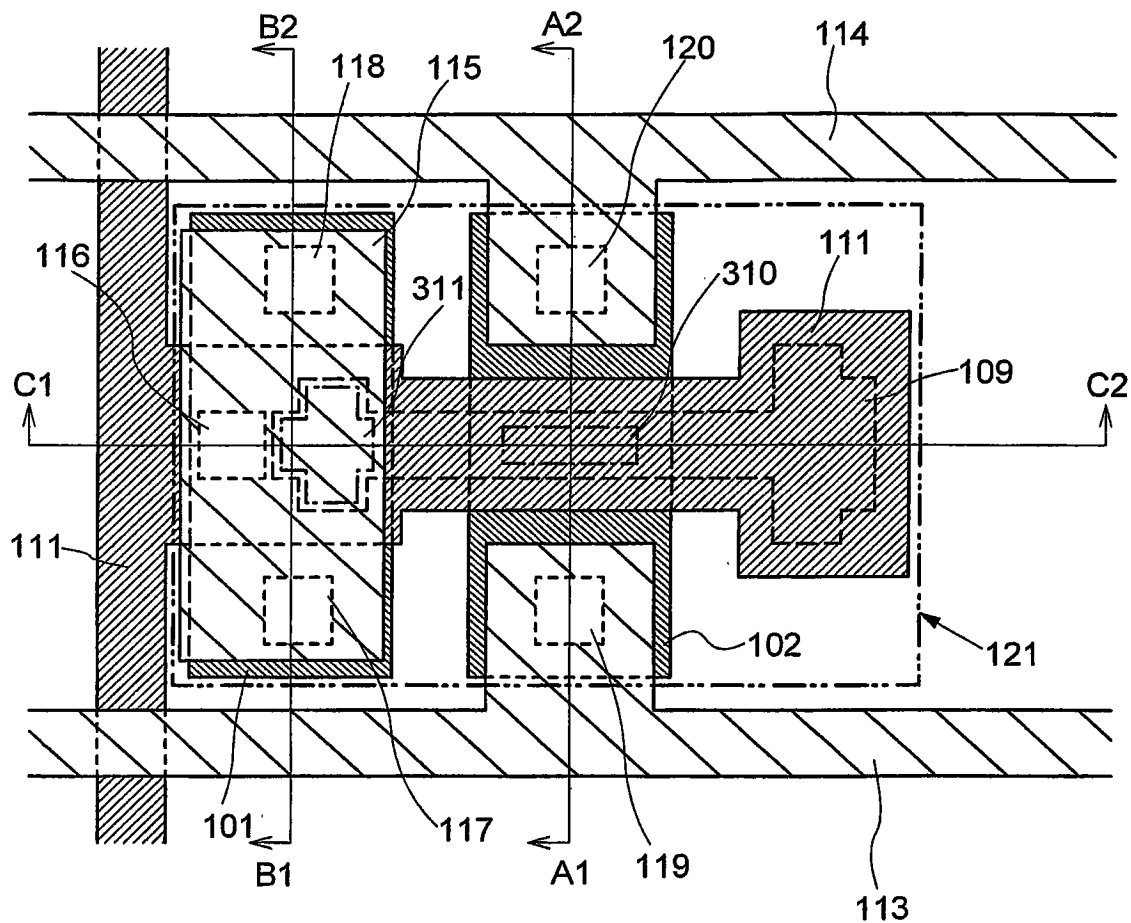


图 13

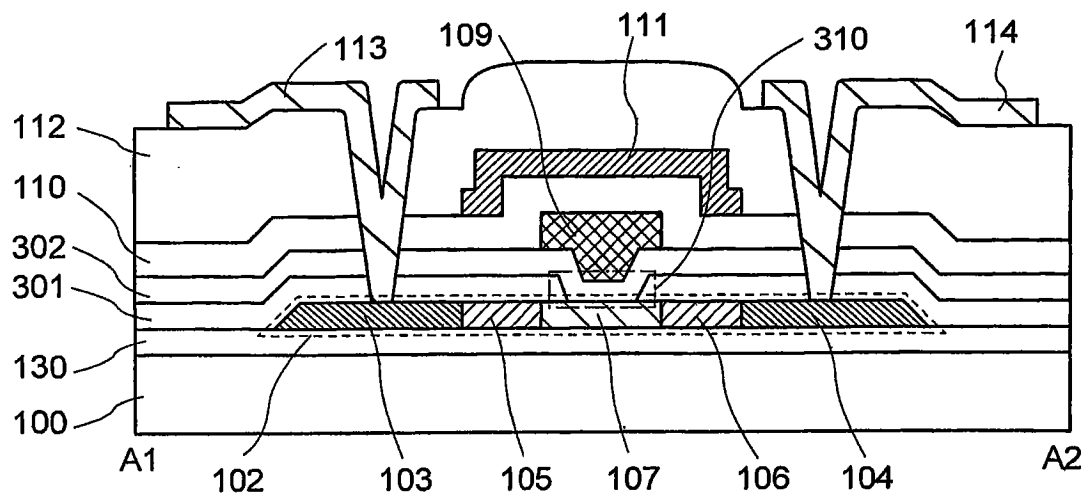


图 14A

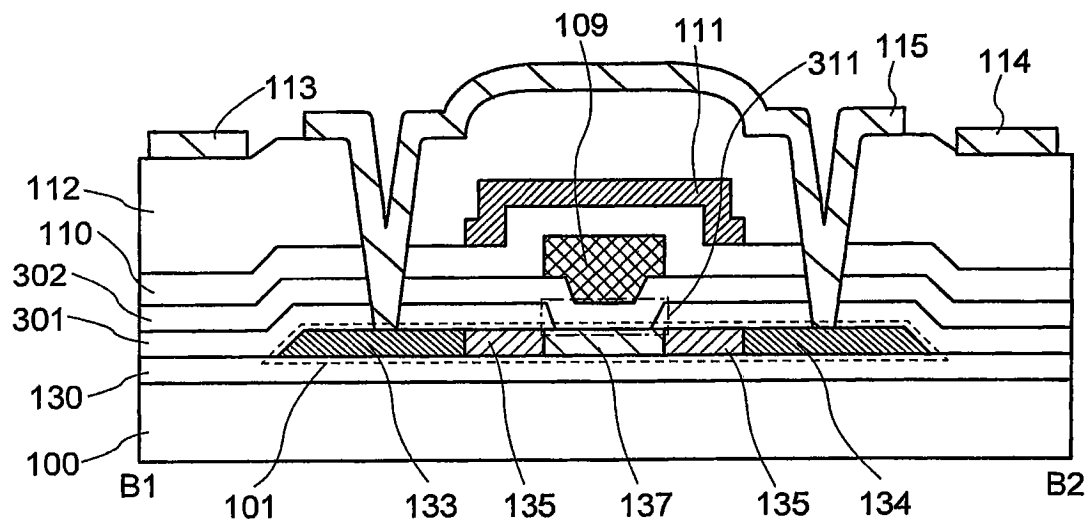


图 14B

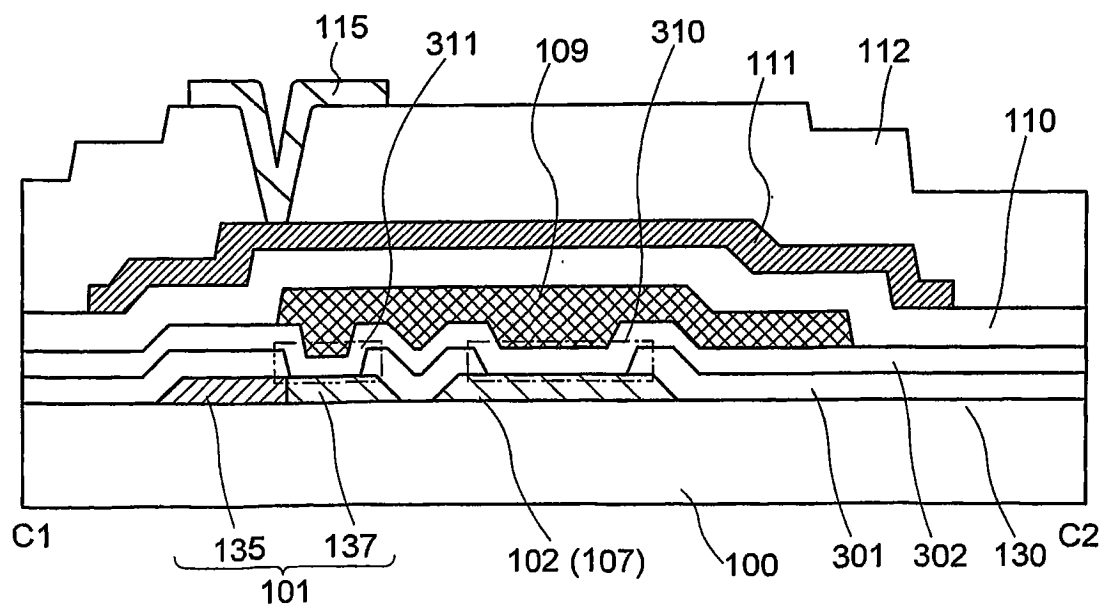


图 14C

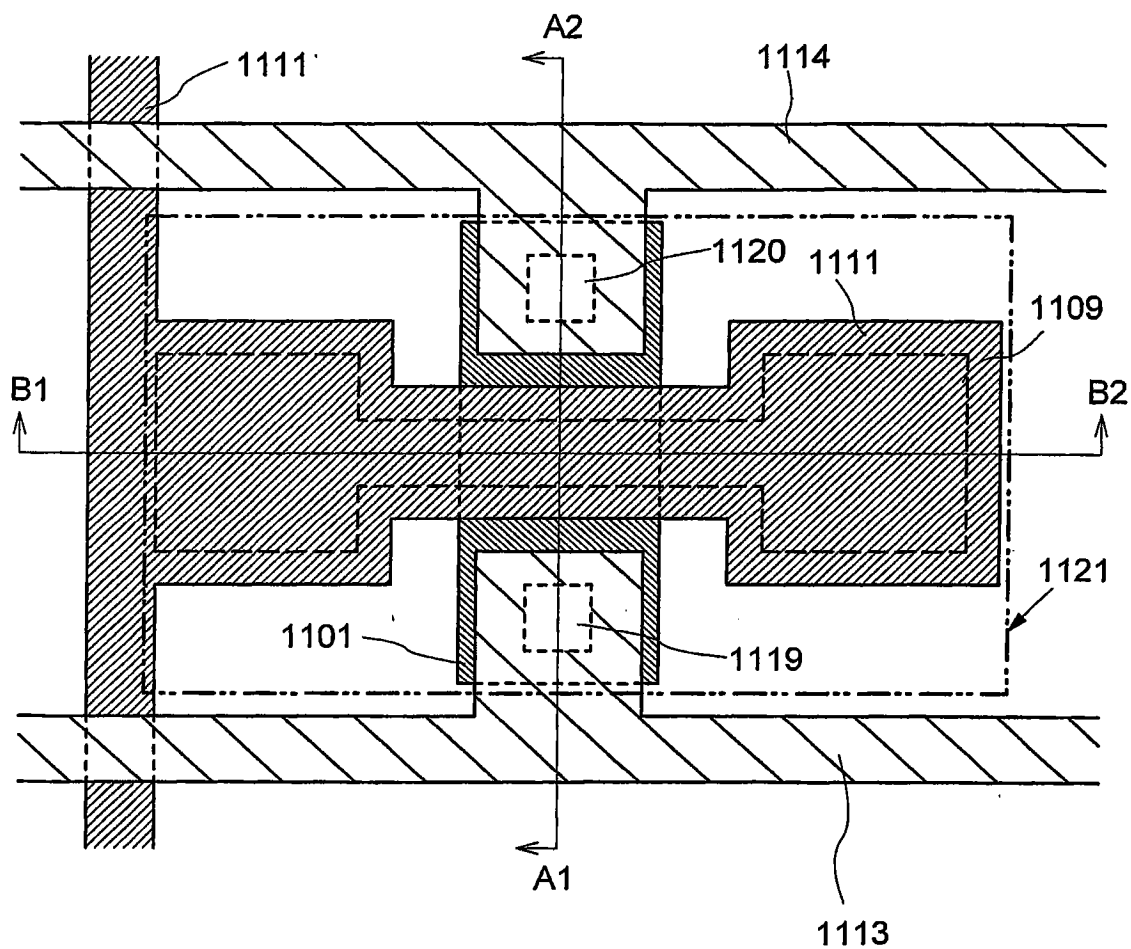


图 15

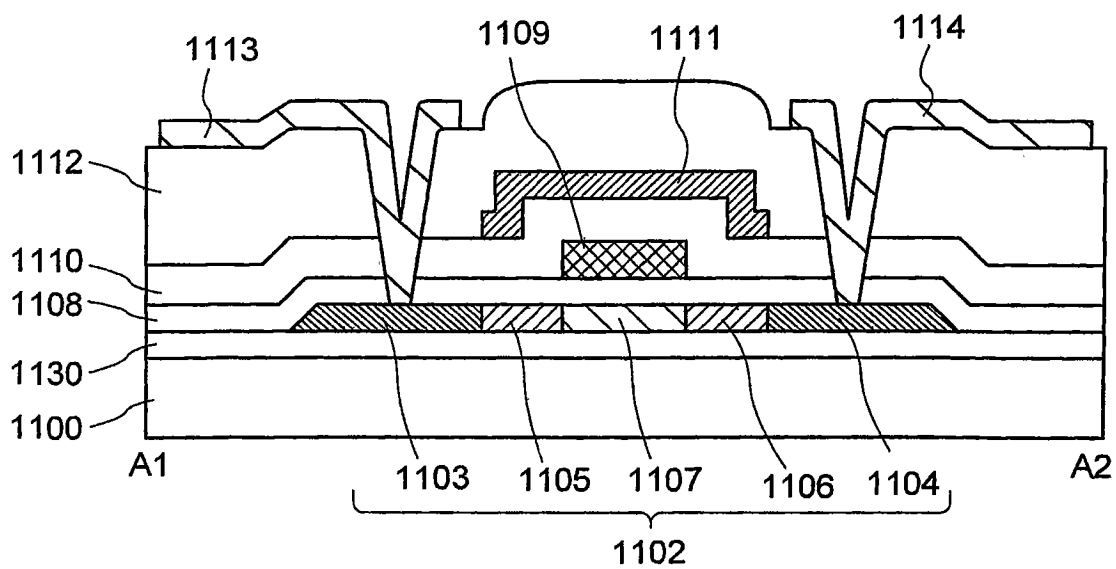


图 16A

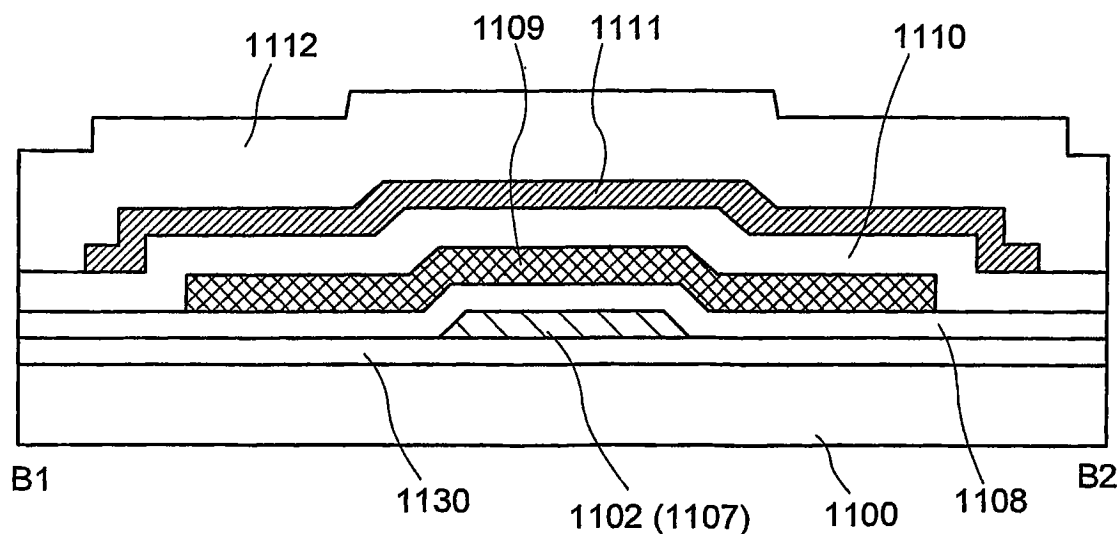


图 16B

[参考标号说明]

40 非易失性半导体存储装置 ;51 存储单元阵列 ;52 驱动器电路部分 ;60 控制电路 ;61 行解码器 ;62 列解码器 ;63 地址缓冲器 ;64 升压电路 ;65 读出放大器 ;66 数据缓冲器 ;67 数据输入输出缓冲器 ;70 存储单元 ;100 衬底 ;101 岛状半导体区 ;102 岛状半导体区 ;103 第一杂质区 ;104 第一杂质区 ;105 第二杂质区 ;106 第二杂质区 ;107 沟道形成区 ;108 绝缘膜 ;109 导电膜 ;110 绝缘膜 ;111 导电膜 ;112 绝缘膜 ;113 导电膜 ;114 导电膜 ;115 导电膜 ;116 开口 ;117 开口 ;119 开口 ;121 区域 ;130 绝缘膜 ;133 第一杂质区 ;134 第一杂质区 ;135 第二杂质区 ;137 沟道形成区 ;205 杂质区 ;206 杂质区 ;235 杂质区 ;301 绝缘膜 ;302 绝缘膜 ;310 开口 ;311 开口 ;320 开口 ;1100 衬底 ;1102 岛状半导体区 ;1103 第一杂质区 ;1104 第一杂质区 ;1105 第二杂质区 ;1106 第二杂质区 ;1107 沟道形成区 ;1108 绝缘膜 ;1109 导电膜 ;1110 绝缘膜 ;1111 导电膜 ;1112 绝缘膜 ;1113 导电膜 ;1114 导电膜 ;1119 开口 ;1120 开口 ;1121 区域 ;1130 绝缘膜