(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 6 月 20 日 (20.06.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/088983 A1

(51) 国際特許分類：
H01L 27/146 (2006.01) H04N 5/374 (2011.01)

(21) 国際出願番号： PCT/JP2012/081305

(22) 国際出願日： 2012 年 12 月 4 日 (04.12.2012)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2011-271604 2011 年 12 月 12 日 (12.12.2011) JP

(71) 出願人：ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).

(72) 発明者：戸田 淳 (TODA, Atsushi); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).

(74) 代理人：稲本 義雄，外 (INAMOTO, Yoshio, et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 25 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).

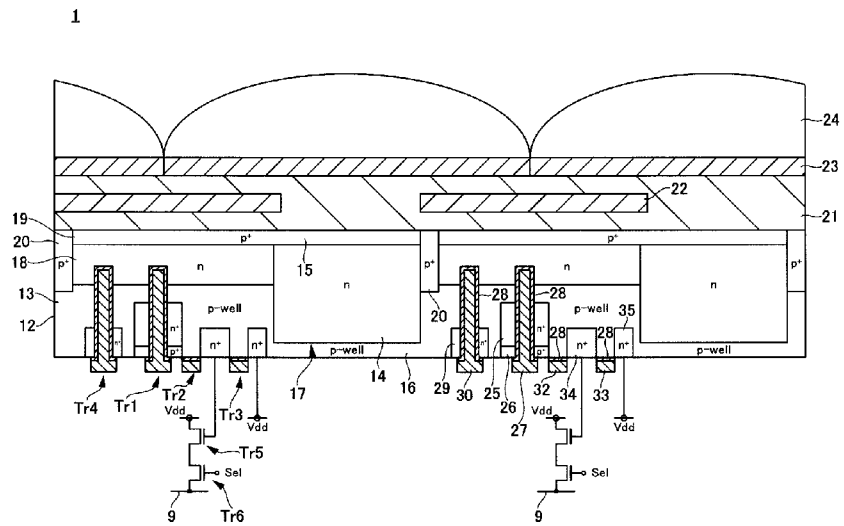
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類：
— 国際調査報告 (条約第 21 条(3))

(54) Title: SOLID-STATE IMAGING DEVICE, METHOD FOR DRIVING SOLID-STATE IMAGING DEVICE, AND ELECTRONIC INSTRUMENT

(54) 発明の名称：固体撮像装置、固体撮像装置の駆動方法及び電子機器



(57) Abstract: The present disclosure relates to a soiid-state imaging device, a method for driving a solid-state imaging device, and an electronic instrument with the purpose of providing a solid-state imaging device having a global shutter function in which sensitivity and saturated charge amount are improved and in which pixel miniaturization is possible. Another purpose of the present disclosure is to provide an electronic instrument in which said solid-state imaging device is used. A solid-state imaging device (1) having a global shutter function, wherein the first charge accumulation part (18) and the second charge accumulation part (25) are stacked in the depth direction of the substrate (12), and a vertical first transfer transistor (Trl) transfers the signal charge from the first charge accumulation part (18) to the second charge accumulation part (25). The pixels are thereby miniaturized.

(57) 要約:

[続葉有]

WO 2013/088983 A1

本開示は、画素の微細化が可能で、かつ、感度及び飽和電荷量の向上が図られたグローバルシャッタ機能を有する固体撮像装置を提供することを目的とする固体撮像装置、固体撮像装置の駆動方法及び電子機器に関する。また、その固体撮像装置を用いた電子機器を提供することを目的とする。グローバルシャッタ機能を有する固体撮像装置１において、第１電荷蓄積部１８と第２電荷蓄積部２５を基板１２の深さ方向に積層するように構成し、第１電荷蓄積部１２から第２電荷蓄積部２５への信号電荷の転送は縦型の第１転送 トランジスタＴｒ１で行う。これにより、画素の微細化が図られる。

明　細　書

発明の名称　：

固体撮像装置、固体撮像装置の駆動方法及び電子機器

技術分野

[0001] 本開示は、固体撮像装置に関し、特に、ＣＭＯＳ型の固体撮像装置とその駆動方法に関する。また、本開示は、その固体撮像装置を用いた電子機器に関する。

背景技術

[0002] 一般的なＣＭＯＳ (Complementary Meta L Oxide Semiconductor) 型固体撮像装置は、二次元配列された画素アレイを画素行ごとに順次走査し、画素信号の読み出しを行う機構を有している。この行順次走査により、画素行毎の蓄積期間では時間のずれが発生し、動被写体撮像時に撮像画像が歪むフォーカルプレーン歪みと呼ばれる現象を引き起こす。

[0003] このような画像歪みが許容できない高速に動く被写体の撮像や、撮像画像の同時性を必要とするセンシング用途では、画素アレイの蓄積期間の同時性を実現するために、グローバルシャッタ機能や、メカニカルシャッタ機能が提案されている。

[0004] メカニカルシャッタ機能では、機械的な遮光手段で露光時間を制御することで、全画素同時に露光を終了するグローバル露光を可能としている。具体的には、メカニカルシャッターを開けて全画素同時に露光を開始し、一定時間経過後に、そのメカニカルシャッタを閉じることで露光を終了する。しかしながら、メカニカルシャッタを用いてグローバル露光を行う場合、機械的な遮光手段が必要となるため小型化が難しいという問題がある。また、メカニカルシャッタには、機械駆動速度に限界があるため、画素領域内における露光時間の同時性が劣る。

[0005] 一方、グローバルシャッタ機能では、電気的な制御で全画素同時に露光を終了するグローバル露光を可能としている。具体的には、画素アレイ中のフ

オトダイオードの全行同時リセット駆動により、画素アレイ全面で信号電荷の蓄積を同時に開始する。そして、フローティングディフユージョンなどの電荷蓄積部への全行同時転送駆動により、画素アレイ全面で信号電荷の蓄積を同時に終了させる。

[0006] ところで、グローバルシャツタ機能を採用する場合も通常のＣＭＯＳ型固体撮像装置と同様、信号電荷の読み出しは行順次走査で行われる。このため、グローバルシャツタ機能により全画素同時に読み出された信号電荷は読み出し時までの間、フローティングディフユージョンなどの電荷蓄積部で蓄えておく必要がある。そうすると、読み出されるまでの間フローティングディフユージョンに保持される信号電荷は、電荷のリークやフローティングディフユージョン自体の光電変換によるノイズ (これらを偽信号と呼ぶ）により劣化するという問題がある。

[0007] これを防ぐため、フローティングディフユージョンなどの電荷蓄積部の上部に遮光膜を設ける構成が提案されている。しかしながら、遮光膜を設けることで、フォトダイオードの開口面積が小さくなり、感度低下を招くと共に、飽和感度が低下するという問題がある。また、フローティングディフユージョンなどの電荷蓄積部は、光入射部となるフォトダイオードの横方向に近接した位置に配置されることが多いため、光の回折現象や散乱現象によって光が漏れ混み、ノィズが増加することがある。

[0008] さらに、シリコンとシリコン酸化膜との界面では結晶欠陥が多く暗電流が発生しやすい。このため、フローティングディフユージョンに電荷を保持する場合、読み出す順番によって信号レベルに加わる暗電流に差が発生する。このような暗電流によるノィズはリセットレベルによるノィズ除去ではキヤンセルできない。

[0009] このような問題点を解決する手法として、画素内に、フローティングディフユージョンとは別に、電荷を蓄積するメモリ部を搭載した固体撮像装置が提案されている (特許文献１、２）。メモリ部は埋め込み型の電荷蓄積部として形成され、フォトダイオードから転送された信号電荷を一時的に保持す

る。しかし、このようなメモリ部を設ける構成では、画素面積に対して遮光する面積が大きくなり、開口面積が更に小さくなるため、さらなる感度低下を招く。

[001 0] 一方、入射光に対する画素の開口面積を広げる手段として、裏面照射型の固体撮像装置が提案されている。裏面照射型の固体撮像装置では、トランジスタや配線などで構成される回路が形成された半導体基板の表面側とは反対側の裏面側を光入射面とすることで、画素の開口を大きくとることができ、微細化を可能としている。

[001 1] ところで、裏面照射型の固体撮像装置においてグローバルシャッタ機能を追加する場合、半導体基板の表面側にまで光が進入するのを防ぐため光入射面側に遮光膜を形成する構成が採られる。このような場合、遮光膜を大きく形成してしまうと、画素の開口面積が狭まり、微細化を困難にする結果となる。

[001 2] また、特許文献3では、半導体基板の外部にキャパシタを構成する構造が開示されている。しかしながら、そのような構成では、キャパシタから発生する暗電流が大きく、高画質が得られないという問題がある。

先行技術文献

特許文献

[001 3] 特許文献1 :特開２００７_５０３７２２号公報

特許文献2 :特開２００６_３１１５１５号公報

特許文献3 :特開平４-２８１６８１号公報

発明の概要

発明が解決しようとする課題

[0014] 上述の点に鑑み、本開示は、画素の微細化が可能で、かつ、感度及び飽和電荷量の向上が図られた固体撮像装置及びその駆動方法を提供することを目的とする。また、本開示は、その固体撮像装置を用いた電子機器を提供することを目的とする。

課題を解決するための手段

[001 5] 本開示の固体撮像装置は、光電変換部と、第1電荷蓄積部と、第2電荷蓄積部と、第1転送トランジスタと、フローティングディフユージョン部と、第2転送トランジスタとを備える。光電変換部は、光の光量に応じた信号電荷を生成する。第1電荷蓄積部は、基板に形成され、光電変換部で生成された信号電荷を蓄積する。第2電荷蓄積部は、基板の深さ方向において第1電荷蓄積部に積層して形成され、第1電荷蓄積部で蓄積された信号電荷が読み出される。第1転送トランジスタは、第2電荷蓄積部が形成された側の基板表面から第1電荷蓄積部に達する深さまで基板に埋め込まれて形成された第1転送ゲート電極を備える。フローティングディフユージョン部は、第2電荷蓄積部に隣接して形成される。第2転送トランジスタは、第2電荷蓄積部に蓄積された信号電荷をフローティングディフユージョン部に転送する。

[001 6] 本開示の固体撮像装置では、第1電荷蓄積部と第2電荷蓄積部とが基板の深さ方向に積層して形成される。これにより、画素面積の縮小化が図られる。また、第1電荷蓄積部からの第2電荷蓄積部への信号電荷の読み出しは、縦型の第1転送トランジスタで行われる。これにより、トランジスタの面積も縮小され、画素の微細化が図られる。

[001 7] 本開示の固体撮像装置の駆動方法は、上述の固体撮像装置において、第1転送トランジスタをオンすることにより第1電荷蓄積部及び光電変換部に蓄積された信号電荷を、全画素同時に第2電荷蓄積部に転送する構成を有する。また、第2転送トランジスタをオンすることにより、第2電荷蓄積部に保持された信号電荷を行毎に読み出す構成を有する。

[001 8] 本開示の固体撮像装置の駆動方法では、第1電荷蓄積部に蓄積された信号電荷は全画素同時に第2電荷蓄積部に転送され、第2電荷蓄積部に保持されるため、露光期間を全画素同時とすることができる。

[001 9] 本開示の電子機器は、光学レンズと、光学レンズに集光された光が入射される上記の固体撮像装置と、固体撮像装置から出力される出力信号を処理する信号処理回路とを含む。

[0020] 本開示の電子機器では、固体撮像装置において、第1電荷蓄積部と第2電荷蓄積部とが基板の深さ方向に積層して形成される。これにより、画素面積の縮小化が図られ、電子機器の小型化が図られる。また、第1電荷蓄積部からの第2電荷蓄積部への信号電荷の読み出しは、縦型の第1転送トランジスタで行われる。これにより、トランジスタの面積も縮小され、画素の微細化が図られ、電子機器において画質の向上が図られる。

発明の効果

[0021] 本開示の固体撮像装置によれば、第1電荷蓄積部と第2電荷蓄積部とが基板の深さ方向に積層されて形成されるため、画素の微細化が図られる。また、光電変換部及び第1電荷蓄積部の面積を大きく取ることができるため、飽和電荷量の向上が図られる。また、その固体撮像装置を用いることにより、画質の向上が図られた電子機器を得ることができる。

図面の簡単な説明

[0022] [図1]本開示の第1の実施形態に係るＣＭＯＳ型の固体撮像装置の全体を示す概略構成図である。

[図2]第1の実施形態に係る固体撮像装置の画素領域における概略断面構成である。

[図3]第1の実施形態に係る固体撮像装置の画素の等価回路図である。

[図4]図4のＡ～Ｄは、第1の実施形態に係る固体撮像装置の製造方法を示す工程図（その1）である。

[図5]図5のＥ，Ｆは、第1の実施形態に係る固体撮像装置の製造方法を示す工程図（その2）である。

[図6]第1の実施形態に係る固体撮像装置の駆動方法を示すタイミングチャートである。

[図7]図7のＡ～Ｃは、変形例に係る固体撮像装置の製造方法を示す工程図である。

[図8]本開示の第2の実施形態に係る固体撮像装置の要部の断面構成図である。

[図9]第2の実施形態に係る固体撮像装置の画素の等価回路図である。

[図10]第2の実施形態に係る固体撮像装置の駆動方法を示すタイミングチャート である。

[図11]本開示の第3の実施形態に係る固体撮像装置の要部の断面構成図である。

[図12]本開示の第4の実施形態に係る固体撮像装置の要部の断面構成図である。

[図13]本開示の第5の実施形態に係る固体撮像装置の要部の断面構成図である。

[図14]本開示の第6の実施形態に係る固体撮像装置の要部の断面構成図である。

[図15]様々な半導体材料におけるフォトンエネルギーと光吸収係数との関係を示した図である。

[図16]カルコパイライト材料について、格子定数とバンドギャップとの関係を示す図 (その1)である。

[図17]カルコパイライト材料について、格子定数とバンドギャップとの関係を示す図 (その2)である。

[図18]様々なシリサイド系材料におけるフォトンエネルギーと消衰係数kとの関係を示す図である。

[図19]第6の実施形態に係る固体撮像装置において、光が伝達する様子をシミュレーションした結果を示す図である。

[図20]図20のA~Dは、第6の実施形態に係る固体撮像装置の製造方法を示す工程図 (その1)である。

[図21]図21のEは、第6の実施形態に係る固体撮像装置の製造方法を示す工程図 (その2)である。

[図22]第6の実施形態の変形例1に係る固体撮像装置の要部の断面構成図である。

[図23]第6の実施形態の変形例2に係る固体撮像装置の要部の断面構成図で

ある。

[図24] 本開示の第７の実施形態に係る固体撮像装置の要部の断面構成図である。

[図25] 図２５のＡ～Ｃは、第７の実施形態に係る固体撮像装置の製造方法を示す工程図である。

[図26] 本開示の第８の実施形態に係る固体撮像装置の要部の断面構成図である。

[図27] 本開示の第９の実施形態に係る固体撮像装置の要部の断面構成図である。

[図28] 本開示の第１０の実施形態に係る固体撮像装置の要部の断面構成図である。

[図29] 本開示の第１１の実施形態に係る電子機器の概略構成図である。

発明を実施するための形態

[0023] 以下に、本開示の実施形態に係る固体撮像装置、その駆動方法及び電子機器の一例を、図１～図２９を参照しながら説明する。本開示の実施形態は以下の順で説明する。なお、本開示は以下の例に限定されるものではない。

１．第１の実施形態 :裏面照射型の固体撮像装置

１－１ 固体撮像装置の構成

１－２ 要部の構成

１－３ 製造方法

１－４ 駆動方法

１－５ 変形例

２．第２の実施形態 :各画素で１個ずつの縦型トランジスタを構成する例

３．第３の実施形態 :表面照射型の固体撮像装置

４．第４の実施形態 :転送電極で信号電荷をドリフト移動させる例

５．第５の実施形態 :信号読み出しトランジスタで信号電荷を読み出す例

６．第６の実施形態 :基板上に光電変換部を積層する例

６－１ 要部の構成

６－２　製造方法

６－３　駆動方法

６－４　変形例１

６－５　変形例２

７．第７の実施形態　:光電変換部の上層にｐ型半導体層を設ける例

７－１　要部の構成

７－２　製造方法

８．第８の実施形態　:基板上に電極層を介して光電変換部を積層する例

９．第９の実施形態　:表面照射型の固体撮像装置において基板上に電極層を介して光電変換部を積層する例

１０．第１０の実施形態　:基板上に光電変換膜を３層積層する例

１１．第１１の実施形態　:電子機器

[0024] 〈第１の実施形態　:裏面照射型の固体撮像装置〉

[１－１　固体撮像装置の構成]

まず、本開示の第１の実施形態に係る固体撮像装置について説明する。図１は、本開示の第１の実施形態に係るＣＭＯＳ型の固体撮像装置の全体を示す概略構成図である。

[0025] 本実施形態の固体撮像装置１は、シリコンからなる基板１１上に配列された複数の画素２から構成される画素領域３と、垂直駆動回路４と、カラム信号処理回路５と、水平駆動回路６と、出力回路７と、制御回路８を有して構成される。

[0026] 画素２は、フォトダイオードからなる光電変換部と、複数の画素トランジスタとから構成され、基板１１上に２次元アレイ状に規則的に複数配列される。画素２を構成する画素トランジスタとしては、例えば、転送トランジスタ、リセットトランジスタ、選択トランジスタ及び増幅トランジスタが挙げられる。画素トランジスタについては後述する。

[0027] 画素領域３は、２次元アレイ状に規則的に配列された複数の画素２から構成される。画素領域３は、実際に光を受光し、光電変換によって生成された

信号電荷を増幅してカラム信号処理回路５に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するための黒基準画素領域（図示せず）とから構成されている。黒基準画素領域は、通常は、有効画素領域の外周部に形成されるものである。

[0028] 制御回路８は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路４、カラム信号処理回路５、及び水平駆動回路６等の動作の基準となるクロック信号や制御信号などを生成する。そして、制御回路８で生成されたクロック信号や制御信号などは、垂直駆動回路４、カラム信号処理回路５及び水平駆動回路６等に入力される。

[0029] 垂直駆動回路４は、例えばシフトレジスタによって構成され、画素領域３の各画素２を行単位で順次垂直方向に選択走査する。そして、各画素２のフォトダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号を、垂直信号線９を通してカラム信号処理回路５に供給する。

[0030] カラム信号処理回路５は、例えば、画素２の列毎に配置されており、１行分の画素２から出力される信号を画素列毎に黒基準画素領域（図示しないが、有効画素領域の周囲に形成される）からの信号によって、ノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路５の出力段には、水平選択スィッチ（図示せず）が水平信号線１０とのあいだに設けられている。

[0031] 水平駆動回路６は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路５の各々を順番に選択し、カラム信号処理回路５の各々から画素信号を水平信号線１０に出力させる。

[0032] 出力回路７は、カラム信号処理回路５の各々から水平信号線１０を通して、順次に供給される信号に対し信号処理を行い出力する。

[0033] [１-２　要部の構成]

次に、本実施形態の固体撮像装置１の各画素２の構成について説明する。本実施形態は、半導体基板の裏面側を光入射面とした裏面照射型の固体撮像装置を例としたものである。図２に、本実施形態に係る固体撮像装置１の画

素領域３における概略断面構成を示し、図３に、本実施形態の固体撮像装置１の各画素２の等価回路図を示す。なお、図２では、各画素２を構成する画素 トランジスタの一部を回路図で示している。

[0034] 図２に示すように、本実施形態の固体撮像装置１は、光電変換部１７、第１電荷蓄積部１８、第２電荷蓄積部２５、フローティングディフユージョン部３４、及び複数の画素 トランジスタが形成された基板１２を備える。また、固体撮像装置１は、基板１２の表面側に図示しない配線層を備え、さらに、基板１２の光入射面となる裏面側には、遮光膜２２、カラーフィルタ層２３及びオンチップレンズ２４を備える。

[0035] 基板１２は、シリコンからなる半導体基板で構成されており、例えば、３μｍ～５μｍの厚みに形成されている。また、基板１２は、第１導電型（本実施形態ではｎ型）の半導体基板とされており、光電変換部１７等の画素２を構成する不純物領域が形成される画素領域３は、第２導電型（本実施形態ではｐ型）のウエル領域１３とされている。そして、各画素２は基板１２に形成された画素分離部２０により区画されている。画素分離部２０は、基板１２の裏面側から所望の深さに形成された高濃度のｐ型半導体層で形成されており、互いに隣り合う２つの画素２の間を電気的に分離するために設けられている。

[0036] そして、本実施形態では、ｐ型のウエル領域１３内に各画素２を構成する光電変換部１７や、第１及び第２電荷蓄積部１８、２５、フローティングディフユージョン部３４及び各画素 トランジスタを構成するソース・ドレイン領域が形成される。また、各画素２は、第１転送 トランジスタＴｒ１、第２転送 トランジスタＴｒ２、第１リセットトランジスタＴｒ３、第２リセットトランジスタＴｒ４、増幅 トランジスタＴｒ５及び選択 トランジスタＴｒ６の６つの画素 トランジスタを備える。

[0037] 光電変換部１７は、ｐ型半導体層１５，１６と、ｎ型半導体層１４とで構成されている。ｐ型半導体層１５は、基板１２の裏面の浅い位置に形成されており、Ｐ型半導体層１６は、基板１２の浅い位置に形成されている。また

、ｎ型半導体層１４は、基板１２の表面及び裏面にそれぞれ形成されたｐ型半導体層１５，１６の間に形成されている。本実施形態では、基板１２の表面及び裏面にそれぞれ形成されたＰ型半導体層１５，１６とｎ型半導体層１４との間の各ｐｎ接合により、フォトダイオードが構成される。

[0038] 基板１２の裏面側に形成されたｐ型半導体層１５は、ウェル領域１３を構成するＰ型の不純物濃度よりも高い不純物濃度で形成されている。また、基板１２の表面側に形成されたｐ型半導体層１６は、ウェル領域１３の一部で構成される。本実施形態では、ｐ型半導体層１６をウェル領域１３の一部で構成する例としたが、別途、基板１２の表面側に高濃度のｐ型半導体層を形成することにより、ｐ型半導体層１６としてもよい。

[0039] このように、基板１２の表面及び裏面のそれぞれにｐ型半導体層１５及び１６が構成されることにより、基板１２と、基板１２の表面及び裏面に形成される酸化膜との界面で発生する暗電流の抑制が図られる。なお、本実施形態において基板１２の表面に形成される酸化膜は、図示しない配線層の配線と基板１２との間に形成される酸化膜に相当し、基板１２の裏面に形成される酸化膜は遮光膜２２と基板１２との間に形成される絶縁膜２１に相当する。

[0040] 第１電荷蓄積部１８は、光電変換部１７を構成するｎ型半導体層１４に接続して形成されたｎ型半導体層で構成されている。この第１電荷蓄積部１８は、基板１２の裏面側に形成されており、光電変換部１７を構成するｎ型半導体層１４の深さ方向の幅よりも狭い幅で形成されている。また、本実施形態では、第１電荷蓄積部１８を構成するｎ型半導体層の不純物濃度は、光電変換部１７を構成するｎ型半導体層１４の不純物濃度よりも高い。例えば、光電変換部１７を構成するｎ型半導体層の不純物濃度を10^{-14}～10^{-15} cm^{-3}とした場合には、第１電荷蓄積部１８は、不純物濃度が10^{-15}～10^{-16} cm^{-3}のｎ型半導体層で構成することができる。

[0041] このように、本実施形態では、第１電荷蓄積部１８の不純物濃度を、光電変換部１７を構成するｎ型半導体層１４のそれよりも高く設定することによ

り、基板１２内にポテンシャル勾配ができる。これにより、光電変換部１７で生成された信号電荷は、ポテンシャル電位の高い第１電荷蓄積部１８側に流れ、そこに蓄積される。

[0042] また、第１電荷蓄積部１８が形成される領域においても、基板１２の裏面側において、光電変換部１７を構成するｐ型半導体層１５に連続してｐ型半導体層１９が形成されている。これにより、第１電荷蓄積部１８においても、基板１２と絶縁膜２１との界面で発生する暗電流が抑制される。

[0043] 第２電荷蓄積部２５は、基板１２の表面側に形成されたｎ型半導体層で構成されており、第２電荷蓄積部２５は、基板１２の深さ方向（厚さ方向）において、第１電荷蓄積部１８と重なる位置に配置されている。すなわち、第２電荷蓄積部２５は、基板１２の厚さ方向において、第１電荷蓄積部１８上部に形成されている。このとき、第１電荷蓄積部１８を構成するｎ型半導体層と第２電荷蓄積部２５を構成するｎ型半導体層とはｐ型のウェル領域１３を介して、それぞれのｎ型半導体層同士が電気的に分離されて配置されている。また、第１電荷蓄積部１８から第２電荷蓄積部２５への信号電荷への信号電荷の読み出しをより完全なものとするため（すなわち転送残りを減らすため）、第２電荷蓄積部２５の不純物濃度を、第１電荷蓄積部１８の不純物濃度よりも高くすることが望ましい。

[0044] また、第２電荷蓄積部２５を構成するｎ型半導体層よりも表面側には、第２電荷蓄積部２５に接するように薄いｐ型半導体層２６が形成されている。このｐ型半導体層２６により、基板１２の表面側に形成される配線層（図示せず）を構成する酸化膜と基板１２との界面で起こる暗電流の発生を抑制することができる。

[0045] フローティングディフユージョン部３４は、基板１２の表面側において、第２電荷蓄積部２５と光電変換部１７との間の領域に形成されている。フローティングディフユージョン部３４は、高濃度のｎ型半導体層で構成されている。その他、各画素トランジスタを構成するソース・ドレイン領域が基板１２の表面側に形成されている。図３では、第１及び第２リセットトランジ

スタＴｒ３，Ｔｒ４のそれぞれを構成するドレイン３５，２９を代表して示している。

[0046] 各画素トランジスタを構成するソース・ドレイン領域についても、フローティングディフユージョン部３４と同様、高濃度のｎ型半導体層で構成されている。また、フローティングディフユージョン部３４及び各画素トランジスタを構成するソース・ドレイン領域も、基板１２の深さ方向に第１電荷蓄積部１８と重なる位置に形成され、ｐ型のウエル領域１３を介して、ｎ型半導体層同士が接続しないように形成されている。

[0047] 第１転送トランジスタＴｒ１は、ソースとなる第１電荷蓄積部１８と、ドレインとなる第２電荷蓄積部２５と、第１転送ゲート電極２７とで構成されている。第１転送トランジスタＴｒ１を構成する第１転送ゲート電極２７は、基板１２の表面側から深さ方向に形成された縦型のゲート電極とされており、第２電荷蓄積部２５を貫通して第１電荷蓄積部１８に達する深さに形成されている。この第１転送ゲート電極２７は、基板１２の表面側から所望の深さに形成されたトレンチ部内にゲート絶縁膜２８を介して電極材料を埋め込むことによって形成されている。

[0048] なお、図２では、図示しないが、第１転送ゲート電極２７を形成する場合、トレンチ部の側面及び底面に薄くｐ型半導体層が形成されていてもよい。トレンチ部の側面及び底面にｐ型半導体層を薄く形成することにより、トレンチ部と基板１２との界面で発生する暗電流を抑制することができる。

[0049] そして、第１転送ゲート電極２７には、図３に示すように、第１転送パルスΦＴＲＧ１を供給する配線が接続されている。第１転送トランジスタＴｒ１では、第１転送ゲート電極２７に所望の第１転送パルスΦＴＲＧ１が印加されることにより、第１電荷蓄積部１８に蓄積された信号電荷を第２電荷蓄積部２５に読み出すことができる。この場合、第１転送ゲート電極２７に沿ってチャネルが形成され、信号電荷は、第１転送ゲート電極２７に沿って第２電荷蓄積部２５に移動する。

[0050] 第２転送トランジスタＴｒ２は、ソースとなる第２電荷蓄積部２５と、ド

レインとなるフローティングディフユージョン部３４と、第２転送ゲート電極３２とで構成されている。第２転送トランジスタＴｒ２を構成する第２転送ゲート電極３２は、ソース・ドレイン間の基板１２表面に、例えばシリコン酸化膜からなるゲート絶縁膜２８を介して形成されている。そして、第２転送ゲート電極３２には、図３に示すように、第２転送パルスΦＴＲＧ２を供給する配線が接続されている。第２転送トランジスタＴｒ２では、所望の第２転送パルスΦＴＲＧ２が印加されることにより、第２電荷蓄積部２５に蓄積された信号電荷をフローティングディフユージョン部３４に読み出すことができる。

[0051] 第１リセットトランジスタＴｒ３は、ソースとなるフローティングディフユージョン部３４と、電源電圧Ｖｄｄに接続されているドレイン３５と、第１リセットゲート電極３３とで構成されている。第１リセットトランジスタ丁「3を構成する第１リセットゲート電極３３は、ソース・ドレイン間の基板１２表面に、例えばシリコン酸化膜からなるゲート絶縁膜２８を介して形成されている。そして、第１リセットゲート電極３３には、図３に示すように、第１リセットパルスΦＲＳＴ１を供給する配線が接続されている。第１リセットトランジスタΦＲＳＴ１では、第１リセットゲート電極３３に所望のリセットパルスΦＲＳＴ１が印加されることにより、フローティングディフユージョン部３４の電位が電源電圧Ｖｄｄにリセットされる。

[0052] 第２リセットトランジスタＴｒ４は、ソースとなる第１電荷蓄積部１８と、電源電圧Ｖｄｄに接続されているドレイン２９と、第２リセットゲート電極３０とで構成されている。第２リセットトランジスタＴｒ４を構成する第２リセットゲート電極３０は、基板１２の表面側から深さ方向に形成された縦型のゲート電極とされており、ドレイン２９を貫通して第１電荷蓄積部１８に達する深さに形成されている。この第２リセットゲート電極３０は、基板１２の表面側から所望の深さに形成されたトレンチ部内にゲート絶縁膜２８を介して電極材料を埋め込むことによって形成されている。

[0053] そして、第２リセットゲート電極３０には、図３に示すように、第２リセ

ッ トパルスΦＲＳＴ２を供給する配線が接続されている。第２ リセッ トトランジスタＴｒ４では、第２ リセッ トゲー ト電極３０に所望のリセッ トパルスΦＲＳＴ２が印加されることにより、第１電荷蓄積部１８の電位が電源電圧Ｖｄｄにリセッ トされる。この場合、第２ リセッ トゲー ト電極３０に沿ってチャネルが形成され、信号電荷は、第３ リセッ トゲー ト電極３０に沿つてドレイン２９に排出される。そして、本実施形態では、第１電荷蓄積部１８と光電変換部１７は電気的に接続されているため、第１電荷蓄積部１８のリセッ トと共に、光電変換部１７の電位も電源電圧Ｖｄｄにリセッ トされる。

[0054] 増幅 トランジスタＴｒ５は、電源電圧Ｖｄｄに接続された ドレインと、選択 トランジスタＴｒ６の ドレインを兼ねるソースと、選択ゲー ト電極４５とで構成されている。図３に示すように、増幅 トランジスタＴｒ５のソース-ドレイン間の増幅ゲー ト電極４５は、フローティングディフユージョン部３４に接続されている。この増幅 トランジスタＴｒ５は、電源電圧Ｖｄｄを負荷とするソースフオロア回路を構成しており、フローティングディフユージヨン部３４の電位変化に応じた画素信号が増幅 トランジスタＴｒ５より出力される。

[0055] 選択 トランジスタＴｒ６は、増幅 トランジスタＴｒ５のソースを兼ねるドレインと、が垂直信号線９に接続されているソースと、選択ゲー ト電極４６とで構成されている。図３に示すように、選択 トランジスタＴｒｓのソース・ドレイン間の選択ゲー ト電極４６には、選択パルスφＳＥＬを供給する配線が接続されている。画素毎に選択パルスφＳＥＬが選択ゲー ト電極４６に供給されることにより増幅 トランジスタＴｒ５で増幅された画素信号が選択 トランジスタＴｒ６を介して垂直信号線９に出力される。

[0056] なお、図２に示す断面構成では、増幅 トランジスタＴｒ５及び選択 トランジスタＴｒ６を回路図で示し、断面構成の図示を省略したが、実際には、基板１２の深さ方向において、第１電荷蓄積部１８と重なる位置に形成される。また、増幅 トランジスタＴｒ５及び選択 トランジスタＴｒ６を構成するソ—ス・ドレイン領域も、例えば第１リセッ トトランジスタＴｒ３を構成する

とソース・ドレイン領域と同様の構成を有するものである。

[0057] 基板１２の表面側には、図示を省略するが、層間絶縁膜を介して複数層に積層された配線層が形成される。これらの配線層を介して各画素トランジスタに所望のパルスが供給され、各画素２の信号電荷が読み出される。

[0058] 遮光膜２２は、基板１２の光入射面側となる裏面側に例えばシリコン酸化膜からなる絶縁膜２１を介して形成され、光入射面に対して光電変換部１７を開口し、第１電荷蓄積部１８や、各画素トランジスタが形成された領域を遮光するように形成されている。遮光膜２２としては、光を遮光できる材料であればよく、例えば、タングステン（W）、アルミニウム（Ａｌ）、Ｔｉ（チタン）、ＴｉＮ（窒化チタン）、Ｃｕ（銅）又はＴａ（タンタル）を用いることができ、また、遮光膜２２をこれらの材料膜からなる積層膜で構成することができる。

[0059] カラーフィルタ層２３は、遮光膜２２上部に絶縁膜２１を介して形成されており、例えば、Ｒ（赤色）、Ｇ（緑色）、Ｂ（青色）の光を選択的に透過するフィルタ層が画素毎に配置されている。また、これらのフィルタ層は、例えばベィャー配列で画素毎に配置されている。

[0060] カラーフィルタ層２３では、所望の波長の光が透過され、透過した光が基板１２内の光電変換部１７に入射する。なお、本実施形態では、各画素がＲ、Ｇ、Ｂのいずれかの光を透過する構成としたが、これに限られるものではない。カラーフィルタ層２３を構成する材料としては、その他、シアン、黄色、マゼンダなどの光を透過するような有機材料を使用してもよく、仕様により種々の選択が可能である。

[0061] オンチップレンズ２４は、カラーフィルタ層２３上部に形成されており、画素毎に形成されている。オンチップレンズ２４では、入射した光が集光され、集光された光はカラーフィルタ層２３を介して各光電変換部１７に効率良く入射する。なお、本実施形態では、オンチップレンズ２４は、遮光膜２２で開口された光電変換部１７の中心位置に、入射した光を集光させる構成とされている。

[0062] 本実施形態の固体撮像装置１では、入射した光は、光電変換部１７において光電変換され、入射光に応じた信号電荷が光電変換部１７で生成される。生成された信号電荷は、基板１２内のポテンシャル勾配に沿って移動し、主に第１電荷蓄積部１８に蓄積される。そして、主に、第１電荷蓄積部１８において蓄積された信号電荷は、全画素同時に第２電荷蓄積部２５に転送され、行毎に、フローティングディフユージョン部３４に転送される。

この駆動方法の詳細については後述する。

[0063] 本実施形態の固体撮像装置１では、光電変換部１７に接続する第１電荷蓄積部１８と、信号電荷を一時的に保持する第２電荷蓄積部２５とが、基板１２の深さ方向に積層して形成されている。このため、画素面積を縮小することができ、画素の微細化が可能となる。また、第１電荷蓄積部１８に蓄積された信号電荷は、縦型トランジスタで構成される第１転送トランジスタＴｒ１で読み出すことができる。縦型トランジスタは、基板１２の深さ方向に信号電荷を読み出すため、通常の平面型トランジスタのように、基板１２の水平方向に信号電荷を読み出す構成に比較して占有面積が小さい。このため、更なる画素の微細化が可能となる。

[0064] また、本実施形態の固体撮像装置１では、第１電荷蓄積部１８と第２電荷蓄積部２５とは基板１２の深さ方向に積層され、かつ、第１電荷蓄積部１８の信号電荷は縦型トランジスタからなる第１転送トランジスタＴｒ１で転送される。このため、第２電荷蓄積部２５の形成位置が、第１電荷蓄積部１８に重なる位置であればよく、画素トランジスタのレイアウトの自由度が高い。第２電荷蓄積部２５を、遮光膜２２の中心に近い位置に形成することで、第１転送トランジスタＴｒ１を遮光膜２２の開口位置から離れた領域に形成することができる。これにより、信号読み出し中に、回折現象や散乱現象等により入射光が第２電荷蓄積部２５に漏れるのを防ぐことができ、ノイズをより低減することができる。

[0065] また、本実施形態では、光電変換部１７と接続された第１電荷蓄積部１８と、各画素トランジスタを構成する半導体層とが基板１２の深さ方向に重な

る位置に形成されているため、第１電荷蓄積部１８の面積を広く取ることができる。これにより、飽和電荷量の向上が図られる。

[0066] [１-３ 製造方法]

次に、本実施形態の固体撮像装置１の製造方法について説明する。図４のＡ～図５のＦは、本実施形態の固体撮像装置１の製造方法を示す工程図である。

[0067] まず、本実施形態では、シリコンからなるｎ型の基板１２を準備し、例えばｐ型のドーパントであるＩＩＩ族原子のＢ（ボロン）等をイオン注入することにより、ｐ型のゥエル領域１３を形成する。その後、図４のＡに示すように、所望のマスクを介して基板１２の表面側にｎ型のドーパントであるＶ族原子のＰ（リン）等をイオン注入する。これにより、第２電荷蓄積部２５、フローティングディフユージョン部３４、各画素トランジスタのソース-ドレイン領域２９，３５を形成する。

[0068] その後、第２電荷蓄積部２５の表面側には、ｐ型の不純物を高濃度にィオン注入することにより、薄いＰ型半導体層２６を形成する。これらの工程は、通常のＣＭＯＳ型固体撮像装置の製造プロセスを用いて形成することができる。

[0069] 次に、基板１２の表面側にシリコンなどからなる支持基板 (図示を省略する）を貼り合わせ、基板１２の裏面側が上面を向くように基板１２を反転させる。次に、図４のＢに示すように、光電変換部１７が形成される領域が開口されたレジスト層３６を形成し、そのレジスト層３６を介してｎ型の不純物をイオン注入する。これにより、光電変換部１７を構成するｎ型半導体層１４の第１領域１４ａを形成する。

[0070] 次に、図４のＣに示すように、ＣＶＤ法（Chemical Vapor Deposition）を用いて基板１２の裏面側にｎ型の不純物をドービングしながらｎ型半導体層３１を所望の厚みとなるまでエピタキシャル成長させる。これにより、光電変換部１７を構成するｎ型半導体層１４を構成する第２領域１４ｂと、第１電荷蓄積部１８を構成するｎ型半導体層とを形成する。これにより、第１電

荷蓄積部１８、及び、光電変換部１７を構成するｎ型半導体層１４が形成される。

[0071] 本実施形態では、第１電荷蓄積部１８を構成するｎ型半導体層の濃度が、光電変換部１７を構成するｎ型半導体層１４の不純物濃度よりも高く形成されることが好ましい。このため、必要に応じて、再度第１電荷蓄積部１８側にｎ型の不純物をイオン注入してもよい。

[0072] 次に、図４のＤに示すように、基板１２の裏面側、すなわち、エピタキシャル成長されたｎ型半導体層３１の上面に、所望の領域が開口されたレジスト層３７を形成する。ここでは、図４のＤに示す画素分離部２０が形成される部分が開口されたレジスト層３７を形成する。

[0073] 次に、レジスト層３７を介してｐ型の不純物をイオン注入することにより、画素分離部２０を形成する。ここでは、少なくとも、前段の工程で形成された$_{n}$型半導体層３１が画素毎に分離される深さまでｐ型のドーパントを高濃度にイオン注入する。

[0074] 次に、画素分離部２０の形成工程で形成したレジスト層３７を除去し、光電変換部１７を構成するｎ型半導体層１４及び第１電荷蓄積部１８の上部の浅い位置に、Ｐ型の不純物を高濃度にイオン注入する。これにより、図５のＥに示すように、暗電流抑制のためのｐ型半導体層１５，１９を形成する。

その後、およそ１０００℃でアニール処理することで各不純物領域を活性化させる。

[0075] 次に、基板１２の表面側に貼り合わせていた支持基板 (図示せず) を除去し、今度は基板１２の裏面側に支持基板 (図示せず) を貼り合わせて、基板１２の表面側が上面を向くように基板１２を反転させる。その後、図５のＦに示すように、各画素トランジスタのゲート電極を形成する。

[0076] ゲート電極の形成工程では、まず、縦型のゲート電極が形成される領域が開口されたマスクを介して半導体基板の表面側から基板１２の深さ方向にかけてエッチングすることにより、所望の深さのトレンチ部を形成する。その後、エッチング時に用いたマスクを除去し、トレンチ部の内周面を含む基板

１２の表面側にゲート絶縁膜２８となるシリコン酸化膜を形成する。そして、トレンチ部内部を埋め込むと共に、基板１２の表面側に例えばポリシリコンからなるゲート電極材料膜を形成する。最後に、ゲート電極材料膜をエッチングすることにより、図５のＦに示すように、各画素トランジスタのゲート電極を形成する。

[0077] なお、本実施形態では、光電変換部１７の表面側のｐ型半導体層１６は、ｐ型のウェル領域１３で構成する例としている。しかしながら、これに限られるものではなく、必要に応じて、ゲート電極の形成後に光電変換部１７の表面側の浅い位置にＰ型の不純物を高濃度にイオン注入することにより、暗電流抑制のためのＰ型半導体層を形成してもよい。

[0078] 次に、図示を省略するが、基板１２の表面側に、シリコン酸化膜からなる層間絶縁膜を介して配線を複数層形成することにより配線層を形成する。配線層が形成された後は、基板１２の裏面側に張り合わせていた支持基板を除去し、配線層側に支持基板を貼り合わせた後、基板の裏面側が上面を向くように反転させる。そして、基板の裏面側に、一般的なプロセスを用いて、遮光膜２２、カラーフィルタ層２３、オンチップレンズ２４等を順に形成することで、図２に示した本実施形態の固体撮像装置１が完成する。

[0079] [１－４　駆動方法]

次に、本実施形態の固体撮像装置１の駆動方法について説明する。図６は、本実施形態の固体撮像装置１の駆動方法を示すタイミングチャートである。ここでは、ｎ行目の画素の読み出しのタイミングを例に説明する。

[0080] まず、全画素同時に第１リセットパルスΦＲＳＴ１の供給を開始することで第１リセットトランジスタＴｒ３をオンする。これにより、フローティングディフュージョン部３４に蓄積されていた信号電荷が電源電圧Ｖｄｄ側に排出され、フローティングディフュージョン部３４はリセットされる。ここで、フローティングディフュージョン部３４に蓄積されていた信号電荷は、前のフレームで読み出された信号電荷である。その後、全画素同時に第１リセットパルスΦＲＳＴ１の供給を停止し、第２リセットトランジスタＴｒ３

をオフする。

[0081] 次に、全画素同時に第１転送パルスΦＴＲＧ１の供給を開始し、第１転送トランジスタＴｒ１をオンする。これにより、光電変換部１７及び第１電荷蓄積部１８に蓄積されていた信号電荷が第２電荷蓄積部２５に転送される。その後、全画素同時に第１転送パルスΦＴＲＧ１の供給を停止することで第１転送 トランジスタＴｒ１をオフする。本実施形態では、全画素同時に第２電荷蓄積部２５に読み出された信号電荷は、各行の読み出し時まで、第２電荷蓄積部２５に保持された状態となる。

[0082] 次に、全画素同時に第２リセットパルスΦＲＳＴ２の供給を開始し、第２リセットトランジスタＴｒ４をオンする。これにより、光電変換部１７及び第１電荷蓄積部１８に残っていた信号電荷や、第１転送 トランジスタＴｒ１をオフした時点から第２リセットトランジスタＴｒ４をオンする時点までの期間で蓄積された信号電荷を電源電圧Ｖｄｄ側に排出し、リセットする。その後、全画素同時に第２リセットトランジスタＴｒ４をオフすることで、次のフレームの露光を開始する。

[0083] ここまでの一連の動作は、全画素同時に行われるものである。すなわち、本実施形態では、全画素同時に第２リセットトランジスタＴｒ４をオフすることによりグローバル露光が開始され、全画素同時に第１転送 トランジスタＴｒ１をオンすることでグローバル露光が終了する。すなわち、第２リセットトランジスタＴｒ４をオフした時から、次に第１転送 トランジスタＴｒ１をオンするまでの期間が露光期間とされる。露光期間では、入射した光の光量に応じた信号電荷が光電変換部１７で生成される。そして、光電変換部１７で生成された信号電荷は、基板１２内のポテンシャル電位に沿って移動し、主に、第１電荷蓄積部１８に蓄積される。

[0084] 次に、行毎に読み出しを開始する。ｎ行の信号電荷の読み出しでは、ｎ行の動作の順番が回ってきたら、選択パルスΦＳＥＬを供給することで選択 トランジスタＴｒ６をオンする。これにより、リセットされた状態のフローティングディフユージョン部３４の電位をリセット信号として読み出し、カラ

ム回路に取り込む。

[0085] 次に、選択パルスΦＳＥＬを供給した状態で第２転送パルスΦＴＲＧ２の供給を開始し、第２転送トランジスタＴｒ２をオンする。これにより、ｎ行の画素において、第２電荷蓄積部２５に蓄積されていた信号電荷がフローティングディフユージョン部３４に転送される。その後、フローティングディフユージョン部３４の電位に対応する出力を画素信号としてカラム回路に取り込む。カラム回路では、先に取得したリセットト信号と、この画素信号との差分を取ることにより相関二重サンプリングを行う。これにより、カラム回路では、ｋＴｃノイズが除去された画素信号が得られる。

[0086] その後、第２転送パルスΦＴＲＧ２の供給を停止すると共に、選択パルスΦＳＥＬの供給を停止することで第２転送トランジスタＴｒ２及び選択トランジスタＴｒ６をオフし、ｎ行の画素の読み出しを終了する。ｎ行目の画素の読み出しが終了した後は、ｎ＋１行目の画素の読み出しを行い、全行の画素の読み出しを順に行う。

[0087] 本実施形態によれば、画素の微細化が図られた固体撮像装置１において、グローバルシャツタ操作が可能となるため、全画素同時の露光が可能となり、フォーカルプレーン歪みが解消される。また、本実施形態では、第１電荷蓄積部１８に蓄積された信号電荷をリセットする第２リセットトランジスタＴｒ４を別途設けることにより、読み出し期間が終了する前に、次のフレームの露光期間を開始することができる。このような効果は、特に動画撮影に有効となる。

[0088] [１－５　変形例]

上述の固体撮像装置１の製造方法では、エピタキシャル成長を用いて第１電荷蓄積部１８を形成する例を示したが、本実施形態に係る固体撮像装置１を形成する方法は、これに限られるものではない。変形例として、本実施形態の固体撮像装置１の製造方法の他の例について説明する。図７のＡ～図７のＣは、変形例に係る固体撮像装置１の製造方法を示す工程図である。

[0089] まず、変形例においては、図７のＡに示すように第１の実施形態と同様に

して、基板１２の表面側に、第２電荷蓄積部２５、フローティングディフユ―ジョン部３４、各画素トランジスタのソース・ドレイン領域２９，３５及びＰ型半導体層２６を形成する。

[0090] 次に、図７のＢに示すように、基板１２の裏面側に、光電変換部１７が形成される領域が開口されたレジスト層３８を形成する。そして、そのレジスト層３８を介してｎ型の不純物を高エネルギーでイオン注入することにより、光電変換部１７を構成するｎ型半導体層１４を形成する。ここでは、図４及び図５に示した製造方法とは異なり、光電変換部１７を構成するｎ型半導体層１４の全領域を一回のイオン注入によって形成する。このため、上述した図４のＢに示した工程に比較して高エネルギーのィオン注入とする。

[0091] 次に、前工程で用いたレジスト層３８を除去した後、図７のＣに示すように、第１電荷蓄積部１８が形成される領域が開口されたレジスト層３９を形成する。そして、そのレジスト層３９を介してｎ型の不純物をイオン注入することにより、基板１２の所望の深さにまで形成された第１電荷蓄積部１８を形成する。ここで、第１電荷蓄積部１８を構成するｎ型半導体層の不純物濃度は、光電変換部１７を構成するｎ型半導体層１４の不純物濃度よりも高い方が好ましい。したがって、第１電荷蓄積部１８は、光電変換部１７を形成するｎ型半導体層１４よりも高濃度のイオン注入によって形成する。

[0092] その後は、図４のＤ～図５のＦに示す工程と同様の工程により、図２に示す固体撮像装置１が完成する。このように、全ての不純物領域をイオン注入によって形成することにより、エピタキシャル成長工程が無くなるため、工程数が削減され、コストの低減を図ることができる。

[0093] <２．第２の実施形態 :各画素で１個ずつの縦型トランジスタを構成する例>

次に、本開示の第２の実施形態に係る固体撮像装置について説明する。図８は、本実施形態に係る固体撮像装置７０の要部の断面構成図である。図８において、図２に対応する部分には同一符号を付し、重複説明を省略する。

[0094] 本実施形態では、第１の実施形態に係る固体撮像装置１において、第２リ

セットトランジスタＴｒ４が構成されない例である。すなわち、本実施形態の固体撮像装置７０では、各画素は、第１転送 トランジスタＴｒ１、第２転送 トランジスタＴｒ２、リセットトランジスタＴｒ３、増幅 トランジスタＴｒ５及び選択 トランジスタＴｒ６で構成されている。

[0095] 図９に、本実施形態の固体撮像装置７０の画素の等価回路図を示す。図９に示すように、本実施形態では、リセットトランジスタＴｒ３は、そのソースがフローティングディフユージョン部３４とされ、ドレインが電源電圧Ｖｄｄに接続されている。また、リセットトランジスタＴｒ３のゲート電極３３には、配線を介してリセットパルスΦＲＳＴが印加される。

[0096] 以上の構成を有する本実施形態の固体撮像装置７０の駆動方法について説明する。図１０は、本実施形態に係る固体撮像装置７０の駆動方法を示すタイミングチャートである。ここでは、ｎ行目の画素の読み出しのタイミングを例に説明する。

[0097] まず、全画素同時にリセットパルスΦＲＳＴの供給を開始すると同時に、第１転送パルスΦＴＲＧ１及び第２転送パルスΦＴＲＧ２の供給を開始し、リセットトランジスタＴｒ３、第１転送 トランジスタＴｒ１及び第２転送 トランジスタＴｒ２を同時にオンする。これにより、フローティングディフユージョン部３４に蓄積されていた信号電荷が電源電圧Ｖｄｄ側に排出され、フローティングディフユージョン部３４はリセットされる。これと同時に、第２電荷蓄積部２５、第１電荷蓄積部１８及び光電変換部１７も電源電圧Ｖｄｄに電気的に接続されるため、第２電荷蓄積部２５、第１電荷蓄積部１８及び光電変換部１７もリセットされる。

[0098] ここで、リセット前にフローティングディフユージョン部３４に蓄積されていた信号電荷は、前のフレームで読み出された信号電荷である。また、第１電荷蓄積部１８及び光電変換部１７に蓄積されていた信号電荷は、前のフレームにおいて露光期間が終了した後に光電変換部１７で生成された信号電荷である。

[0099] その後、全画素同時にリセットパルスΦＲＳＴ、第１転送パルスΦＴＲＧ

１、及び第２転送パルスΦＴＲＧ２の供給を停止し、リセットトランジスタＴｒ３、第１転送トランジスタＴｒ１、第２転送トランジスタＴｒ２をオフする。そして、第１転送トランジスタＴｒ１がオフすることにより、露光期間が開始される。

[01 00] 次に、全画素同時に第１転送パルスΦＴＲＧ１の供給を開始し、第１転送トランジスタＴｒ１をオンする。これにより、露光期間が終了し、光電変換部１７及び第１電荷蓄積部１８に蓄積されていた信号電荷が第２電荷蓄積部２５に転送される。その後、全画素同時に第１転送パルスΦＴＲＧ１の供給を停止することで第１転送トランジスタＴｒ１をオフする。本実施形態では、全画素同時に第２電荷蓄積部２５に読み出された信号電荷は、各行の読み出し時まで、第２電荷蓄積部２５に保持された状態となる。

[01 01] ここまでの一連の動作は、全画素同時に行われるものである。すなわち、本実施形態では、全画素同時にリセットトランジスタＴｒ３、第１転送トランジスタＴｒ１、及び第２転送トランジスタＴｒ２をオフすることによりグローバル露光が開始される。そして、全画素同時に第１転送トランジスタＴｒ１をオンすることでグローバル露光が終了する。すなわち、第１転送トランジスタＴｒ１をオフした時から、第１転送トランジスタＴｒ１をオンするまでの期間が露光期間とされる。露光期間では、入射した光の光量に応じた信号電荷が光電変換部で生成される。そして、光電変換部１７で生成された信号電荷は、基板１２内のポテンシャル電位に沿って移動し、主に、第１電荷蓄積部１８に蓄積される。

[01 02] 次に、行毎に読み出しを開始する。ｎ行の信号電荷の読み出しでは、ｎ行の動作の順番が回ってきたら、選択パルスΦＳＥＬを供給することで選択トランジスタＴｒ６をオンする。これにより、リセットされた状態のフローティングディフユージョン部３４の電位をリセット信号として読み出し、カラム回路に取り込む。

[01 03] 次に、選択パルスΦＳＥＬを供給した状態で第２転送パルスΦＴＲＧ２の供給を開始し、第２転送トランジスタＴｒ２をオンする。これにより、ｎ行

の画素において、第２電荷蓄積部２５に蓄積されていた信号電荷がフローティングディフユージョン部３４に転送される。その後、フローティングディフユージョン部３４の電位に対応する出力を画素信号としてカラム回路に取り込む。カラム回路では、先に取得したリセット信号と、この画素信号との差分を取ることにより相関二重サンプリングを行う。これにより、カラム回路では、ｋＴｃノイズが除去された画素信号が得られる。

[01 04] その後、第２転送パルスΦＴＲＧ２の供給を停止すると共に、選択パルスΦＳＥＬの供給を停止することで第２転送 トランジスタＴｒ２及び選択 トランジスタＴｒ６をオフし、ｎ行の画素の読み出しを終了する。ｎ行目の画素の読み出しが終了した後は、ｎ＋１行目の画素の読み出しを行い、全行の画素の読み出しを順に行う。

[01 05] 本実施形態では、フローティングディフユージョン部３４、第２電荷蓄積部２５、第１電荷蓄積部１８及び光電変換部１７を一度にリセットすることができるため、回路た単純化されてバラツキが減ると共に、ノイズも減少するという効果がある。

[01 06] また、本実施形態の固体撮像装置７０では、第１電荷蓄積部１８及び光電変換部１７のリセットするためのリセットトランジスタが別途設けられていないため、画素面積の縮小化が可能となる。その他、本実施形態では、第１の実施形態と同様の効果を得ることができる。

[01 07] 〈３．第３の実施形態 :表面照射型の固体撮像装置〉

次に、本開示の第３の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図１と同様であるから、図示を省略し、重複説明を省略する。図１１は本実施形態の固体撮像装置７１の要部の断面構成図である。本実施形態は、表面照射型の固体撮像装置を例としたものであり、第１の実施形態に係る固体撮像装置１と、光入射面が反対側に構成される例である。図１１において、図２に対応する部分には同一符号を付し重複説明を省略する。なお、図１１では、各画素を構成する画素 トランジスタの一部の図示を省略している。

[01 08] 本実施形態の固体撮像装置７１では、図１１に示すように、各画素 トランジスタが形成された基板１２の表面側に、遮光膜２２が形成され、その遮光膜２２上部にカラーフィルタ層２３及びオンチップレンズ２４が形成されている。このとき、遮光膜２２は、基板１２の表面側に形成された配線層 (図示を省略する）に形成される配線の一部を用いて形成することができる。

[01 09] また、本実施形態では、光電変換部１７において、表面側のｐ型半導体層１６はｐ型の不純物を高濃度にイオン注入することによって形成されている。本実施形態の固体撮像装置７１は、基板１２の表面側に画素 トランジスタを形成するまでの工程は、第１の実施形態と同様にして形成することができる。画素 トランジスタを形成した後は、基板の表面側に、遮光膜２２を含む配線層４０、カラーフィルタ層２３、オンチップレンズ２４を形成することで、図１１に示す固体撮像装置７１が完成される。

[01 10] 本実施形態では、オンチップレンズ２４及びカラーフィルタ層２３を介して、基板１２の表面側から入射した光は、光電変換部１７において光電変換され、光量に応じた信号電荷が生成される。そして、光電変換部１７で生成された信号電荷は、基板１２のポテンシャル電位に沿って移動し、第１電荷蓄積部１８に蓄積される。

[01 11] 以上の構成を有する固体撮像装置７１においても、第１の実施形態と同様の方法で基板１２内の各不純物拡散層を形成することができるが、表面照射型の固体撮像装置であるため、配線層の形成工程後に再度基板１２を反転させる工程が必要なく、工程数が削減される。また、本実施形態においても第１の実施形態と同様の駆動方法で駆動することができる。

その他、本実施形態では、第１の実施形態と同様の効果を得ることができる。

[01 12] 〈４．第４の実施形態 :転送電極で信号電荷をドリフト移動させる例〉

次に、本開示の第４の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図１と同様であるから、図示を省略し、重複説明を省略する。図１２は本実施形態の固体撮像装置７２の要部の

断面構成図である。本実施形態は、第１電荷蓄積部１８に電圧を印加することで、光電変換部１７に蓄積された信号電荷を第１電荷蓄積部１８側に移動させる例である。図１２において、図２に対応する部分には同一符号を付し、重複説明を省略する。

[01 13] 本実施形態では、光入射面となる基板１２の裏面において、第１電荷蓄積部１８上部にシリコン酸化膜からなる絶縁膜４２を介して転送電極４１が形成されている。転送電極４１を構成する材料としては、例えばポリシリコン、Ｃｕ、Ａｌ Ｗ等の導電材料を用いることができる。そして、本実施形態では、転送電極４１に正の電圧を印加したときに、第１電荷蓄積部１８のポテンシャル電位が光電変換部１７のポテンシャル電位よりも低くなるように構成されている。

[01 14] 以上の構成を有する固体撮像装置７２では、露光期間中において、転送電極４１に所望の電位を供給しておくことで、光電変換部１７において生成された信号電荷を第１電荷蓄積部１８側に移動させることができる。このため、第１の実施形態のように、光電変換部１７と第１電荷蓄積部１８との不純物濃度の違いのみで基板１２内にポテンシャル勾配をつけて信号電荷を移動させる構成に比較して、効率良く信号電荷を移動させることができる。さらに、第１電荷蓄積部１８側に流れる信号電荷を多くすることができるため、第１転送 トランジスタＴｒ１で読み出すことのできる信号電荷の量も増加させることができ、感度の向上が図られる。

その他、本実施形態では、第１の実施形態と同様の効果を得ることができる。

[01 15] なお、本実施形態では、遮光膜２２と転送電極４１を別に設けたが、転送電極４１を遮光性のある導電材料で構成する場合には、転送電極４１を、遮光膜２２を兼ねる構成とすることができる。その場合には、光入射面側において素子の低背化が可能となる。

[01 16] ＜５．第５の実施形態 :信号読み出しトランジスタで信号電荷を読み出す例＞

次に、本開示の第５の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図１と同様であるから、図示を省略し、重複説明を省略する。図１３は、本実施形態の固体撮像装置７３の要部の断面構成図である。本実施形態では、光電変換部１７と第１電荷蓄積部１８との間に信号読み出しトランジスタを設ける例である。図１３において、図２に対応する部分には同一符号を付し重複説明を省略する。

[01 17] 本実施形態では、光電変換部１７を構成するｎ型半導体層１４と、第１電荷蓄積部１８とが所定の距離だけ離して形成されており、また、基板１２の裏面側に形成された暗電流抑制の為のＰ型半導体層１５，１９も所定の距離だけ離して形成されている。そして、光電変換部１７と第１電荷蓄積部１８との間の領域において、基板１２の裏面側に、ゲート絶縁膜４４を介して転送電極４３が形成されている。すなわち、本実施形態では、光電変換部１７と第１電荷蓄積部１８との間の信号電荷の転送を、転送電極４３で構成される信号読み出しトランジスタＴｒ７で行う。

[01 18] 本実施形態では、光電変換部１７において生成された信号電荷は、転送電極４３に所望の読み出し電位を供給して信号読み出しトランジスタＴｒ７をオンすることにより、第１電荷蓄積部１８に転送され、第１電荷蓄積部１８において蓄積される。

[01 19] 本実施形態では、光電変換部１７と第１電荷蓄積部１８との間の信号電荷の移動が信号読み出しトランジスタＴｒ７によって制御されるため、光電変換部１７においても信号電荷を一旦保持することができる。さらに、第１電荷蓄積部１８においても信号電荷を保持することができる。これにより、本実施形態では、２回連続で信号電荷を保持することができるため、高速シャッタに適用することができる。

[01 20] また、本実施形態では、転送電極４３の電圧を制御することで、光電変換部１７において信号電荷が溜まる量を制御することができるため、広ダイナミックレンジが可能となる。さらに、本実施形態では、光電変換部１７から信号電荷があふれ出すことによるブルーミングを防止することができる。

その他、本実施形態では、第１の実施形態と同様の効果を得ることができる。

[01 21] 〈６．第６の実施形態 :基板上に光電変換部を積層する例〉

次に、本開示の第６の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図１と同様であるから、図示を省略し、重複説明を省略する。図１４は本実施形態の固体撮像装置７４の要部の断面構成図である。本実施形態の固体撮像装置７４は、光電変換部の構成が第１の実施形態と異なる例である。図１４において、図２に対応する部分には同一符号を付し、重複説明を省略する。なお、図１４では、各画素を構成する画素 トランジスタの一部を回路図で示している。

[01 22] [６- １ 要部の構成]

図１４に示すように、本実施形態の固体撮像装置７４は、第１電荷蓄積部５２、第２電荷蓄積部２５、フローティングディフユージョン部３４、及び複数の画素 トランジスタが形成された基板１２を備える。また、固体撮像装置７４は、基板１２の光入射面側に積層して形成された光電変換部５０、バリア層６８、透明電極５７、カラーフィルタ層２３及びオンチップレンズ２４を備える。

[01 23] 基板１２は、ｎ型のシリコンからなる基板１２で構成されており、例えば、３μｍ~ ５μｍの厚みに形成されており、各画素を構成する不純物領域が形成される画素領域はＰ型のゥエル領域１３とされている。また、各画素は基板１２に形成された画素分離部５３により区画されている。画素分離部５３は、基板１２の裏面側から所望の深さに形成された高濃度のｐ型半導体層で形成されており、隣り合う画素を電気的に分離するように設けられている。

[01 24] そして、本実施形態では、ｐ型のゥエル領域１３内に各画素を構成する第１及び第２電荷蓄積部５２，２５、フローティングディフユージョン部３４及び各画素 トランジスタを構成するソース・ドレイン領域２９，３５が形成される。また、各画素は、第１転送 トランジスタＴｒ１、第２転送 トランジ

スタＴｒ２、第１リセットトランジスタＴｒ３、第２リセットトランジスタＴｒ４、増幅トランジスタＴｒ５、選択トランジスタＴｒ６の６つの画素トランジスタを備える。

[01 25] 第１電荷蓄積部５２は、基板１２の裏面側から所定の深さにまで形成された$_n$型半導体層で構成されている。第１電荷蓄積部５２は対応する画素毎に形成されており、各画素では、画素分離部５３に区画された単位画素の領域内全面に形成されている。この第１電荷蓄積部５２は、後述する光電変換部５０で生成された信号電荷を蓄積する蓄積部として機能する。

[01 26] また、第１電荷蓄積部５２は、ｎ型の不純物濃度が基板の裏面側から深さ方向に向かって高くなるように不純物を分布させた構成とすることが好ましい。このような構成とすることにより、第１電荷蓄積部５２を、基板１２の深さ方向にポテンシャル電位が高くなるようなポテンシャル勾配とすることができる。これにより、光電変換部５０から移動してきた信号電荷 (本実施形態では電子）が、第１電荷蓄積部５２内おいて、基板１２の表面側に自動的に移動する。

[01 27] 各画素トランジスタは、第１の実施形態と同様、基板１２の表面側に形成されており、本実施形態においても、第１転送トランジスタＴｒ１及び第２リセットトランジスタＴｒ４は縦型トランジスタとされている。すなわち、第１転送ゲート電極２７及び第２リセットゲート電極３０は、第１電荷蓄積部５２に達する深さに形成されている。

[01 28] 光電変換部５０は、入射した光の光量に応じた信号電荷を生成できる光電変換材料で構成されており、基板１２の裏面側に積層して形成され、ｎ型半導体層からなる第１電荷蓄積部５２の上面を被覆するように画素領域全面に設けられている。また、光電変換部５０は、遮光膜を兼ねる構成とされている。すなわち、光電変換部５０に入射した光は、ここにおいて光電変換され、基板１２側には入射しない構成とされている。また、光電変換部５０においても、画素分離部 (以下、光電変換部側画素分離部５１）が形成されており、光電変換部５０が画素毎に区画されている。

[01 29] このような光電変換部５０を構成する材料としては、カルコパイライト構造の化合物半導体を用いることができ、より具体的には、$CuInSe_2$を用いることができる。図１５は、様々な半導体材料におけるフォトンエネルギーと光吸収係数との関係を示した図である。図１５に示すように、$CuInSe_2$の光吸収係数は他の材料よりも高く、特に、Ｓｉ単結晶（図１５ではx-Ｓｉ）のそれと比べて約２桁高い。このため、$CuInSe_2$からなる光電変換部は、光電変換部としての機能だけではなく、可視光を遮光する遮光膜としての機能を好適に果たすことができる。

[01 30] 光電変換部５０として用いられる材料は、可視光線の吸収係数がシリコンからなる基板１２よりも高く、光電変換機能が発現する材料であれば、単結晶、多結晶、アモルファスのいずれの結晶構造であってもよい。また、光電変換部５０を構成するカルコパイライト材料として、$CuInSe_2$以外のカルコパイライト材料を用いてもよい。

[01 31] 図１６及び図１７は、カルコパイライト材料について、格子定数とバンドギャップとの関係を示す図である。図１６に示すように、様々なカルコパイライト材料がある。このうち、図１７に示すように、例えば銅―アルミニウム―ガリウム―インジウム―イオウ―セレン系の混晶（以下、ＣｕＡｌＧａＩｎＳＳｅ系混晶）からなるカルコパイライト構造の化合物半導体で光電変換部５０を形成してもよい。

[01 32] ＣｕＡｌＧａＩｎＳＳｅ系混晶は、その格子定数をシリコンの格子定数に合わせるように組成を制御して形成することができるので、結晶欠陥を減少させることができる。このため、ＣｕＡｌＧａＩｎＳＳｅ系混晶をシリコンからなる基板１２上に単結晶薄膜としてエピタキシャル成長させることが可能であり、ヘテロ界面で発生するミスフイツト転移などの結晶欠陥を減少させることができる。これにより、暗電流の発生を抑制し、ノイズを減少させることができる。

[01 33] また、光電変換部５０を構成するカルコパイライト材料は、その導電型がｐ型、$_n$型、ｉ型のいずれであってもよい。ただし、光電変換部５０で生成

された信号電荷が第１電荷蓄積部５２側に移動するように、光電変換部５０内のポテンシャル電位が変化するように不純物濃度を変化させることが好ましい。本実施形態のように、電子を信号電荷として用いる場合は、基板１２側に向かってポテンシャル電位が高くなるように光電変換部５０を構成することで、光電変換部５０で生成した信号電荷がポテンシャル勾配に沿って移動し、第１電荷蓄積部５２に蓄積される。

[01 34] 光電変換部５０を構成するその他の材料としては、シリサイド系の材料を用いることもできる。図１８は、様々なシリサイド系材料におけるフォトンエネルギーと消衰係数ｋとの関係を示す図である。

[01 35] 光吸収係数αは、消衰係数ｋと波長スとについて、α＝４πｋ／スの関係を示す。このため、図１８からわかるように、ＣｏＳｉ，ＣｒＳｉ，ＨｆＳｉ，ＩｒＳｉ，ＭｏＳｉ，ＮｉＳｉ，ＰｄＳｉ，ＲｅＳｉ，ＴａＳｉ，ＴｉＳｉ，ＷＳｉ，ＺｒＳｉ等のシリサイド系材料は、Ｓｉよりも光吸収係数αが高い。

[01 36] この他、β—鉄シリサイド材料（β＿ＦｅＳｉ$_2$）の光吸収係数はＳｉよりも２桁程度高い（H. Katsumata, et aL., 丄 App L. Phys. 8(1 0), 5955(1 996) 参照）。また、β鉄シリサイド材料（β＿ＦｅＳｉ$_2$）は、シリコン基板にエピタキシャル成長させることができる（John E. Mahan, et aL., App L. Phys. Lett. 56(21), 2 126(1 990) 参照）。このため、β＿鉄シリサイド材料（β＿ＦｅＳｉ$_2$）を用いることで、光電変換機能と遮光機能との両者を発現する光電変換部５０を形成することができる。

[01 37] さらに、ノくリウムシリサイド系材料（ＢａＳｉ$_2$）や、$Ba_{1-x}Sr_xSi_2$についても吸収係数がシリコン（Ｓｉ）よりも約２桁高い。また、ＳｉＧｅ，Mg_2SiGe，$SrSi_2$，$MnSi_{1.7}$，$CrSi_2$，ＮｉＳｉ系，ＣｕＳｉ系，ＣｏＳｉ系及びＰｔＳｉ系等のシリサイド系材料も同様に吸収係数が高い。よって、シリサイド系材料を用いることで、遮光膜としても機能する光電変換部５０を形成することができる。

[01 38] さらに、光電変換部５０は、上記のような無機材料の他、有機材料を用い

て形成することもできる。例えば、キナクリドン系色素や、クマリン系色素を含む有機材料で形成することができる。本実施形態では、光電変換部５０の光入射側にカラーフィルタ層２３を設けているため、有機材料で光電変換部５０を構成する場合には、可視光全域に渡って感度を有する材料を用いてもよい。また、各画素において、カラーフィルタ層２３が透過する光の波長に対応する波長の光を吸収するように光電変換部５０を構成してもよい。

[01 39] ところで、有機材料は、電子の移動度が低い材料である。このため、有機材料を用いて光電変換部５０を構成する場合には、各画素の光電変換部５０を分離する光電変換部側画素分離部５１を形成しなくてもよい。また、有機材料を用いて光電変換部５０を構成する場合には、有機材料を基板１２上に塗布することで形成することができる。

[0140] バリア層６８は、透明電極５７から光電変換部５０側へのキャリアの注入を防ぐために、透明電極５７と光電変換部５０上部の間に設けられている。バリア層６８は、電子の注入を防ぐことのできる材料で形成することができ、例えば、酸化亜鉛 (ZnO)膜、酸化ニッケル (NiO)膜、酸化銅 (Cu_2O) 膜、又はダイアモンド(C)膜等で形成することができる。本実施形態では、バリア層６８を形成したが、形成しなくてもよい。

[0141] 透明電極５７は、光電変換部５０上部の光入射面側に形成されており、画素領域全面に形成されている。透明電極５７は、可視光領域の波長に対して光透過性を有する電極材料で形成され、例えば、酸化インジウム錫 (ＩＴＯ) 膜、酸化インジウム亜鉛膜、又は酸化アルミニウム亜鉛 (ＡＺＯ) 膜等の透明導電膜で構成することができる。透明電極５７は、グランド電位に接地されており、正孔蓄積によるチャージを防ぐように構成されている。

[0142] このように、本実施形態では、光電変換部５０の下層には、ｎ型半導体層からなる第１電荷蓄積部５２が形成され、光電変換部５０の上層には、ダランド電位に接地された透明電極５７が形成される。これにより、光電変換部５０において、入射した光量に応じて生成された信号電荷 (電子) は第１電荷蓄積部５２側に移動し、信号電荷の生成ともに発生する正孔は透明電極５

７側に移動する。

[0143] 図１９は、本実施形態に係る固体撮像装置７４において、光が伝達する様子をシミュレーションした結果を示す図である。ここでは、厚みが０．３μｍのＣｕＩｎＧａＳ$_2$膜を光電変換部５０として０．５μｍの基板１２上に設けた場合において、オンチップレンズ２４を介して６５０ｎｍの波長の光を入射させたときの結果を示している。

[0144] 図１９に示すように、本実施形態の固体撮像装置７４においては、光電変換部５０で入射光が吸収されて遮光され、基板１２に入射しないことが分かる。この場合において、光量モニターを入れたシミュレーションにより、基板１２の下面まで到達する光の割合を詳細に見積もると、１．８Ｘｉ Ｏ-３％の光のみが到達するに過ぎず、ほぼ全ての光が遮光されることが分かった。

[0145] [６－２ 製造方法]

次に、本実施形態の固体撮像装置７４の製造方法を説明する。ここでは、光電変換部５０を、ＣｕＡＩＧａＩｎＳＳｅ系混晶からなるカルコパイライト系の材料を用いて光電変換部５０を形成して固体撮像装置７４を形成する例を説明する。また、本実施形態では、主面が（１００）面であるシリコン基板を用い、その主面に上記の化合物半導体をエピタキシャル成長させて、光電変換部５０を形成する場合について示す。図２０のＡ～図２１のＥは、本実施形態の固体撮像装置７４の製造方法を示す工程図である。

[0146] まず、本実施形態では、ｎ型の基板１２を準備し、例えばｐ型の不純物をイオン注入することにより、Ｐ型のウエル領域１３を形成する。その後、図２０のＡに示すように、基板１２の表面側にｎ型のドーパントであるＶ族原子のＰ（リン）等をイオン注入することにより、第２電荷蓄積部２５、フローティングディフユージョン部３４、各画素トランジスタのソース・ドレイン領域２９，３５を形成する。

[0147] その後、第２電荷蓄積部２５の表面側には、ｐ型の不純物を高濃度にイオン注入することにより、Ｐ型半導体層２６を形成する。これらの工程は、通常のＣＭＯＳ型固体撮像装置の製造プロセスを用いて形成することができる

。

[0148] 次に、基板１２の表面側にシリコンなどからなる支持基板（図示を省略する）を貼り合わせ、基板１２の裏面側が上面を向くように基板１２を反転させる。その後、図２０のＢに示すように、ＣＶＤ法を用いて基板１２の裏面側にｎ型の不純物をドーピングしながら第１電荷蓄積部５２となるｎ型半導体層５４を所望の厚みとなるまでエピタキシャル成長させる。

[0149] 次に、図２０のＣに示すように、エピタキシャル成長されたｎ型半導体層５４上部に、画素分離部２０を形成する領域が開口されたレジスト層５５を形成する。このレジスト層５５は、通常のフォトリソグラフィ技術を用いて形成することができる。そして、レジスト層５５を介してｐ型の不純物を、例えばＰ型のウエル領域１３を構成する不純物濃度よりも高い濃度となるようにイオン注入することにより、画素分離部２０を形成する。画素分離部２０を構成するｐ型半導体層は、少なくとも第１電荷蓄積部５２を画素毎に分離できる深さに形成する。

[01 50] 次に、図２０のＤに示すように、第１電荷蓄積部５２上部に、カルコパイライト系の材料をエピタキシャル成長させることにより光電変換部５０を形成する。本実施形態において、カルコパイライト系の化合物半導体をエピタキシャル成長させる方法としては、例えば、分子線エピタキシー法（ＭＢＥ：Molecular Beam Epitaxy）、有機金属気相成長法（ＭＯＣＶＤ：Metal Organic Chemical Vapor Deposition）、液相エピタキシー法（ＬＰＥ：Liquid Phase Epitaxy）を用いることができる。

[01 51] ところで、基板１２を構成するシリコン（Ｓｉ）の格子定数は５１．４５ｎｍであり、ＣｕＡＩＧａＩｎＳＳｅ系混晶は、この格子定数に対応した材料を含み、基板１２と格子整合するように光電変換部５０を形成可能である。このため、例えば、$CuGa_{0.52}In_{0.48}S_2$膜を光電変換部５０として基板１２上にエピタキシャル成長することができる。

[01 52] ＭＯＣＶＤ法を用いて光電変換部５０を形成する場合には、Ｍ０ＣＶＤ装置内において、有機金属原料を水素でバブリングすることで飽和蒸気圧状態

とする。これにより、シリコンからなる基板１２上では、有機金属原料が熱分解されて結晶に取り込まれることで結晶成長が生じ、光電変換部５０を形成することができる。このとき、ＭＯＣＶＤ装置において各原料に流す水素流量を制御することで、単位時間当たりに輸送される原料のモル量比が決定する。このモル量比は、形成される結晶の組成比に相関性があるため、この原料の単位時間あたりに輸送される原料のモル量比を制御することで、エピタキシャル成長される光電変換部５０の組成比を制御することができる。

[01 53] ＭＯＣＶＤ法を用いて光電変換部５０を形成する場合には、銅の有機金属原料としては、例えばアセチルアセトン銅 (Ｃｕ（$C_5H_7O_2$）$_2$）を用いることができる。この他に、シクロペンタジェニル銅トリエチルリン (h５-(C_2H_5)Ｃｕ:Ｐ（C_2H_5）$_3$）を用いてもよい。また、ガリウム (Ｇａ）の有機金属原料としては、例えば、トリメチルガリウム (Ｇａ（CH_3）$_3$）を用いることができる。また、アルミニウム (ＡＩ）の有機金属原料としては、例えばトリメチルアルミニウム (ＡＩ（CH_3）$_3$）を用いることができる。また、インジウム (Ｉｎ）の有機金属原料には、例えば、トリメチルインジウム (Ｉｎ（CH_3）$_3$）を用いることができる。また、セレン (Ｓｅ）の有機金属原料には、例えば、ジメチルセレン (Ｓｅ（CH_3）$_2$）を用いることができる。また、イオウ (Ｓ）の有機金属原料には、例えば、ジメチルスルフィド (Ｓ（CH_3）$_2$）を用いることができる。また、亜鉛 (Ｚｎ）の有機金属原料には、例えば、ジメチルジンク (Ｚｎ（CH_3）$_2$）を用いることができる。

[01 54] ここで、有機金属原料を必ずしもこれらの原料に規定する必要はなく、有機金属であれば、同様にＭＯＣＶＤ成長の原料として使用できる。例えば、トリエチルガリウム (Ｇａ（C_2H_5）$_3$）、トリエチルアルミニウム (ＡＩ（C_2H_5）$_3$）、トリエチルインジウム (Ｉｎ（C_2H_5）$_3$）、ジェチルセレン (Ｓｅ（C_2H_5）$_2$）、ジエチルスルフィド (Ｓ（C_2H_5）$_2$）およびジエチルジンク (Ｚｎ（C_2H_5）$_2$）を原料として用いてもよい。さらに、ＭＯＣＶＤ成長の原料は、必ずしも有機金属でなく、ガス系でもよい。例えば、Ｓｅ

原料としてセレン化水素 (H_2Se) や、S原料として硫化水素 (H_2S) を使ってもよい。

[01 55] ＭＢＥ法を用いて光電変換部５０を形成する場合には、ＭＢＥ装置内において、光電変換部５０を構成するための各単体原料を高真空中内にある各クヌーセンセル内にいれ、適切な温度に加熱する。これにより、分子線を発生させ、基板１２上に照射することで、所望の結晶成長層を形成することができる。クヌーセンセル内に入れる単体原料としては、ガリウム (Ｇａ)、アルミニゥム (ＡＩ)、インジウム (Ｉｎ)、セレン (Ｓｅ)、ィオゥ (Ｓ) を用いることができる。このとき、ィオゥ (Ｓ) のような蒸気圧が特に高い原料の場合には、分子線量の安定性が乏しいことがある。この場合、バルブクラッキングセルを用いて、分子線量を安定化させてもよい。さらに、ガスソースＭＢＥのように、一部の原料をガスソースにしてもよい。この場合には、例えば、Ｓｅ原料としてセレン化水素 (H_2Se) を使用することができ、ィオゥ (Ｓ) 原料としては、硫化水素 (H_2S) を使用することができる。

[01 56] ＭＯＣＶＤ法又はＭＢＥ法を用いて光電変換部５０を形成する場合には、例えば、結晶成長と共にｎ型のドーパントであるＺｎの濃度を徐々に下げることで、結晶成長する方向にバンドが傾斜した光電変換部５０を形成することができる。このようにして光電変換部５０内のバンドを傾斜させることで光電変換部５０で生成された信号電荷の基板１２側にへの移動が容易になる。

[01 57] そして、このような光電変換部５０は、基板１２上において格子整合するように形成されている。この場合には、ヘテロ界面で発生するミスフィット転位を減少させることができるため、光電変換部５０の結晶性が良好となる。よって、結晶欠陥が減少するために、暗電流の発生を抑制することができ、白点による画質の劣化を防止できる。また、高感度化を実現することができるので、暗い撮像環境 (例えば夜間) であっても、高画質な撮影が可能となる。

[01 58] ここで、格子不整は｜ｎａ／ａ｜(Δａ :光電変換部の格子定数と基板の

定数の差、a :基板の格子定数）で表すことができ、格子整合する場合には、Δa/a=0である。なお、本実施形態では、 格子整合」の定義は、結晶成長で形成された光電変換部50の厚みが臨界膜厚以内の条件において格子整合に近い状態を含むものとする。つまり、臨界膜厚以内であれば、完全に格子整合しなくてもミスフィット転位が入らない結晶性の良好な状態が可能となる。

[01 59] また、 臨界膜厚」の定義は、「Matthew とB Lakes Lee の式」 (丄W. Matthews and A. E. B Lakes Lee, J. Cryst. Growth 27(1 974) 118-1 25. ）又は「Peop Le とBean の式」 (R. Peop le and J. C. Bean, App L. Phys. Lett. 47(1 985)322-324. ）で規定される。

[01 60] 以上のようにしてエピタキシャル結晶からなる光電変換部50を形成した後、図21のEに示すように、光電変換部50上部に光電変換部側画素分離部51が形成される領域が開口されたレジスト層56を形成する。そして、そのレジスト層56を介してp型のドーパントであるGa，In，As，又はPをイオン注入することにより、光電変換部50を画素毎に分離する光電変換部側画素分離部51を形成する。その後、例えば400℃以上でアニール処理をすることで、各半導体層を活性化させる。

[01 61] その後、図5のFと同様にして、基板12の表面側に各画素トランジスタを形成し、基板12の裏面側にバリア層68、透明電極57、カラーフィルタ層23、及びオンチップレンズ24を形成することにより、本実施形態の固体撮像装置74が完成する。

[01 62] ところで、本実施形態では、主面が（100）面であるシリコン基板を用い、その主面に化合物半導体をエピタキシャル成長させて光電変換部を形成する場合について説明した。つまり、本実施形態では｛100｝基板を用いる場合について説明している。しかし、本開示はこれに限定されるものではない。

[01 63] イオン性がない無極性なシリコン基板上にイオン性元素の材料として上記の化合物半導体をエピタキシャル成長させた場合には、アンチフェーズドメ

インとよばれる欠陥が発生する場合がある。つまり、局所的にカチオンとアニオンとが逆フェーズになって成長し、アンチフェーズドメインが発生する。

[01 64] このため、シリコン基板としてオフ基板を用いてもよい。オフ基板上にエピタキシャル成長をさせることにより、アンチフェーズドメインの発生を抑制することができる。例えば、シリコンからなる{１００}基板の面方向を<０１１>方向にオフしたオフ基板を用いることにより、アンチフエーズドメインが生じた領域が結晶成長と共に自己消滅するため結晶性を向上させることができる。オフ基板としては、例えば傾斜角度が１～１０度の基板を用いることができる。

[01 65] [６－３ 駆動方法]

本実施形態の固体撮像装置７４においても各画素では、図３と同様の等価回路が構成されており、各画素トランジスタは、図６と同様のタイミングで動作される。本実施形態の固体撮像装置７４では、入射した光は光電変換部５０において光電変換され、そこで発生した信号電荷 (電子)は第１電荷蓄積部５２に移動し、第１電荷蓄積部５２で主に蓄積される。また、光電変換部５０で生成された正孔は透明電極５７に移動する。

[01 66] そして、露光期間において、第１電荷蓄積部５２及び光電変換部５０で蓄積された信号電荷は、第１転送トランジスタＴｒ１がオンすることで全画素同時に第２電荷蓄積部２５に転送される。第２電荷蓄積部２５に蓄積された信号電荷は、行毎のタイミングでフローテイングディフユージョン部３４に読み出され、対応する画素信号が垂直信号線９に排出される。

[01 67] 本実施形態においては、光電変換部５０が基板１２に積層して形成されるため、基板１２に光電変換部５０を設ける必要がなく、画素面積の縮小化が可能となる。さらに、基板１２の裏面側に形成される第１電荷蓄積部５２と、基板１２の表面側に形成される各画素トランジスタは、基板１２の深さ方向に積層して形成される。このため、さらなる画素の小型化が図られる。また、本実施形態では、画素領域３の全面に渡って形成される光電変換部５０

は遮光膜を兼ねる構成とされているため、基板１２に入射光が到達することがなく、ノィズの発生が抑制される。

その他、本実施形態では、第１の実施形態と同様の効果を得ることができる。

[01 68] ところで、本実施形態のように基板１２上に光電変換部５０を形成する場合、光電変換部５０で生成された信号電荷を、光電変換部５０側から基板１２側に移動させやすくするため、ポテンシャル障壁を小さくするような中間層を設けてもよい。以下に、変形例として、中間層を形成する例を説明する。

[01 69] [６－４ 変形例１]

図２２は、本実施形態の変形例１に係る固体撮像装置７６の要部の断面構成図である。図２２において、図１４に対応する部分には同一符号を付し、重複説明を省略する。

[01 70] 変形例１では、図２２に示すように、基板１２と光電変換部５０との間に中間層６０が形成されている。この中間層６０は、その電子親和力が、基板１２の電子親和力と光電変換部５０の電子親和力との間になるような材料で形成することができる。例えば、中間層６０の電子親和力が、シリコン基板１２の電子親和力と、光電変換部５０の電子親和力との間のちょうど中間の電子親和力になるように形成されることが、最も好適である。

[01 71] 具体的には、中間層６０は、$CuGa_{0.64}In_{0.36}S_2$で構成することができ、その膜厚は、５ｎｍとすることができる。中間層６０は、臨界膜厚以内であればよい。例えば、中間層６０を、$CuGa_{0.64}In_{0.36}S_2$で構成した場合、基板１２との格子不整$\Delta a/a = 5.12 \times 10^{-3}$となる。このとき、膜厚５ｎｍであれば、前述した「Matthew とB Lakes Leeの式」または「Peop Le とBean の式」で規定される臨界膜厚より小さくなる

[01 72] その他、光電変換部５０がｐ型半導体で構成される場合には、中間層６０は、ｎ型半導体で構成することができる。とりわけ、光電変換部５０をｐ型のカルコパイライト層で構成する場合には、中間層６０は、ＩＩ—ＶＩ族半

導体で構成することが好ましい(参考文献1~3参照)。

参考文献1:Takeshi Yagioka and Tokio Nakada, Applied Physics Express 2 (2009)072201

参考文献2:S. P. Grindle, A. H. Clark, S. Rezaie-Serej, E. Falconer, and J. McNeily, and L. L. Kazmersk i, J. Appl. Phys. 51(10). (1980)5464

参考文献3:T. Makada, N. Okano, Y. Tanaka, H. Fukuda, and A. Kunioka, First WC0EC;Dec. 5-9, 1994; Hawaii

[0173] この場合、光電変換部50を構成するp型カルコパイライト層とシリコンからなる基板12との界面に中間層60としてZnS層やCdS層やZn0層を挟んでも良い。また、光電変換部50がn型半導体層で構成される場合、中間層60はp型半導体層で構成することができる。

[0174] [6-5 変形例2]

図23は、変形例1に係る固体撮像装置77の要部の断面構成図である。図23において、図14に対応する部分には同一符号を付し、重複説明を省略する。

[0175] 変形例2では、図23に示すように、光電変換部50と透明電極57との間に中間層60が形成されている。また、変形例2では、基板12内の各半導体層の導電型が、変形例1とは逆に構成されており、信号電荷として正孔(ホール)が用いられる例である。変形例2においても、中間層60として、ZnS層、CdS層、Zn0層を用いることができる。

[0176] このような構成では、光電変換部50をp型のカルコパイライト層で構成し、中間層60をn型半導体層で構成した場合、光電変換部50と中間層との界面でpn接合ができる。このように、pn接合を、基板12と光電変換部50との界面以外に設けても問題はない。

[0177] <7. 第7の実施形態:光電変換部の上層にp型半導体層を設ける例>

次に、本開示の第7の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図1と同様であるから、図示を省略し、重複説明を省略する。図24は本実施形態の固体撮像装置75の要部の

断面構成図である。本実施形態の固体撮像装置７５は、第６の実施形態に係る固体撮像装置７４において、光電変換部５０の透明電極５７側に高濃度のｐ型半導体層５８を形成する例である。図２４において、図１４に対応する部分には同一符号を付し、重複説明を省略する。なお、図２４では、各画素を構成する画素 トランジスタの一部を回路図で示している。

[01 78] [７- １ 要部の構成]

本実施形態の固体撮像装置７５では、図２４に示すように、光電変換部５０の光入射側に高濃度のＰ型半導体層５８が形成されている。本実施形態では、光電変換部５０及びｐ型半導体層５８は、カルコパイライト系材料又はシリサイド系材料で形成されている。ここで、Ｐ型半導体層５８は、光電変換部５０で生じた正孔がｐ型半導体層５８に入って横方向 (光電変換部５０の膜面に沿う方向）に流れるように高い不純物濃度を有する。

[01 79] 本実施形態の固体撮像装置７５では、光電変換部５０において、入射光が入射する側の面上に高濃度のＰ型半導体層５８が形成されているため、暗電流の発生が抑制される。また、光電変換部５０上に形成されたｐ型半導体層５８は、各画素間で、光電変換部側画素分離部５１を構成するｐ型半導体層を介して連結されるように形成されている。このため、光電変換部５０で生成された信号電荷 (電子）は基板１２側にながれ、正孔は光電変換部からｐ型半導体層５８に移動し、光電変換部５０上を横方向に移動することができる。

[01 80] したがって、本実施形態では、光電変換部５０上部に透明電極５７を設ける例としているが、透明電極５７は光電変換部５０上部に必ずしも設ける必要が無くなる。なお、本実施形態のように、Ｐ型半導体層５８を形成し、かつ、透明電極５７を形成することにより、電子及び正孔の移動の制御が容易になる。

[01 8 1] [７- ２ 製造方法]

次に、本実施形態の固体撮像装置７５の製造方法を説明する。ここでは、ＣｕＡＩＧａＩｎＳＳｅ系混晶からなるカルコパイライト系の材料を用いて

光電変換部５０を形成して固体撮像装置７５を作製する例を説明する。図２５のＡ～図２５のＣは、本実施形態の固体撮像装置７５の製造方法を示す工程図である。

[01 82] まず、図２０のＡ～図２０のＣに示す方法と同様にして、基板１２に所望の半導体層を形成する。その後、図２５のＡに示すように、基板１２の第１電荷蓄積部５２が形成された裏面側上部において、光電変換部側画素分離部５１が形成される部分にのみ選択的に絶縁膜５９を形成する。すなわち、隣り合う画素の間を区画するように絶縁膜５９を形成する。

[01 83] 絶縁膜５９は、例えば、シリコン酸化膜、シリコン窒化膜で構成することができる。本実施形態では、光電変換部側画素分離部５１は、基板１２側に形成された画素分離部２０と同じ位置に形成されるため、基板１２側に形成された画素分離部２０上部に絶縁膜５９を形成する。

[01 84] この絶縁膜５９は、基板１２の裏面側全面に例えばシリコン酸化膜を形成した後、フォトリソグラフィ技術を用いてパターン加工することによって形成することができ、その膜厚は、例えば５０～１００ｎｍとされている。

[01 85] 次に、基板１２の裏面側にＭＯＣＶＤ法、ＭＢＥ法などを用いて上記の化合物半導体をエピタキシャル成長させることで図２５のＢに示すように、光電変換部５０を形成する。本実施形態では、基板１２の裏面側に画素間を区画する絶縁膜５９が形成されているため、基板１２の裏面側では、絶縁膜５９が形成されない基板１２の露出部分に光電変換部５０が選択的に結晶成長する。ここでは、膜厚が絶縁膜５９の膜厚よりも厚くなるように光電変換部５０を形成する。これにより、光電変換部５０が各画素に対応するように形成され、隣り合う光電変換部５０間には、トレンチが設けられる。

[01 86] 次に、基板１２の裏面側において、カルコパイライト構造の化合物半導体をラテラル成長させることで、図２５のＣに示すように、光電変換部側画素分離部５１及びｐ型半導体層５８を形成する。具体的には、Ｇａ，Ｉｎ，Ａｓ，Ｐなどのｐ型の不純物が多く含まれる条件で、カルコパイライト構造の化合物半導体をラテラル成長させる。これにより、隣り合う光電変換部５０

の間のトレンチに、Ｐ型の化合物半導体が埋め込まれると共に、光電変換部５０上部に高濃度のｐ型半導体層５８が形成される。

[01 87] ここで、図２４に示す断面構成図では、光電変換部５０の選択成長時に用いた絶縁膜５９の図示は省略している。また、ＭＯＣＶＤ法及びＭＢＥ法では、結晶成長時の圧力制御により、ラテラル成長させるか選択成長させるかを制御することができる。

[01 88] 本実施形態では、例えば、光電変換部側画素分離部５１及びｐ型半導体層５８の不純物濃度は１Ｘ１Ｏ^{17}～１Ｘ１０^{19}ｃｍ$^{-3}$となるように形成する。このようにして、画素毎に光電変換部５０を分離する光電変換部側画素分離部５１と、光電変換部５０の光入射側のｐ型半導体層５８とを形成する。

その後、第１の実施形態と同様の工程により、本実施形態の固体撮像装置７５が完成する。

[01 89] 本実施形態では、ラテラル成長によって光電変換部側画素分離部５１やｐ型半導体層５８を形成するため、イオン注入やァニールなどのプロセスで形成する場合に比較して、イオン注入時のダメージやァニール時の配線層への悪影響などがない。これにより、製造工程中におけるダメージを低減することができる。

[01 90] なお、本実施形態では、光電変換部側画素分離部５１を、ｐ型半導体層で構成する例としたが、Ｐ型の不純物を含まない半導体で形成してもよい。その場合には、光電変換部側画素分離部５１は、バンドギャップが広いカルコパイライト系の化合物半導体で形成することができる。光電変換部５０と光電変換部側画素分離部５１とのバンドギヤップ差がｋＴ＝２７ｍｅＶ以上となるように光電変換部側画素分離部５１を形成することで、画素間にポテンシャル障壁が形成されるため、画素間を電気的に分離することができる。

[01 91] バンドギャップ差を利用して画素分離する場合には、光電変換部側画素分離部５１は、図２５のＣの工程において、ｐ型の不純物を含まない条件で、カルコパイライト系の化合物半導体をラテラル成長させる。具体的には、例えば、銅―アルミニウム―ガリゥム―インジウム―ィオゥ―セレンの組成比

が、１．０：０．３６：０．６４：０：１．２８：０．７２あるいは、１．０：０．２４：０．２３：０．５３：２．０：０となるように、光電変換部側画素分離部５１を形成する。

[01 92] その後、Ｇａ，Ｉｎ，Ａｓ，Ｐ等の不純物が多く含まれる条件でカルコパィライト系の化合物半導体を結晶成長させることにより、ｐ型半導体層５８を形成する。以上のように、光電変換部側画素分離部５１をｐ型の不純物が含まれない構成とすることでも、画素間の分離が可能である。

[01 93] 上述の固体撮像装置７５の製造方法では、ラテラル成長を用いて光電変換部側画素分離部５１及びｐ型半導体層５８を形成する例を示したが、本実施形態に係る固体撮像装置７５を作製する方法は、これに限られるものではなし。例えば、図２１のＥに示したようにして光電変換部側画素分離部５１を形成した後、光電変換部５０の光入射面側にｐ型の不純物をイオン注入することで、Ｐ型半導体層５８を形成するようにしてもよい。

[01 94] 〈８．第８の実施形態 :基板上に電極層を介して光電変換部を積層する例〉

次に、本開示の第８の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図１と同様であるから、図示を省略し、重複説明を省略する。図２６は本実施形態の固体撮像装置７８の要部の断面構成図である。本実施形態の固体撮像装置７８は、第６の実施形態に係る固体撮像装置７４において、光電変換部で生成した信号電荷を、電極を介して基板に移動させる例である。図２６において、図１４に対応する部分には同一符号を付し、重複説明を省略する。なお、図２６では、各画素を構成する画素トランジスタの一部を回路図で示している。

[01 95] 本実施形態では、基板１２の裏面側に電極層６２が形成され、その電極層６２上部に光電変換部６１、透明電極５７、カラーフィルタ層２３、オンチップレンズ２４が積層されている。

[01 96] 電極層６２は、絶縁層６６を介して光の入射方向に積層された２層の電極６３で構成されており、２層の電極６３は、コンタクト部６４により電気的に接続されている。これらの電極６３は、画素毎に分離して形成されており

、上層の電極６３が光電変換部６１に接し、下層の電極６３が基板１２の裏面に接するように形成されている。電極６３を構成する材料としては、例えば、Ａｌ，Ｃｕ，Ｗなどが挙げられる。

[01 97] また、本実施形態では、光電変換部６１は遮光性を有する有機材料で形成されている。光電変換部６１は、可視光の全ての波長の光を吸収する有機材料で形成し全画素共通に形成してもよく、画素毎に異なる波長に光を吸収する有機材料で形成してもよい。また、前述したように、有機材料内部では電子の移動度が低いため有機材料からなる光電変換部６１内で生成した電子が横方向への移動度は低い。したがって、画素間に分離部を設けなくても良い。

[01 98] 本実施形態の固体撮像装置７８では、光電変換部６１で生成された信号電荷（電子）は、電極６３を介して第１電荷蓄積部５２に移動し、光電変換部６１で生成されたホールは直接透明電極５７側に移動する。そして、第１電荷蓄積部５２に蓄積された信号電荷は、第１の実施形態と同様にして読み出される。

[01 99] 本実施形態では、光電変換部６１が遮光膜を兼ねる構成としたが、これに限定されるものではない。例えば、光電変換部６１と電極６３とを組み合わせて、第１電荷蓄積部５２に入射する光を遮光するように構成してもよい。本実施形態の固体撮像装置７８においても、第１の実施形態と同様の効果を得ることができる。

[0200] また、本実施形態では、光電変換部６１を有機材料で形成したが、カルコパイライトやシリサイド化合物等、無機材料からなる光電変換部を形成することもできる。この場合には、無機材料からなる光電変換部を、電極６３上に貼り合わせる。ただし、無機材料からなる光電変換部を電極６３上部に貼り合わせる場合には、その後、熱アニールなどが必要な場合がある。その他、蒸着等を用いて、無機材料からなる光電変換部を電極６３上部に形成する方法を採用することもできる。

[0201] 〈９．第９の実施形態：表面照射型の固体撮像装置において基板上に電極層

を介して光電変換部を積層する例〉

次に、本開示の第９の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図１と同様であるから、図示を省略し重複説明を省略する。図２７は本実施形態の固体撮像装置７９の要部の断面構成図である。本実施形態の固体撮像装置７９は、第８の実施形態に係る固体撮像装置７８における構成を表面照射型に適用した例である。図２７において、図２６に対応する部分には同一符号を付し、重複説明を省略する。

[0202] 本実施形態では、各画素トランジスタが形成された基板１２の表面側が光入射面とされ、その基板１２の表面側に、電極層６２、光電変換部６１、透明電極５７、カラーフィルタ層２３、及びオンチップレンズ２４が順に積層される。また、本実施形態では、基板１２の表面側から深さ方向に形成された$_{n}$型半導体層からなる転送路６７が形成され、この転送路６７は、基板１２の裏面側に形成された第１電荷蓄積部１８に接続されている。そして、第１電荷蓄積部１８と、各画素トランジスタとは、基板１２の深さ方向に積層して形成されている。

[0203] すなわち、本実施形態の固体撮像装置７９では、第２の実施形態に係る固体撮像装置７１の 兇電変換部１７」を構成するｎ型半導体層１４が、 転送路６７」を構成するｎ型半導体層１４とされている。そして、本実施形態においても、第１電荷蓄積部１８を構成するｎ型半導体層の不純物濃度は、転送路６７を構成するｎ型半導体層１４の不純物濃度よりも高い。これにより、転送路６７から第１電荷蓄積部１８側に電子が移動するようなポテンシャル勾配が形成される。

[0204] 本実施形態では、転送路６７上部に電極層６２の下層の電極６３が接するように形成され、上層の電極６３は光電変換部６１に接するように形成されている。光電変換部６１は、画素毎に異なる波長の光を吸収する有機材料で形成されている。本実施形態では、赤色の波長を透過するカラーフィルタ層（Ｒ）２３の下部には、赤色の波長の光を吸収する光電変換部 (R) ６１が形成されている。また、緑色の波長の光を透過するカラーフィルタ層 (G)

２３の下部には、緑色の波長の光を吸収する光電変換部 (G) ６１が形成されている。また、図示を省略するが、青色の波長の光を透過するカラーフィルタ層 (B) ２３の下部には、青色の波長の光を吸収する光電変換部 (B) ６１が形成されている。

[0205] 本実施形態では、カラーフィルタ層２３で所定の波長の光のみが透過し、その他の波長の光は吸収される。次に、その透過した光が対応する光電変換部６１で吸収される。このため、各光電変換部６１とその上部に形成されたカラーフィルタ層２３との組み合わせにより、基板１２側への入射光が遮光される。これにより、基板１２側に入射する光が抑制され、ノイズの低減が図られる。その他、本実施形態においても、第１及び第２の実施形態に係る固体撮像装置と同様の効果を得ることができる。

[0206] 〈１０．第１０の実施形態 :基板上に光電変換膜を3層積層する例〉

次に、本開示の第１０の実施形態に係る固体撮像装置について説明する。本実施形態の固体撮像装置の全体構成は、図１と同様であるから、図示を省略し、重複説明を省略する。図２８は本実施形態の固体撮像装置８０の要部の断面構成図である。本実施形態の固体撮像装置８０は、第９の実施形態に係る固体撮像装置７９と、光電変換部の構成が異なる例である。図２８において、図２７に対応する部分には同一符号を付し、重複説明を省略する。

[0207] 本実施形態では、光電変換部６５は、赤色の波長の光を吸収する赤色光電変換膜６５Ｒ、緑色の波長の光を透過する緑色光電変換膜６５Ｇ、及び、青色の波長の光を吸収する青色光電変換膜６５Ｂが、光入射方向に3層積層した構成とされている。

[0208] 本実施形態においては、光電変換部６５の上方に透明電極５７を介してカラーフィルタ層２３が設けられている。このため、このカラーフィルタ層２３を透過した光を、赤色光電変換膜６５Ｒと緑色光電変換膜６５Ｇと青色光電変換膜６５Ｂとが受光する。例えば、カラーフィルタ層２３において、赤色フィルタ層を透過した赤色光を、赤色光電変換膜６５Ｒが受光し、光電変換する。また、カラーフィルタ層２３において、緑色フィルタ層を透過した

緑色光を、緑色光電変換膜６５Ｇが受光し、光電変換する。また、カラーフィルタ層２３において、青色フィルタ層を透過した青色光を、青色光電変換膜６５Ｂが受光し、光電変換する。

[0209] 上記において、赤色光電変換膜６５Ｒと緑色光電変換膜６５Ｇと青色光電変換膜６５Ｂとのそれぞれは、第９の実施形態と同様に、例えば、有機材料で形成されている。この他に、カルコパイライト系材料などの無機材料を用いてもよい。そして、この積層された複数の光電変換膜６５Ｂ，６５Ｇ，６５Ｒの組み合わせによって、基板１２へ入射する入射光を遮光する。

[021 0] 本実施形態では、基板１２へ入射する入射光を、複数の光電変換膜６５Ｂ，６５Ｇ，６５Ｒで遮光するので、他の実施形態と同様に、画素の小型化が実現可能であって、ノイズの発生を防止して撮像画像の画像品質を向上できる。また、本実施形態では、光電変換部６５を画素毎に作り分ける必要がないため、製造工程の削減を図ることができる。その他、本実施形態では、第１の実施形態と同様の効果を得ることができる。

[021 1] 以上、第１～第１０の実施形態に係る固体撮像装置について説明したが、それぞれを適宜組み合わせて構成することもできる。また、上述の実施形態（第６の実施形態の変形例２を除く）では、電子を信号電荷として読み出す構成について説明したがこれに限定されるものではない。「正孔」を信号電荷として読み出すように構成してもよい。この場合には、各実施形態において示した各部の導電型を逆に構成し、各画素トランジスタをｐチャネル型ＭＯＳトランジスタで構成することによって、「正孔」を信号電荷として読み出すことができる。

[021 2] また、上記の実施形態では、第１導電型（例えば、ｎ型）のシリコン基板に、第２導電型（たとえば、ｐ型）のウエルを形成し、そのウエルに第１導電型（例えば、ｎ型）の不純物領域を形成するように構成したが、本開示はこれに限られない。例えば、第２導電型（たとえば、ｐ型）のシリコン基板に、第１導電型（例えば、ｎ型）の不純物領域を形成しても良い。

[021 3] また、本開示は、可視光の入射光量の分布を検知して画像として撮像する

固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置にも適用可能である。また、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して本開示は適用可能である。

[0214] さらに、本開示は、画素部の各単位画素を行単位で順に走査して各単位画素から画素信号を読み出す固体撮像装置に限られるものではない。画素単位で任意の画素を選択して、当該選択画素から画素単位で信号を読み出すX—Yアドレス型の固体撮像装置に対しても適用可能である。なお、固体撮像装置はワンチップとして形成された形態であってもよいし、画素部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であつてもよい。

[021 5] また、本開示は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラゃデジタルビデオカメラ等のカメラシステムや、携帯電話機などの撮像機能を有する電子機器のことを言う。

[021 6] 〈１１．第１１の実施形態：電子機器〉

次に、本開示の第１１の実施形態に係る電子機器について説明する。図２９は、本開示の第１１の実施形態に係る電子機器２００の概略構成図である。本実施形態では、上述した本開示の第１の実施形態における固体撮像装置１を電子機器（デジタルビデオカメラ）に用いた場合の実施形態を示す。

[021 7] 本実施形態に係る電子機器２００は、固体撮像装置１と、光学レンズ２１０と、シャツタ装置２１１と、駆動回路２１２と、信号処理回路２１３とを有する。

[021 8] 光学レンズ２１０は、被写体からの像光（入射光）を固体撮像装置１の撮像面上に結像させる。これにより固体撮像装置１内に一定期間信号電荷が蓄積される。シャツタ装置２１１は、固体撮像装置１への光照射期間および遮光期間を制御する。駆動回路２１２は、固体撮像装置１において、信号電荷

の転送動作およびシャツタ装置２１１のシャツタ動作を制御する駆動信号を供給する。駆動回路２１２から供給される駆動信号 (タイミング信号）により、固体撮像装置１の信号転送を行なう。信号処理回路２１３は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、あるいはモニタに出力される。

[021 9] 本実施形態の電子機器２００では、固体撮像装置１において画素面積の縮小が図られるため、電子機器２００の小型化が図られる。また、画質の向上が図られる。

[0220] 固体撮像装置１を適用できる電子機器２００としては、デジタルビデオカメラに限られるものではなく、デジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置に適用可能である。

[0221] 本実施形態においては、第１の実施形態の固体撮像装置１を電子機器に用いる構成としたが、前述した第２～第１０の実施形態で製造した固体撮像装置を用いることもできる。

[0222] なお、本開示は、以下のような構成を取ることもできる。

（１）

基板と、

光量に応じた信号電荷を生成する光電変換部と、

前記基板に形成され、前記信号電荷を電圧に変換するフローティングディフユージョン部と、

前記基板に形成され、前記光電変換部で生成された信号電荷を蓄積する第１電荷蓄積部と、

前記基板の厚さ方向において前記第１電荷蓄積部の上部に形成され、前記第１電荷蓄積部と電気的に分離されて形成された第２電荷蓄積部と、

前記第２電荷蓄積部が形成された側の基板表面から前記第１電荷蓄積部に達する深さまで前記基板に埋め込まれて形成された第１転送ゲート電極を備える縦型の第１転送トランジスタと、

前記第２電荷蓄積部に蓄積された信号電荷を前記フローティングディフユ

—ジョン部に転送する第２転送トランジスタと

を備える固体撮像装置。

（２）

前記基板の光入射側には、少なくとも前記第２電荷蓄積部及び前記フローティングディフユージョン部を遮光する遮光膜が形成されている

（１）に記載の固体撮像装置。

（３）

前記光電変換部は、前記基板の光入射側に積層して形成されている

（１）又は（２）に記載の固体撮像装置。

（４）

前記光電変換部は遮光膜を兼ねる

（１）～（３）のいずれかに記載の固体撮像装置。

（５）

前記光電変換部は、カルコパイライト系化合物で構成されている

（１）～（４）のいずれかに記載の固体撮像装置。

（６）

前記光電変換部を画素毎に分離する画素分離部を備え、

前記画素分離部は、隣接する光電変換部間でポテンシャル障壁を形成するように不純物の濃度制御又は組成制御がなされた化合物半導体によって形成されている

（１）～（５）のいずれかに記載の固体撮像装置。

（７）

前記光電変換部及び第１電荷蓄積部をリセットするリセットトランジスタを備え、

前記リセットトランジスタは、前記基板表面から前記第１電荷蓄積部に達する深さまで前記基板に埋め込まれて形成されたリセットゲート電極を備える縦型のリセットトランジスタで構成されている

（１）～（６）のいずれかに記載の固体撮像装置。

（８）

前記光電変換部は、シリサイド系化合物で構成されている

（１）～（４）のいずれかに記載の固体撮像装置。

（９）

前記光電変換部は、有機材料で構成されている

（１）～（４）のいずれかに記載の固体撮像装置。

（１０）

前記光電変換部と前記基板とは電極を介して接続されており、前記光電変換部と前記電極とにより、前記基板が遮光されている

（１）～（９）のいずれかに記載の固体撮像装置。

（１１）

前記光電変換部は、前記基板に格子整合するように形成されている

（１）～（８）のいずれかに記載の固体撮像装置。

（１２）

前記光電変換部の光入射側又は前記基板側には、中間層が形成されている

（１）～（５）のいずれかに記載の固体撮像装置

（１３）

前記中間層は、電子親和力が前記基板の電子親和力と前記光電変換部の電子親和力の間になるように構成されている

（１２）に記載の固体撮像装置。

（１４）

前記中間層は、前記光電変換部と反対導電型の材料で構成されている

（１２）に記載の固体撮像装置。

（１５）

前記光電変換部は、前記基板内に形成されたＰｎ接合からなるフォトダイオードで構成されている

（１）～（３）のいずれかに記載の固体撮像装置。

（１６）

前記光電変換部で生成された信号電荷は、前記光電変換部と前記第１電荷蓄積部の不純物濃度に起因して生じるポテンシャル勾配により、前記第１電荷蓄積部側に移動する

（１５）に記載の固体撮像装置。

（１７）

前記第１電荷蓄積部が形成された領域の前記基板上部に形成された転送電極を備え、

前記転送電極が電圧を印加することで、前記光電変換部で生成された信号電荷が前記第１電荷蓄積部側に移動する

（１５）に記載の固体撮像装置。

（１８）

前記光電変換部及び第１電荷蓄積部をリセットするリセットトランジスタを備え、

前記リセットトランジスタは、前記基板表面から前記第１電荷蓄積部に達する深さまで前記基板に埋め込まれて形成されたリセットゲート電極を備える縦型のリセットトランジスタで構成されている

（１５）～（１７）のいずれかに記載の固体撮像装置。

（１９）

前記光電変換部と前記フローティングディフユージョン部と前記第１電荷蓄積部と前記第２電荷蓄積部と前記第１転送トランジスタと前記第２転送トランジスタとを含む画素を複数有し、該複数の画素が２次元アレイ状に配列され、

前記第１電荷蓄積部に蓄積された信号電荷は、全画素同時に前記第２電荷蓄積部に転送され、

前記第２電荷蓄積部に保持された信号電荷は、行毎に前記フローティングディフユージョン部に転送される

（１）～（１８）に記載の固体撮像装置。

（２０）

光量に応じた信号電荷を生成する光電変換部と、基板に形成され、前記信号電荷を電圧に変換するフローティングディフユージョン部と、前記基板に形成され、前記光電変換部で生成された信号電荷を蓄積する第１電荷蓄積部と、前記基板の厚さ方向において前記第１電荷蓄積部の上部に形成され、前記第１電荷蓄積部と電気的に分離されて形成された第２電荷蓄積部と、前記第２電荷蓄積部が形成された側の基板表面から前記第１電荷蓄積部に達する深さまで前記基板に埋め込まれて形成された第１転送ゲート電極を備える縦型の第１転送トランジスタと、前記第２電荷蓄積部に蓄積された信号電荷を前記フローティングディフユージョン部に転送する第２転送トランジスタとを含む画素が２次元アレイ状に配列された画素領域を備える固体撮像装置において、

前記第１転送トランジスタをオンすることにより前記第１電荷蓄積部及び光電変換部に蓄積された信号電荷を、全画素同時に前記第２電荷蓄積部に転送し、

前記第２転送トランジスタをオンすることにより、前記第２電荷蓄積部に保持された信号電荷を行毎に読み出す

固体撮像装置の駆動方法。

（２１）

光学レンズと、

前記光学レンズに集光された光が入射される固体撮像装置であつて、基板と、光量に応じた信号電荷を生成する光電変換部と、前記基板に形成され、前記信号電荷を電圧に変換するフローティングディフユージョン部と、基板に形成され、前記光電変換部で生成された信号電荷を蓄積する第１電荷蓄積部と、前記基板の厚さ方向において前記第１電荷蓄積部の上部に形成され、前記第１電荷蓄積部と電気的に分離されて形成された第２電荷蓄積部と、前記第２電荷蓄積部が形成された側の基板表面から前記第１電荷蓄積部に達する深さまで前記基板に埋め込まれて形成された第１転送ゲート電極を備える縦型の第１転送トランジスタと、前記第２電荷蓄積部に蓄積された信号電荷

を前記フローティングディフユージョン部に転送する第２転送トランジスタとを備える固体撮像装置と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路とを含む電子機器。

符号の説明

[0223] １・・・固体撮像装置、２・・・画素、３・・・画素領域、４・・・垂直駆動回路、５・・・カラム信号処理回路、６・・・水平駆動回路、７・・・出力回路、８・・・制御回路、９・・・垂直信号線、１０・・・水平信号線、１１，１２・・・基板、１３・・・ウエル領域、１４・・・ｎ型半導体層、１５・・・ｐ型半導体層、１６・・・ｐ型半導体層、１７・・・光電変換部、１８・・・第１電荷蓄積部、１９・・・ｐ型半導体層、２０・・'画素分離部、２１・・・絶縁膜、２２・・・遮光膜、２３・・・カラーフィルタ層、２４・・・オンチップレンズ、２５・・・第２電荷蓄積部、２６・・・ｐ型半導体層、２７・・・第１転送ゲート電極、２８・・'ゲート絶縁膜、２９，３５-・・ソース・ドレイン領域、３０-・・第２リセットゲート電極、３１・・・ｎ型半導体層、３２・・・第２転送ゲート電極、３３・・・第１リセットゲート電極、３４・・・フローティングディフユージョン部

請求の範囲

[請求項1] 基板と、

光量に応じた信号電荷を生成する光電変換部と、

前記基板に形成され、前記信号電荷を電圧に変換するフローティングディフユージョン部と、

前記基板に形成され、前記光電変換部で生成された信号電荷を蓄積する第1電荷蓄積部と、

前記基板の厚さ方向において前記第1電荷蓄積部の上部に形成され、前記第1電荷蓄積部と電気的に分離されて形成された第2電荷蓄積部と、

前記第2電荷蓄積部が形成された側の基板表面から前記第1電荷蓄積部に達する深さまで前記基板に埋め込まれて形成された第1転送ゲート電極を備える縦型の第1転送トランジスタと、

前記第2電荷蓄積部に蓄積された信号電荷を前記フローティングディフユージョン部に転送する第2転送トランジスタと

を備える固体撮像装置。

[請求項2] 前記基板の光入射側には、少なくとも前記第2電荷蓄積部及び前記フローティングディフユージョン部を遮光する遮光膜が形成されている

請求項1に記載の固体撮像装置。

[請求項3] 前記光電変換部は、前記基板の光入射側に積層して形成されている

請求項2に記載の固体撮像装置。

[請求項4] 前記光電変換部は、遮光膜を兼ねる

請求項3に記載の固体撮像装置。

[請求項5] 前記光電変換部は、カルコパイライト系化合物で構成されている

請求項4に記載の固体撮像装置。

[請求項6] 前記光電変換部を画素毎に分離する画素分離部を備え、

前記画素分離部は、隣接する光電変換部間でポテンシャル障壁を形

成するように不純物の濃度制御又は組成制御がなされた化合物半導体によって形成されている

請求項5に記載の固体撮像装置。

[請求項7] 前記光電変換部及び第1電荷蓄積部をリセットするリセットトランジスタを備え、

前記リセットトランジスタは、前記基板表面から前記第1電荷蓄積部に達する深さまで前記基板に埋め込まれて形成されたリセットゲート電極を備える縦型のリセットトランジスタで構成されている

請求項6に記載の固体撮像装置。

[請求項8] 前記光電変換部と前記フローティングディフユージョン部と前記第1電荷蓄積部と前記第2電荷蓄積部と前記第1転送 トランジスタと前記第2転送 トランジスタとを含む画素を複数有し、該複数の画素が2次元アレイ状に配列され、

前記第1電荷蓄積部に蓄積された信号電荷は、全画素同時に前記第2電荷蓄積部に転送され、

前記第2電荷蓄積部に保持された信号電荷は、行毎に前記フローティングディフユージョン部に転送される

請求項1に記載の固体撮像装置。

[請求項9] 前記光電変換部は、シリサイド系化合物で構成されている

請求項5に記載の固体撮像装置。

[請求項10] 前記光電変換部は、有機材料で構成されている

請求項5に記載の固体撮像装置。

[請求項11] 前記光電変換部と前記基板とは電極を介して接続されており、前記光電変換部と前記電極とにより、前記基板が遮光されている

請求項10に記載の固体撮像装置。

[請求項12] 前記光電変換部は、前記基板に格子整合するように形成されている

請求項6に記載の固体撮像装置。

[請求項13] 前記光電変換部の光入射側又は前記基板側には、中間層が形成され

ている

請求項６に記載の固体撮像装置。

[請求項14] 前記中間層は、電子親和力が前記基板の電子親和力と前記光電変換部の電子親和力の間になるように構成されている

請求項１３に記載の固体撮像装置。

[請求項15] 前記中間層は、前記光電変換部と反対導電型の材料で構成されている

請求項１３に記載の固体撮像装置。

[請求項16] 前記光電変換部は、前記基板内に形成されたＰｎ接合からなるフォトダイオー ドで構成されている

請求項３に記載の固体撮像装置。

[請求項17] 前記光電変換部で生成された信号電荷は、前記光電変換部と前記第１電荷蓄積部の不純物濃度に起因して生じるポテンシャル勾配により、前記第１電荷蓄積部側に移動する

請求項１６に記載の固体撮像装置。

[請求項18] 前記第１電荷蓄積部が形成された領域の前記基板上部に形成された転送電極を備え、

前記転送電極が電圧を印加することで、前記光電変換部で生成された信号電荷が前記第１電荷蓄積部側に移動する

請求項１６に記載の固体撮像装置。

[請求項19] 光量に応じた信号電荷を生成する光電変換部と、基板に形成され、前記信号電荷を電圧に変換するフローティングディフユージョン部と、前記基板に形成され、前記光電変換部で生成された信号電荷を蓄積する第１電荷蓄積部と、前記基板の厚さ方向において前記第１電荷蓄積部の上部に形成され、前記第１電荷蓄積部と電気的に分離されて形成された第２電荷蓄積部と、前記第２電荷蓄積部が形成された側の基板表面から前記第１電荷蓄積部に達する深さまで前記基板に埋め込まれて形成された第１転送ゲー ト電極を備える縦型の第１転送 トランジ

スタと、前記第２電荷蓄積部に蓄積された信号電荷を前記フローティングディフユージョン部に転送する第２転送 トランジスタとを含む画素が２次元アレイ状に配列された画素領域を備える固体撮像装置において、

前記第１転送 トランジスタをオンすることにより前記第１電荷蓄積部及び光電変換部に蓄積された信号電荷を、全画素同時に前記第２電荷蓄積部に転送 し、

前記第２転送 トランジスタをオンすることにより、前記第２電荷蓄積部に保持された信号電荷を行毎に読み出す

固体撮像装置の駆動方法。

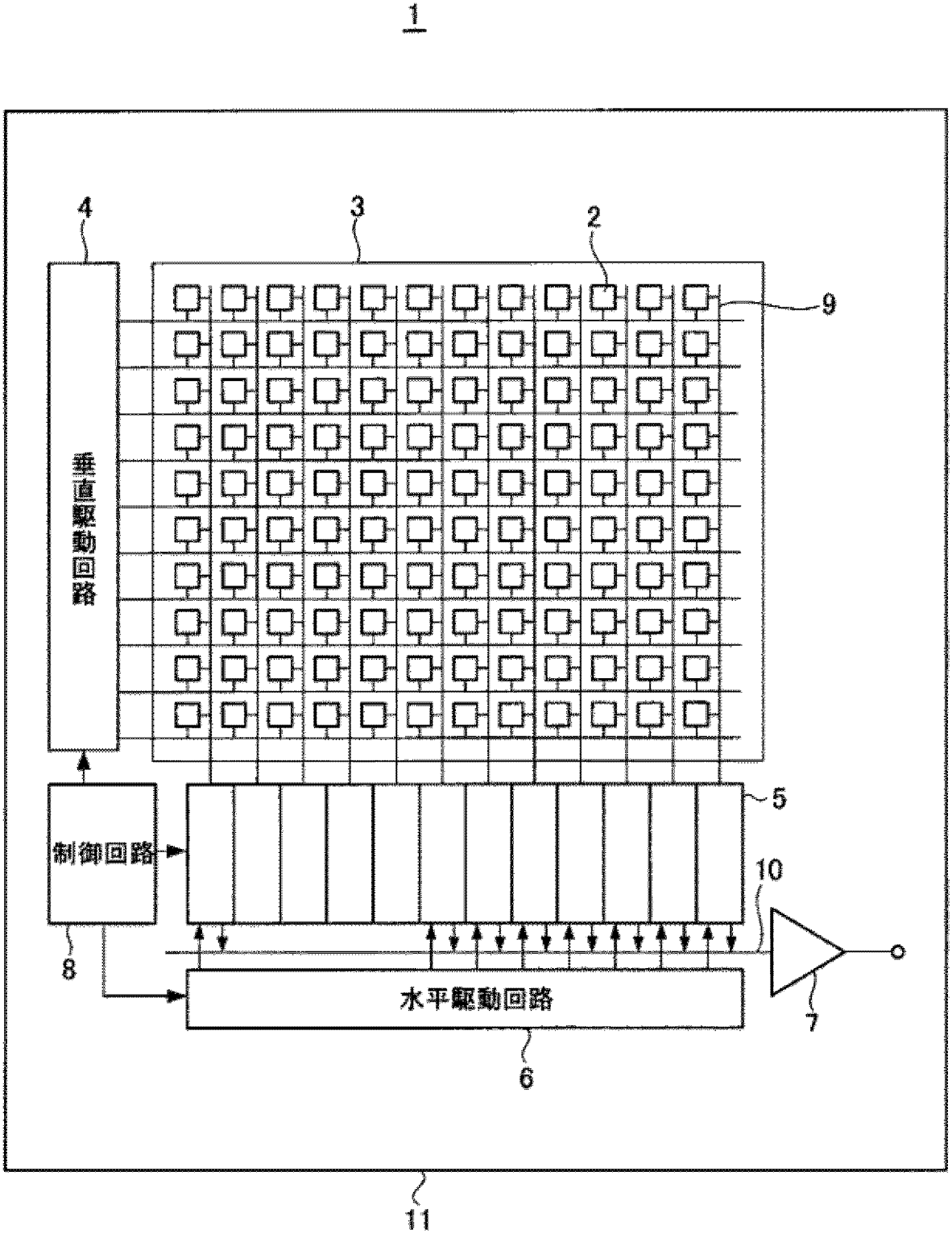
[請求項20] 光学 レンズと、

前記光学 レンズに集光された光が入射される固体撮像装置であつて、基板と、光量に応じた信号電荷を生成する光電変換部と、前記基板に形成され、前記信号電荷を電圧に変換するフローティングディフユージョン部と、基板に形成され、前記光電変換部で生成された信号電荷を蓄積する第１電荷蓄積部と、前記基板の厚さ方向において前記第１電荷蓄積部の上部に形成され、前記第１電荷蓄積部と電気的に分離されて形成された第２電荷蓄積部と、前記第２電荷蓄積部が形成された側の基板表面から前記第１電荷蓄積部に達する深さまで前記基板に埋め込まれて形成された第１転送ゲー ト電極を備える縦型の第１転送 トランジスタと、前記第２電荷蓄積部に蓄積された信号電荷を前記フローティングディフユージョン部に転送する第２転送 トランジスタとを備える固体撮像装置と、

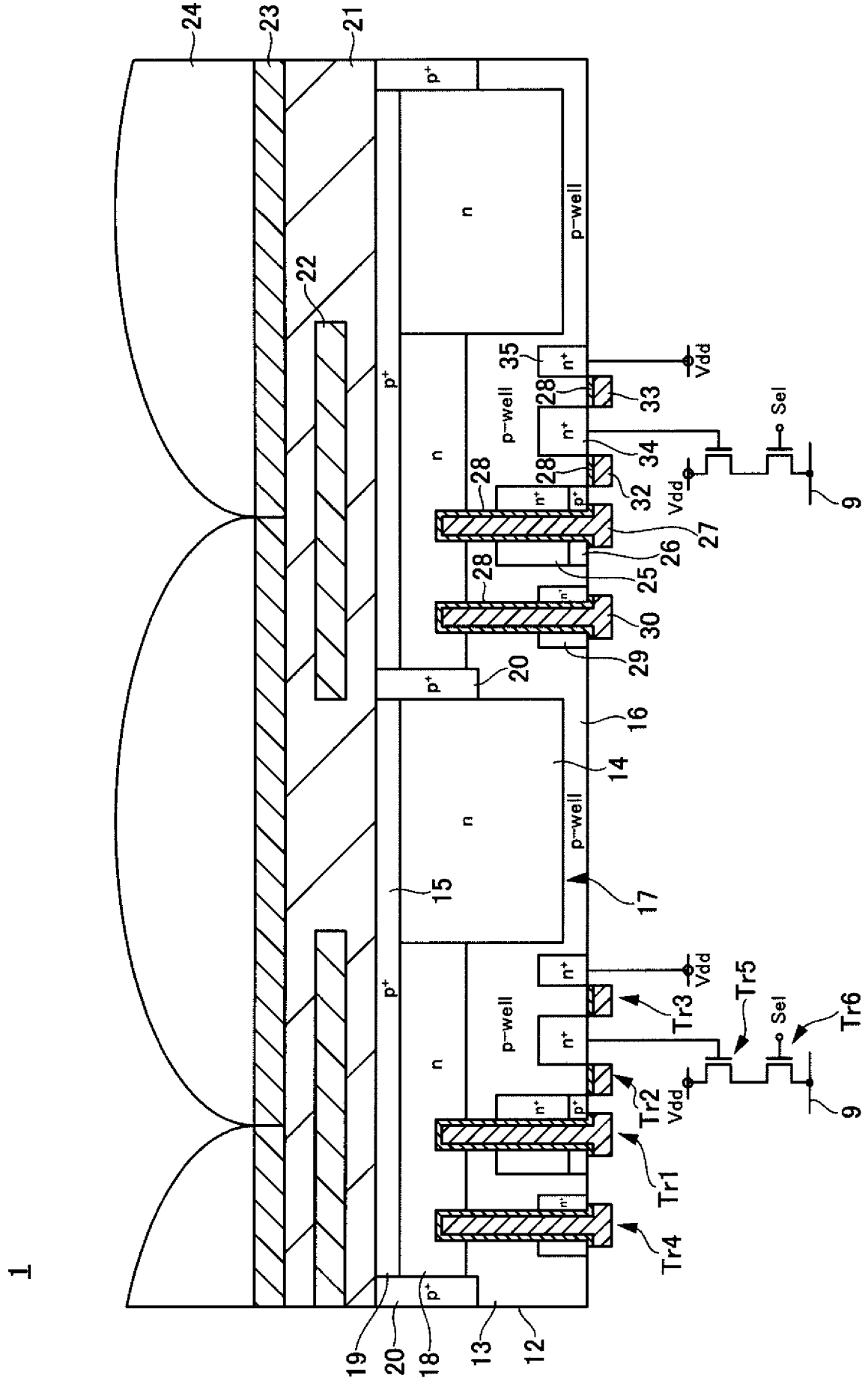
前記固体撮像装置から出力される出力信号を処理する信号処理回路と

を含む電子機器。

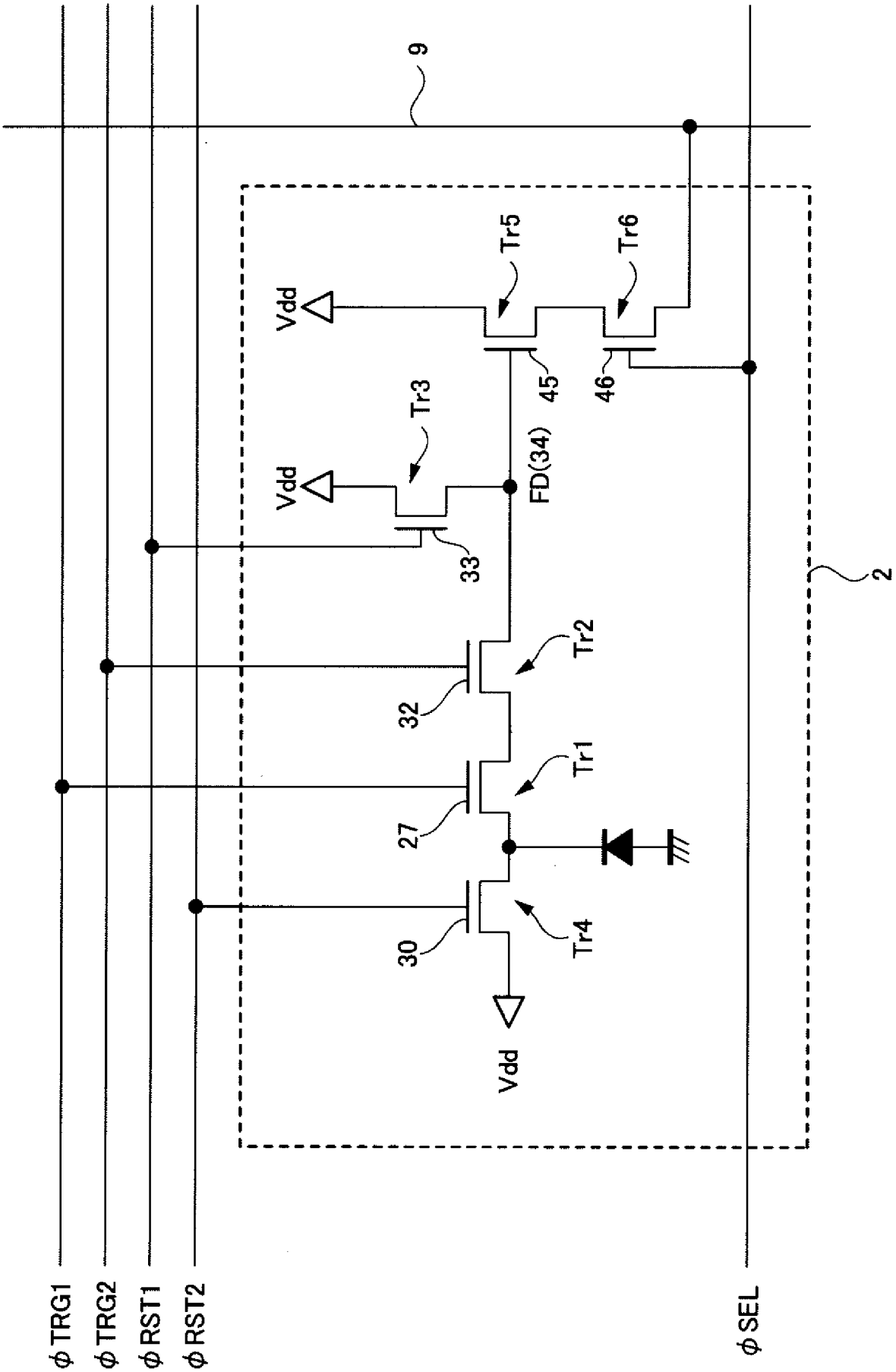
[図1]



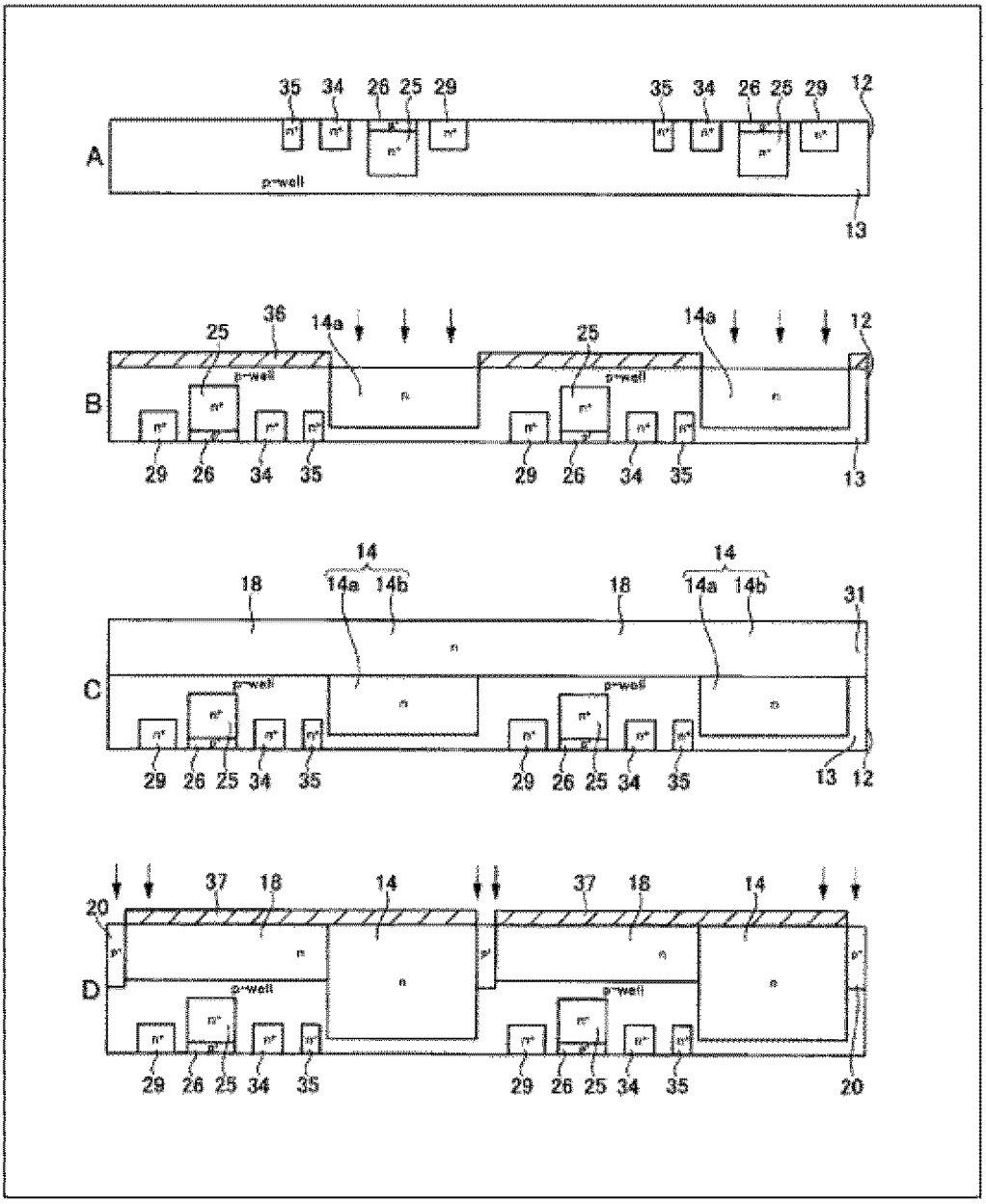
[図2]


1
24
23
21
22
p+
n
p-well
35
n+
28
33
34
32
Vdd
Sel
9
27
26
25
30
29
20
16
14
15
17
Tr3
Tr5
Tr6
Tr2
Tr1
Tr4
19
18
13
12

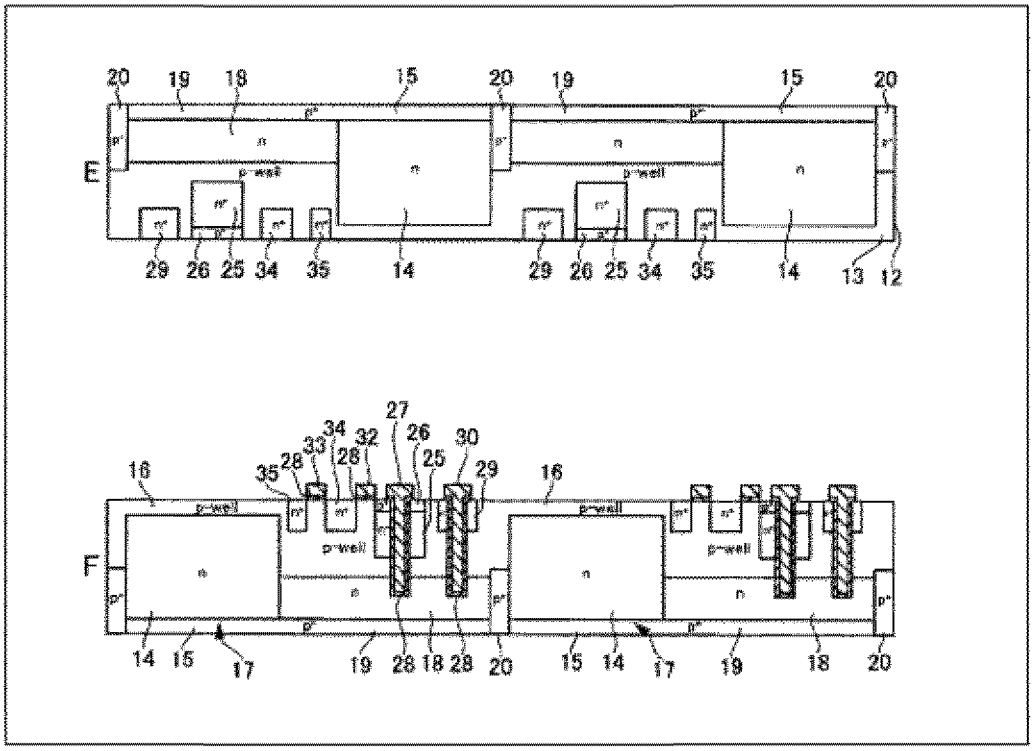
[図3]


9
Tr5
Tr6
Vdd
45
46
Tr3
Vdd
FD(34)
33
2
Tr2
32
Tr1
27
30
Tr4
Vdd
φTRG1
φTRG2
φRST1
φRST2
φSEL

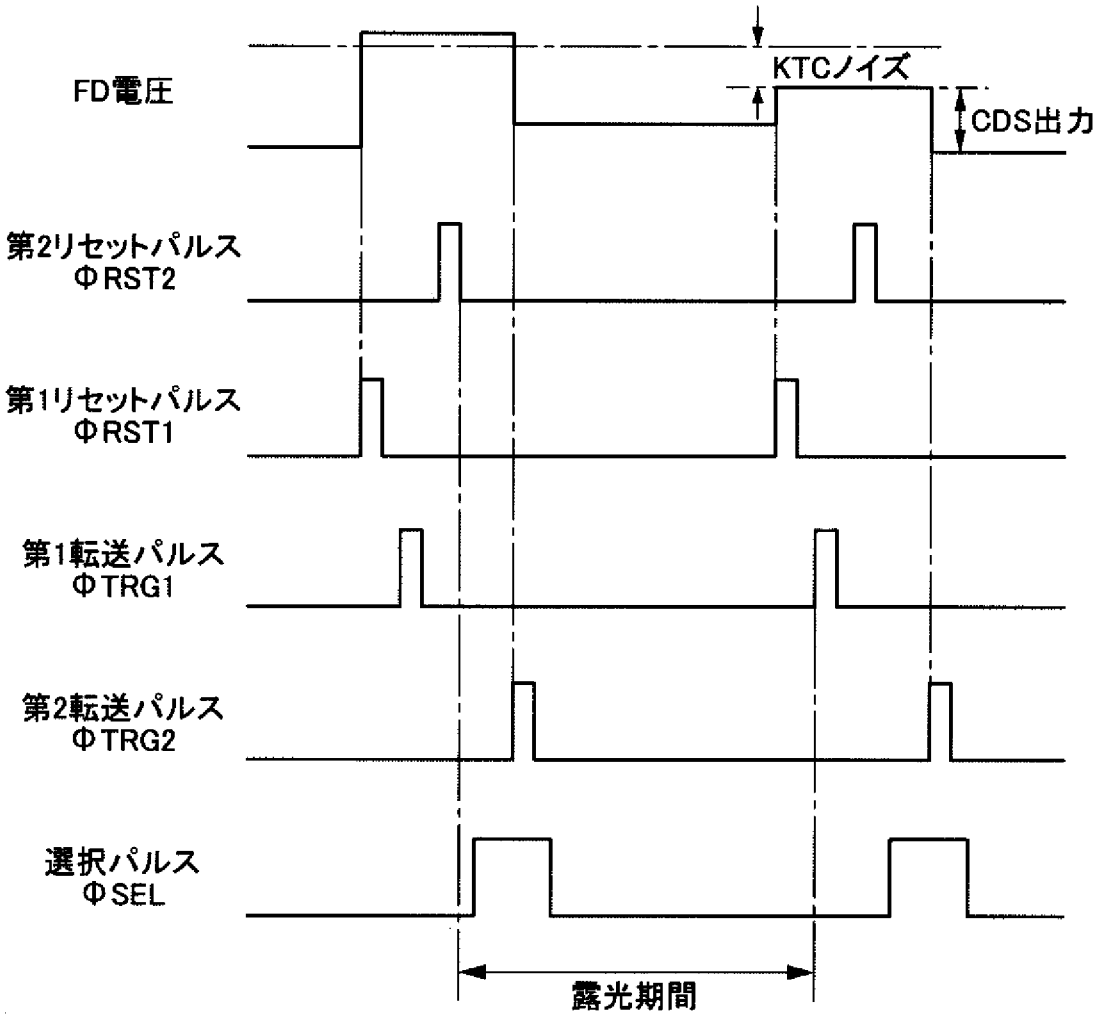
[図4]



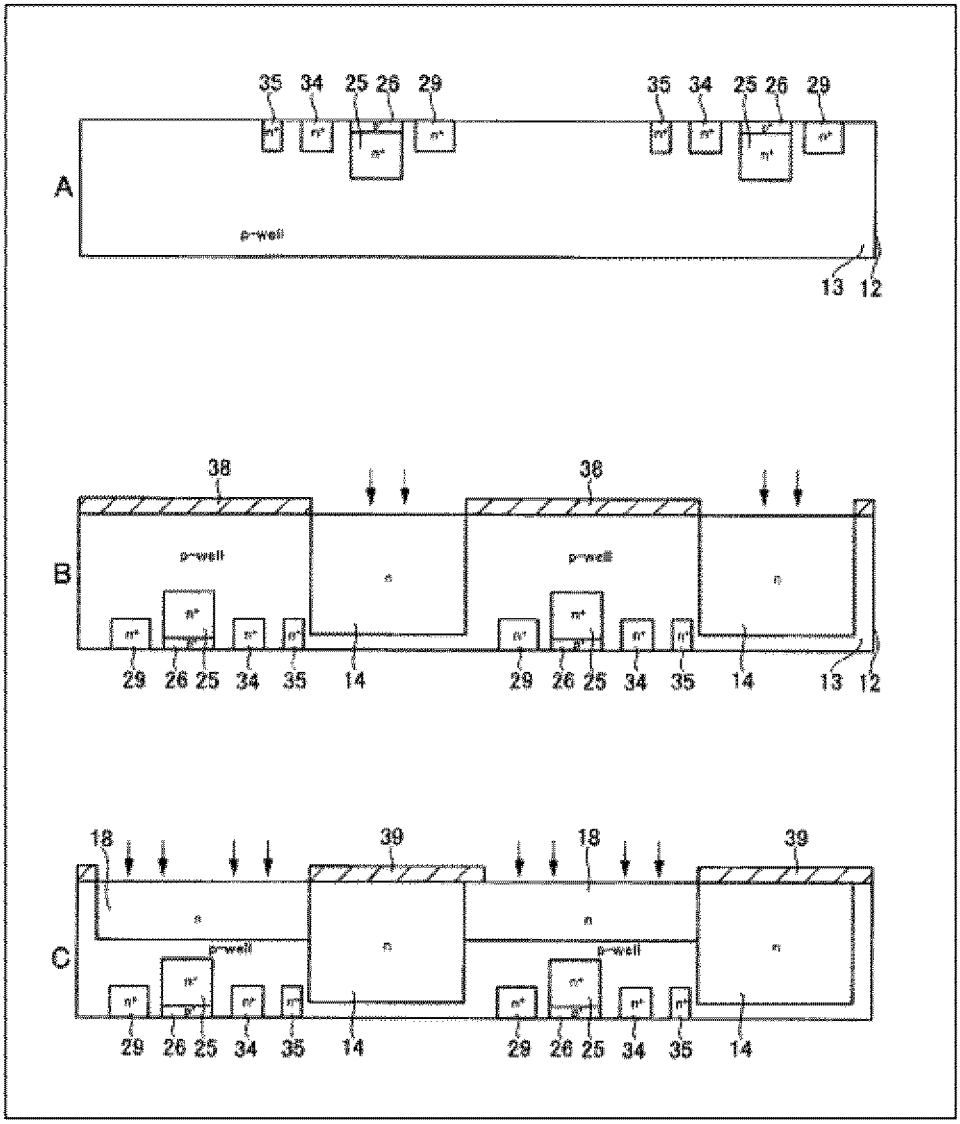
[図5]


E
F
p-well
n
p+

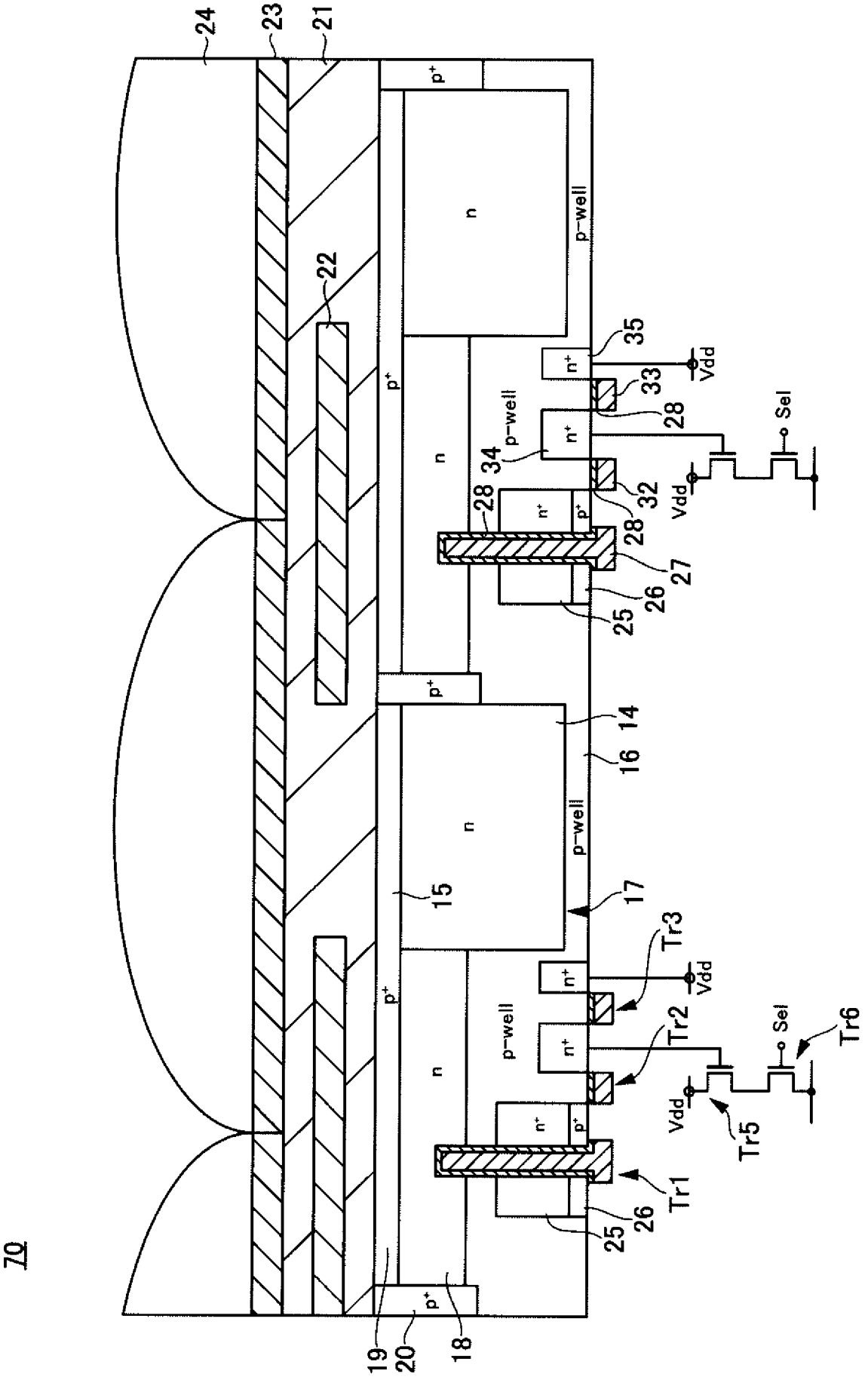
[図6]


FD電圧
KTCノイズ
CDS出力
第2リセットパルス
ΦRST2
第1リセットパルス
ΦRST1
第1転送パルス
ΦTRG1
第2転送パルス
ΦTRG2
選択パルス
ΦSEL
露光期間

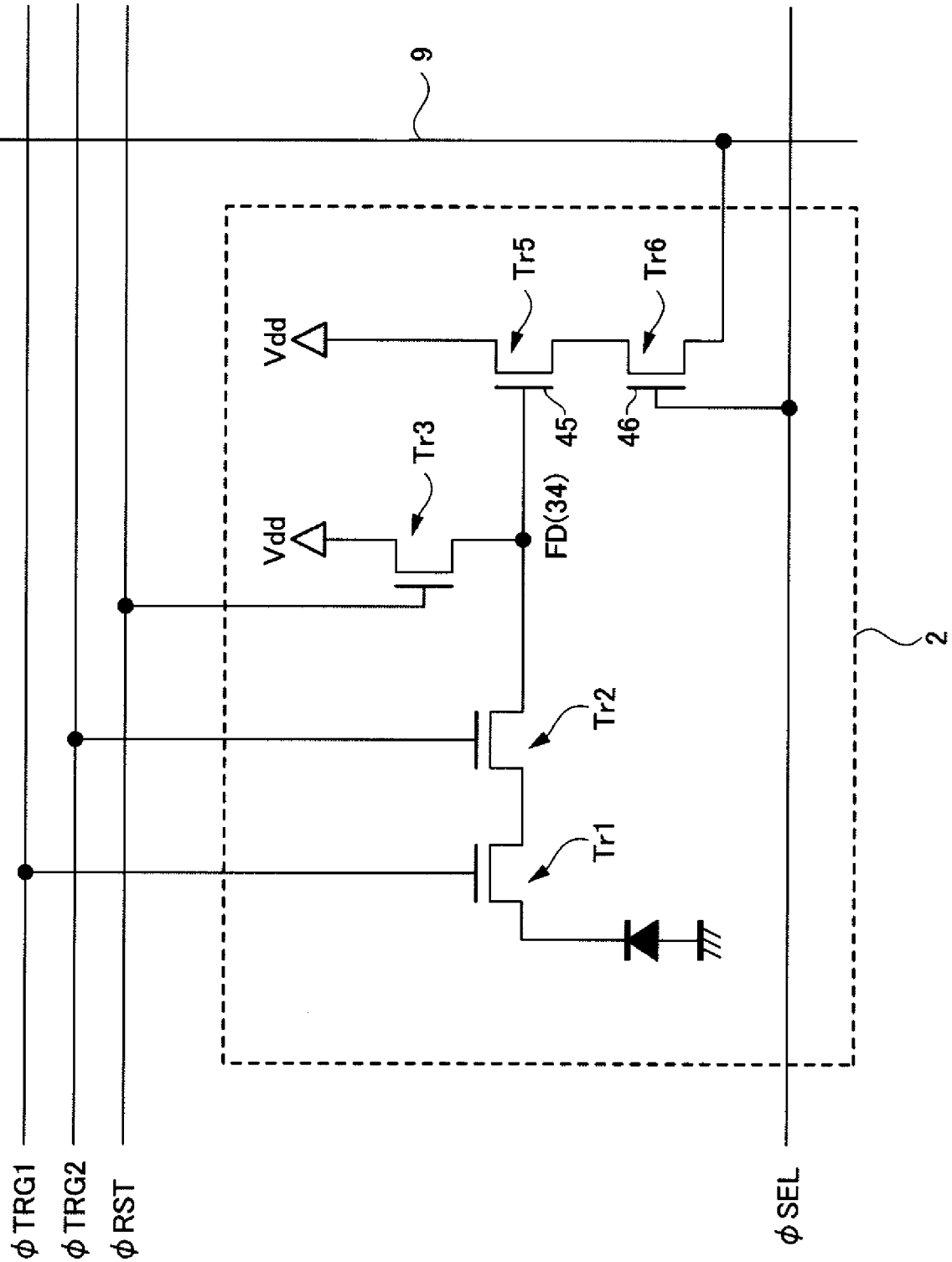
[図7]


A
35 34 25 26 29
35 34 25 26 29
p-well
13 12
B
38
38
p-well
p-well
29 26 25 34 35 14
29 26 25 34 35 14 13 12
C
18
39
18
39
p-well
p-well
29 26 25 34 35 14
29 26 25 34 35 14

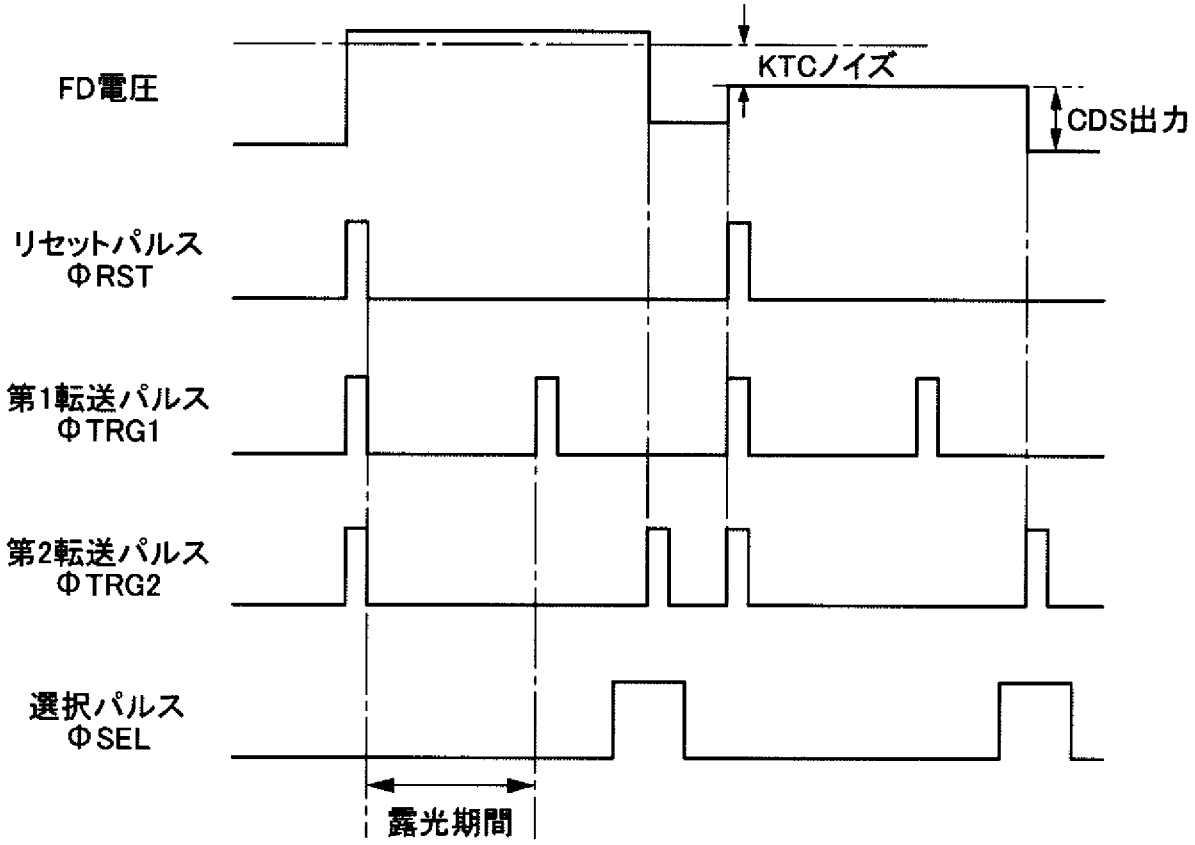
[図8]


70
24
23
21
22
p+
n
p-well
n+
35
33
28
34
32
27
26
25
14
16
15
17
Tr3
Tr2
Tr1
Tr5
Tr6
Vdd
Sel
19
20
18

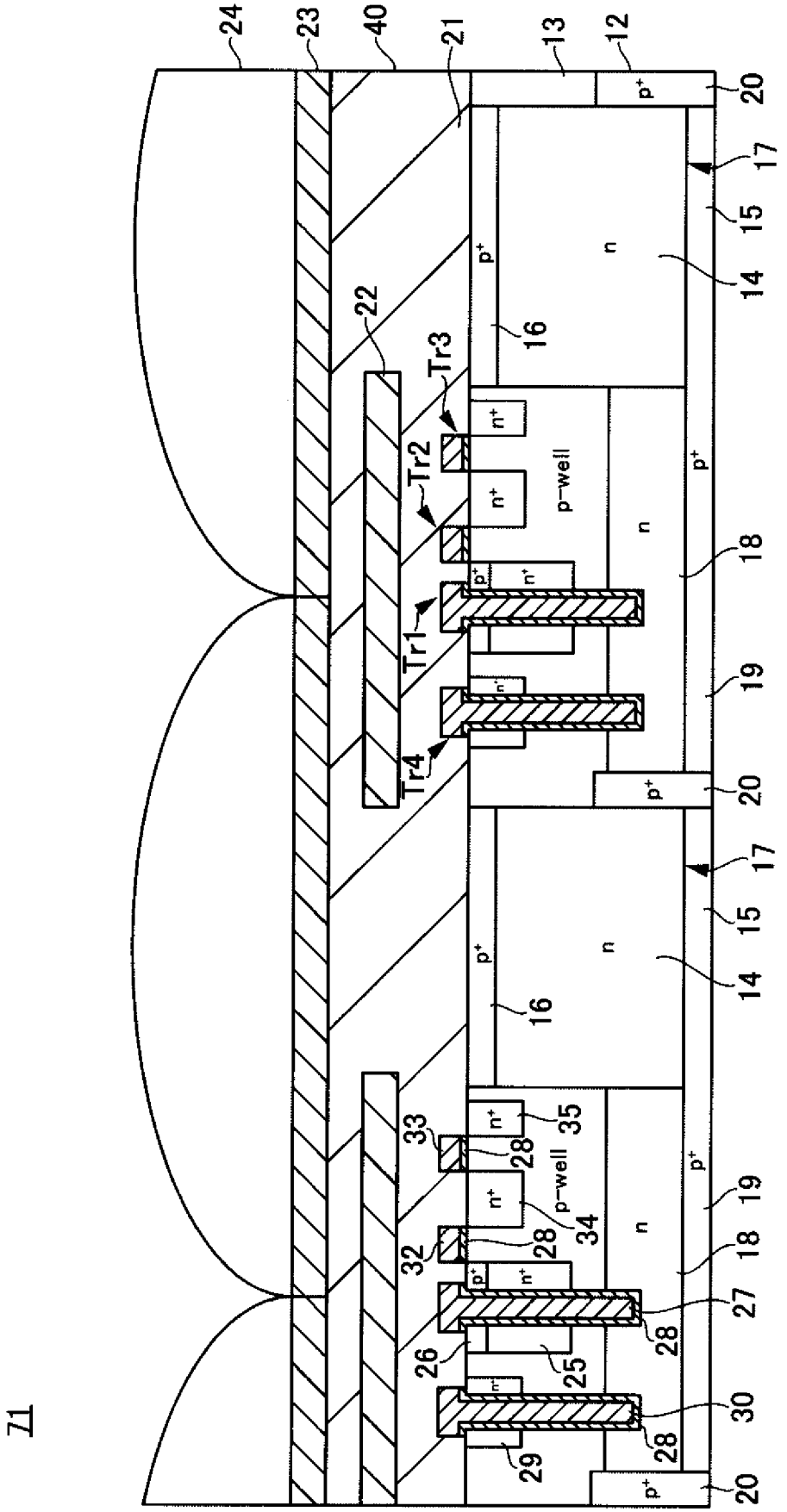
[図9]



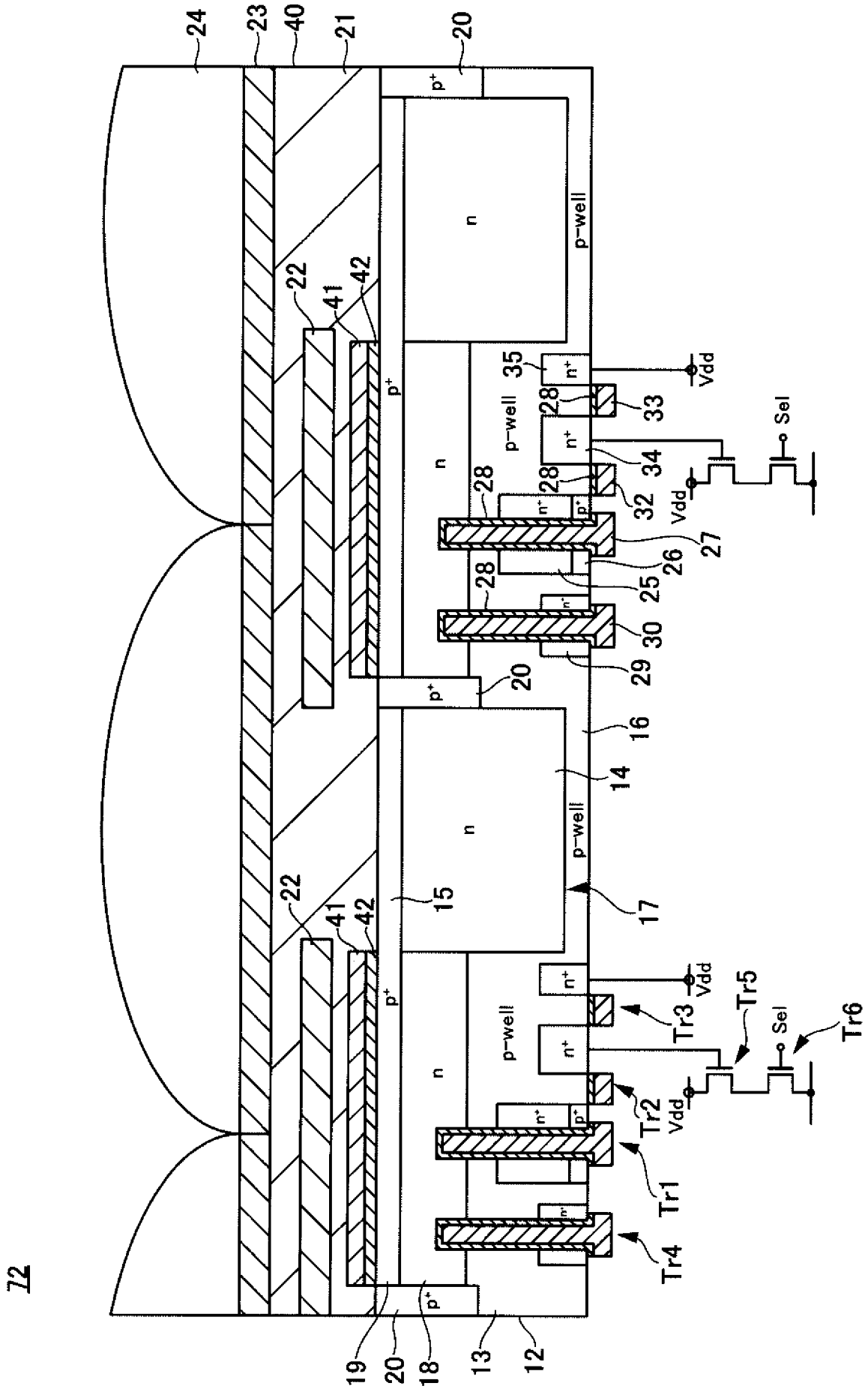
[図10]


FD電圧
KTCノイズ
CDS出力
リセットパルス
ΦRST
第1転送パルス
ΦTRG1
第2転送パルス
ΦTRG2
選択パルス
ΦSEL
露光期間

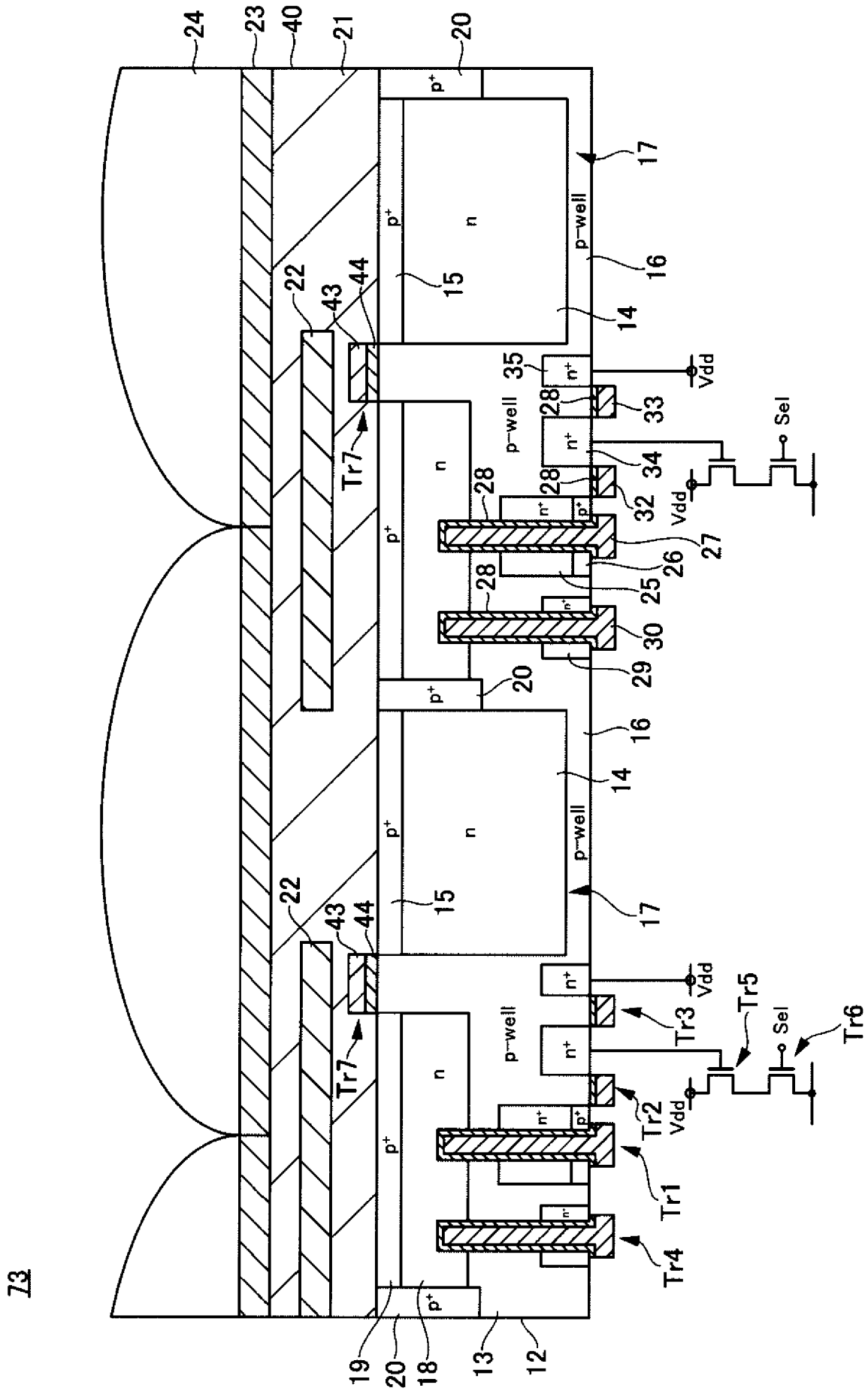
[図11]


24
23
40
21
13
12
20
17
15
14
16
22
Tr3
Tr2
Tr1
Tr4
18
19
33
35
28
34
32
27
26
25
30
29
p+
n+
n
p-well
Z1

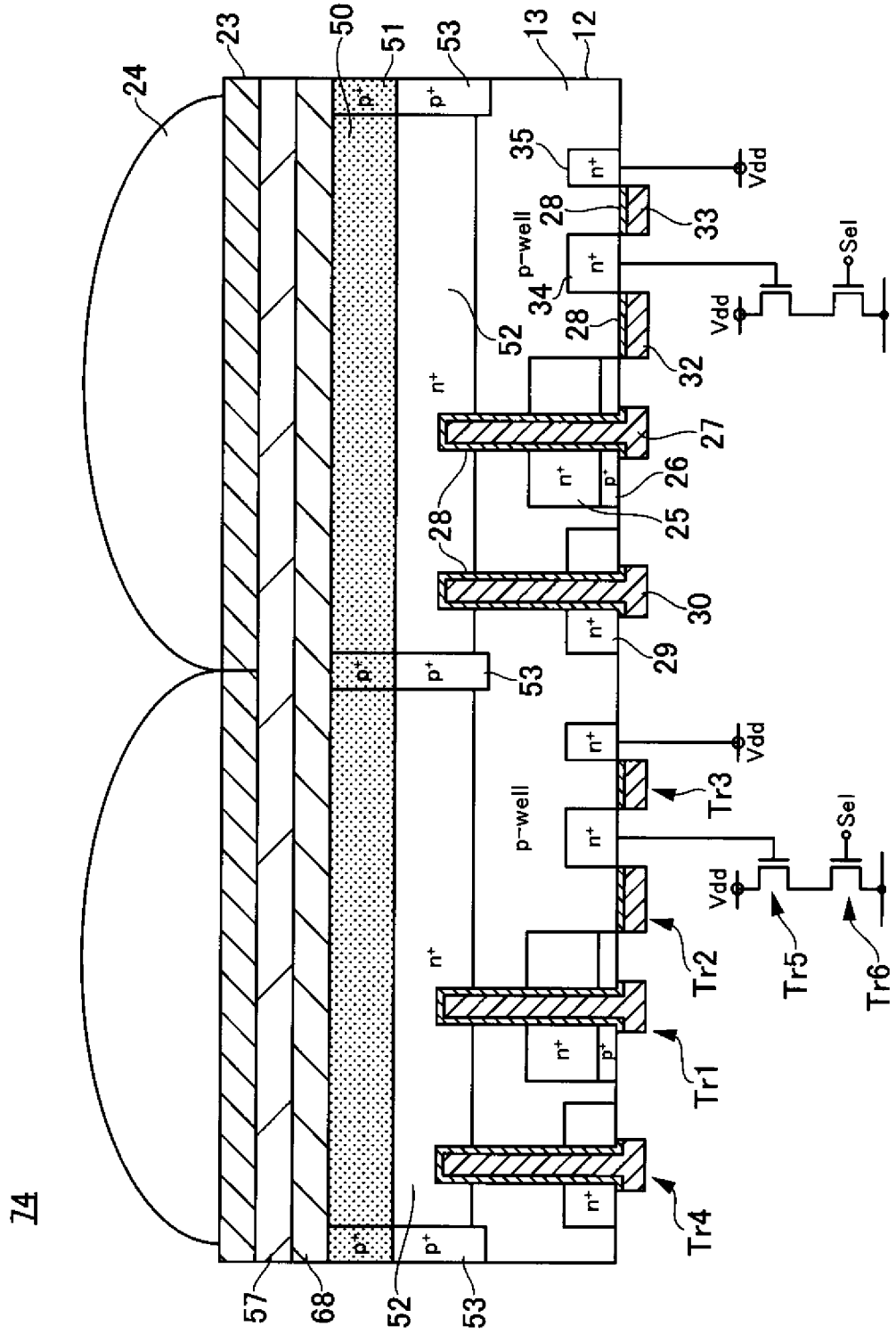
[図12]


72
24
23
40
21
20
22
41
42
n
p-well
p+
n+
35
28
33
34
32
27
26
25
30
29
16
14
15
17
Vdd
Sel
Tr1
Tr2
Tr3
Tr4
Tr5
Tr6
19
18
13
12

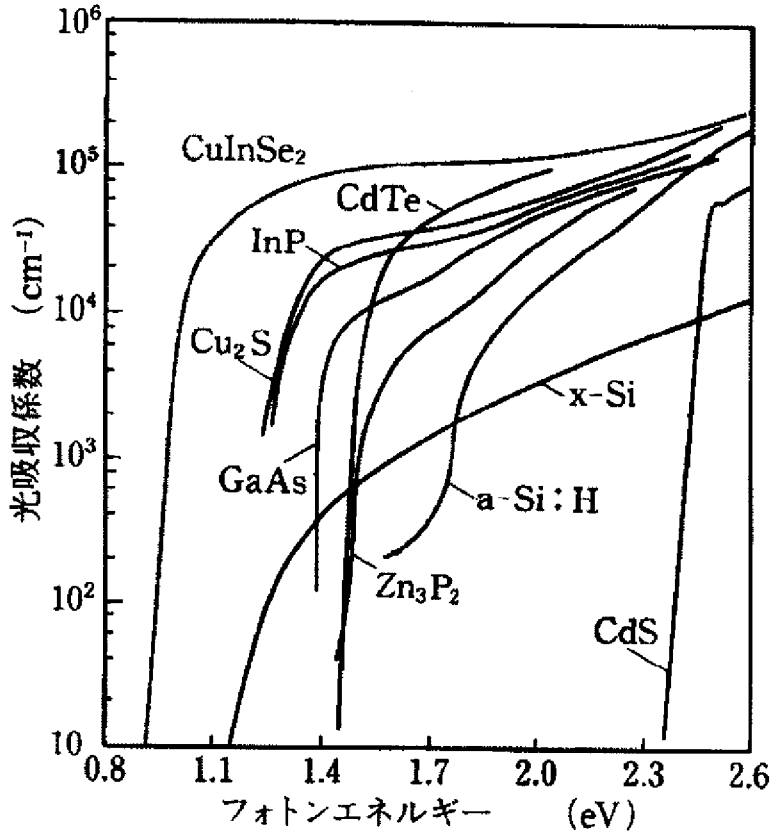
[図13]


Z3
24
23
40
21
20
22
43
44
Tr7
15
n
p+
p-well
16
14
17
35
n+
Vdd
28
33
Sel
34
32
27
26
25
30
29
Tr3
Tr5
Tr6
Tr2
Tr1
Tr4
19
18
13
12

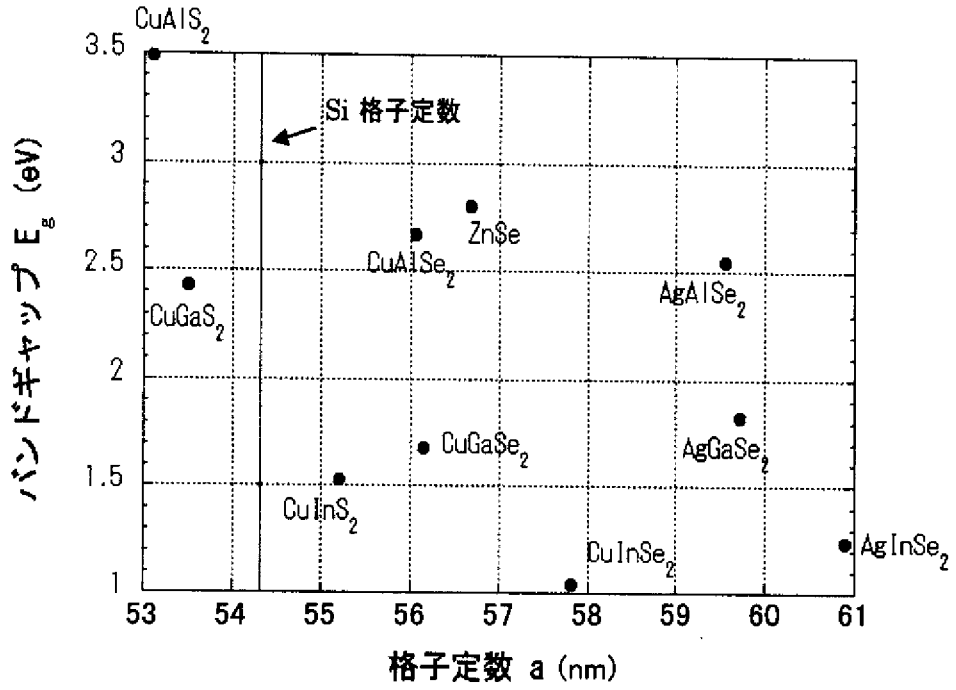
[図14]


74
23
24
50
51
53
13
12
35
28
33
34
52
32
27
26
25
30
29
Vdd
Sel
p-well
n+
p+
Tr1
Tr2
Tr3
Tr4
Tr5
Tr6
57
68

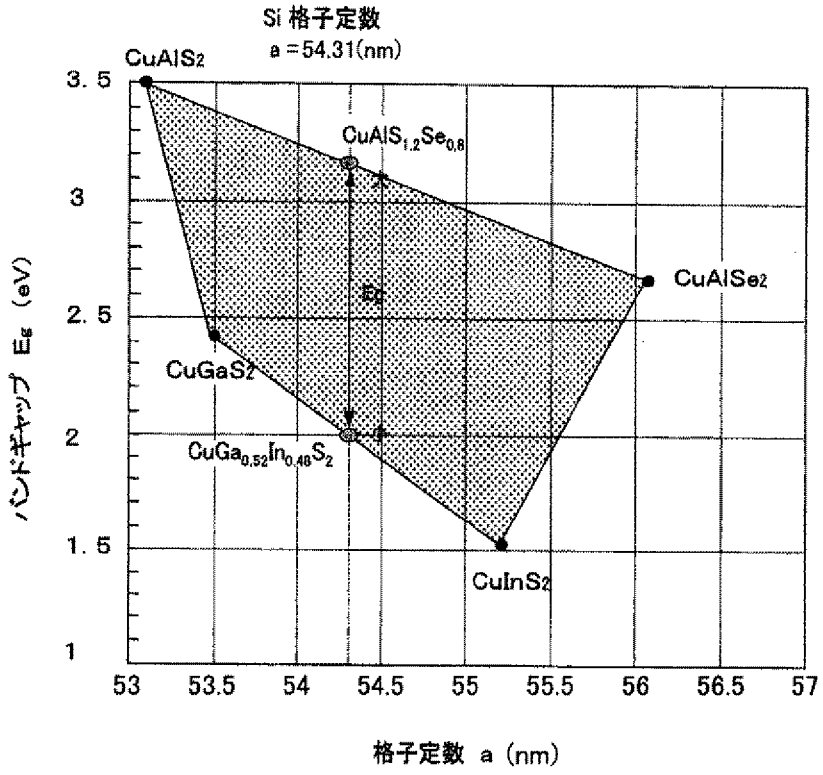
[図15]


光吸収係数 (cm⁻¹)
10⁶
10⁵
10⁴
10³
10²
10
CuInSe₂
CdTe
InP
Cu₂S
x-Si
GaAs
a-Si:H
Zn₃P₂
CdS
0.8
1.1
1.4
1.7
2.0
2.3
2.6
フォトンエネルギー (eV)

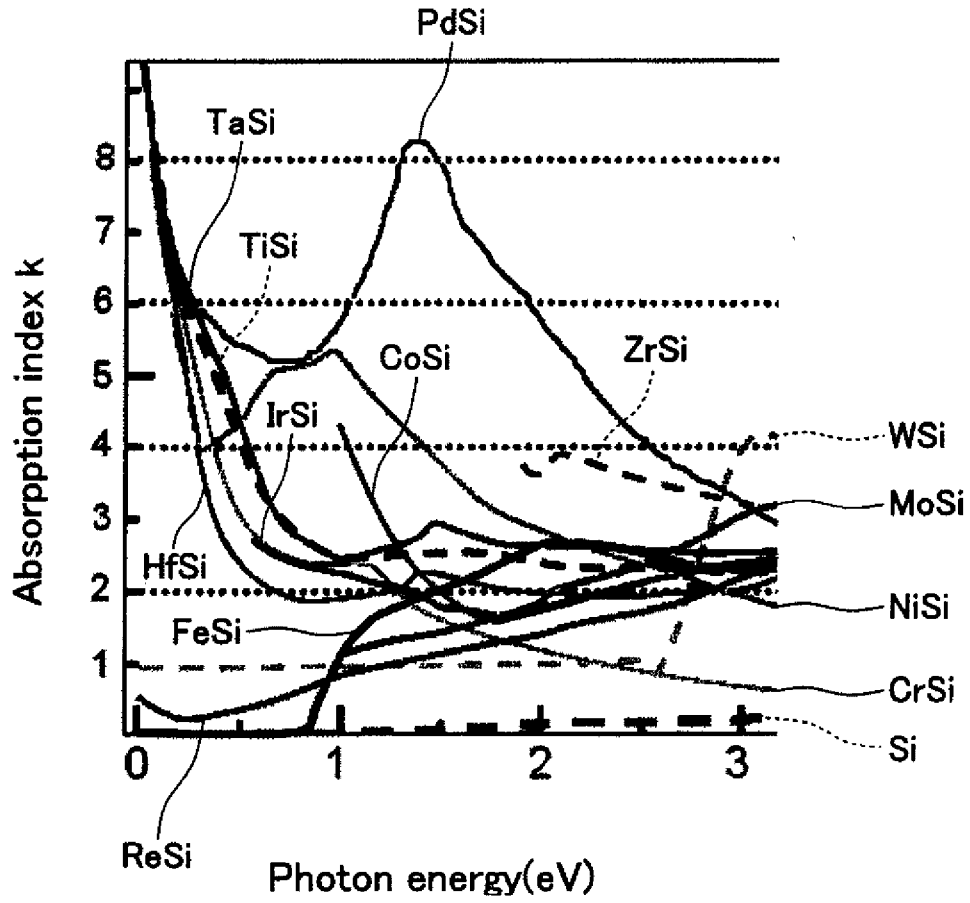
[図16]


バンドギャップ Eg (eV)
3.5
3
2.5
2
1.5
1
CuAlS₂
Si 格子定数
ZnSe
CuAlSe₂
AgAlSe₂
CuGaS₂
CuGaSe₂
AgGaSe₂
CuInS₂
CuInSe₂
AgInSe₂
53
54
55
56
57
58
59
60
61
格子定数 a (nm)

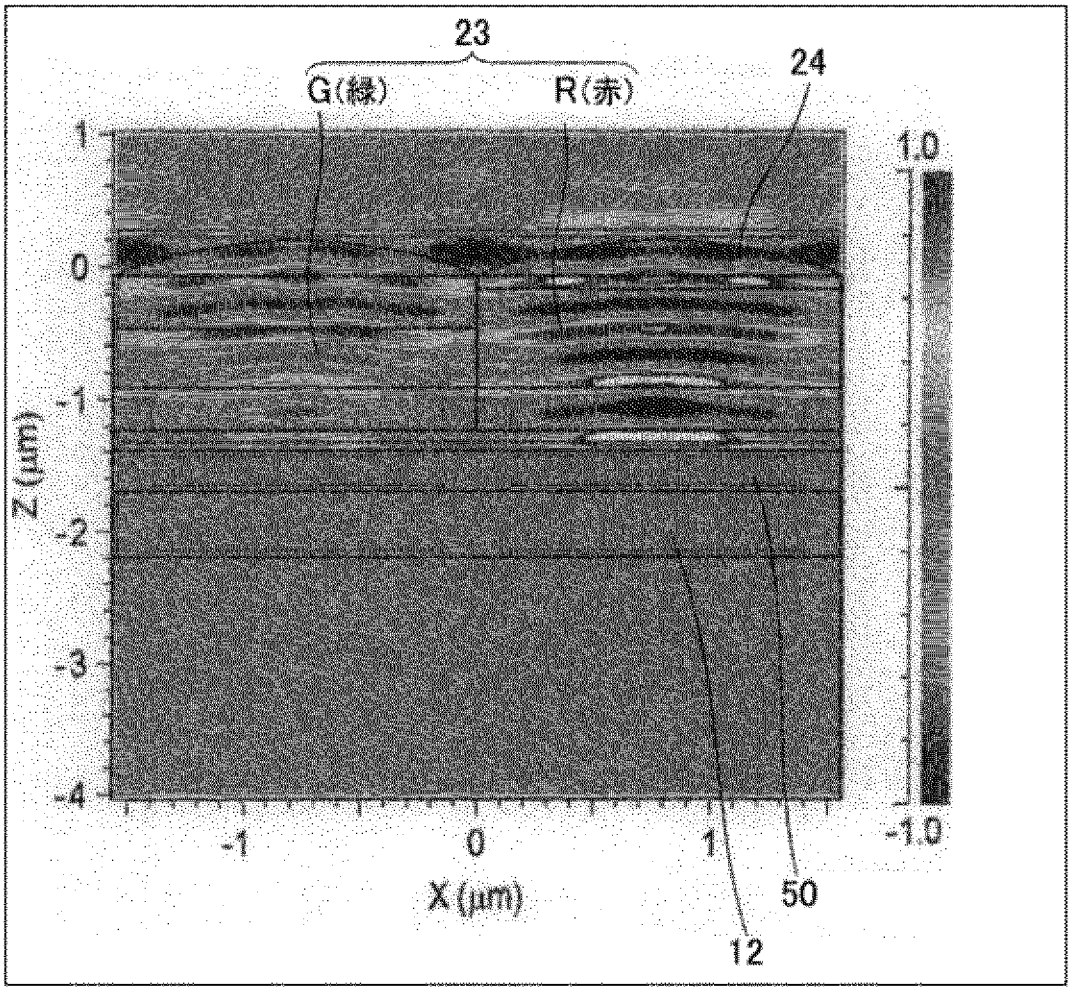
[図17]


Si 格子定数
a =54.31(nm)
CuAlS2
CuAlS1.2Se0.8
CuAlSe2
CuGaS2
CuGa0.52In0.48S2
CuInS2
Eg
バンドギャップ Eg (eV)
格子定数 a (nm)
3.5
3
2.5
2
1.5
1
53
53.5
54
54.5
55
55.5
56
56.5
57

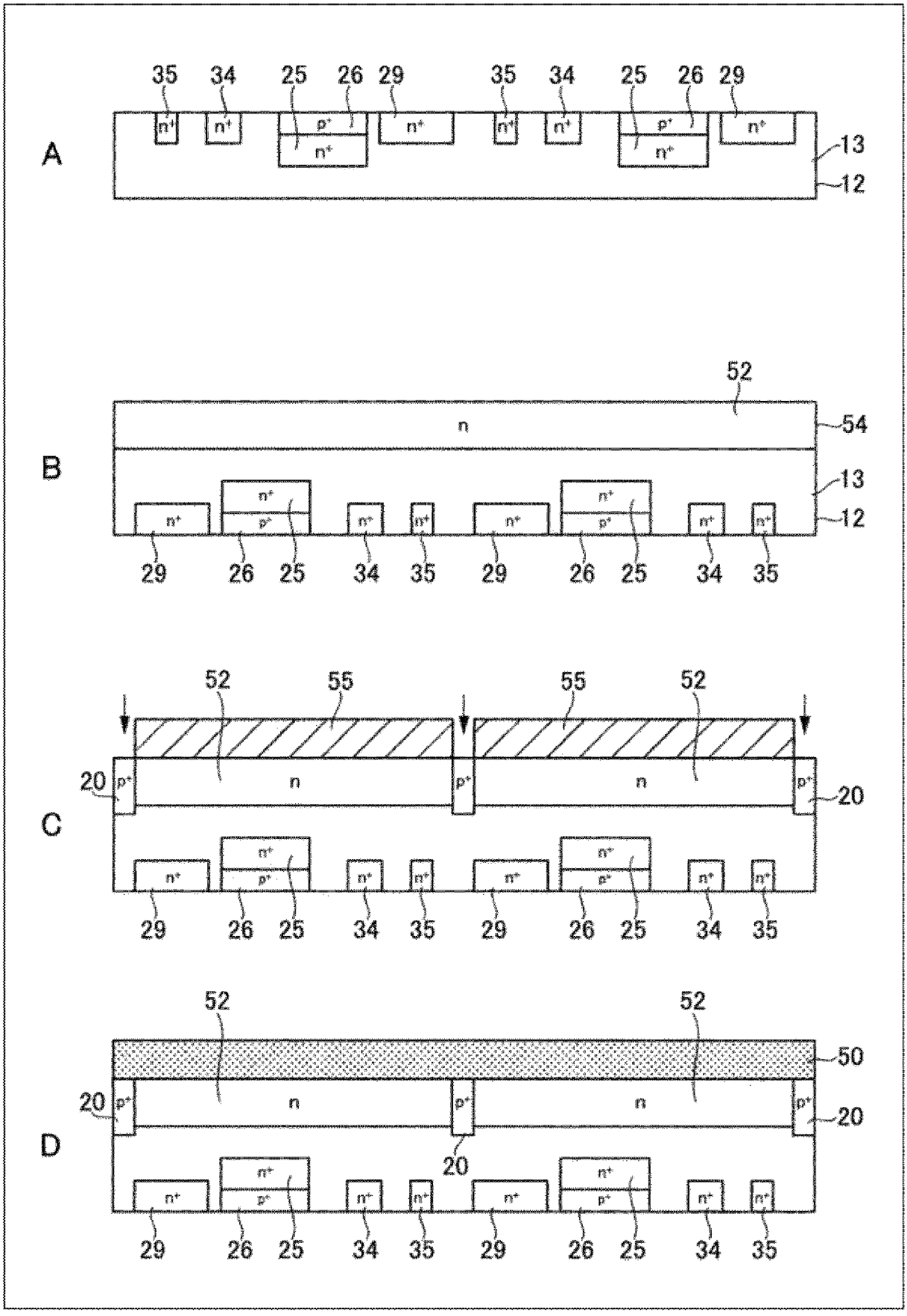
[図18]


PdSi
TaSi
TiSi
CoSi
ZrSi
IrSi
WSi
MoSi
HfSi
NiSi
FeSi
CrSi
Si
ReSi
Absorption index k
Photon energy(eV)
0
1
2
3
1
2
3
4
5
6
7
8

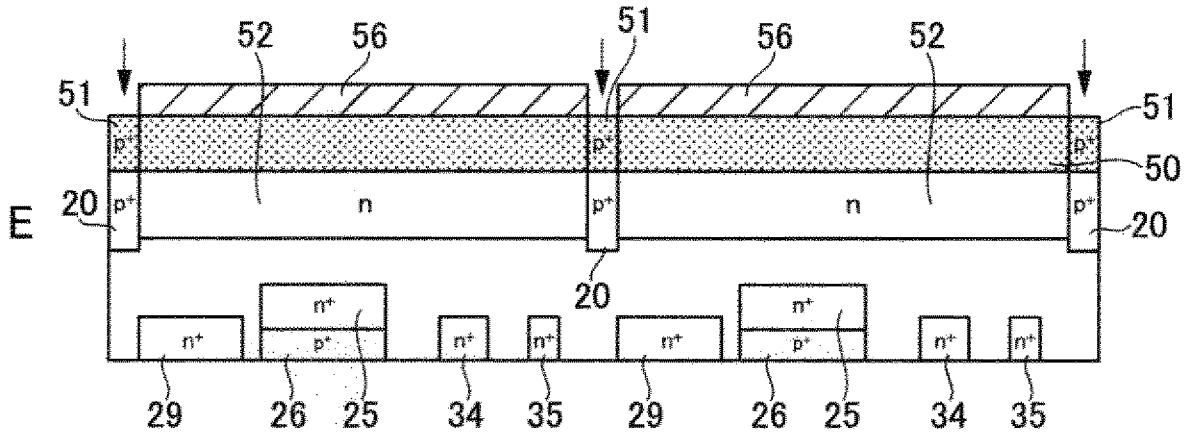
[図19]



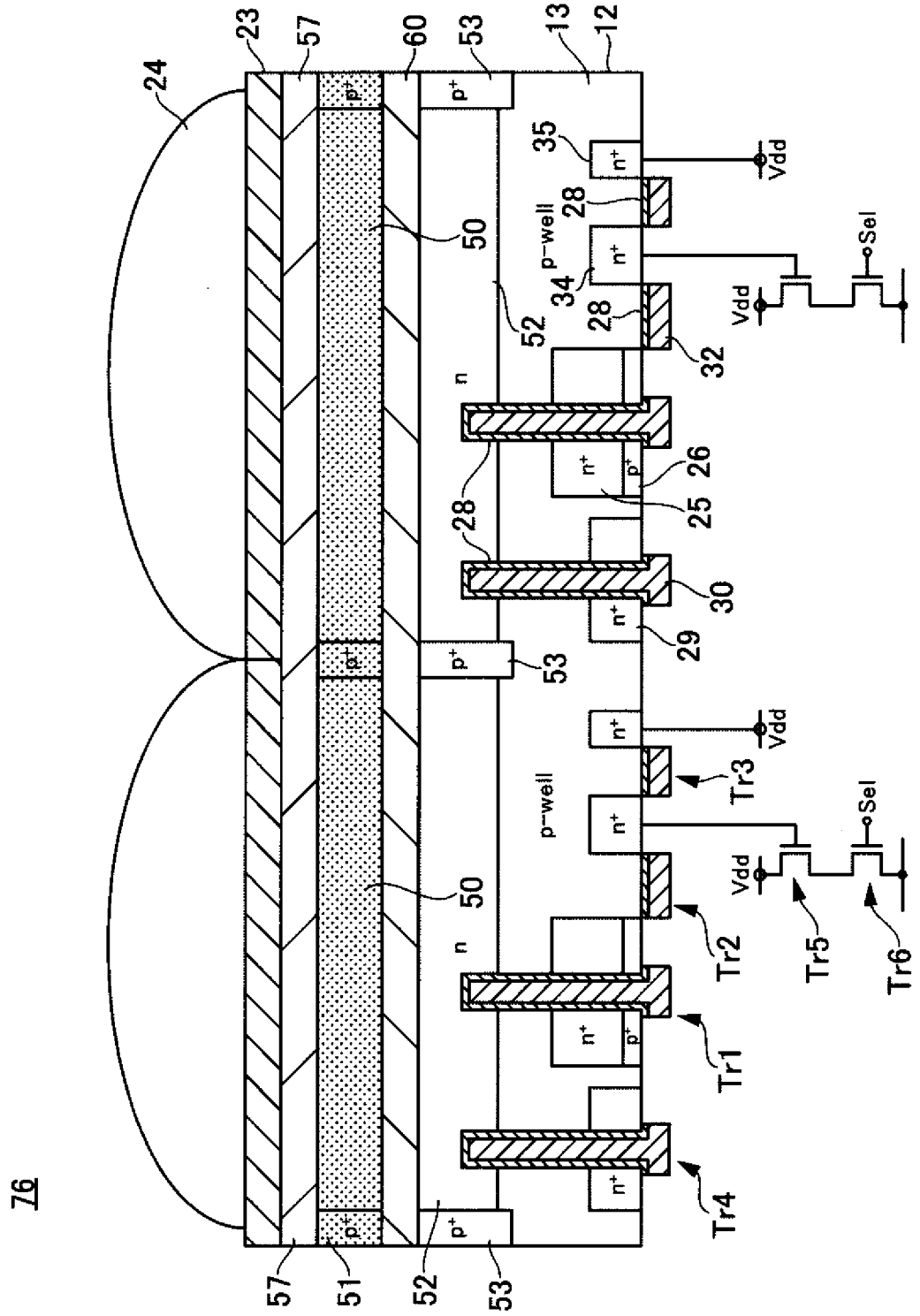
[図20]



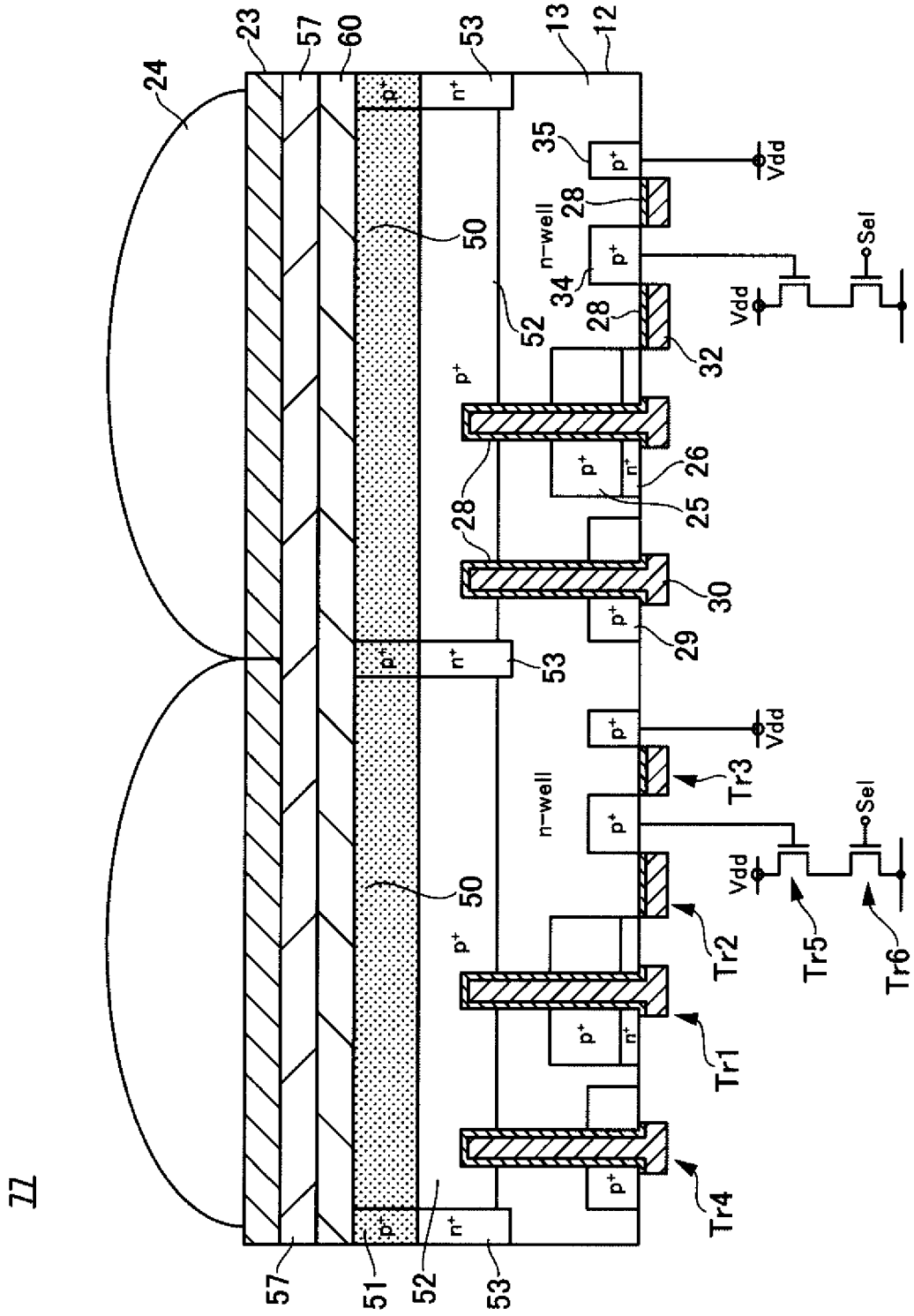
[図21]



[図22]

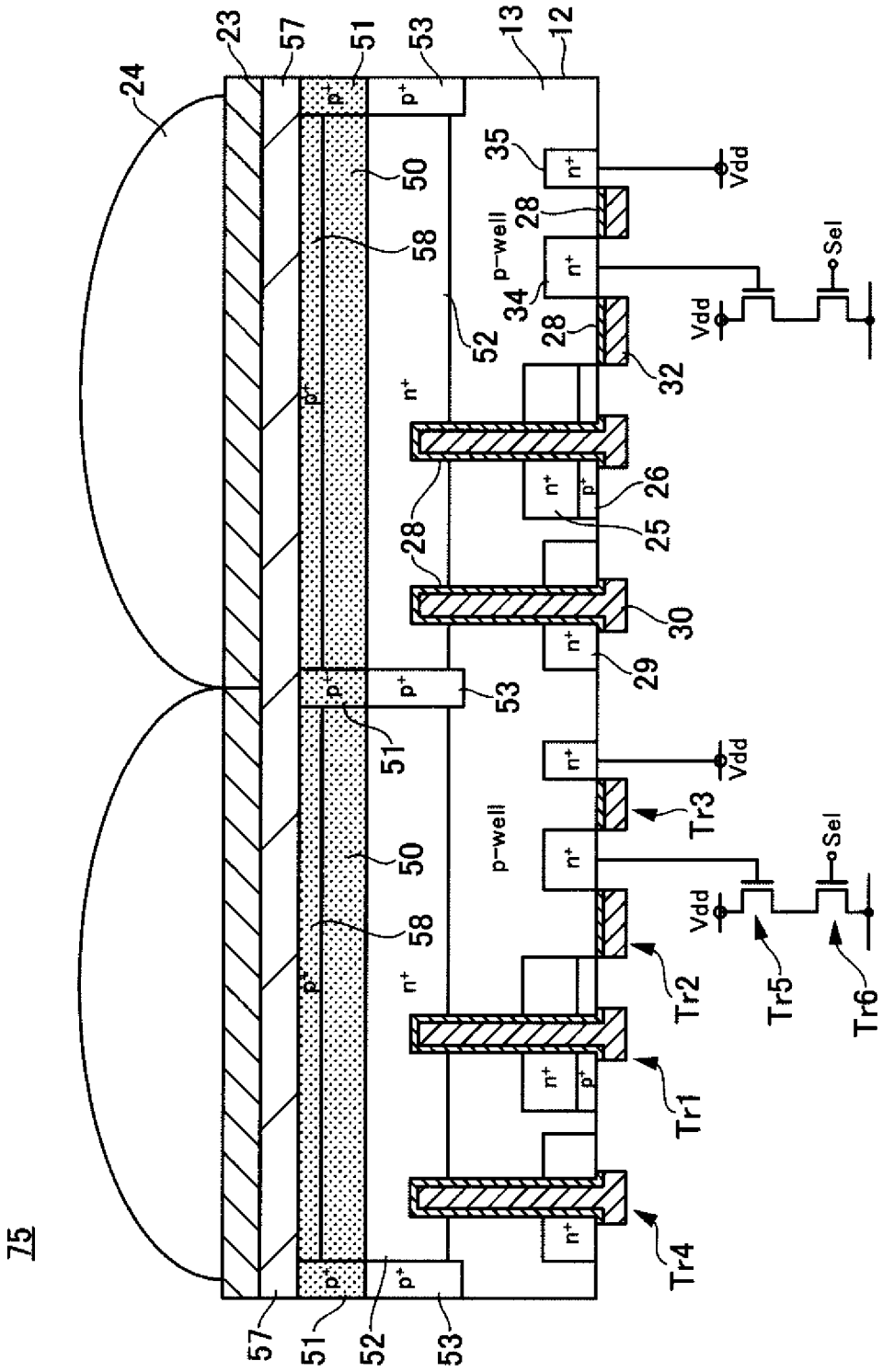

76
23
57
60
53
13
12
24
35
28
50
52
34
32
26
25
30
29
Tr3
Tr2
Tr1
Tr4
Tr5
Tr6
Vdd
Sel
p-well
n
n+
p+
51

[図23]

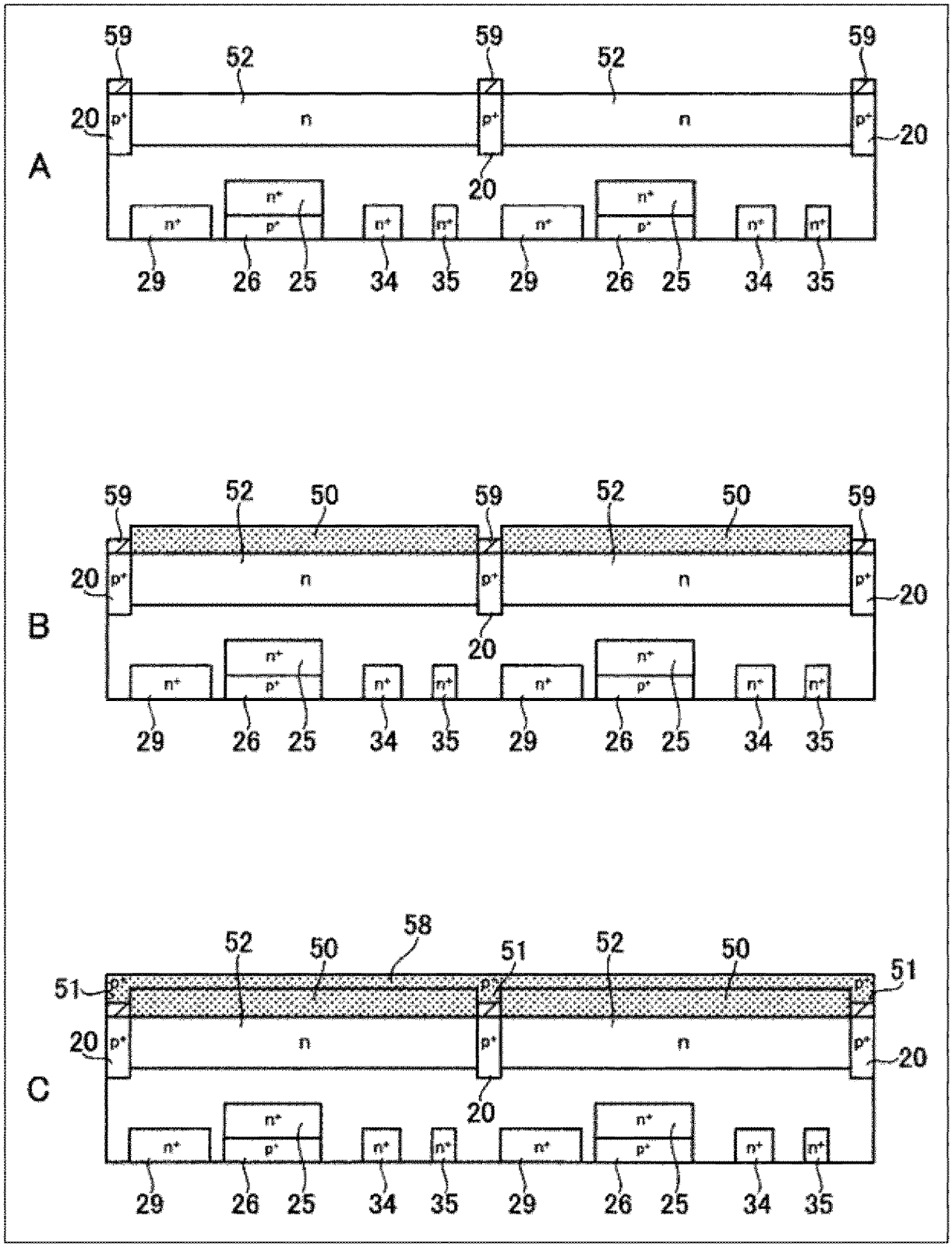

23
57
60
53
13
12
24
35
28
n-well
34
50
52
32
26
25
30
29
Tr3
Tr2
Tr1
Tr4
Tr5
Tr6
Vdd
Sel
p+
n+
51

ZZ

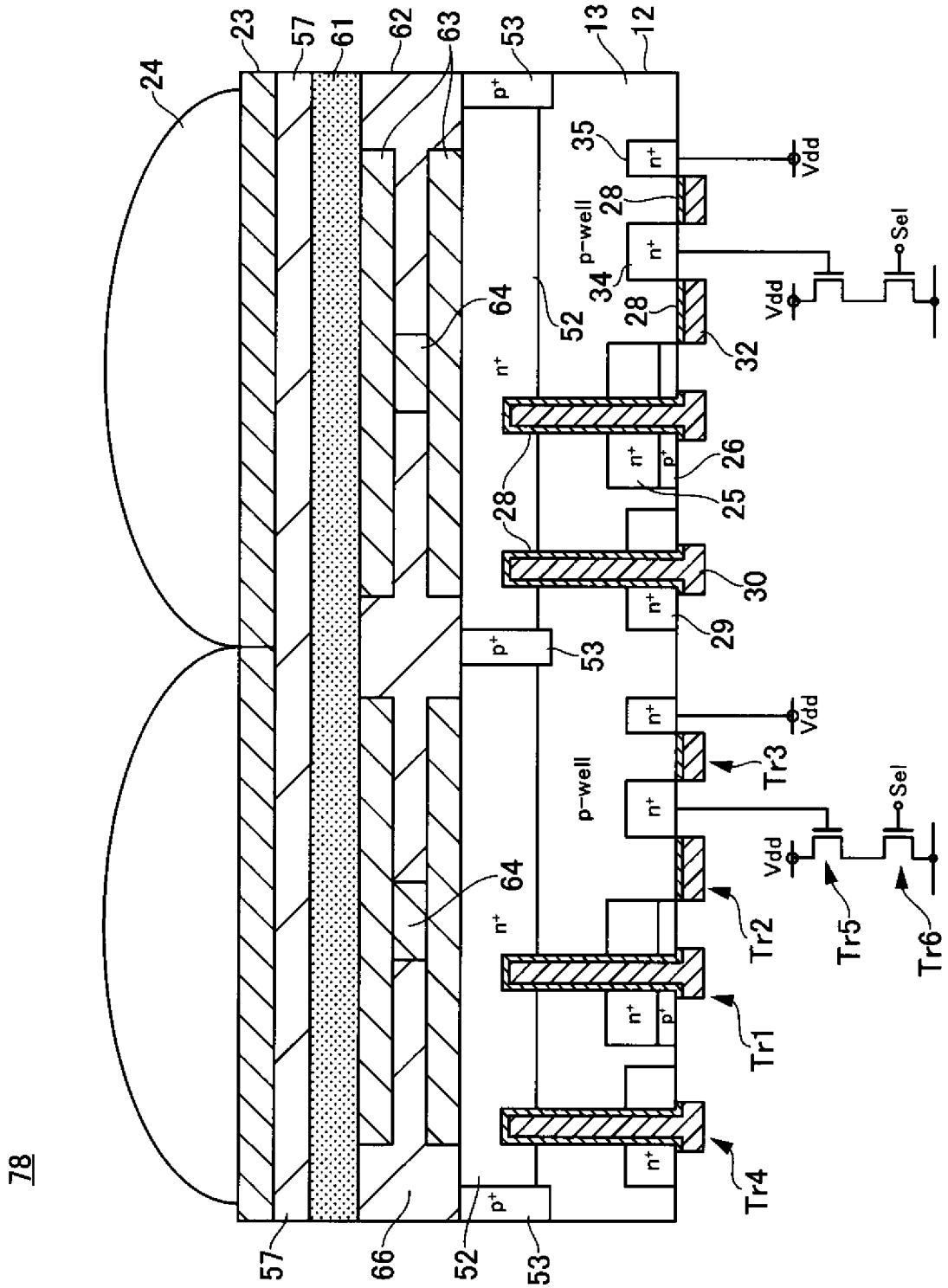
[図24]


75
23
57
51
53
13
12
24
35
Vdd
28
p-well
Sel
34
52
58
50
32
26
25
30
29
Tr3
Tr2
Tr5
Tr6
Tr1
Tr4
n+
p+

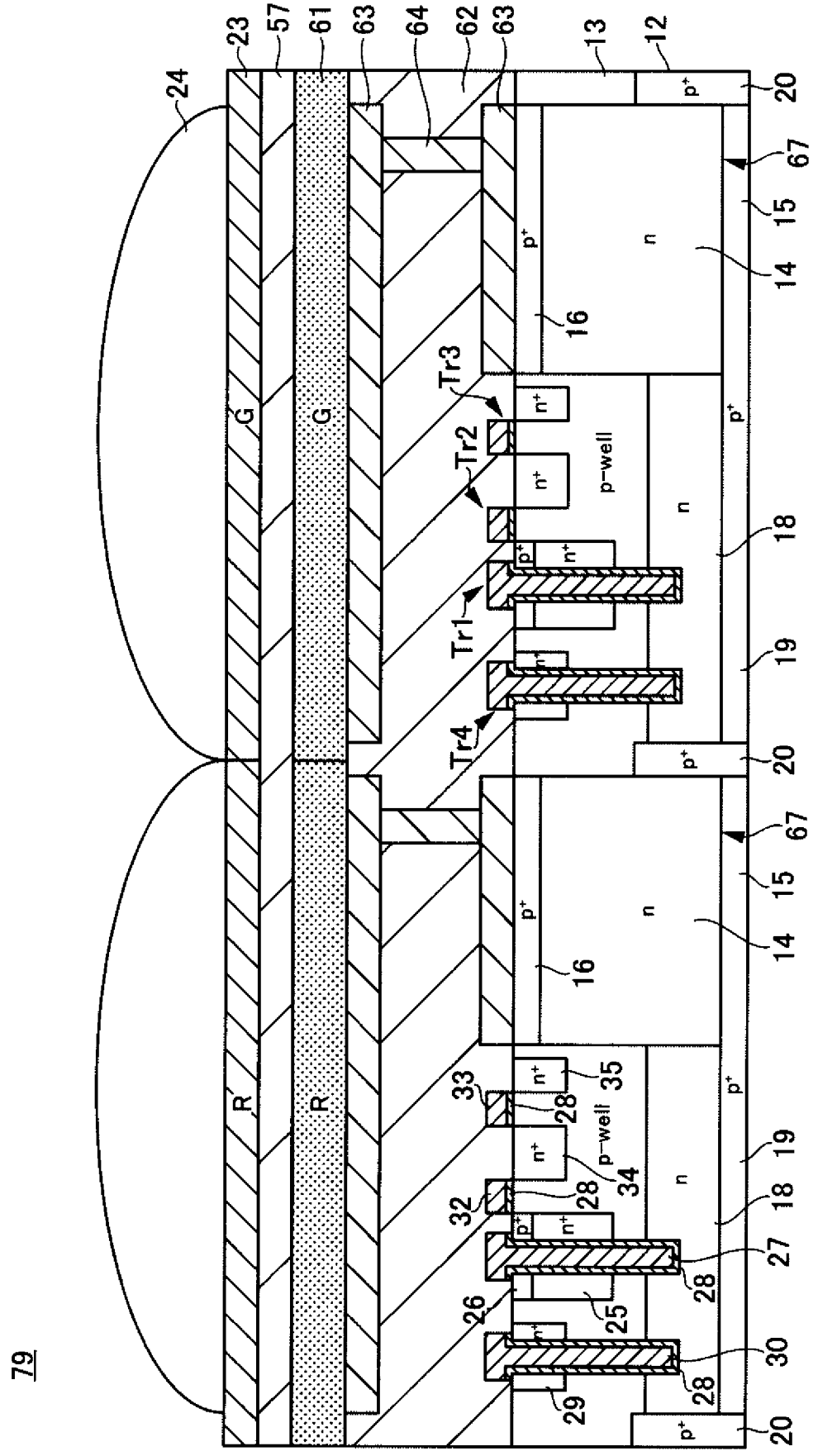
[図25]



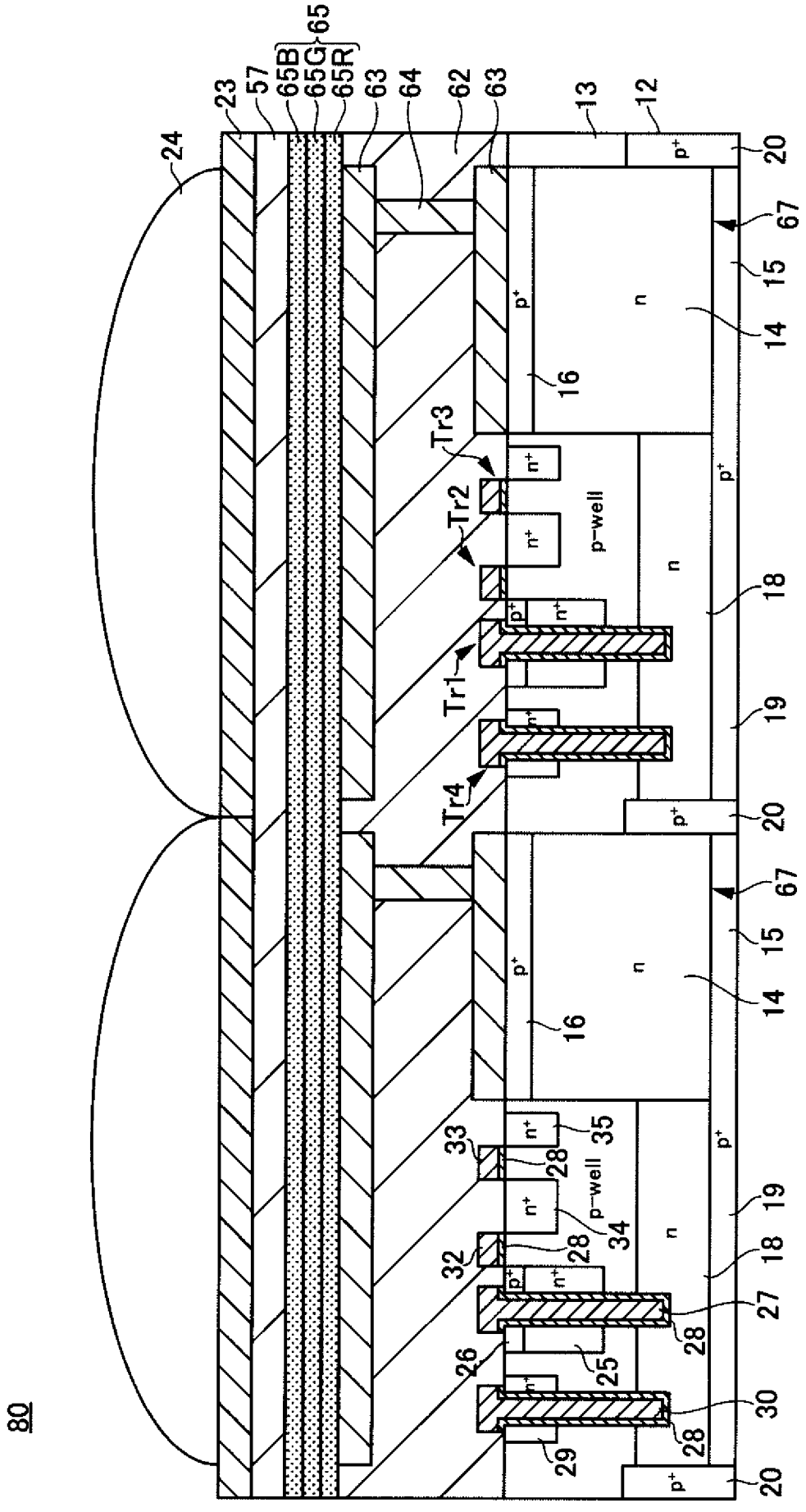
[図26]


78
23
57
61
62
63
53
13
12
24
35
Vdd
28
p-well
34
Sel
64
52
32
26
25
30
29
Tr3
Tr2
Tr5
Tr6
Tr1
Tr4
66

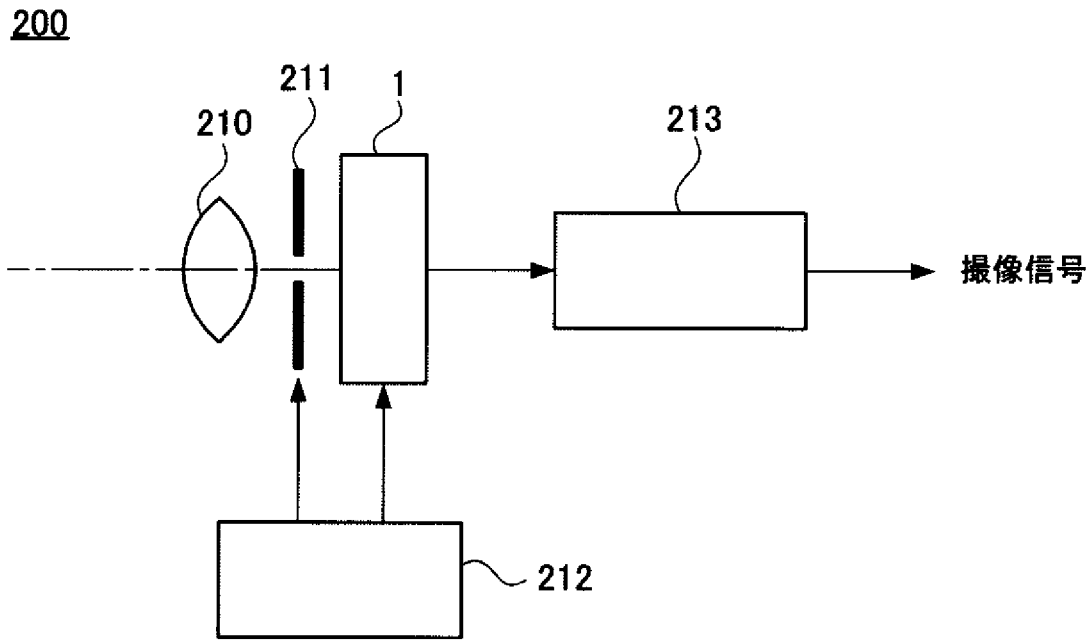
[図27]


79
23
57
61
63
64
62
63
13
12
24
20
67
15
14
16
Tr3
Tr2
Tr1
Tr4
18
19
G
R
p+
n+
n
p-well
33
35
28
34
32
27
26
25
30
29

[図28]


80
23
57
65B
65G
65R
65
63
64
62
63
13
12
24
20
67
15
14
16
Tr3
Tr2
Tr1
Tr4
n+
p+
p-well
n
18
19
33
35
28
34
32
27
26
25
30
29

[図29]



INTERNATIONAL SEARCH REPORT

International application No.
PCT / JP2 012 / 081305

A. CLASSIFICATION OF SUBJECT MATTER
H01 L27/146 (2006.01)i, H04N5/374 (2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-188410 A (Sony Corp.), 22 September 2011 (22.09.2011), paragraphs [0059] to [0073] & US 2011/0221940 A1 & CN 102196199 A	1-20
A	JP 2011-138927 A (Sony Corp.), 14 July 2011 (14.07.2011), paragraphs [0092] to [0104] & US 2011/0156104 A1 & CN 102110702 A & KR 10-2011-0076769 A & TW 201143058 A	1-20
A	JP 2010-283086 A (Sony Corp.), 16 December 2010 (16.12.2010), paragraphs [0026] to [0036] & US 2010/0308385 A1 & CN 101908542 A	1-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibnion or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying tiie invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 February, 2013 (20.02.13)	05 March, 2013 (05.03.13)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT / JP2 012/ 081305

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-199816 A (Sony Corp .), 06 Octobe r 2011 (06.10.2011), paragraph s [0022] t o [0124] & EP 2362642 Al & CN 102170533 A & KR 10-2011-0098624 A & TW 201143067 A	1-2
E, A	WO 2012/164829 Al (Panas oni c Corp.), 06 De cember 2012 (06.12.2012), paragraph s [0051] t o [0068] (Fami l y : none)	1-20

o

Form PCT/ISA/2 10 (continuation of second sheet) (July 2009)

国際調査報告

国際出願番号 PCT/JP2012/081305

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/146 (2006.01)i, H04N5/374 (2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/146, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-19
日本国公開実用新案公報	1971-20
日本国実用新案登録公報	1996-20
日本国登録実用新案公報	1994-20

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献のカテゴリー *	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-188410 A (ソニー株式会社) 2011.09.22, 段落 【0059】-【0073】 & US 2011/0221940 A1 & CN 102196199 A	1-20
A	JP 2011-138927 A (ソニー株式会社) 2011.07.14, 段落 【0092】-【0104】 & US 2011/0156104 A1 & CN 102110702 A & KR 10-2011-0076769 A & TW 201143058 A	1-20
A	JP 2010-283086 A (ソニー株式会社) 2010.12.16, 段落 【0026】-【0036】 & US 2010/0308385 A1 & CN 101908542 A	1-20

☑ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 20.02.2013	国際調査報告の発送日 05.03.2013
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 5O 3464 脇水 佳弘 電話番号 03-3581-1101 内線 3559

C（続き）．　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-199816　A（ソニー株式会社）2011. 10. 06, 段落　【0022】-【0124】 & EP 2362642　A1 & CN 102170533　A & KR 10-2011-0098624 A & TW 201143067　A	1-20
E，A	WO 2012/164829　A1（パナソニック株式会社）2012. 12. 06, 段落　[0051] - [0068]　（ファミリーなし）	1-20