

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7522665号
(P7522665)

(45)発行日 令和6年7月25日(2024.7.25)

(24)登録日 令和6年7月17日(2024.7.17)

(51)国際特許分類

F I

G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 6 5
G 0 6 T	1/00 (2006.01)	G 0 9 F	9/30	3 3 8
G 0 9 F	9/00 (2006.01)	G 0 6 T	1/00	4 0 0 G
H 1 0 K	50/10 (2023.01)	G 0 9 F	9/00	3 6 6 Z
H 1 0 K	59/121 (2023.01)	H 1 0 K	50/10	

請求項の数 14 (全27頁) 最終頁に続く

(21)出願番号 特願2020-567204(P2020-567204)
 (86)(22)出願日 令和1年12月25日(2019.12.25)
 (65)公表番号 特表2022-518308(P2022-518308 A)
 (43)公表日 令和4年3月15日(2022.3.15)
 (86)国際出願番号 PCT/CN2019/128345
 (87)国際公開番号 WO2020/155955
 (87)国際公開日 令和2年8月6日(2020.8.6)
 審査請求日 令和4年12月19日(2022.12.19)
 (31)優先権主張番号 201910093793.9
 (32)優先日 平成31年1月30日(2019.1.30)
 (33)優先権主張国・地域又は機関 中国(CN)

(73)特許権者 510280589
 京東方科技集團股 ぶん 有限公司
 BOE TECHNOLOGY GROU
 P CO., LTD.
 中華人民共和国 1 0 0 0 1 5 北京市朝陽
 區酒仙橋路 1 0 號
 No. 10 Jiuxianqiao R
 d., Chaoyang Distri
 ct, Beijing 100015,
 CHINA
 (74)代理人 100103894
 弁理士 家入 健
 (72)発明者
 グオ ユーゼン
 中華人民共和国 1 0 0 1 7 6 베이ジン
 , पी-डी-ए-ए, डी-डी-ए-ए-ए-ए-ए-
 最終頁に続く

(54)【発明の名称】 表示パネル及び表示装置

(57)【特許請求の範囲】

【請求項 1】

表示パネルであって、

前記表示パネルは指紋認証表示パネルであり、

異なる色の光を発する第 1 サブ画素、第 2 サブ画素及び第 3 サブ画素を含むサブ画素アレイと、

前記サブ画素アレイの光出射面の下方に配置される複数の感光手段とを備え、

前記複数の感光手段の各々は、感光層を有する感光素子を含み、前記感光素子の感光層の前記表示パネルのパネル面における正投影と、前記第 1 サブ画素、前記第 2 サブ画素及び前記第 3 サブ画素の前記表示パネルのパネル面における正投影とが何れも重なる領域を有する、

表示パネル。

【請求項 2】

各前記感光層の前記表示パネルのパネル面における正投影と、前記第 1 サブ画素の前記表示パネルのパネル面における正投影との重なる領域の面積は、何れも等しく、

各前記感光層の前記表示パネルのパネル面における正投影と、前記第 2 サブ画素の前記表示パネルのパネル面における正投影との重なる領域の面積は、何れも等しく、

各前記感光層の前記表示パネルのパネル面における正投影と、前記第 3 サブ画素の前記表示パネルのパネル面における正投影との重なる領域の面積は、何れも等しい、

請求項 1 に記載の表示パネル。

10

20

【請求項 3】

前記サブ画素アレイは、列方向に順次配列された複数の表示グループを含み、

前記複数の表示グループの各々は、行方向に順次交互に配列された第 1 表示サブグループ、第 2 表示サブグループを含み、各前記第 1 表示サブグループ、各前記第 2 表示サブグループは何れも、隣接する 2 行に分布された 1 つの前記第 1 サブ画素、1 つの前記第 2 サブ画素及び 1 つの前記第 3 サブ画素を含み、

各前記表示グループにおいて、各前記第 1 表示サブグループにおける前記第 1 サブ画素、及び前記第 2 サブ画素は、各前記第 2 表示サブグループにおける前記第 3 サブ画素と同じ行に位置し、各前記第 1 表示サブグループにおける前記第 3 サブ画素は、各前記第 2 表示サブグループにおける前記第 1 サブ画素、前記第 2 サブ画素と同じ行に位置する、

請求項 1 又は 2 に記載の表示パネル。

10

【請求項 4】

前記複数の感光手段は、前記サブ画素アレイの光出射面の下方に均一に分布される、請求項 3 に記載の表示パネル。

【請求項 5】

各前記感光層は、第 1 サブ感光層、第 2 サブ感光層、及び第 3 サブ感光層を含み、

各前記第 1 表示サブグループ、各前記第 2 表示サブグループの光出射面の下方には、何れも 1 つの前記感光手段が配置され、

前記表示パネルのパネル面の垂直方向に沿って、各前記第 1 表示サブグループに対応する前記感光手段において、前記第 1 サブ感光層は、当該第 1 表示サブグループにおける前記第 3 サブ画素、隣接する前記第 2 表示サブグループの近接する前記第 2 サブ画素のいずれとも重なりを有し、前記第 2 サブ感光層は、当該第 1 表示サブグループにおける前記第 3 サブ画素、隣接する前記第 2 表示サブグループの近接する前記第 1 サブ画素のいずれとも重なりを有し、前記第 3 サブ感光層は、当該第 1 表示サブグループにおける前記第 1 サブ画素、前記第 2 サブ画素のいずれとも重なりを有し、

20

前記表示パネルのパネル面の垂直方向に沿って、各前記第 2 表示サブグループに対応する前記感光手段において、前記第 1 サブ感光層は、当該第 2 表示サブグループにおける前記第 3 サブ画素、隣接する前記第 1 表示サブグループの近接する前記第 2 サブ画素のいずれとも重なりを有し、前記第 2 サブ感光層は、当該第 2 表示サブグループにおける前記第 3 サブ画素、隣接する前記第 1 表示サブグループの近接する前記第 1 サブ画素のいずれとも重なりを有し、前記第 3 サブ感光層は、当該第 2 表示サブグループにおける前記第 1 サブ画素、前記第 2 サブ画素のいずれとも重なりを有する、

30

請求項 4 に記載の表示パネル。

【請求項 6】

列方向に沿って、各前記第 1 表示サブグループにおける前記第 3 サブ画素は、隣接する他の前記第 1 表示サブグループにおける前記第 1 サブ画素、前記第 2 サブ画素とともに、1 つの第 1 仮想サブグループを構成し、各前記第 2 表示サブグループにおける前記第 1 サブ画素、及び前記第 2 サブ画素は、隣接する他の前記第 2 表示サブグループにおける前記第 3 サブ画素とともに、1 つの第 2 仮想サブグループを構成し、

各前記第 1 仮想サブグループ、各前記第 2 仮想サブグループの光出射面の下方には、何れも 1 つの前記感光手段が配置され、

40

前記表示パネルのパネル面の垂直方向に沿って、各前記第 1 仮想サブグループに対応する前記感光手段において、前記第 1 サブ感光層は、当該第 1 仮想サブグループにおける前記第 3 サブ画素、隣接する前記第 2 仮想サブグループの近接する前記第 2 サブ画素のいずれとも重なりを有し、前記第 2 サブ感光層は、当該第 1 仮想サブグループにおける前記第 3 サブ画素、隣接する前記第 2 仮想サブグループの近接する前記第 1 サブ画素のいずれとも重なりを有し、前記第 3 サブ感光層は、当該第 1 仮想サブグループにおける前記第 1 サブ画素、前記第 2 サブ画素のいずれとも重なりを有し、

前記表示パネルのパネル面の垂直方向に沿って、各前記第 2 仮想サブグループに対応する前記感光手段において、前記第 1 サブ感光層は、当該第 2 仮想サブグループにおける前

50

記第 3 サブ画素、隣接する前記第 1 仮想サブグループの近接する前記第 2 サブ画素のいずれとも重なりを有し、前記第 2 サブ感光層は、当該第 2 仮想サブグループにおける前記第 3 サブ画素、隣接する前記第 1 仮想サブグループの近接する前記第 1 サブ画素のいずれとも重なりを有し、前記第 3 サブ感光層は、当該第 2 仮想サブグループにおける前記第 1 サブ画素、前記第 2 サブ画素のいずれとも重なりを有する、

請求項 5 に記載の表示パネル。

【請求項 7】

各前記第 1 サブ感光層と、対応する前記第 2 サブ画素との重なる領域の面積は、何れも等しく、各前記第 1 サブ感光層と、対応する前記第 3 サブ画素との重なる領域の面積は、何れも等しく、

10

各前記第 2 サブ感光層と、対応する前記第 1 サブ画素との重なる領域の面積は、何れも等しく、各前記第 2 サブ感光層と、対応する前記第 3 サブ画素との重なる領域の面積は、何れも等しく、

各前記第 3 サブ感光層と、対応する前記第 1 サブ画素との重なる領域の面積は、何れも等しく、各前記第 3 サブ感光層と、対応する前記第 2 サブ画素との重なる領域の面積は、何れも等しい、

請求項 6 に記載の表示パネル。

【請求項 8】

1 列の前記第 1 表示サブグループにおいて、前記第 1 サブ画素と前記第 2 サブ画素との間の隙間は、前記第 3 サブ画素の列方向の中心線に整列し、

20

1 列の前記第 2 表示サブグループにおいて、前記第 1 サブ画素と前記第 2 サブ画素との間の隙間は、列方向において前記第 3 サブ画素の中心線に整列し、

各前記感光手段における前記第 1 サブ感光層、前記第 2 サブ感光層及び前記第 3 サブ感光層の中心が仮想三角形を形成するように接続され、

行方向及び列方向に沿って、隣接する 2 つの前記仮想三角形の midpoint の間の間隔が何れも等しく、前記 midpoint は、各前記仮想三角形の、前記第 3 サブ感光層の中心が所在する頂角から対辺に下ろした垂線の midpoint である、

請求項 6 に記載の表示パネル。

【請求項 9】

前記感光手段において、前記感光層に含まれる第 1 サブ感光層、第 2 サブ感光層、及び第 3 サブ感光層が互いに接続されていない、

30

請求項 6 に記載の表示パネル。

【請求項 10】

前記感光手段における前記感光素子は、さらに、前記表示パネルのパネル面の垂直方向に沿って前記感光層の両側に積層して配置される下部電極及び上部電極を含み、

前記下部電極の前記表示パネルのパネル面における正投影は、前記第 1 サブ感光層、第 2 サブ感光層、及び第 3 サブ感光層の前記表示パネルのパネル面における正投影を覆い、且つ前記第 1 サブ感光層、第 2 サブ感光層、及び第 3 サブ感光層に対応する下部電極の部分が互いに連通し、

前記上部電極の前記表示パネルのパネル面における正投影は、前記第 1 サブ感光層、第 2 サブ感光層、及び第 3 サブ感光層の前記表示パネルのパネル面における正投影を覆い、且つ前記第 1 サブ感光層、第 2 サブ感光層、及び第 3 サブ感光層に対応する上部電極の部分が互いに連通する、

40

請求項 9 に記載の表示パネル。

【請求項 11】

前記表示パネルのパネル面の垂直方向に沿って、前記第 1 サブ画素、前記第 2 サブ画素及び前記第 3 サブ画素のパターンは、何れも六角形である、

請求項 1 ~ 10 の何れか 1 項に記載の表示パネル。

【請求項 12】

前記第 1 サブ画素は、第 1 発光素子を含み、前記第 1 サブ画素と前記感光層との重なる

50

部分は、前記第 1 サブ画素における前記第 1 発光素子の第 1 発光層であり、
 前記第 2 サブ画素は、第 2 発光素子を含み、前記第 2 サブ画素と前記感光層との重なる部
 分は、前記第 2 サブ画素における前記第 2 発光素子の第 2 発光層であり、
 前記第 3 サブ画素は、第 3 発光素子を含み、前記第 3 サブ画素と前記感光層との重なる部
 分は、前記第 3 サブ画素における前記第 3 発光素子の第 3 発光層である、

請求項 1 ~ 1.1の何れか 1 項に記載の表示パネル。

【請求項 1 3】

各前記第 1 サブ画素、各前記第 2 サブ画素及び各前記第 3 サブ画素は、さらに何れも当
 該サブ画素中の対応する発光素子に電氣的接続される駆動トランジスタを含み、

前記感光手段は、さらに当該感光手段における前記感光素子に電氣的接続されるスイッ
 チングトランジスタを含み、

10

前記駆動トランジスタ中の活性層は、前記スイッチングトランジスタ中の活性層と材料
 が異なり、且つ前記スイッチングトランジスタ中の活性層は、酸化物半導体材料からなり
 、又は

各前記第 1 サブ画素、各前記第 2 サブ画素及び各前記第 3 サブ画素は、さらに何れも当
 該サブ画素中の対応する発光素子に電氣的接続される駆動トランジスタを含み、

前記感光手段は、さらに当該感光手段における前記感光素子に電氣的接続されるスイッ
 チングトランジスタを含み、

前記駆動トランジスタ中の活性層は、前記スイッチングトランジスタ中の活性層と材料
 が異なり、且つ前記駆動トランジスタ中の活性層は、低温ポリシリコン材料からなる、

20

請求項 1.2に記載の表示パネル。

【請求項 1 4】

請求項 1 ~ 1.3の何れか 1 項に記載の表示パネルを備える、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示技術の分野に関し、特に表示パネル及び表示装置に関するものである。

【背景技術】

【0002】

関連技術では、指紋を採取するための認証手段（即ち指紋認証手段）は、通常、表示画
 面の表示領域外に設けられ、例えば携帯電話等の端末の Home キー（即ちホームキー）
 に集積されることが多く、表示画面の画面占有率（即ち表示画面全体の正面に占める表示
 領域の割合）が低い。表示領域の画面占有率をより向上させるために、指紋認証素子を表
 示領域に集積させる指紋認証技術が提案されている。

30

【発明の概要】

【課題を解決するための手段】

【0003】

一態様では、サブ画素アレイ及び複数の感光手段を備える表示パネルを提供する。前記
 サブ画素アレイは、異なる色の光を発する第 1 サブ画素、第 2 サブ画素及び第 3 サブ画素
 を含む。前記複数の感光手段は、前記サブ画素アレイの光出射面の下方に配置される。前
 記複数の感光手段の各々は、感光層を有する感光素子を含む。前記感光素子の感光層の前
 記表示パネルのパネル面における正投影と、前記第 1 サブ画素、前記第 2 サブ画素及び前
 記第 3 サブ画素の前記表示パネルのパネル面における正投影とは、何れも重なる領域を有
 する。

40

【0004】

幾つかの実施例において、各前記感光層の前記表示パネルのパネル面における正投影と
 、前記第 1 サブ画素の前記表示パネルのパネル面における正投影との重なる領域の面積は
 、すべて等しい。各前記感光層の前記表示パネルのパネル面における正投影と、前記第 2
 サブ画素の前記表示パネルのパネル面における正投影との重なる領域の面積は、何れも等
 しい。各前記感光層の前記表示パネルのパネル面における正投影と、前記第 3 サブ画素の

50

前記表示パネルのパネル面における正投影との重なる領域の面積は、何れも等しい。

【 0 0 0 5 】

幾つかの実施例において、前記サブ画素アレイは、列方向に順次配列された複数の表示グループを含む。前記複数の表示グループの各々は、行方向に順次交互に配列された第1表示サブグループ、第2表示サブグループを含む。各前記第1表示サブグループ、各前記第2表示サブグループは、何れも隣接する2行に配置された1つの前記第1サブ画素、1つの前記第2サブ画素及び1つの前記第3サブ画素を含む。各前記表示グループにおいて、各前記第1表示サブグループにおける前記第1サブ画素及び前記第2サブ画素は、何れも各前記第2表示サブグループにおける前記第3サブ画素と同じ行に位置し、各前記第1表示サブグループにおける前記第3サブ画素は、何れも各前記第2表示サブグループにおける前記第1サブ画素、前記第2サブ画素と同じ行に位置する。

10

【 0 0 0 6 】

幾つかの実施例において、前記複数の感光手段は、前記サブ画素アレイの光出射面の下方に均一に配置される。

【 0 0 0 7 】

幾つかの実施例において、各前記感光層は、第1サブ感光層、第2サブ感光層、及び第3サブ感光層を含む。各前記第1表示サブグループ、各前記第2表示サブグループの光出射面の下方には、何れも1つの前記感光手段が配置されている。前記表示パネルのパネル面の垂直方向に沿って、各前記第1表示サブグループに対応する前記感光手段において、前記第1サブ感光層は、当該第1表示サブグループにおける前記第3サブ画素、隣接する前記第2表示サブグループの近接する前記第2サブ画素のいずれとも重なりを有し、前記第2サブ感光層は、当該第1表示サブグループにおける前記第3サブ画素、隣接する前記第2表示サブグループの近接する前記第1サブ画素のいずれとも重なりを有し、前記第3サブ感光層は、当該第1表示サブグループにおける前記第1サブ画素、前記第2サブ画素のいずれとも重なりを有する。

20

【 0 0 0 8 】

前記表示パネルのパネル面の垂直方向に沿って、各前記第2表示サブグループに対応する前記感光手段において、前記第1サブ感光層は、当該第2表示サブグループにおける前記第3サブ画素、隣接する前記第1表示サブグループの近接する前記第2サブ画素のいずれとも重なりを有し、前記第2サブ感光層は、当該第2表示サブグループにおける前記第3サブ画素、隣接する前記第1表示サブグループの近接する前記第1サブ画素のいずれとも重なりを有し、前記第3サブ感光層は、当該第2表示サブグループにおける前記第1サブ画素、前記第2サブ画素のいずれとも重なりを有する。

30

【 0 0 0 9 】

幾つかの実施例において、列方向に沿って、各前記第1表示サブグループにおける前記第3サブ画素は、隣接する他の前記第1表示サブグループにおける前記第1サブ画素、前記第2サブ画素とともに、1つの第1仮想サブグループを構成し、各前記第2表示サブグループにおける前記第1サブ画素、及び前記第2サブ画素は、隣接する他の前記第2表示サブグループにおける前記第3サブ画素とともに、1つの第2仮想サブグループを構成する。各前記第1仮想サブグループ、各前記第2仮想サブグループの光出射面の下方には、何れも1つの前記感光手段が配置されている。

40

【 0 0 1 0 】

前記表示パネルのパネル面の垂直方向に沿って、各前記第1仮想サブグループに対応する前記感光手段において、前記第1サブ感光層は、当該第1仮想サブグループにおける前記第3サブ画素、隣接する前記第2仮想サブグループの近接する前記第2サブ画素のいずれとも重なりを有し、前記第2サブ感光層は、当該第1仮想サブグループにおける前記第3サブ画素、隣接する前記第2仮想サブグループの近接する前記第1サブ画素のいずれとも重なりを有し、前記第3サブ感光層は、当該第1仮想サブグループにおける前記第1サブ画素、前記第2サブ画素のいずれとも重なりを有する。前記表示パネルのパネル面の垂直方向に沿って、各前記第2仮想サブグループに対応する前記感光手段において、前記第

50

1 サブ感光層は、当該第2仮想サブグループにおける前記第3サブ画素、隣接する前記第1仮想サブグループの近接する前記第2サブ画素のいずれとも重なりを有し、前記第2サブ感光層は、当該第2仮想サブグループにおける前記第3サブ画素、隣接する前記第1仮想サブグループの近接する前記第1サブ画素のいずれとも重なりを有し、前記第3サブ感光層は、当該第2仮想サブグループにおける前記第1サブ画素、前記第2サブ画素のいずれとも重なりを有する。

【0011】

幾つかの実施例において、各前記第1サブ感光層と、対応する前記第2サブ画素との重なる領域の面積は、何れも等しく、各前記第1サブ感光層と、対応する前記第3サブ画素との重なる領域の面積は、何れも等しい。各前記第2サブ感光層と、対応する前記第1サブ画素との重なる領域の面積は、何れも等しく、各前記第2サブ感光層と、対応する前記第3サブ画素との重なる領域の面積は、何れも等しい。各前記第3サブ感光層と、対応する前記第1サブ画素との重なる領域の面積は、何れも等しく、各前記第3サブ感光層と、対応する前記第2サブ画素との重なる領域の面積は、何れも等しい。

10

【0012】

幾つかの実施例において、1列の前記第1表示サブグループにおいて、前記第1サブ画素と前記第2サブ画素との間の隙間は、前記第3サブ画素の列方向の中心線に整列し、1列の前記第2表示サブグループにおいて、前記第1サブ画素と前記第2サブ画素との間の隙間は、前記第3サブ画素の列方向の中心線に整列する。各前記感光手段における前記第1サブ感光層、前記第2サブ感光層及び前記第3サブ感光層の中心が仮想三角形を形成するように接続される。行方向及び列方向に沿って、隣接する2つの前記仮想三角形の中点の間隔が何れも等しく、前記中点は、各前記仮想三角形のうち、前記第3サブ感光層の中心が所在する頂角から対辺に下ろした垂線の中点である。

20

【0013】

幾つかの実施例において、前記感光手段では、前記感光層に含まれる第1サブ感光層、第2サブ感光層、及び第3サブ感光層が互いに接続されていない。

【0014】

幾つかの実施例において、前記感光手段における感光素子は、前記表示パネルのパネル面の垂直方向に沿って前記感光層の両側に積層して配置される下部電極及び上部電極をさらに含む。前記下部電極の前記表示パネルのパネル面における正投影は、前記第1サブ感光層、第2サブ感光層、及び第3サブ感光層の前記表示パネルのパネル面における正投影を覆い、且つ前記第1サブ感光層、第2サブ感光層、及び第3サブ感光層に対応する下部電極の部分が互いに連通し、前記上部電極の表示パネルのパネル面における正投影は、前記第1サブ感光層、第2サブ感光層、及び第3サブ感光層の前記表示パネルのパネル面における正投影を覆い、且つ前記第1サブ感光層、第2サブ感光層、及び第3サブ感光層に対応する上部電極の部分が互いに連通する。

30

【0015】

幾つかの実施例において、前記表示パネルのパネル面の垂直方向に沿って、前記第1サブ画素、前記第2サブ画素及び前記第3サブ画素のパターンは、何れも六角形である。

【0016】

幾つかの実施例において、前記表示パネルは指紋認証表示パネルである。

40

【0017】

幾つかの実施例において、前記第1サブ画素は、第1発光素子を含み、前記第1サブ画素と前記感光層との重なる部分は、前記第1サブ画素における前記第1発光素子の発光層である。前記第2サブ画素は、第2発光素子を含み、前記第2サブ画素と前記感光層との重なる部分は、前記第2サブ画素における前記第2発光素子の発光層である。前記第3サブ画素は、第3発光素子を含み、前記第3サブ画素と前記感光層との重なる部分は、前記第3サブ画素における前記第3発光素子の発光層である。

【0018】

幾つかの実施例において、各前記第1サブ画素、各前記第2サブ画素及び各前記第3サ

50

ブ画素は、何れも当該サブ画素における対応する発光素子に電氣的接続される駆動トランジスタをさらに含み、前記感光手段は、当該感光手段における前記感光素子に電氣的接続されるスイッチングトランジスタをさらに含み、前記駆動トランジスタにおける活性層は、前記スイッチングトランジスタの活性層と材料が異なり、且つ前記スイッチングトランジスタにおける活性層は、酸化物半導体材料からなる。

【0019】

幾つかの実施例において、前記駆動トランジスタにおける活性層は、低温ポリシリコン材料からなる。

【0020】

別の態様では、上記の何れかに記載の表示パネルを備える表示装置を提供する。

10

【図面の簡単な説明】

【0021】

本開示の実施例における技術案をより明確に説明するため、以下、本開示の幾つかの実施例に用いられる図面について簡単に説明する。以下の説明における図面は、本開示の幾つかの実施例の図面であり、当業者であれば、これらの図面によって他の図面が取得できることは明らかである。さらに、以下の説明における図面は、概略図と見なすことができ、本開示の実施例に係る製品の実際の寸法、方法の実際のプロセス、信号の実際のタイミングなどを限定するものではない。

【0022】

【図1】関連技術に係る表示パネルの1つの上面図である。

20

【図2】幾つかの実施例に係る表示パネルの上面図である。

【図3】図2の表示パネルにおける第1表示サブグループ、第2表示サブグループ及び対応する感光手段の拡大図である。

【図4】幾つかの実施例に係る表示パネルのもう1つの上面図である。

【図5】図4の表示パネルにおける第1仮想サブグループ、第2仮想サブグループ及び対応する感光手段の拡大図である。

【図6】図4の表示パネルにおける感光アレイの行と列の間隔の図である。

【図7】幾つかの実施例に係る表示パネルの更に1つの上面図である。

【図8】図7の表示パネルにおける各表示サブグループ及び仮想サブグループの拡大図である。

30

【図9】図2及び図4のA - A'方向に沿った断面図である。

【図10】幾つかの実施例に係るOLED表示パネルの断面図である。

【図11】図1のB - B'方向の断面図である。

【図12】図2及び図4のB - B'方向の1つの断面図である。

【図13】図2及び図4のB - B'方向のもう1つの断面図である。

【図14】幾つかの実施例に係る表示装置の断面図である。

【発明を実施するための形態】

【0023】

以下、図面を参照し、本開示の実施例における技術案を明確かつ完全に説明する。無論、ここに記載された実施例はあくまで本開示の実施例の一部のみであり、全ての実施例ではないと理解されるべきである。本開示における実施例に基づき、当業者が取得する他のすべての実施例は、本開示の権利範囲に含まれるものとする。

40

【0024】

文脈上別段の解釈を要しない限り、本明細書及び特許請求の範囲全体において、用語「備える (comprise)」及びその他の形式、例えば、第三人称の単数形である「備える (comprises)」及び現在分詞の形式である「備える (comprising)」は、オープンエンドの用語、即ち「含むが、これらに限定されない」と解釈されるべきである。明細書の説明において、用語「1つの実施例 (one embodiment)」、「幾つかの実施例 (some embodiments)」、「例示的な実施例 (exemplary embodiments)」、「例示 (example)」、「

50

特定の例示 (specific example)」、又は「幾つかの例示 (some examples)」などは、この実施例又は実施例に関連する特定の特徵、構造、材料、又は特性が、本開示の少なくとも1つの実施例又は例示に含まれることを示すことが意図される。上記の用語の概略的な表現は、必ずしも同じ実施例又は例示を指すわけではない。さらに、説明された特定の特徵、構造、材料、又は特性は、任意の適切な態様で、任意の1つ又は複数の実施例又は例示に含まれ得る。

【0025】

「A、B及びCの少なくとも1つ」は、「A、B又はCの少なくとも1つ」と同じ意味であり、何れもAのみ、Bのみ、Cのみ、A及びBの組合せ、A及びCの組合せ、B及びCの組合せ、並びにA、B及びCの組合せのようなA、B及びCの組合せを含む。

10

【0026】

以下、用語「第1」、「第2」は説明の目的だけに用いられ、相対的な重要性を明示又は暗示する、又は対象となる技術的特徴の数を明示又は暗示すると理解されるべきではない。従って、「第1」、「第2」で限定される特徴は、1つ又は複数の該特徴を明示的又は暗黙的に含むことができる。本開示の実施例の説明では、特に説明がない限り、「複数」は2つ又はその以上を意味する。

【0027】

なお、本開示の実施例で使用される全ての用語（技術的又は科学的用語を含む）は、特に定義されない限り、本開示が属する技術分野の当業者によって理解されるものと同じ意味を有する。また、容易に理解されるだろうが、通常の辞書などに定義された用語は、関連技術の文脈における意味と一致する意味を有すると解釈されるべきであり、明細書で明確に定義しない限り、理想化又は極度の形式化の意味で解釈されるべきではない。

20

【0028】

例えば、本開示明細書及び請求の範囲で使用された用語、「備える」又は「含む」などのような用語とは、その用語の前に現れる要素が、その用語の後に現れる要素を包含することを意味するが、他の要素をも包含する可能性が除外されることは意図しない。「上/上方」、「下/下方」、「行/行方向」、「列/列方向」などの方位又は位置関係を示す用語は、図面に示す方位又は位置関係に基づくものであり、言及された装置又は要素が特定の方位を有し、特定の方位で構成及び操作されなければならないことを示す又は示唆するものではなく、本開示の技術案を便利に説明するためのものに過ぎず、従って本開示を限定するものと解釈されるべきではない。

30

【0029】

例えば、場合によっては、「行方向」に関する実施例は、「列方向」等の場合に実施されてもよく、その逆も同様である。本開示の技術案を90°回転又は鏡像にしたものも、本開示の請求の範囲に属する。

【0030】

関連技術において、画面下指紋認証装置では、表示領域内に集積された指紋認証素子は、通常、感光手段である。画面下指紋認証技術は、指紋認証素子を表示領域の特定の領域に集積してもよいし、指紋認証素子を表示領域の任意の領域に集積してもよく、後者は、全画面指紋認証技術と称される。感光手段を表示パネルの内部に集積すること（即ち、In-cell集積）は、表示パネルの知能化及び画面占有率をさらに向上させることができる。感光手段は、指表面の稜部及び谷部で反射された光を受光して光電信号を生成する感光層（受光層とも称することができる）を有する感光素子を含む。指表面の稜部が相対的に突出し、谷部が相対的に凹んでいるため、稜部と谷部で反射される光線の光強度が異なり、これにより感光素子で生成される光電信号に影響し、複数の感光素子で生成される光電信号を処理することで指紋の認証を実現できる。

40

【0031】

しかしながら、表示パネルの既存の表示解像度が高い、即ち、非常に高密度に分布した複数のサブ画素を有する。このため、表示パネルに感光手段を集積した後、各感光手段の感光層の面積は、何れも既存のサブ画素の影響を受けてしまう。小さな面積の感光層しか

50

有さないため、画面外の独立した光学指紋アレイに対して、表示パネル内に集積された感光手段の受光面積（即ち、感光層が光を受光できる面積）が減少し、光感知電気信号の低下を招く。また、表示領域内の各サブ画素が異なる色の表示光を発生するため、感光層が指の反射光を受光することに影響を与え、感光手段の認証精度が低下する。

【0032】

以下、表示パネルをOLED（即ちOrganic Light-Emitting Diode、有機エレクトロルミネッセンスダイオード）表示パネルとする場合を例として、関連技術における感光手段が集積されたOLED表示パネル、及び感光手段が表示パネルに集積された配列方式に対して具体的に説明する。

【0033】

OLED表示パネルは、マトリクス配列された複数のサブ画素（即ちsub-pixel。副画素とも称する）を含む。複数のサブ画素は、さらに、複数の赤サブ画素（Red。以下、Rサブ画素とも称する）、複数の緑サブ画素（Green。以下、Gサブ画素とも称する）、複数の青サブ画素（Blue。以下、Bサブ画素とも称する）に分割される。R、G、Bサブ画素のマトリクス設計は、OLED表示パネルによって表示される画面がより良い色品質を有するように、具体的には、品字形（Deltaとも称する、即ち三角形）の設計構造を用いる。

【0034】

図1に示すように、各行のサブ画素において、Bサブ画素（図1ではBと表記する）、Gサブ画素（図1ではGと表記する）、Rサブ画素（図1ではRと表記する）を1グループとして繰り返し配列される。さらに、隣接する2行のサブ画素は、ずらして配置され、ずらした幅は、例えば各サブ画素の行方向X-X'の幅の半分とする。次行のサブ画素と、前行のサブ画素のうちの隣接する2つのサブ画素の間の隙間とを列方向Y-Y'に整列させることにより、隣接する2行にそれぞれ位置し、且つ互いに近接する3つの異なる色のサブ画素を1つの品字形の構造（図1における破線の枠で示すように）を形成するようにする。

【0035】

なお、上記図1では、マトリクス配列された複数のサブ画素のうちの部分的な配列のみを示し、他の図示されていないサブ画素も上記のようなRGB品字形に配列される。

【0036】

R、G、Bサブ画素は、それぞれ、赤光、緑光、青光を発生するOLED素子をさらに含む。図1において各六角形が示すのは、それぞれ、各OLED素子の発光層、即ち、R発光層、G発光層、B発光層である。各発光層の下に覆われている部分は、各OLED素子のアノードO1である。OLED素子のカソードは、通常、透明電極であり、OLED素子の発光層が発生する光を上方の透明カソードの側から射出可能にし（即ち、トップエミッション型）、且つ各OLED素子のカソードは、通常、一体に接続される電極層の層全体である。図1には、各OLED素子のカソードは示されていない。

【0037】

例示的には、Gサブ画素に含まれるOLED素子において、図1に示すように、アノードO1が1つの電極であり、これにより1つのGサブ画素における発光層の全てを発光するように制御する。又は、アノードO1は、列方向Y-Y'に沿う複数の電極（例えば、2つ）に分割され、これにより、1つのGサブ画素における発光層の、各電極に対応する部分がそれぞれ発光するように制御してもよい。これは、従来の設計であり、具体的な説明を省略する。

【0038】

図1に戻り参照すると、RGB品字形の設計構造に基づいて、関連技術の感光手段は、行方向X-X'に沿って、隣接する2つのサブ画素の間の隙間の下方に1つの感光手段が設けられる設計方式である。図1には、各感光手段における感光層Sのみが示されている。

【0039】

上記のOLED表示パネルに感光手段を追加した後、隣接する2つのサブ画素の間の隙

10

20

30

40

50

間は非常に小さい（行方向 X - X' に沿って、隙間の幅は各サブ画素の幅に対してほぼ無視できるほど非常に小さい）。感光層 S は、指表面の稜部、谷部によって反射された光を受光するためには一定の面積が必要である。このため、行方向 X - X' に沿って、感光層 S が R、G、B サブ画素の間の隙間の下方に設けられる時、感光層の O L E D 表示パネルのパネル面における正投影と隣接する 2 つのサブ画素の発光層の O L E D 表示パネルのパネル面における正投影とが必然的に重なる領域がある。指表面の稜部、谷部によって反射された光は R、G、B サブ画素の発光層を透過して、隣接する 2 つのサブ画素の間の隙間の下方に設けられた感光層の表面に照射される。ここで、O L E D 表示パネルのパネル面は、O L E D 表示パネルの表示面と理解することができる。

【 0 0 4 0 】

上記の設計方式において、各感光手段は、異なる R 発光層、G 発光層、B 発光層の下方に位置される。感光手段の配置位置は、R サブ画素と G サブ画素の間の隙間の下方、G サブ画素と B サブ画素の間の隙間の下方、及び R サブ画素と B サブ画素の間の隙間の下方の 3 種類がある。

【 0 0 4 1 】

図 1 における第 1 行のサブ画素を例にすると、左から 1 番目の感光手段の感光層 S は、B サブ画素と G サブ画素との間の隙間の下方に位置する。該感光層 S が受光した反射光は、B 発光層と G 発光層を透過してフィルタリングされたものである。左から 2 番目の感光手段の感光層 S は、G サブ画素と R サブ画素との間の隙間の下方に位置する。該感光層 S が受光した反射光は、G 発光層と R 発光層を透過してフィルタリングされたものである。左から 3 番目の感光手段の感光層 S は、R のサブ画素と B のサブ画素との間の隙間の下方に位置する。この感光層 S が受光した反射光は、R 発光層と B 発光層を透過してフィルタリングされたものである。

【 0 0 4 2 】

異なる色の光を発する発光層の材料が異なるため、これに応じて、異なる色の光を発する発光層が指表面の稜部や谷部によって反射された光をフィルタリングする程度も異なる。これにより、各感光手段の感光層に到達する反射光のフィルタリングされた程度が大きく異なり、感光手段によって生成された光電信号には一定の歪みが発生し、指紋の認証精度に影響を与える。

【 0 0 4 3 】

これに鑑み、本開示の実施例の一態様は、表示パネルを提供する。図 2 に示すように、当該表示パネル 0 1 は、サブ画素アレイ 1 0、及び当該サブ画素アレイ 1 0 の光出射面の下方に配置された複数の感光手段 1 4 を備える。ここで、サブ画素アレイ 1 0 の光出射面は、当該サブ画素アレイ 1 0 が光線を発する面である。サブ画素アレイにおける各サブ画素が発光素子を含む場合、サブ画素アレイ 1 0 の光出射面は、発光素子の発光層が光線を発する面と理解することもできる。

【 0 0 4 4 】

当該サブ画素アレイ 1 0 は、異なる色の光を発する第 1 サブ画素 1 1、第 2 サブ画素 1 2 及び第 3 サブ画素 1 3 を含む。前記複数の感光手段 1 4 の各々は、感光層を含む感光素子を有する。各感光素子の感光層 1 4 0 1 の表示パネル 0 1 のパネル面における正投影と、第 1 サブ画素 1 1、第 2 サブ画素 1 2 及び第 3 サブ画素 1 3 の表示パネル 0 1 のパネル面における正投影とが何れも重なる領域を有する。なお、表示パネルのパネル面とは、当該表示パネルの表示面を指す。

【 0 0 4 5 】

幾つかの実施例において、前記表示パネル 0 1 は、指紋認証表示パネルであり、この指紋認証表示パネルは、指紋認証のための感光手段 1 4 を O L E D 表示パネルに集積させる表示パネルである。

【 0 0 4 6 】

容易に理解されるだろうが、第 1 サブ画素 1 1、第 2 サブ画素 1 2 及び第 3 サブ画素 1 3 は、例えば、青色、緑色及び赤色を含む、異なる色の光を発する。

10

20

30

40

50

例示的には、第1サブ画素11は青色の光を発生し、即ち、第1サブ画素11は、Bサブ画素である。第2サブ画素12は緑色の光を発生し、即ち、第2サブ画素12は、Gサブ画素である。第3サブ画素13は、赤色の光を発生し、即ち、第3サブ画素13は、Rサブ画素である。

【0047】

このように、本開示の幾つかの実施例が提供される上記の表示パネル01では、当該表示パネル01に集積された指紋認証のための各感光手段14において、感光素子の感光層1401の表示パネル01のパネル面における正投影と、異なる色の光を発生する第1サブ画素11、第2サブ画素12及び第3サブ画素13の表示パネル01のパネル面における正投影とが何れも重なる領域を有する。即ち、各感光手段14は、何れも第1サブ画素11における発光層、第2サブ画素12における発光層、及び第3サブ画素13における発光層の下方に位置する。各感光手段14における感光層1401が受光する指表面の稜部及び谷部からの反射光線は、何れも3色の光を発生可能なサブ画素における発光層を透過してフィルタリングされる。このため、各感光手段14における感光層1401に到達する反射光の、フィルタリングされた後の程度の差を低減し、感光手段によって発生する光電信号の歪みの程度を低減して、上記表示パネル01に集積された感光手段14の認証精度が向上される。

10

【0048】

幾つかの実施例において、各感光層1401の表示パネル01のパネル面における正投影と、第1サブ画素11の表示パネル01のパネル面における正投影との重なる領域の面積は、何れも等しく、各感光層1401の表示パネル01のパネル面における正投影と、第2サブ画素12の表示パネル01のパネル面における正投影との重なる領域の面積は、何れも等しく、各感光層1401の表示パネル01のパネル面における正投影と、第3サブ画素13の表示パネル01のパネル面における正投影との重なる領域の面積は、何れも等しい。

20

【0049】

なお、第1サブ画素11、第2サブ画素12及び第3サブ画素13は異なる色の光を発生し、表示パネル01が画面を表示する時の、対応する色の配置要求に基づいて、幾つかの例示において、表示パネル01のパネル面の垂直方向に沿って、第1サブ画素11、第2サブ画素12及び第3サブ画素13のパターンが完全に同じであるとは限らない。このため、各感光層1401と同じ色の光を発生するサブ画素との重なる領域の面積が何れも等しくなればよく、各感光層1401と異なる色の光を発生するサブ画素との間の重なる領域の面積は等しくても等しくなくてもよく、本開示の実施例はこれに限定されない。

30

【0050】

このように、各感光層1401の表示パネル01のパネル面における正投影と、同じ色の光を発生するサブ画素の表示パネル01のパネル面における正投影との重なる領域の面積を何れも等しくさせることにより、異なる色の光を発生する第1サブ画素11、第2サブ画素12及び第3サブ画素13における発光層が各感光手段14における感光層1401に対する光遮断総面積を何れも同じにして、各感光手段14における感光層1401が受光した反射光のフィルタリングされた程度の差をなくすことにより、フィルタリングされた程度の差による光電信号の歪みの問題を解決し、上記表示パネル01に集積された感光手段14の認証精度をさらに向上させる。

40

【0051】

幾つかの実施例において、本開示の幾つかの実施例に係る表示パネル01では、各サブ画素の配列方式は、具体的には、品字形である。図2にさらに示すように、上述のサブ画素アレイ10は、具体的には、列方向Y-Y'に沿って順次配列された複数の表示グループ100を含む。

【0052】

前記複数の表示グループ100の各々は、行方向X-X'に沿って順次交互に配列された第1表示サブグループ101、第2表示サブグループ102を含む。

50

【 0 0 5 3 】

各第 1 表示サブグループ 1 0 1 と第 2 表示サブグループ 1 0 2 は、何れも隣接する 2 行に分布された 1 つの上述第 1 サブ画素 1 1、1 つの上述第 2 サブ画素 1 2、及び 1 つの上述第 3 サブ画素 1 3 を含む。

【 0 0 5 4 】

各表示グループ 1 0 0 において、各第 1 表示サブグループ 1 0 1 における第 1 サブ画素 1 1 及び第 2 サブ画素 1 2 は、各第 2 表示サブグループ 1 0 2 における第 3 サブ画素 1 3 と同じ行に位置し、各第 1 表示サブグループ 1 0 1 における第 3 サブ画素 1 3 は、何れも各前記第 2 表示サブグループ 1 0 2 における第 1 サブ画素 1 1、第 2 サブ画素 1 2 と同じ行に位置する。

10

【 0 0 5 5 】

即ち、各表示グループ 1 0 0 において、各第 1 表示サブグループ 1 0 1 は、倒立した品字形（以下、逆品字形と略称する）に類似する構造、各第 2 表示サブグループ 1 0 2 は、正立した品字形（以下、正品字形と略称する）に類似する構造である。

【 0 0 5 6 】

このように、サブ画素アレイ 1 0 は、行方向 X - X' に沿って交互に配列された 1 列の逆品字形、1 列の正品字形からなる。

【 0 0 5 7 】

上記の逆品字形と正品字形とが交互に配列される設計に基づいて、本開示の幾つかの実施例は、文字 Y に類似する構造（以下、Y 型と略称する）を有する感光手段 1 4 をさらに提供する。当該 Y 型の感光手段 1 4 は、上記サブ画素アレイ 1 0 の光出射面の下方に均一に分布されることができ。図 2 に示すように、各第 1 表示サブグループ 1 0 1 及び各第 2 表示サブグループ 1 0 2 の光出射面の下方には、何れも 1 つの感光手段 1 4 が配置される。

20

【 0 0 5 8 】

図 3 に示すように、各感光層 1 4 0 1 は、第 1 サブ感光層 S 1、第 2 サブ感光層 S 2、及び第 3 サブ感光層 S 3 を含む。

【 0 0 5 9 】

ここで、表示パネル 0 1 のパネル面の垂直方向に沿って、各第 1 表示サブグループ 1 0 1 に対応する感光手段 1 4 において、第 1 サブ感光層 S 1 は、当該第 1 表示サブグループ 1 0 1 における第 3 サブ画素 1 3、隣接する第 2 表示サブグループ 1 0 2 の近接する第 2 サブ画素 1 2 のいずれとも重なりを有し、第 2 サブ感光層 S 2 は、当該第 1 表示サブグループ 1 0 1 における第 3 サブ画素 1 3、隣接する第 2 表示サブグループ 1 0 2 の近接する第 1 サブ画素 1 1 のいずれとも重なりを有し、第 3 サブ感光層 S 3 は、当該第 1 表示サブグループ 1 0 1 における第 1 サブ画素 1 1、第 2 サブ画素 1 2 のいずれとも重なりを有する。

30

【 0 0 6 0 】

表示パネル 0 1 のパネル面の垂直方向に沿って、各第 2 表示サブグループ 1 0 2 に対応する感光手段 1 4 において、第 1 サブ感光層 S 1 は、当該第 2 表示サブグループ 1 0 2 における第 3 サブ画素 1 3、隣接する第 1 表示サブグループ 1 0 1 の近接する第 2 サブ画素 1 2 のいずれとも重なりを有し、第 2 サブ感光層 S 2 は、当該第 2 表示サブグループ 1 0 2 における第 3 サブ画素 1 3、隣接する第 1 表示サブグループ 1 0 1 の近接する第 1 サブ画素 1 1 のいずれとも重なりを有し、第 3 サブ感光層 S 3 は、当該第 2 表示サブグループ 1 0 2 における第 1 サブ画素 1 1、第 2 サブ画素 1 2 のいずれとも重なりを有する。

40

【 0 0 6 1 】

ここで、上記の A と B とが「重なりを有する」とは、A の表示パネル 0 1 のパネル面における正投影と、B の表示パネル 0 1 のパネル面における正投影とが重なる領域を有することを指す。

【 0 0 6 2 】

幾つかの例示において、第 1 表示サブグループ 1 0 1 は、逆品字形構造を呈する。第 1

50

表示サブグループ101に対応する、その光出射面の下方に位置する感光手段14も、対応して逆Y型構造を呈する。これにより、各感光手段14における感光層1401から3方向に伸び出した分岐を、異なる隣接するサブ画素の間の隙間の下方に位置させることができる。

【0063】

即ち、第1サブ感光層S1は第2サブ画素12、第3サブ画素13と重なりを有し、第2サブ感光層S2は第1サブ画素11、第3サブ画素13と重なりを有し、第3サブ感光層S3は第1サブ画素11、第2サブ画素12と重なりを有する。このように、品字形構造のサブ画素の設計において、各逆品字形構造の第1表示サブグループ101の光出射面の下方の感光手段14の受光面積を最大化させることが実現でき、これにより感光手段14が生成する光電信号の信号量を向上させることができる。

10

【0064】

他の幾つかの例示において、第2表示サブグループ102は、正品字形構造を呈する。第2表示サブグループ102に対応する、その光出射面の下方に位置される感光手段14も、対応して正Y型構造を呈する。これにより、各感光手段14における感光層1401から3方向に伸び出した分岐を、異なる隣接するサブ画素の間の隙間の下方に位置させることができる。

【0065】

即ち、第1サブ感光層S1は第2サブ画素12、第3サブ画素13と重なりを有し、第2サブ感光層S2は第1サブ画素11、第3サブ画素13と重なりを有し、第3サブ感光層S3は第1サブ画素11、第2サブ画素12と重なりを有する。このように、品字形構造のサブ画素の設計において、各正品字形構造の第2表示サブグループ102の光出射面の下方の感光手段14の受光面積を最大化させることが実現でき、これにより感光手段14が生成する光電信号の信号量を向上させることができる。

20

【0066】

幾つかの実施例において、上記表示パネル01により多くの感光手段14を集積可能にして、全画面指紋認証を容易にするため、感光手段14は、さらに、列方向Y-Y'に隣接する2つの第1表示サブグループ101の間、及び列方向Y-Y'に隣接する2つの第2表示サブグループ102の間に配置される。

【0067】

具体的には、図4に示すように、列方向Y-Y'に沿って、各第1表示サブグループ101における第3サブ画素13は、隣接する他の第1表示サブグループ101における第1サブ画素11、第2サブ画素12とともに、1つの第1仮想サブグループ103を構成する。各第2表示サブグループ102における第1サブ画素11、及び第2サブ画素12は、隣接する他の第2表示サブグループ102における第3サブ画素13とともに、1つの第2仮想サブグループ104を構成する。各第1仮想サブグループ103、各第2仮想サブグループ104の光出射面の下方には、何れも1つの上記感光手段14が配置される。

30

【0068】

ここで、図5に示すように、表示パネル01のパネル面の垂直方向に沿って、各第1仮想サブグループ103に対応する感光手段14において、第1サブ感光層S1は、当該第1仮想サブグループ103における第3サブ画素13、隣接する第2仮想サブグループ104の近接する第2サブ画素12のいずれとも重なりを有し、第2サブ感光層S2は、当該第1仮想サブグループ103における第3サブ画素13、隣接する第2仮想サブグループ104の近接する第1サブ画素11のいずれとも重なりを有し、第3サブ感光層S3は、当該第1仮想サブグループ103における第1サブ画素11、第2サブ画素12のいずれとも重なりを有する。

40

【0069】

容易に理解されるだろうが、第1表示サブグループ101は逆品字形構造を呈するため、列方向Y-Y'に沿った隣接する2つの第1表示サブグループ101において、互いに隣接する3つのサブ画素からなる第1仮想サブグループ103は、相反する正品字形構造を

50

呈し、当該正品字形構造の第1仮想サブグループ103の出射光面の下方に位置する感光手段14も、対応して正Y型構造である。

【0070】

このように、品字形構造のサブ画素の設計において、各正品字形構造の第1仮想サブグループ103の光出射面の下方の感光手段14の受光面積を最大化させることが実現でき、これにより感光手段14による光電信号の信号量を向上させることができる。

【0071】

図5に戻り参照すると、表示パネル01のパネル面の垂直方向に沿って、各第2仮想サブグループ104に対応する感光手段14において、第1サブ感光層S1は、当該第2仮想サブグループ104における第3サブ画素13、隣接する第1仮想サブグループ103の近接する第2サブ画素12のいずれとも重なりを有し、第2サブ感光層S2は、当該第2仮想サブグループ104における第3サブ画素13、隣接する第1仮想サブグループ103の近接する第1サブ画素11のいずれとも重なりを有し、第3サブ感光層S3は、当該第2仮想サブグループ104における第1サブ画素11、第2サブ画素12のいずれとも重なりを有する。

10

【0072】

容易に理解されるだろうが、第2表示サブグループ102は正品字形構造を呈するため、列方向Y-Y'に沿った隣接する2つの第2表示サブグループ102において、互いに隣接する3つのサブ画素からなる第2仮想サブグループ104は、相反する逆品字形構造を呈し、当該逆品字形構造の第2仮想サブグループ104の出射光面の下方に位置する感光手段14も、対応して逆Y型構造である。

20

【0073】

このように、品字形の構造のサブ画素の設計において、各逆品字形構造の第2仮想サブグループ104の光出射面の下方の感光手段14の受光面積を最大化させることが実現でき、これにより感光手段14による光電信号の信号量を向上させることができる。

【0074】

幾つかの実施例において、図3又は図5に示すように、上述した正Y型構造及び逆Y型構造の感光手段14では、各感光層1401における3つの分岐、即ち感光層1401に含まれる第1サブ感光層S1、第2サブ感光層S2、及び第3サブ感光層S3が互いに接続されていない。

30

【0075】

このように、隣接するサブ画素の間の隙間に配置可能な配線やビア等の従来の構造を回避することができ、これらの構造を配置するためのスペースを残すことができる。

【0076】

幾つかの実施例において、感光手段14における感光素子は、さらに、表示パネル01のパネル面の垂直方向に沿って、感光層1401の両側に積層して配置される下部電極及び上部電極を含む。

【0077】

下部電極の表示パネル01のパネル面における正投影は、第1サブ感光層S1、第2サブ感光層S2、及び第3サブ感光層S3の表示パネル01のパネル面における正投影を覆い、且つ第1サブ感光層S1、第2サブ感光層S2、及び第3サブ感光層S3が対応する下部電極の部分が互いに連通する。ここで、第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層S3に対応する下部電極の部分は、下部電極の表示パネル01のパネル面における正投影と、第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層S3の表示パネル01のパネル面における正投影とが重なり部分を有する。即ち、各下部電極は一体構造である。

40

【0078】

上部電極の表示パネル01のパネル面における正投影は、第1サブ感光層S1、第2サブ感光層S2、及び第3サブ感光層S3の表示パネル01のパネル面における正投影を覆い、且つ第1サブ感光層S1、第2サブ感光層S2、及び第3サブ感光層S3に対応する

50

上部電極の部分が互いに連通する。ここで、第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層S3に対応する上部電極の部分は、上部電極の表示パネル01のパネル面における正投影と、第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層S3の表示パネル01のパネル面における正投影とが重なる部分を有する。即ち、各上部電極は一体構造である。

【0079】

このような配置により、互いに接続されていない第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層S3は、何れも下部電極の表面に配置することができ、上部電極が互いに接続されていない第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層S3を覆い、1つの感光手段14を形成する。

10

【0080】

幾つかの例示において、図3及び図5に示すように、上記正Y型構造及び逆Y型構造の感光手段14における下部電極1402は、対応して正Y型構造及び逆Y型構造であり、上部電極は、図3又は図5に示されていないが、通常、透明電極である。

【0081】

1つの実現可能な形態として、感光層1401の3方向に延びる各サブ感光層の製造及び設計を容易にするため、図2～図5に示すように、各第1サブ感光層S1は、対応する第2サブ画素12との重なる領域の面積が何れも等しく、各第1サブ感光層S1は、対応する第3サブ画素13との重なる領域の面積が何れも等しい。各第2サブ感光層S2は、対応する前記第1サブ画素11との重なる領域の面積が何れも等しく、各第2サブ感光層S2は、対応する第3サブ画素13との重なる領域の面積が何れも等しい。各第3サブ感光層S3は、対応する第1サブ画素11との重なる領域の面積が何れも等しく、各第3サブ感光層S3は、対応する第2サブ画素12との重なる領域の面積が何れも等しい。

20

【0082】

第1サブ画素11、第2サブ画素12及び第3サブ画素13がそれぞれBサブ画素、Gサブ画素及びRサブ画素を例として、各感光手段14が異なるサブ画素の出射光面の下方で、対応するサブ画素における発光層によって覆われる面積分布の割合は、下記の表1に示す通りである。表1から分かるように、正Y構造の感光手段14がR、G、Bサブ画素の発光層によって覆われる面積と、逆Y構造の感光手段14がR、G、Bサブ画素の発光層によって覆われる面積とがそれぞれ対応して等しい。これにより、各感光手段における感光層1401が受光した反射光のフィルタリングされた程度の差をなくし、フィルタリングされた程度の差による光電信号の歪みの問題が解決される。

30

【0083】

【表1】

表1. 各感光手段の異なるサブ画素の発光層によって覆われる面積分布の割合

感光手段	第3サブ画素 (R)	第2サブ画素 (G)	第1サブ画素 (B)
正Y構造	28%	36%	36%
逆Y構造	28%	36%	36%

40

【0084】

図1に戻り参照すると、関連技術において、サブ画素のパターンは、通常六角形であり、且つ六角形は列方向Y-Y'に沿った長さが行方向X-X'に沿った幅より長い。即ち、各サブ画素は細長状の六角形である。

【0085】

これにより、隣接する2つのサブ画素の間の隙間の下方に1つの感光手段が配置される場合には、隣接する2つの感光手段における感光層Sの行方向X-X'に沿った間隔W1と

50

、隣接する2つの感光手段における感光層Sの列方向Y - Y'に沿った間隔W2とが等しくないため、感光手段の行方向及び列方向の間隔が異なり、指紋画素を採取する時に画像の歪みが発生し、生成された指紋画像が圧縮又は伸張され、補正アルゴリズムを追加する必要があり、指紋認証の難しさが増加する。

【0086】

上記の問題に鑑み、本開示の幾つかの実施例は、さらに、Y型構造の感光手段を行方向及び列方向の隙間が何れも同じになるように配置することを提出した。これにより指紋画素を採取する時に画像の歪みが発生せず、補正アルゴリズムを追加する必要がなく、指紋認証の難しさが低減される。

【0087】

図4に戻り参照すると、1列の第1表示サブグループ101において、第1サブ画素11と第2サブ画素12との間の隙間は、第3サブ画素13の列方向Y - Y'の中心線に整列し、1列の第2表示サブグループ102において、第1サブ画素11と第2サブ画素12との間の隙間は、第3サブ画素13の列方向Y - Y'の中心線に整列する。

【0088】

こうして、各第1表示サブグループ101、各第2表示サブグループ102、各第1仮想サブグループ103、及び各第2仮想サブグループ104の光出射面の下方に位置する感光手段14は、マトリックス配列された感光アレイを形成することができる。

【0089】

幾つかの実施例において、この感光アレイにおいて、感光手段14の行方向X - X'及び列方向Y - Y'に沿う間隔を何れも等しくさせるため、図6に示すように、各感光手段14における第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層S3の中心が仮想三角形(図6における破線三角形で示される)を形成するように接続され、行方向X - X'及び列方向Y - Y'に沿って、隣接する2つの仮想三角形の midpoint の間隔は、何れも等しい(何れもWである)。

【0090】

ここで、上記 midpoint は、各仮想三角形において、第3サブ感光層の中心が位置する頂角から対辺に下ろした垂線の midpoint である。

【0091】

幾つかの例示において、図2 - 図5に戻り参照すると、上記表示パネル01のパネル面の垂直方向に沿って、第1サブ画素11、第2サブ画素12及び第3サブ画素13のパターンは、何れも六角形である。

【0092】

他の幾つかの例示において、図7及び図8に示すように、上記表示パネル01のパネル面の垂直方向に沿って、第1サブ画素11、第2サブ画素12及び第3サブ画素13のパターンは、何れも矩形である。本開示は第1サブ画素11、第2サブ画素12及び第3サブ画素13のパターンを限定しない。

【0093】

図7及び図8に示すように、各逆品字形構造の第1表示サブグループ101の光出射面の下方には、何れも1つの逆Y型構造の感光手段14が配置され、各正品字形構造の第2表示サブグループ102の光出射面の下方には、何れも1つの正Y型構造の感光手段14が配置され、各正品字形構造の第1仮想サブグループ103の光出射面の下方には、何れも1つの正Y型構造の感光手段14が配置され、各逆品字形構造の第2仮想サブグループ104の光出射面の下方には、何れも1つの逆Y型構造の感光手段14が配置される。

【0094】

なお、図7において、各感光手段14の全体構造のみが示され、そのうちの互いに接続されていない第1サブ感光層S1、第2サブ感光層S2及び第3サブ感光層が示されていないが、各サブ感光層のパターン及び具体的な説明は、上記の図2 - 図5及び対応する実施例の具体的な説明を参照すればよく、ここでその説明を省略する。

【0095】

10

20

30

40

50

さらに、図 8 の拡大模式図は、矩形の各サブ画素の配列方式のみを示すものであり、各表示サブグループ及び各仮想サブグループの出射光面の下方の感光手段は示されていない。

【 0 0 9 6 】

幾つかの実施例において、図 9 に示すように、第 1 サブ画素は、第 1 発光素子 1 1 0 を含み、第 2 サブ画素は、第 2 発光素子 1 2 0 を含み、第 3 サブ画素は、第 3 発光素子 1 3 0 を含む。

【 0 0 9 7 】

容易に理解されるだろうが、上記表示パネル 0 1 は、ベース基板 2 0 0 をさらに備え、上記各サブ画素及び感光手段 1 4 が、上記ベース基板 2 0 0 上に設けられる。

【 0 0 9 8 】

図 9 に戻り参照すると、上記表示パネル 0 1 のパネル面の垂直方向 Z - Z' に沿って、第 1 サブ画素と感光手段における感光層（図 9 における断面方向に具体的に示されるのは、感光層における第 2 サブ感光層 S 2 及び第 3 サブ感光層 S 3 である）との重なる部分は、具体的には、当該第 1 サブ画素における第 1 発光素子 1 1 0 の第 1 発光層 1 1 0 1 であり、第 2 サブ画素と感光層（図 9 における断面方向に具体的に示されるのは、感光層における第 1 サブ感光層 S 1 及び第 3 サブ感光層 S 3 である）との重なる部分は、当該第 2 サブ画素における第 2 発光素子 1 2 0 の第 2 発光層 1 2 0 1 であり、第 3 サブ画素と感光層（図 9 における断面方向に具体的に示されるのは、感光層における第 1 サブ感光層 S 1 及び第 2 サブ感光層 S 2 である）との重なり部分は、当該第 3 サブ画素における第 3 発光素子 1 3 0 の第 3 発光層 1 3 0 1 である。

【 0 0 9 9 】

さらに、上記各第 1 サブ画素 1 1、各第 2 サブ画素 1 2 及び各第 3 サブ画素 1 3 は、何れも当該サブ画素中の対応する発光素子に電氣的接続される駆動トランジスタ D をさらに含む。

【 0 1 0 0 】

各感光手段 1 4 は、さらに、当該感光手段 1 4 における感光素子 1 4 0 に電氣的接続されるスイッチトランジスタ T を含む。

【 0 1 0 1 】

各サブ画素における駆動トランジスタ D 中の活性層は、感光手段におけるスイッチングトランジスタ T 中の活性層と材料が異なり、且つスイッチングトランジスタ T 中の活性層は、酸化物半導体材料からなる。

【 0 1 0 2 】

なお、上述した「各第 1 サブ画素 1 1、各第 2 サブ画素 1 2 及び各第 3 サブ画素 1 3 は、何れも当該サブ画素中の対応する発光素子に電氣的接続される駆動トランジスタ D をさらに含む」とは、各第 1 サブ画素 1 1 は、対応する駆動信号を受信するように、第 1 発光素子 1 1 0 に電氣的接続される駆動トランジスタ D をさらに含み、各第 2 サブ画素 1 2 は、対応する駆動信号を受信するように、第 2 発光素子 1 2 0 に電氣的接続される駆動トランジスタ D をさらに含み、各第 3 サブ画素 1 3 は、対応する駆動信号を受信するように、第 3 発光素子 1 3 0 に電氣的接続される駆動トランジスタ D をさらに含むことを指す。

【 0 1 0 3 】

上述した実施例において、感光手段 1 4 におけるスイッチトランジスタ T 中の活性層は、酸化物半導体材料からなる。低温ポリシリコン（即ち Low Temperature Poly Silicon、LTPS と略称する）材料を用いた活性層より、スイッチングトランジスタ T のリーク電流が低減され、リーク電流が大きいことによる、感光素子 1 4 0 が発生した指紋の稜部、谷部信号の差の顕著性への影響が軽減される。これにより、感光素子 1 4 0 が生成した指紋の稜部、谷部信号の差を大きくして指紋認証精度を向上し、上記 Y 型感光手段 1 4 の配置方式と組合せることにより、指紋認証精度に優れた感光手段を上記表示パネル 0 1 に集積することに有利である。

【 0 1 0 4 】

幾つかの例示において、酸化物半導体材料は、IGZO（即ち Indium Gall

10

20

30

40

50

ium Zinc Oxide、インジウムガリウム亜鉛酸化物)、IGTO(即ちIndium Gallium Tin Oxide、インジウムガリウムスズ酸化物)、IZTO(即ちIndium Zinc Tin Oxide、インジウム亜鉛スズ酸化物)のうちの少なくとも1つを含む。

【0105】

幾つかの実施例において、各サブ画素における駆動トランジスタD中の活性層は、単結晶シリコン、ポリシリコン、低温ポリシリコン、有機半導体などの従来の材料プロセス、例えば、従来の低温ポリシリコン(即ち、Low Temperature Poly Silicon、LTPSと略称する)材料で作製することができる。このため、製造工程を簡略化させ、その結果、光学指紋の酸化物プロセス及び表示のためのサブ画素のLTPSプロセスのLTPO(Low Temperature Polycrystalline - Oxide、低温ポリシリコン酸化物)混合プロセスを実現させた。

10

【0106】

以下、まず、関連技術の、感光素子が集積されていないOLED表示パネル及び感光素子が集積されているOLED表示パネルの具体的な構造について説明する。

【0107】

図10に示すように、従来の感光手段が集積されていないOLED表示パネルでは、各サブ画素における駆動トランジスタDの活性層は、通常、LTPS材料からなる。典型的な製造プロセスは、8回のパターンニング工程が必要とするプロセス(以下は、8 Maskプロセスと略称する)である。具体的な構造は以下に示す通りである。

20

【0108】

図10に戻り参照すると、OLED表示パネルは、ベース基板200上に、順次配置された以下の構造、即ち、

後続に形成されるソースD(s)、ドレインD(d)とそれぞれ接触するための2つのドープ領域a1、及びこの2つのドープ領域a1の間に位置する非ドープ領域a2を含む活性層D(a)と、

活性層D(a)を覆うゲート絶縁層(即ち、Gate Insulator、GIと略称する)201と、

ゲート絶縁層201上に配置されたゲート電極D(g)と、

ゲートD(g)を覆う第1層間絶縁層(Inter Layer Dielectric、ILDと略称する)202と、

30

第1層間絶縁層202上に配置され、且つゲートD(g)に対向配置され、とゲートD(g)との間で蓄積容量を形成する蓄積コンデンサ電極C1と、

蓄積コンデンサ電極C1を覆う第2層間絶縁層203と、

第2層間絶縁層203上に配置され、且つ第2層間絶縁層203、第1層間絶縁層202及びゲート絶縁層201を貫通する異なるビアを介して、2つのドープ領域a1に接続され、ゲートD(g)及び活性層D(a)とで駆動トランジスタDを構成する、ソースD(s)、ドレインD(d)と、

駆動トランジスタDを覆う第3層間絶縁層204と、

第3層間絶縁層204上に配置され、第3層間絶縁層204上のビアを介して下方のドレインD(d)に接続されるアノードO1と、

40

アノードO1を覆う画素定義層(即ちPixel defining layer、PDLと略称する)205であって、アノードO1が画素定義層205に形成された開口部から露出され、少なくとも開口部内に発光層O2を堆積させてアノードO1に接続させるようにする、画素定義層205と、

発光層O2及び画素定義層205を覆うカソードO3であって、カソードO3、アノードO1、及び両者の間に位置する発光層O2がOLED素子を構成するようになるカソードO3と、

OLED素子を覆う薄膜封止層(即ちThin Film Encapsulation、TFEと略称する)206と、を有する。

50

【 0 1 0 9 】

さらに、感光手段が集積された従来のO L E D表示パネルの断面構造は、図 1 1 に示すように、前記図 1 0 に示された 8 M a s kプロセスにおいて、感光手段におけるスイッチングトランジスタTと感光素子が追加されているため、合計 1 2 M a s kプロセスが必要である。具体的には以下に示す通りである。

【 0 1 1 0 】

図 1 1 に戻り参照すると、ベース基板 2 0 0 から離れる方向に沿って、ベース基板 2 0 0 上に配置された各層構造は、順次に以下の通りである。

各サブ画素における駆動トランジスタDの活性層D (a) 及び各感光手段におけるスイッチングトランジスタTの活性層T (a) 、

10

以上の構造を覆うゲート絶縁層 2 0 1 、

ゲート絶縁層 2 0 1 上に配置された各サブ画素における駆動トランジスタDのゲートD (g) 及び各感光手段におけるスイッチングトランジスタTのゲートT (g) 、

以上の構造を覆う第 1 層間絶縁層 2 0 2 、

第 1 層間絶縁層 2 0 2 上に配置され、且つゲートD (g) に対向配置され、とゲートD (g) との間で蓄積容量を形成する蓄積コンデンサ電極 C 1 、

以上の構造を覆う第 2 層間絶縁層 2 0 3 、

第 2 層間絶縁層 2 0 3 上に配置され、第 2 層間絶縁層 2 0 3 、第 1 層間絶縁層 2 0 2 及びゲート絶縁層 2 0 1 を貫通する異なるビアを介して活性層D (a) に接続され、ゲートD (g) 及び活性層D (a) とで駆動トランジスタDを構成するソースD (s) 、ドレインD (d) 及び第 2 層間絶縁層 2 0 3 上に配置され、第 2 層間絶縁層 2 0 3 、第 1 層間絶縁層 2 0 2 及びゲート絶縁層 2 0 1 を貫通する異なるビアを介して活性層T (a) に接続され、ゲートT (g) 及び活性層T (a) とでスイッチングトランジスタTを構成するソースT (s) 、ドレインT (d) 、

20

以上の構造を覆う第 3 層間絶縁層 2 0 4 、

第 3 層間絶縁層 2 0 4 上に配置され、且つ第 3 層間絶縁層 2 0 4 を貫通する異なるビアを介して、それぞれ駆動トランジスタDのドレインD (d) 、スイッチングトランジスタTのドレインT (d) に接続される接続部 L 1 、感光手段の下部電極 1 4 0 2 。ここで、追加された接続部 L 1 は、ソース及びドレインを製造する時の S D m a s k を流用し、感光手段の下部電極 1 4 0 2 が表示パネル内部の各配線を回避するとともに、後続に形成される感光手段における感光層が指の表面で反射された光を受光するための一定の面積を確保するようにする。

30

【 0 1 1 1 】

下部電極 1 4 0 2 上に配置され、例えば P I N 型の受光層、即ち、順次積層して配置された N 型半導体層 (図 1 1 では N と表記) 、 I 型真性半導体層 (図 1 1 では I と表記) 及び P 型半導体層 (図 1 1 では P と表記) からなる感光層 1 4 0 1 、

以上の構造を覆う積層して配置された保護層 2 0 8 及び第 4 層間絶縁層 2 0 7 、

第 4 層間絶縁層 2 0 7 上に配置されたアノード O 1 と感光素子の上部電極 1 4 0 3 であって、アノード O 1 と上部電極 1 4 0 3 は、それぞれ保護層 2 0 8 と第 4 層間絶縁層 2 0 7 を貫通する異なるビアを介して、下方に対応する駆動トランジスタDのドレインD (d) 、感光層 1 4 0 1 に接続され、別途のパターニング工程を追加する必要がなく、同じ M a s k で形成することができるアノード O 1 と感光素子の上部電極 1 4 0 3 。

40

【 0 1 1 2 】

アノード O 1 の上方には、画素定義層 2 0 5 、発光層 O 2 、カソード O 3 及び薄膜封止層 2 0 6 が順次配置され、具体的な工程は、前述の説明を参照すればよく、ここでその説明を省略する。

【 0 1 1 3 】

なお、隣接するサブ画素の発光層 O 2 は、下方の感光素子の感光層 1 4 0 1 と重なりを有する。

【 0 1 1 4 】

50

光学式指紋認証を表示パネルに集積するには、感光手段全体が比較的大きな受光面積を有する、即ち感光手段の全画面のアレイ設計を形成する必要がある。この設計では、感光手段におけるスイッチトランジスタのリーク電流が指紋認証ノイズ（即ち、干渉）の1つの主な発生源となる。一方、酸化物TFT（即ちThin Film Transistor、薄膜トランジスタ）は、低電流リークの性能においてLTFS TFTより遥かに優れる。このため、本開示の実施例に係る上記表示パネル01は、さらにLTPOプロセスにより各サブ画素における駆動トランジスタDと各感光手段14におけるスイッチトランジスタTを形成する。

【0115】

幾つかの実施例において、感光手段14におけるスイッチングトランジスタTの構造は、ボトムゲート構造である。これに基づいて、上記表示パネル01の図2及び図4のB-B'方向に沿った具体的な断面構造は、図12に示す通りである。

10

【0116】

なお、図12に示されるサブ画素は、具体的には、第3サブ画素13及びその中の第3発光素子130であり、残りの第1サブ画素11及びその中の第1発光素子110、第2サブ画素12及びその中の第2発光素子120の構造は類似し、ここでその説明を省略する。

【0117】

さらに、図12において、感光層（この断面方向に具体的に示されているのは、感光層における第2サブ感光層S2である）を覆うのは、第3発光素子130の第3発光層1301及び隣接する第1発光素子の第1発光層1101である。

20

【0118】

図12に示すように、表示パネル01の具体的な構造は以下に示す通りである。

ベース基板200上に配置される、各サブ画素における駆動トランジスタDの活性層D(a)、

活性層D(a)を覆うゲート絶縁層201、

ゲート絶縁層201上に配置される各サブ画素における駆動トランジスタDのゲートD(g)、

ゲートD(g)を覆う第1層間絶縁層202、

第1層間絶縁層202上に配置された蓄積コンデンサ電極C1及びスイッチングトランジスタTのゲートT(g)であって、二者は、同じMaskで製造されてもよく、蓄積コンデンサ電極C1とゲートD(g)とは、その間で蓄積容量を形成するように対向配置され、

30

以上の構造を覆う第2層間絶縁層203、

第2層間絶縁層203上に配置されたスイッチングトランジスタTの活性層T(a)、

以上の構造を覆う第3層間絶縁層204、

第3層間絶縁層204上に配置された駆動トランジスタDのソースD(s)とゲートD(d)、スイッチングトランジスタTのソースT(s)とゲートT(d)であって、ソースD(s)とゲートD(d)は、第3層間絶縁層204、第2層間絶縁層203、第1層間絶縁層202及びゲート絶縁層201を貫通する異なるビアを介して、下方の駆動トランジスタDの活性層D(a)に接続され、こうして、ゲートD(g)、ソースD(s)、ドレインD(d)及び活性層D(a)が駆動トランジスタDを構成し、及び、ソースT(s)とゲートT(d)は、第3層間絶縁層204を貫通する異なるビアを介して、下方の活性層T(a)に接続され、こうして、ゲートT(g)、ソースT(s)、ドレインT(d)及び活性層T(a)がスイッチングトランジスタTを構成し、

40

以上の構造を覆う保護層208、

保護層208上に配置された感光素子140の下部電極1402、

下部電極1402上に配置された感光層（図12の断面方向に具体的に示されているのは、第2サブ感光層S2）であって、当該感光層1401は、例えば、PIN型感光層であってよく、

50

以上の構造を覆う第4層間絶縁層207、

第4層間絶縁層207上に配置された第3発光素子130のアノードO1及び感光素子140の上部電極1403であって、アノードO1は、第4層間絶縁層207と保護層208を貫通するビアを介して下方の駆動トランジスタDのドレインD(d)に接続され、上部電極1403は、第4層間絶縁層207を貫通するビアを介して下方のスイッチングトランジスタTのドレインT(d)に接続され、こうして、上部電極1403、下部電極1402、及び両者の間の感光層は、感光素子140を構成し、

以上の構造を覆う画素定義層205、

画素定義層205上の開口部には、アノードO1が露出され、第3発光素子130の第3発光層1301は、アノードO1に接続され且つ発光面10Aの下方の感光素子140の感光層を覆うように、開口部及び画素定義層205上に堆積され、隣接する第1サブ画素における第1発光素子の第1発光層1101も、発光面10Aの下方の感光素子140の感光層を覆い、

10

各発光層及び画素定義層205を覆うカソードO3の層の層全体であって、カソードO3の層の層全体、各独立したアノードO1、及び両者の間に位置する異なる色の光を発する発光層は、1つのOLED素子を構成し、

OLED素子を覆う薄膜封止層206。

【0119】

上記表示パネル01のプロセス全体は12 maskであり、従来の完全なLTPS設計とmaskの数が同じであるため、本開示の実施例に係る上記表示パネル01により、maskを増加することなくより優れたLTPO設計を実現することができる。

20

【0120】

他の幾つかの実施例において、感光手段14におけるスイッチングトランジスタTの構造は、トップゲート構造である。トップゲート構造のスイッチングトランジスタTについて、図2及び図4のB-B'方向に沿う他の具体的な断面構造は、図13に示すように、ベース基板200から離れる方向に沿って、各層構造は、順次に、

駆動トランジスタDの活性層D(a) ゲート絶縁層201 駆動トランジスタDのゲートD(g) 第1層間絶縁層202 蓄積コンデンサ電極C1とスイッチングトランジスタTの活性層T(a) 第2層間絶縁層203 駆動トランジスタDのソースD(s)とドレインD(d)、スイッチングトランジスタTのソースT(s)、ドレインT(d)及びゲートT(g) 第3層間絶縁層204 感光素子140の下部電極1402 感光素子140の感光層(図13の断面方向に具体的に示されるのは、第2サブ感光層S2である) 保護層208 第3発光素子130のアノードO1及び感光素子140の上部電極1403 画素定義層205 各サブ画素における発光層(図13の断面方向は、その中の第3発光素子130の第3発光層1301と、隣接する第1サブ画素における第1発光素子の第1発光層1101のみを示している) カソードO3の層の層全体 薄膜封止層206である。

30

【0121】

上記各構造の具体的な説明については、前述の図12を参照すればよく、ここでその説明を省略する。

40

【0122】

上記図13に示されている表示パネル01の構造において、スイッチングトランジスタTのゲートT(g)が、その活性層T(a)の上方(即ち、ベース基板200から離れた側)に位置するため、ゲートT(g)のMaskプロセスを増加する必要があり、上記表示パネル01の製造を完了するには、合計13 Maskプロセスが必要となる。

【0123】

なお、本開示の全ての実施例において、何れも駆動トランジスタのドレインがアノードに接続され、スイッチングトランジスタのドレインが下部電極に接続される場合を例として説明したが、当業者は、トランジスタのソース及びドレインの構造及び構成上に互換性があるので、駆動トランジスタのソースをアノードに接続させ、スイッチングトランジスタ

50

タのソースを下部電極に接続させてもよいことが、本開示の上述実施例の均等な変形例であることを理解するであろう。

【0124】

さらに、本開示の幾つかの実施例は、表示装置を提供する。図14に示すように、表示装置02は、上記の何れか1つの実施例に記載のタッチ表示パネル01を備える。

【0125】

幾つかの例示において、当該表示装置02は、光学式認証（例えば指紋認証）機能が集積されたOLED表示装置、例えば、ディスプレイ、テレビ、携帯電話、タブレットコンピュータ、デジタルフォトフレーム、ナビゲーション、スマートウォッチ、スマートバンド等のいかなる表示機能を有する製品又は部品であってもよい。

10

【0126】

上述した実施形態の説明において、具体的な特徴、構造、材料又は特徴は、任意の1つ又は複数の実施例又は例示において、適切な方法で組み合わせることができる。

【0127】

以上に説明したのは、本開示の具体的な実施形態のみであり、本開示の保護範囲は、これらに限定されない。当業者が本開示の技術的範囲内に容易に想到できる変更や置換は、何れも本開示の保護範囲内に含まれるものとする。従って、本開示の保護範囲は、前記特許請求の範囲に記載された権利範囲を準拠するものとする。

【0128】

この出願は、2019年01月30日に中国特許局に出願された、出願番号201910093793.9である中国特許出願を基礎とする優先権を主張し、その内容の全てが参照によって本出願に組み込まれる。

20

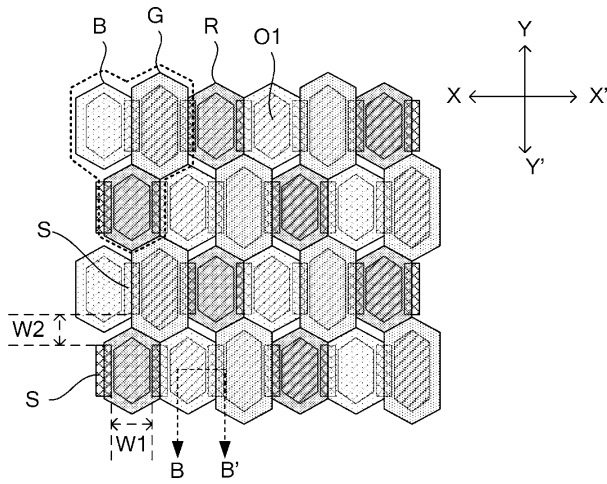
30

40

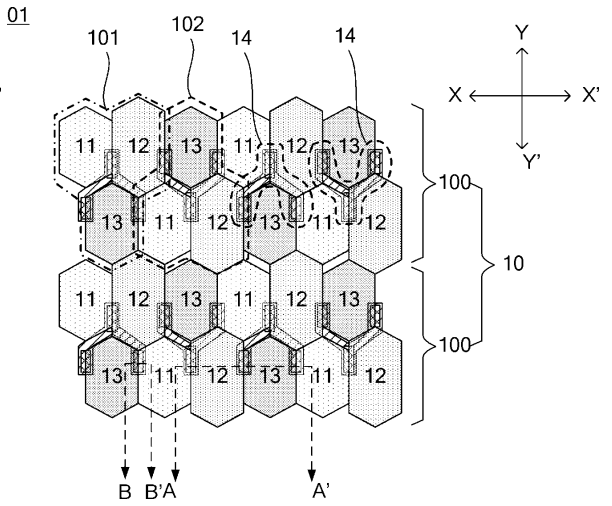
50

【図面】

【図 1】

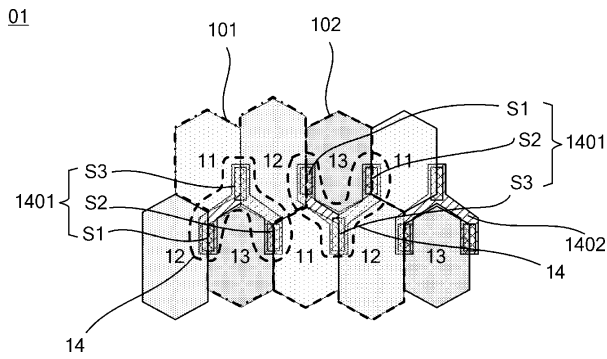


【図 2】

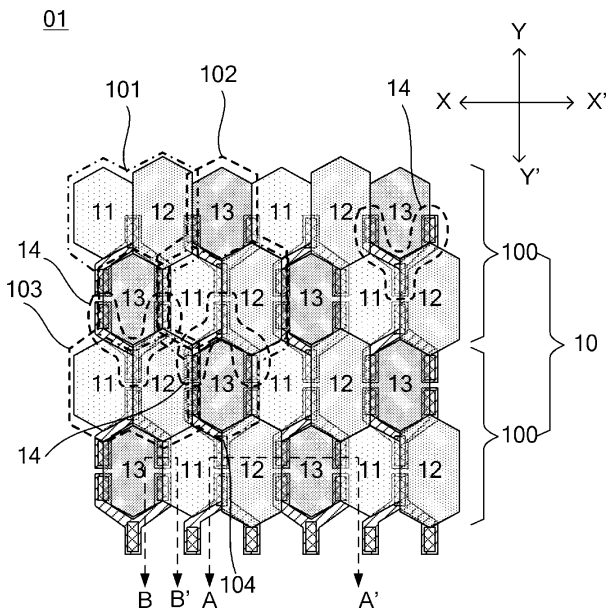


10

【図 3】



【図 4】



20

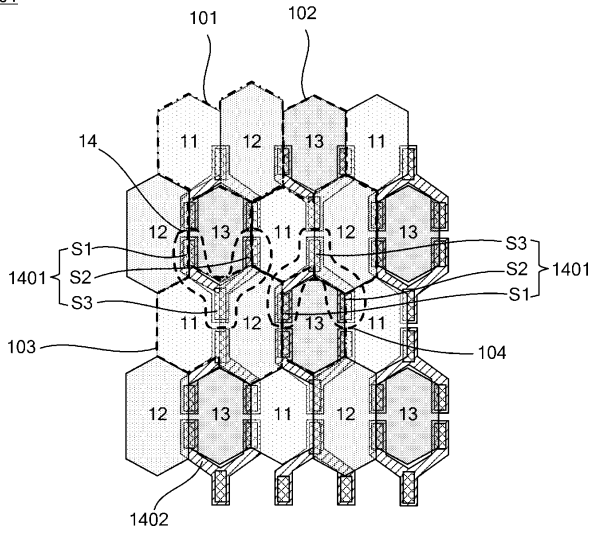
30

40

50

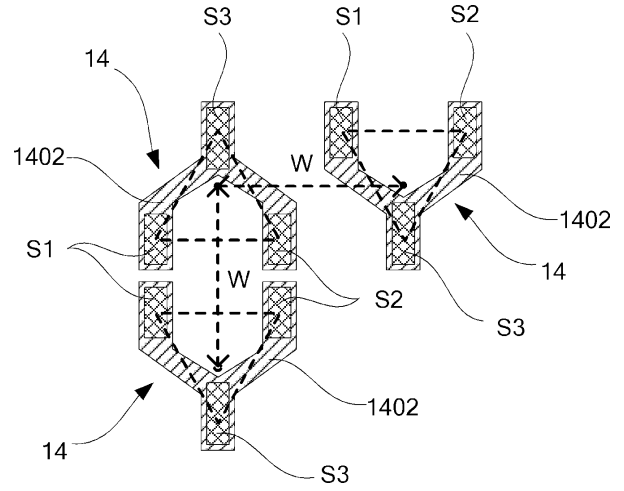
【図5】

01



【図6】

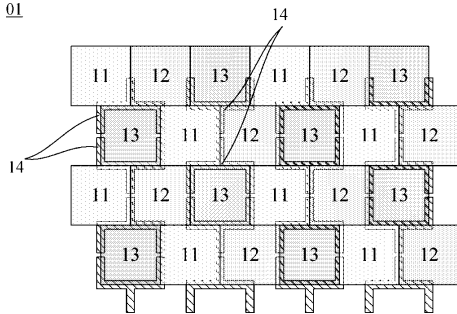
01



10

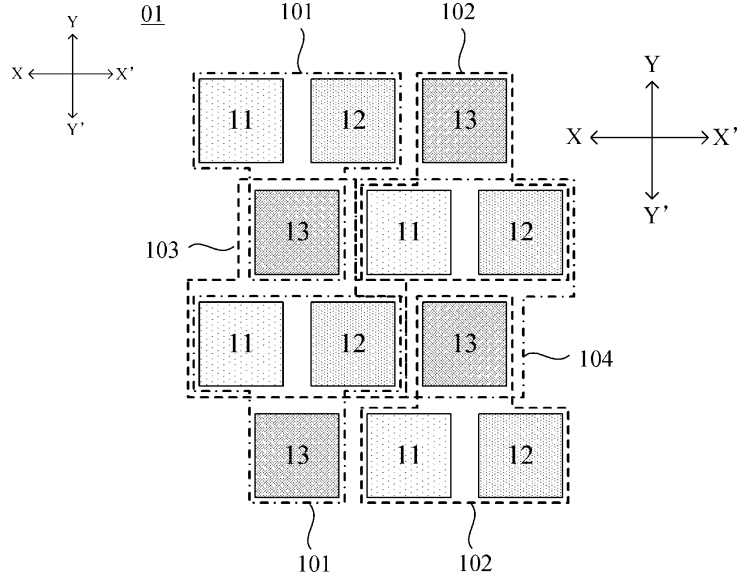
【図7】

01



【図8】

01



20

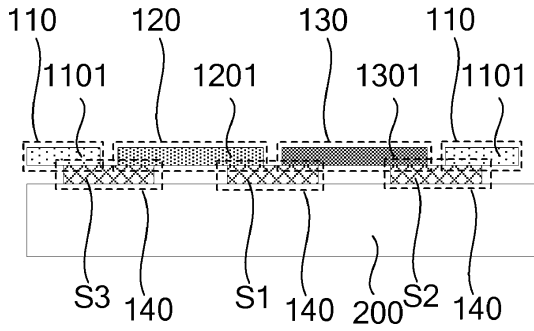
30

40

50

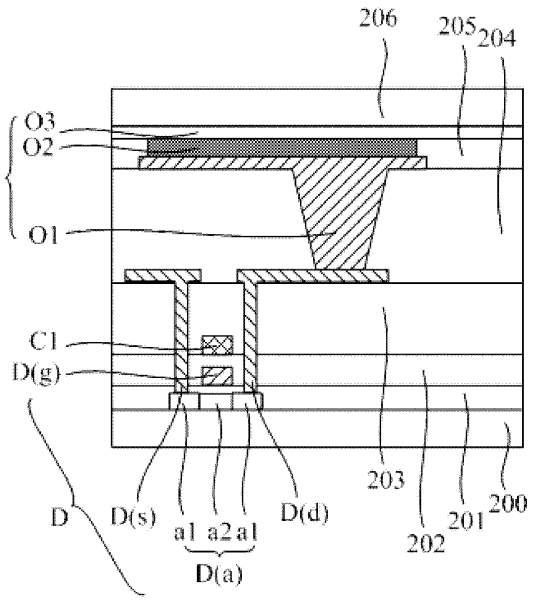
【図9】

01



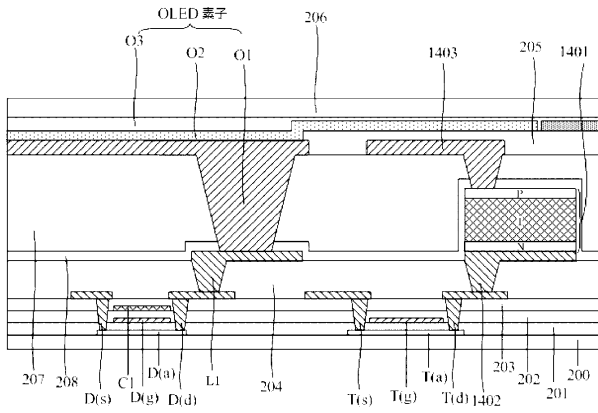
【図10】

OLED素子



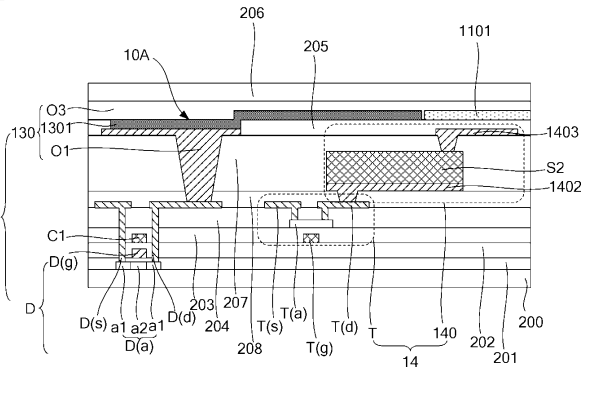
10

【図11】



【図12】

01



20

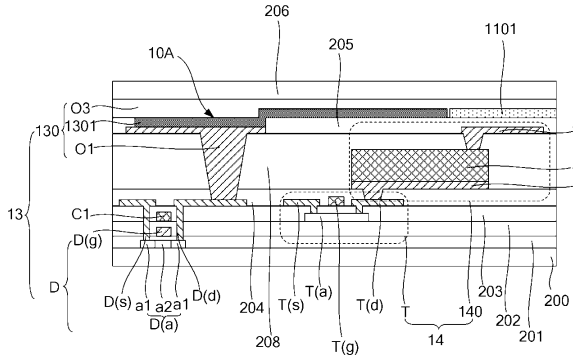
30

40

50

【 13 】

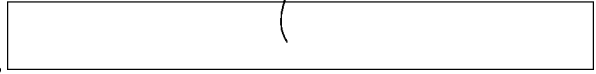
01



【 14 】

02

01



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 K	59/123 (2023.01)	H 1 0 K	59/121	2 1 3
H 1 0 K	59/35 (2023.01)	H 1 0 K	59/123	
H 1 0 K	59/40 (2023.01)	H 1 0 K	59/35	
		H 1 0 K	59/40	

ナンバー 9

- (72)発明者 チェン シャオチュアン
中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9
- (72)発明者 ワン レイ
中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9
- (72)発明者 ワン ハイシェン
中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9
- (72)発明者 リウ インミン
中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9
- (72)発明者 ジャオ リージュン
中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9
- (72)発明者 リー チャンフェン
中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9

審査官 内村 駿介

(56)参考文献

中国特許出願公開第 1 0 6 8 4 2 5 9 4 (C N , A)
 中国特許出願公開第 1 0 7 1 3 3 6 1 3 (C N , A)
 韓国公開特許第 1 0 - 2 0 1 8 - 0 1 1 7 7 4 8 (K R , A)
 韓国公開特許第 1 0 - 2 0 0 6 - 0 0 5 6 7 9 3 (K R , A)
 中国実用新案第 2 0 7 4 2 5 8 5 8 (C N , U)
 中国特許出願公開第 1 0 9 0 3 7 2 7 6 (C N , A)
 韓国公開特許第 1 0 - 2 0 1 3 - 0 0 0 7 3 0 9 (K R , A)

(58)調査した分野 (Int.Cl., D B 名)

G 0 9 F 9 / 3 0
 H 1 0 K 5 0 / 0 0 - 1 0 2 / 2 0
 G 0 6 T 1 / 0 0
 G 0 9 F 9 / 0 0