(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월29일
(11) 등록번호 10-1783318
(24) 등록일자 2017년09월25일

(51) 국제특허분류(Int. Cl.)
H03M 1/00 (2006.01) *H03M 1/12* (2006.01)
H03M 1/38 (2006.01)
(52) CPC특허분류
H03M 1/004 (2013.01)
H03M 1/002 (2013.01)
(21) 출원번호 10-2016-0073693
(22) 출원일자 2016년06월14일
심사청구일자 2016년06월14일
(56) 선행기술조사문헌
KR1020000050900 A*
KR1020070029821 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김재준
울산광역시 울주군 언양읍 유니스트길 50 울산과학기술대학교
박경환
울산광역시 울주군 언양읍 유니스트길 50 울산과학기술대학교
최수빈
울산광역시 울주군 언양읍 유니스트길 50 울산과학기술대학교
(74) 대리인
제일특허법인

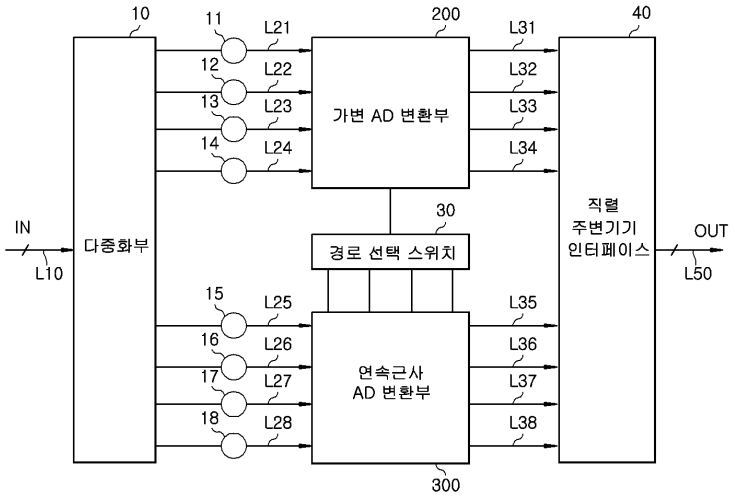
전체 청구항 수 : 총 12 항 심사관 : 유선중

(54) 발명의 명칭 **아날로그-디지털 변환 장치**

(57) 요 약

본 발명은 아날로그-디지털 변환 장치에 관한 것으로, 아날로그 신호를 입력받아 채널별 다중화 신호로 출력하는 다중화부와, 상기 다중화부로부터 출력되는 상기 다중화 신호를 디지털 변환한 후 순환(cyclic)시키는 순환 변환 모드, 또는 상기 다중화 신호를 디지털 변환한 후 종속된(cascaded) 다음 단으로 전달하는 파이프라인(pipeline) 변환 모드를 선택적으로 수행하는 아날로그-디지털 변환부와, 상기 순환 변환 모드에 의해 디지털 변환된 다중화 신호 또는 상기 파이프라인 변환 모드에 의해 디지털 변환된 다중화 신호를 단일 신호로 출력하는 인터페이스부를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H03M 1/122 (2013.01)
H03M 1/38 (2013.01)
H03M 2201/76 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 10054548
부처명 산업통상자원부
연구관리전문기관 한국산업기술평가관리원
연구사업명 센서산업고도화를위한첨단센서육성사업
연구과제명 공중부유형 다종 나노소자 기반 초소형 유해가스 센서 시스템 기술개발
기 여 율 1/1
주관기관 울산과학기술원
연구기간 2015.08.01 ~ 2019.07.31

명 세 서

청구범위

청구항 1

아날로그 신호를 입력받아 채널별 다중화 신호로 출력하는 다중화부와,

순환(cyclic) 알고리즘을 이용하여 상기 다중화부로부터 출력되는 상기 다중화 신호를 디지털 변환하는 순환 변환 모드, 또는 상기 다중화 신호를 디지털 변환한 후 종속된(cascaded) 다음 단으로 전달하는 파이프라인(pipeline) 변환 모드를 선택적으로 수행하는 아날로그-디지털 변환부와,

상기 순환 변환 모드에 의해 디지털 변환된 다중화 신호 또는 상기 파이프라인 변환 모드에 의해 디지털 변환된 다중화 신호를 단일 신호로 출력하는 인터페이스부를 포함하고,

상기 아날로그-디지털 변환부는,

상기 다중화부로부터 상기 다중화 신호를 상기 채널별로 입력받는 제1 입력 단과,

상기 제1 입력 단에 상기 채널별로 각각 연결되어 상기 다중화 신호를 증폭 및 변환하는 아날로그-디지털 변환기와,

상기 순환 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제1 출력 단과,

상기 파이프라인 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제2 출력 단과,

상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기를 제외한 나머지 아날로그-디지털 변환기의 전단에 배치되어 상기 제2 출력 단을 통해 출력되는 신호를 입력받는 제2 입력 단과,

상기 제1 입력 단에 연결된 제1 스위치, 상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기의 제1 출력 단에 연결된 제2 스위치, 상기 제2 출력 단에 연결된 제3 스위치와,

상기 순환 변환 모드를 수행하는 경우에 상기 제1 스위치 및 상기 제2 스위치가 온되고 상기 제3 스위치는 오프되도록 제어하고, 상기 파이프라인 변환 모드를 수행하는 경우에 상기 가장 전단에 위치한 아날로그-디지털 변환기에 연결된 제1 스위치 및 모든 아날로그-디지털 변환기의 제3 스위치가 온되고 상기 제2 스위치는 오프되도록 제어하는 제어부를 포함하는

아날로그-디지털 변환 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 아날로그-디지털 변환기는,

상기 순환 변환 모드에서 상기 다중화부로부터 출력되는 상기 다중화 신호를 상기 채널별로 입력받아 증폭 및 변환 과정을 적어도 n회 순환시켜 출력하는

아날로그-디지털 변환 장치.

청구항 5

제 4 항에 있어서,

상기 적어도 n회는, 상기 아날로그-디지털 변환 장치의 처리 비트(bit) 수에 대응하는

아날로그-디지털 변환 장치.

청구항 6

제 1 항에 있어서,

상기 제1 스위치, 상기 제2 스위치 및 상기 제3 스위치는, MOSFET(Metal Oxide Semiconductor Field Effect Transistor)를 포함하는

아날로그-디지털 변환 장치.

청구항 7

아날로그 신호를 입력받아 채널별 다중화 신호로 출력하는 다중화부와,

순환 알고리즘을 이용하여 상기 다중화부로부터 출력되는 상기 다중화 신호를 디지털 변환하는 순환 변환 모드, 또는 상기 다중화 신호를 디지털 변환한 후 종속된 다음 단으로 전달하는 파이프라인 변환 모드를 선택적으로 수행하는 제1 아날로그-디지털 변환부와,

상기 파이프라인 변환 모드에서 디지털 변환된 신호를 기 설정 개수의 경로 중 어느 하나로 스위칭하는 경로 선택 스위치와,

상기 다중화부로부터 출력되는 상기 다중화 신호를 디지털 변환한 후 상기 순환 변환 모드를 수행하거나, 상기 경로 선택 스위치를 통해 스위칭되는 어느 하나의 경로상의 디지털 신호를 입력받아 연속 근사(Successive Approximation) 변환 모드로 아날로그-디지털 변환하는 제2 아날로그-디지털 변환부와,

상기 순환 변환 모드로 상기 제1 아날로그-디지털 변환부 및 제2 아날로그-디지털 변환부로부터 출력되는 다중화 신호, 또는 상기 연속 근사 변환 모드로 상기 제2 아날로그-디지털 변환부로부터 출력되는 다중화 신호를 단일 신호로 출력하는 인터페이스부를 포함하는

아날로그-디지털 변환 장치.

청구항 8

제 7 항에 있어서,

상기 제1 아날로그-디지털 변환부는,

상기 다중화부로부터 상기 다중화 신호를 상기 채널별로 입력받는 제1 입력 단과,

상기 제1 입력 단에 상기 채널별로 각각 연결되어 상기 다중화 신호를 증폭 및 변환하는 아날로그-디지털 변환기와,

상기 순환 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제1 출력 단과,

상기 파이프라인 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제2 출력 단과,

상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기를 제외한 나머지 아날로그-디지털 변환기의 전단에 배치되어 상기 제2 출력 단을 통해 출력되는 신호를 입력받는 제2 입력 단을 포함하는

아날로그-디지털 변환 장치.

청구항 9

제 8 항에 있어서,

상기 제2 아날로그-디지털 변환부는,

상기 다중화로부터 상기 다중화 신호를 상기 채널별로 입력받는 제3 입력 단과,

상기 제3 입력 단에 상기 채널별로 각각 연결되어 상기 다중화 신호를 증폭 및 변환하되, 참조 값과의 연속적인 비교를 통해 출력 값을 순차적으로 결정하는 연속 근사 아날로그-디지털 변환기와,

상기 순환 변환 모드에서 상기 연속 근사 아날로그-디지털 변환기로부터 증폭 및 변환된 신호, 또는 상기 파이프라인 변환 모드에서 상기 연속 근사 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제3 출력 단과,

일단이 상기 경로 선택 스위치를 통해 스위칭되는 어느 하나의 경로 상에 배치되고 타단이 상기 연속 근사 아날로그-디지털 변환기의 전단에 배치되는 제4 입력 단을 포함하는

아날로그-디지털 변환 장치.

청구항 10

제 9 항에 있어서,

상기 아날로그-디지털 변환 장치는,

상기 제1 입력 단에 연결된 제1 스위치, 상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기의 제1 출력 단에 연결된 제2 스위치, 상기 제2 출력 단에 연결된 제3 스위치, 상기 제3 입력 단에 연결된 제4 스위치를 더 포함하고,

상기 순환 변환 모드를 수행하는 경우에 상기 제1, 제2, 제4 스위치가 온되고 상기 제3 스위치는 오프되도록 제어하고,

상기 파이프라인 변환 모드를 수행하는 경우에 상기 가장 전단에 위치한 아날로그-디지털 변환기에 연결된 제1 스위치 및 모든 아날로그-디지털 변환기의 제3 스위치가 온되고 상기 제2 스위치는 오프되도록 제어하되, 상기 경로 선택 스위치가 상기 제4 입력 단에 순차적으로 연결되어 상기 연속 근사 아날로그-디지털 변환기를 상기 채널별로 순차적으로 선택할 수 있게 스위칭 제어하는 제어부를 더 포함하는

아날로그-디지털 변환 장치.

청구항 11

제 9 항에 있어서,

상기 연속 근사 아날로그-디지털 변환기는,

상기 순환 변환 모드에서 상기 다중화부로부터 출력되는 상기 다중화 신호를 상기 채널별로 입력받아 증폭 및 변환 과정을 적어도 n회 순환시켜 출력하는

아날로그-디지털 변환 장치.

청구항 12

제 11 항에 있어서,

상기 적어도 n회는, 상기 아날로그-디지털 변환 장치의 처리 비트 수에 대응하는

아날로그-디지털 변환 장치.

청구항 13

제 9 항에 있어서,

상기 연속 근사 아날로그-디지털 변환기는,

상기 파이프라인 변환 모드에서 1차 출력 비트는 상기 파이프라인 변환 모드로 아날로그-디지털 변환하고, 2차 출력 비트는 상기 연속 근사 변환 모드로 아날로그-디지털 변환하는

아날로그-디지털 변환 장치.

청구항 14

제 10 항에 있어서,

상기 제1 내지 제4 스위치는, MOSFET를 포함하는

아날로그-디지털 변환 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 아날로그-디지털 변환 장치에 관한 것으로, 특히 순환 아날로그-디지털 변환기(Cyclic Analog-Digital Converter), 파이프라인 아날로그-디지털 변환기(Pipeline Analog-Digital Converter) 및 연속 근사 아날로그-디지털 변환기(Successive Approximation Resister Analog-Digital Converter)를 포함하는 아날로그-디지털 변환 장치에 관한 것이다.

배 경 기 술

[0002] 반도체 공정 기술, 통신 및 신호처리 기술, 디스플레이 처리 기술 등의 발달에 따른 장점을 극대화하기 위하여 시스템 내부에서는 모든 신호를 디지털로 변환하여 처리하게 되었으며, 이를 위해 외부의 아날로그 입력 신호를 디지털 신호로 변환시켜 주는 아날로그-디지털 변환기(Analog-Digital Converter, 이하 ADC라 함)의 역할이 커지고 있다.

[0003] 일반적으로 ADC는 신호를 디지털화하기 위해 사용되고, 고 분해능(high resolution)과 광범위한 다이내믹 영역, 그리고 높은 변환 속도 및 낮은 전력 소비가 요구된다. ADC는 순환 ADC, 파이프라인 ADC, 연속 근사 ADC, 이중 적분형(Dual-slope integration) ADC, 병렬 비교형(flash type) ADC 등 다양한 종류가 있으며, 특히 HD(High Definition) 및 UHD(Ultra High Definition) 등과 같은 디스플레이 기술의 발달로 인해 고성능 멀티미디어 영상 시스템에서 요구되는 인터페이스 구현을 위해 14비트(bit) 이상의 고해상도와 고속 동작이 가능한 파이프라인 ADC의 설계 기술 확보가 중요한 문제로 대두되고 있다.

[0004] 순환 ADC와 파이프라인 ADC는 증폭 및 변환 과정을 거친 후 다음 스테이지에서 비교 과정을 거친다는 점이 유사하나, 순환 ADC는 하나의 증폭기를 이용하여 여러 차례 순환시키는 구조이고, 파이프라인 ADC는 최초 스테이지에서 증폭 및 변환된 신호를 다음 스테이지로 순차적으로 전달한다는 점에서 차이가 있다. 순환 ADC는 전력소모가 상대적으로 적어서 저전압 회로에 용이하며, 파이프라인 ADC는 소비 전력은 상대적으로 높은 편이나 병행처리가 가능하여 변환 속도(conversion rate)가 빠르다는 이점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예에서는 순환 아날로그-디지털 변환 방식과 파이프라인 아날로그-디지털 변환 방식을 선택적으

로 가변시킬 수 있는 아날로그-디지털 변환 기술을 제공하고자 한다.

[0006] 또한, 본 발명의 실시예에서는 파이프라인 아날로그-디지털 변환 방식에서 파이프라인 ADC의 1차 출력 비트는 파이프라인 아날로그-디지털 변환 모드로 처리하고, 2차 출력 비트는 연속 근사 아날로그-디지털 변환 모드로 처리하는 구조를 적용하여 고 분해능(high resolution) 변환을 처리하면서 소비전력(power consumption)을 줄일 수 있는 아날로그-디지털 변환 기술을 제공하고자 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따르면, 아날로그 신호를 입력받아 채널별 다중화 신호로 출력하는 다중화부와, 순환(cyclic) 알고리즘을 이용하여 상기 다중화부로부터 출력되는 상기 다중화 신호를 디지털 변환하는 순환 변환 모드, 또는 상기 다중화 신호를 디지털 변환한 후 종속된(cascaded) 다음 단으로 전달하는 파이프라인(pipeline) 변환 모드를 선택적으로 수행하는 아날로그-디지털 변환부와, 상기 순환 변환 모드에 의해 디지털 변환된 다중화 신호 또는 상기 파이프라인 변환 모드에 의해 디지털 변환된 다중화 신호를 단일 신호로 출력하는 인터페이스부를 포함하는 아날로그-디지털 변환 장치를 제공할 수 있다.

[0008] 여기서, 상기 아날로그-디지털 변환부는, 상기 다중화부로부터 상기 다중화 신호를 상기 채널별로 입력받는 제1 입력 단과, 상기 제1 입력 단에 상기 채널별로 각각 연결되어 상기 다중화 신호를 증폭 및 변환하는 아날로그-디지털 변환기와, 상기 순환 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제1 출력 단과, 상기 파이프라인 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제2 출력 단과, 상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기를 제외한 나머지 아날로그-디지털 변환기의 전단에 배치되어 상기 제2 출력 단을 통해 출력되는 신호를 입력받는 제2 입력 단을 포함할 수 있다.

[0009] 또한, 상기 아날로그-디지털 변환부는, 상기 제1 입력 단에 연결된 제1 스위치, 상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기의 제1 출력 단에 연결된 제2 스위치, 상기 제2 출력 단에 연결된 제3 스위치를 더 포함하고, 상기 순환 변환 모드를 수행하는 경우에 상기 제1 스위치 및 상기 제2 스위치가 온되고 상기 제3 스위치는 오프되도록 제어하고, 상기 파이프라인 변환 모드를 수행하는 경우에 상기 가장 전단에 위치한 아날로그-디지털 변환기에 연결된 제1 스위치 및 모든 아날로그-디지털 변환기의 제3 스위치가 온되고 상기 제2 스위치는 오프되도록 제어하는 제어부를 더 포함할 수 있다.

[0010] 또한, 상기 아날로그-디지털 변환기는, 상기 순환 변환 모드에서 상기 다중화부로부터 출력되는 상기 다중화 신호를 상기 채널별로 입력받아 증폭 및 변환 과정을 적어도 n회 순환시켜 출력할 수 있다.

[0011] 또한, 상기 적어도 n회는, 상기 아날로그-디지털 변환 장치의 처리 비트(bit) 수에 대응할 수 있다.

[0012] 또한, 상기 제1 스위치, 상기 제2 스위치 및 상기 제3 스위치는, MOSFET(Metal Oxide Semiconductor Field Effect Transistor)를 포함할 수 있다.

[0013] 본 발명의 다른 실시예에 따르면, 아날로그 신호를 입력받아 채널별 다중화 신호로 출력하는 다중화부와, 순환 알고리즘을 이용하여 상기 다중화부로부터 출력되는 상기 다중화 신호를 디지털 변환하는 순환 변환 모드, 또는 상기 다중화 신호를 디지털 변환한 후 종속된 다음 단으로 전달하는 파이프라인 변환 모드를 선택적으로 수행하는 제1 아날로그-디지털 변환부와, 상기 파이프라인 변환 모드에서 디지털 변환된 신호를 기 설정 개수의 경로 중 어느 하나로 스위칭하는 경로 선택 스위치와, 상기 다중화부로부터 출력되는 상기 다중화 신호를 디지털 변환한 후 상기 순환 변환 모드를 수행하거나, 상기 경로 선택 스위치를 통해 스위칭되는 어느 하나의 경로상의 디지털 신호를 입력받아 연속 근사(Successive Approximation) 변환 모드로 아날로그-디지털 변환하는 제2 아날로그-디지털 변환부와, 상기 순환 변환 모드로 상기 제1 아날로그-디지털 변환부 및 제2 아날로그-디지털 변환부로부터 출력되는 다중화 신호, 또는 상기 연속 근사 변환 모드로 상기 제2 아날로그-디지털 변환부로부터 출력되는 다중화 신호를 단일 신호로 출력하는 인터페이스부를 포함할 수 있다.

[0014] 여기서, 상기 제1 아날로그-디지털 변환부는, 상기 다중화부로부터 상기 다중화 신호를 상기 채널별로 입력받는 제1 입력 단과, 상기 제1 입력 단에 상기 채널별로 각각 연결되어 상기 다중화 신호를 증폭 및 변환하는 아날로그-디지털 변환기와, 상기 순환 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제1 출력 단과, 상기 파이프라인 변환 모드에서 상기 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제2 출력 단과, 상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기를 제외한 나머지 아날로그-디지털 변환기의 전단에 배치되어 상기 제2 출력 단을 통해 출력되는 신호를 입력받는 제

2 입력 단을 포함할 수 있다.

[0015] 또한, 상기 제2 아날로그-디지털 변환부는, 상기 다중화로부터 상기 다중화 신호를 상기 채널별로 입력받는 제3 입력 단과, 상기 제3 입력 단에 상기 채널별로 각각 연결되어 상기 다중화 신호를 증폭 및 변환하되, 참조 값과의 연속적인 비교를 통해 출력 값을 순차적으로 결정하는 연속 근사 아날로그-디지털 변환기와, 상기 순환 변환 모드에서 상기 연속 근사 아날로그-디지털 변환기로부터 증폭 및 변환된 신호, 또는 상기 파이프라인 변환 모드에서 상기 연속 근사 아날로그-디지털 변환기로부터 증폭 및 변환된 신호를 출력하는 제3 출력 단과, 일단이 상기 경로 선택 스위치를 통해 스위칭되는 어느 하나의 경로 상에 배치되고 타단이 상기 연속 근사 아날로그-디지털 변환기의 전단에 배치되는 제4 입력 단을 포함할 수 있다.

[0016] 또한, 상기 아날로그-디지털 변환 장치는, 상기 제1 입력 단에 연결된 제1 스위치, 상기 아날로그-디지털 변환기 중 가장 전단에 위치한 아날로그-디지털 변환기의 제1 출력 단에 연결된 제2 스위치, 상기 제2 출력 단에 연결된 제3 스위치, 상기 제3 입력 단에 연결된 제4 스위치를 더 포함하고, 상기 순환 변환 모드를 수행하는 경우에 상기 제1, 제2, 제4 스위치가 온되고 상기 제3 스위치는 오프되도록 제어하고, 상기 파이프라인 변환 모드를 수행하는 경우에 상기 가장 전단에 위치한 아날로그-디지털 변환기에 연결된 제1 스위치 및 모든 아날로그-디지털 변환기의 제3 스위치가 온되고 상기 제2 스위치는 오프되도록 제어하되, 상기 경로 선택 스위치가 상기 제4 입력 단에 순차적으로 연결되어 상기 연속 근사 아날로그-디지털 변환기를 상기 채널별로 순차적으로 선택할 수 있게 스위칭 제어하는 제어부를 더 포함할 수 있다.

[0017] 또한, 상기 연속 근사 아날로그-디지털 변환기는, 상기 순환 변환 모드에서 상기 다중화부로부터 출력되는 상기 다중화 신호를 상기 채널별로 입력받아 증폭 및 변환 과정을 적어도 n회 순환시켜 출력할 수 있다.

[0018] 또한, 상기 적어도 n회는, 상기 아날로그-디지털 변환 장치의 처리 비트 수에 대응할 수 있다.

[0019] 또한, 상기 연속 근사 아날로그-디지털 변환기는, 상기 파이프라인 변환 모드에서 1차 출력 비트는 상기 파이프라인 변환 모드로 아날로그-디지털 변환하고, 2차 출력 비트는 상기 연속 근사 변환 모드로 아날로그-디지털 변환할 수 있다.

[0020] 또한, 상기 제1 내지 제4 스위치는, MOSFET를 포함할 수 있다.

발명의 효과

[0021] 본 발명의 실시예에 따르면, 순환 아날로그-디지털 변환 방식과 파이프라인 아날로그-디지털 변환 방식을 선택적으로 가변시킬 수 있는 아날로그-디지털 변환기를 구현함으로써, 각종 전자 시스템(예를 들어, 영상처리 시스템, 건강 진단 시스템, 가스 센싱 시스템 등)에서 다양하게 요구되는 처리 속도에 적응적으로 대처할 수 있다. 또한, 본 발명의 실시예에 의하면, 파이프라인 방식으로 아날로그-디지털 변환시 연속 근사 변환 방식의 적용이 가능한 아날로그-디지털 변환기를 구현함으로써, 고 분해능 변환을 처리하면서 소비전력을 줄일 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 실시예에 따른 아날로그-디지털 변환 장치의 블록도,

도 2는 도 1의 아날로그-디지털 변환 장치의 상세 구성도,

도 3은 본 발명의 실시예에 따라 순환 아날로그-디지털 방식으로 동작되는 아날로그-디지털 변환 장치의 예시도면,

도 4는 본 발명의 실시예에 따라 파이프라인 아날로그-디지털 방식으로 동작되는 아날로그-디지털 변환 장치의 예시 도면,

도 5는 본 발명의 실시예에 적용될 수 있는 순환 아날로그-디지털 변환 장치의 블록도,

도 6은 본 발명의 실시예에 적용될 수 있는 파이프라인 아날로그-디지털 변환 장치의 블록도.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본

발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 도면부호는 동일 구성 요소를 지칭한다.

[0024] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0025] 본 발명의 실시예에서는 순환 아날로그-디지털 변환 방식과 파이프라인 아날로그-디지털 변환 방식을 선택적으로 가변시킬 수 있는 아날로그-디지털 변환 기술을 제공하고자 한다.

[0026] 또한, 본 발명의 실시예에서는 파이프라인 아날로그-디지털 변환 방식에서 연속 근사 변환을 적용하여 고 분해능 변환을 처리하면서 소비전력을 줄일 수 있는 아날로그-디지털 변환 기술을 제공하고자 한다.

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하기로 한다.

[0028] 도 1은 본 발명의 실시예에 따른 아날로그-디지털 변환 장치의 블록도로서, 다중화부(10), 가변 아날로그-디지털 변환부(200), 경로 선택 스위치(30), 연속 근사 아날로그-디지털 변환부(300), 직렬 주변기기 인터페이스(40) 등을 포함할 수 있다.

[0029] 도 1에 도시한 바와 같이, 다중화부(10)는 아날로그 신호 입력 단(L10)을 통해 입력되는 아날로그 신호를 다중화 신호로 출력하는 역할을 한다. 이때의 다중화 신호는 채널별로 출력될 수 있는데, 예를 들어 본 발명의 실시예에서는 총 8채널의 다중화 신호를 출력하는 것을 예시하였다.

[0030] 가변 아날로그-디지털 변환부(200)는 제1 입력 단(L21~L24)에 의해 다중화부(10)와 연결되며, 다중화부(10)로부터 출력되는 다중화 신호를 디지털 변환한 후 순환 변환 모드를 수행하거나, 다중화부(10)로부터 출력되는 다중화 신호를 디지털 변환한 후 종속된(cascaded) 다음 단으로 전달하는 파이프라인 변환 모드를 선택적으로 수행할 수 있다.

[0031] 이를 위해 제1 입력 단(L21~L24)에는 제1 스위치(11~14)가 연결되어 스위칭 동작됨으로써 순환 변환 모드 또는 파이프라인 변환 모드를 선택적으로 수행할 수 있다. 예컨대, 순환 변환 모드에서는 제1 스위치(11~14)가 모두 스위치 온되며, 파이프라인 변환 모드에서는 제1 스위치(11~14) 중 가장 전 단에 위치한 스위치(11)만 온되고 나머지 스위치(12~14)는 오프될 수 있다. 이에 대해서는 후술하는 도 2 내지 도 4에서 보다 상세히 설명하기로 한다.

[0032] 가변 아날로그-디지털 변환부(200)에서 순환 변환 모드로 디지털 변환된 신호는 제1 출력 단(L31~L34)을 통해 출력될 수 있다.

[0033] 경로 선택 스위치(30)는 가변 아날로그-디지털 변환부(200)에서 파이프라인 변환 모드로 디지털 변환된 신호를 기 설정 개수의 경로 중 어느 하나로 스위칭하는 역할을 한다.

[0034] 연속 근사 아날로그-디지털 변환부(300)는 제3 입력단(L25~L28)에 의해 다중화부(10)와 연결되며, 다중화부(10)로부터 출력되는 다중화 신호를 디지털 변환한 후 순환 변환 모드를 수행하거나, 경로 선택 스위치(30)를 통해 스위칭되는 어느 하나의 경로 상의 디지털 신호를 입력받아 연속 근사 변환 모드로 아날로그-디지털 변환하는 역할을 한다.

[0035] 이를 위해 제3 입력 단(L25~L28)에는 제4 스위치(15~18)가 연결되어 스위칭 동작됨으로써 순환 변환 모드 또는 파이프라인 변환 모드에서의 연속 근사 변환 모드를 선택적으로 수행할 수 있다. 예컨대, 순환 변환 모드에서는 제4 스위치(15~18)가 모두 스위치 온되며, 파이프라인 변환 모드에서는 제4 스위치(15~18)가 오프될 수 있다. 이에 대해서는 후술하는 도 2 내지 도 4에서 보다 상세히 설명하기로 한다.

[0036] 연속 근사 아날로그-디지털 변환부(300)에서 순환 변환 모드로 디지털 변환된 신호, 또는 파이프라인 변환 모드에서의 연속 근사 변환 모드로 디지털 변환된 신호는 제3 출력 단(L35~L38)을 통해 출력될 수 있다.

[0037] 직렬 주변기기 인터페이스(Serial Peripheral Interface)(40)는 제1 출력 단(L31~L34)에 의해 가변 아날로그-디지털 변환부(200)와 연결되며, 제3 출력 단(L35~L38)에 의해 연속 근사 아날로그-디지털 변환부(300)와 연결될 수 있다. 제2 출력 단에 대해서는 도 2 내지 도 4에서 다루기로 한다.

[0038] 이러한 직렬 주변기기 인터페이스(40)는 순환 변환 모드로 가변 아날로그-디지털 변환부(200) 및 연속 근사 아

날로그-디지털 변환부(300)로부터 출력되는 다중화 신호를 디지털 신호 출력 단(L50)을 통해 단일 신호로 출력하는 역할을 할 수 있다.

[0039] 또한, 직렬 주변기기 인터페이스(40)는 연속 근사 변환 모드로 연속 근사 아날로그-디지털 변환부(300)로부터 출력되는 다중화 신호를 디지털 신호 출력 단(L50)을 통해 단일 신호로 출력하는 역할을 할 수 있다. 이때, 가변 아날로그-디지털 변환부(200)에서는 파이프라인 변환 모드에 의해 디지털 변환 과정을 거치지만, 파이프라인 변환 모드로 디지털 변환 과정을 거친 후 경로 선택 스위치(30)의 스위칭 동작에 의해 연속 근사 아날로그-디지털 변환부(300)로 제공되어 제3 출력 단(L35~L38)을 통해 실제적으로 출력되는 신호는 연속 근사 변환 과정을 거친 신호이다.

[0040] 도 2는 본 발명의 실시예에 따른 아날로그-디지털 변환 장치의 상세 구성도로서, 도 1의 가변 아날로그-디지털 변환부(200)와 연속 근사 아날로그-디지털 변환부(300), 그리고 이들 가변 아날로그-디지털 변환부(200)와 연속 근사 아날로그-디지털 변환부(300)에 연결된 입/출력 단 및 스위치들을 구체적으로 예시한 도면이다.

[0041] 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 제1 내지 제4 순환 ADC(202~208), 제1 내지 제4 연속 근사 ADC(302~308), 제1 스위치(11~14), 제2 스위치(11-1), 제3 스위치(21~24), 제4 스위치(15~18), 제1 입력 단(L21~L24), 제2 입력 단(L51~L53), 제3 입력 단(L25~L28), 제4 입력 단(L61~L64), 제1 출력 단(L31~L34), 제2 출력 단(L41~L44), 제3 출력 단(L35~L38), 경로 선택 스위치(30) 및 제어부(202)를 포함할 수 있다.

[0042] 가변 아날로그-디지털 변환부(200)는 제1 내지 제4 순환 ADC(202~208)를 포함하고 있으며, 이러한 제1 내지 제4 순환 ADC(202~208)의 주변에 연결된 구성 요소들을 설명하면 아래와 같다.

[0043] 먼저, 제1 입력 단(L21~L24)은 다중화부(10)로부터 다중화 신호를 채널별로 입력 받는다.

[0044] 각각의 순환 ADC(202~208)는 제1 입력 단(L21~L24)에 채널별로 각각 연결되어 다중화 신호를 증폭 및 변환하는 역할을 한다.

[0045] 제1 출력 단(L31~L34)은 순환 변환 모드에서 순환 알고리즘을 이용하여 증폭 및 변환 과정을 거쳐 각각의 순환 ADC(202~208)로부터 디지털 코드로 변환된 신호를 출력하며, 제2 출력 단(L41~L44)은 파이프라인 변환 모드에서 각각의 순환 ADC(202~208)로부터 증폭 및 변환된 신호를 출력하는 역할을 한다. 예를 들어, 제1 순환 ADC(202)는 제1 출력 단(L31)을 통해 2비트의 디지털 신호를 출력할 수 있으며, 도 2의 실시예에서와 같이 4개의 순환 ADC를 구현할 경우에 총 8비트의 디지털 신호가 출력될 수 있다.

[0046] 제2 입력 단(L51~L53)은 각각의 순환 ADC(202~208) 중 가장 전단에 위치한 순환 ADC(202)를 제외한 나머지 순환 ADC(204~208)의 전단에 배치되어 제2 출력 단(L41~L44)을 통해 출력되는 신호를 입력 받는다.

[0047] 연속 근사 아날로그-디지털 변환부(300)는 제1 내지 제4 연속 근사 ADC(302~308)를 포함하고 있으며, 이러한 제1 내지 제4 연속 근사 ADC(302~308)의 주변에 연결된 구성 요소들을 설명하면 아래와 같다.

[0048] 먼저, 제3 입력 단(L25~L28)은 다중화(10)로부터 다중화 신호를 상기 채널별로 입력 받는다.

[0049] 각각의 연속 근사 ADC(302~308)는 제3 입력 단(L25~L28)에 채널별로 각각 연결되어 다중화 신호를 증폭 및 변환하되, 참조 값과의 연속적인 비교를 통해 출력 값을 순차적으로 결정하는 역할을 한다.

[0050] 이러한 각각의 연속 근사 ADC(302~308)는, 파이프라인 변환 모드에서1차 출력 비트는 파이프라인 변환 모드로 아날로그-디지털 변환하고, 2차 출력 비트는 연속 근사 변환 모드로 아날로그-디지털 변환할 수 있다. 예를 들어, 각각의 ADC를 통해 2비트의 디지털 신호를 출력하는 경우에, 1차 출력 비트와 2차 출력 비트가 각각 8비트일 수 있다. 이때, 연속 근사 변환 모드에서는 중복 비트(redundancy bit)를 2비트로 설계할 수 있으며, 이 경우에 총 14비트의 출력이 가능한 ADC를 구현할 수 있다.

[0051] 제3 출력 단(L35~L38)은 순환 변환 모드에서 각각의 연속 근사 ADC(302~308)로부터 증폭 및 변환된 신호, 또는 파이프라인 변환 모드에서 각각의 연속 근사 ADC(302~308)로부터 증폭 및 변환된 신호를 출력하는 역할을 한다.

[0052] 제4 입력 단(L61~L64)은 일단이 경로 선택 스위치(30)를 통해 스위칭되는 어느 하나의 경로 상에 배치되고, 타단이 각각의 연속 근사 ADC(302~308)의 전단에 배치될 수 있다.

[0053] 경로 선택 스위치(30)는 가변 AD 변환부(200)와 연속 근사 AD 변환부(300) 사이에 연결되며, 파이프라인 변환 모드에서 가변 아날로그-디지털 변환부(200)로부터 제공되는 디지털 변환된 신호를 제4 입력 단(L61~L64) 중 어느 하나의 입력 단에 순차적으로 연결되도록 스위칭 될 수 있다.

[0054] 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 제1 입력 단(L21~L24)에 연결된 제1 스위치(11~14), 각각의 순환 ADC(202~208) 중 가장 전단에 위치한 순환 ADC(202)의 제1 출력 단(L31)에 연결된 제2 스위치(11-1), 제2 출력 단(L41~L44)에 연결된 제3 스위치(21~24), 제3 입력 단(L25~L28)에 연결된 제4 스위치(15~18)를 포함할 수 있다. 이들 스위치들(11~18, 11-1, 21~24, 30)은, 예를 들어 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)를 포함할 수 있다.

[0055] 또한, 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 각각의 스위치들(11~18, 11-1, 21~24, 30)을 제어하기 위한 제어부(202)를 더 포함할 수 있다.

[0057] 도 3은 본 발명의 실시예에 따른 아날로그-디지털 변환 장치의 동작을 예시적으로 설명하기 위한 도면으로서, 순환 아날로그-디지털 변환 방식으로 동작되는 경우를 예시한 것이다.

[0058] 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 제1 내지 제4 순환 ADC(202~208), 제1 내지 제4 연속 근사 ADC(302~308), 제1 스위치(11~14), 제2 스위치(11-1), 제3 스위치(21~24), 제4 스위치(15~18), 제1 입력 단(L21~L24), 제2 입력 단(L51~L53), 제3 입력 단(L25~L28), 제4 입력 단(L61~L64), 제1 출력 단(L31~L34), 제2 출력 단(L41~L44), 제3 출력 단(L35~L38), 경로 선택 스위치(30) 및 제어부(202)를 포함할 수 있다.

[0059] 가변 아날로그-디지털 변환부(200)는 제1 내지 제4 순환 ADC(202~208)를 포함하고 있으며, 이러한 제1 내지 제4 순환 ADC(202~208)의 주변에 연결된 구성 요소들을 설명하면 아래와 같다.

[0060] 먼저, 제1 입력 단(L21~L24)은 다중화부(10)로부터 다중화 신호를 채널별로 입력 받는다.

[0061] 각각의 순환 ADC(202~208)는 제1 입력 단(L21~L24)에 채널별로 각각 연결되어 다중화 신호를 증폭 및 변환하는 역할을 한다.

[0062] 제1 출력 단(L31~L34)은 순환 변환 모드에서 각각의 순환 ADC(202~208)로부터 증폭 및 변환된 신호를 출력하며, 제2 출력 단(L41~L44)은 파이프라인 변환 모드에서 각각의 순환 ADC(202~208)로부터 증폭 및 변환된 신호를 출력하는 역할을 한다.

[0063] 제2 입력 단(L51~L53)은 각각의 순환 ADC(202~208) 중 가장 전단에 위치한 순환 ADC(202)를 제외한 나머지 순환 ADC(204~208)의 전단에 배치되어 제2 출력 단(L41~L44)을 통해 출력되는 신호를 입력 받는다.

[0064] 연속 근사 아날로그-디지털 변환부(300)는 제1 내지 제4 연속 근사 ADC(302~308)를 포함하고 있으며, 이러한 제1 내지 제4 연속 근사 ADC(302~308)의 주변에 연결된 구성 요소들을 설명하면 아래와 같다.

[0065] 먼저, 제3 입력 단(L25~L28)은 다중화(10)로부터 다중화 신호를 상기 채널별로 입력 받는다.

[0066] 각각의 연속 근사 ADC(302~308)는 제3 입력 단(L25~L28)에 채널별로 각각 연결되어 다중화 신호를 증폭 및 변환하되, 참조 값과의 연속적인 비교를 통해 출력 값을 순차적으로 결정하는 역할을 한다.

[0067] 제3 출력 단(L35~L38)은 순환 변환 모드에서 각각의 연속 근사 ADC(302~308)로부터 증폭 및 변환된 신호, 또는 파이프라인 변환 모드에서 각각의 연속 근사 ADC(302~308)로부터 증폭 및 변환된 신호를 출력하는 역할을 한다.

[0068] 제4 입력 단(L61~L64)은 일단이 경로 선택 스위치(30)를 통해 스위칭되는 어느 하나의 경로 상에 배치되고, 타단이 각각의 연속 근사 ADC(302~308)의 전단에 배치될 수 있다.

[0069] 경로 선택 스위치(30)는 가변 AD 변환부(200)와 연속 근사 AD 변환부(300) 사이에 연결되며, 파이프라인 변환 모드에서 가변 아날로그-디지털 변환부(200)로부터 제공되는 디지털 변환된 신호를 제4 입력 단(L61~L64) 중 어느 하나의 입력 단에 순차적으로 연결되도록 스위칭 될 수 있다.

[0070] 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 제1 입력 단(L21~L24)에 연결된 제1 스위치(11~14), 각각의 순환 ADC(202~208) 중 가장 전단에 위치한 순환 ADC(202)의 제1 출력 단(L31)에 연결된 제2 스위치(11-1), 제2 출력 단(L41~L44)에 연결된 제3 스위치(21~24), 제3 입력 단(L25~L28)에 연결된 제4 스위치(15~18)를 포함할 수 있다. 이들 스위치들(11~18, 11-1, 21~24, 30)은, 예를 들어 MOSFET를 포함할 수 있다.

[0071] 또한, 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 각각의 스위치들(11~18, 11-1, 21~24, 30)을 제어하기 위한 제어부(202)를 더 포함할 수 있다.

[0072] 이때, 제어부(202)는 순환 변환 모드를 수행하는 경우에는 제1 스위치(11~14), 제2 스위치(11-1) 및 제4 스위치(15~18)가 온되고, 제3 스위치(21~24)는 오프되도록 제어할 수 있다.

[0073] 구체적으로, 제어부(202)는 제어신호 라인(S1~S8)을 통해 제1 스위치(11~14) 및 제4 스위치(15~18)로 스위치 온 명령을 전달하고, 제어신호 라인(S1-1)을 통해 제2 스위치(11-1)로 스위치 온 명령을 전달할 수 있다. 또한, 제어부(202)는 제어신호 라인(S9~S12)을 통해 제3 스위치(21~24)로 스위치 오프 명령을 전달할 수 있다.

[0074] 이에 따라, 본 발명의 실시예에 따라 순환 변환 모드를 수행하는 경우에는, 다중화부(10)로부터 제공된 다중화 신호가 가변 아날로그-디지털 변환부(200)내의 각각의 ADC(202~208) 및 연속 근사 아날로그-디지털 변환부(300)내의 각각의 ADC(302~308)를 통해 디지털 변환되어 직렬 주변기기 인터페이스(40)로 제공될 수 있다.

[0076] 도 4는 본 발명의 실시예에 따른 아날로그-디지털 변환 장치의 동작을 예시적으로 설명하기 위한 도면으로서, 파이프라인 아날로그-디지털 방식으로 동작되는 경우를 예시한 것이다.

[0077] 도 4의 실시예에 따른 아날로그-디지털 변환 장치는 각각의 구성요소들에 대한 명칭 및 도면부호는 도 3의 실시예와 동일한 바, 중복되는 설명은 생략하기로 한다.

[0078] 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 제1 입력 단(L21~L24)에 연결된 제1 스위치(11~14), 각각의 순환 ADC(202~208) 중 가장 전단에 위치한 순환 ADC(202)의 제1 출력 단(L31)에 연결된 제2 스위치(11-1), 제2 출력 단(L41~L44)에 연결된 제3 스위치(21~24), 제3 입력 단(L25~L28)에 연결된 제4 스위치(15~18)를 포함할 수 있다.

[0079] 또한, 본 발명의 실시예에 따른 아날로그-디지털 변환 장치는, 각각의 스위치들(11~18, 11-1, 21~24, 30)을 제어하기 위한 제어부(202)를 더 포함할 수 있다.

[0080] 이때, 제어부(202)는 파이프라인 변환 모드를 수행하는 경우에는 각각의 순환 ADC(202~208) 중 가장 전단에 위치한 순환 ADC(202)에 연결된 제1 스위치(11) 및 각각의 순환 ADC(202~208)의 제3 스위치(21~24)가 온되고 제2 스위치(11-1)는 오프되도록 제어하되, 경로 선택 스위치(30)가 제4 입력 단(L61~L64)에 순차적으로 연결되어 각각의 연속 근사 ADC(302~308)를 채널별로 순차적으로 선택할 수 있게 스위칭 제어할 수 있다.

[0081] 구체적으로, 제어부(202)는 제어신호 라인(S1)을 통해 각각의 순환 ADC(202~208) 중 가장 전단에 위치한 순환 ADC(202)에 연결된 제1 스위치(11)로 스위치 온 명령을 전달하고, 제어신호 라인(S9~S12)를 통해 제3 스위치(21~24)로 스위치 온 명령을 전달할 수 있다.

[0082] 또한, 제어신호 라인(S1-1)을 통해 제2 스위치(11-1)로 스위치 오프 명령을 전달할 수 있다.

[0083] 이때, 제어부(202)는 제어신호 라인(S20)을 통해 경로 선택 스위치(30)로 스위칭 제어 명령을 전달하여 경로 선택 스위치(30)가 제4 입력 단(L61~L64)에 순차적으로 연결되어 각각의 연속 근사 ADC(302~308)를 채널별로 순차적으로 선택할 수 있게 한다.

[0084] 이에 따라, 본 발명의 실시예에 따라 파이프라인 변환 모드를 수행하는 경우에는, 다중화부(10)로부터 제공된 다중화 신호가 가변 아날로그-디지털 변환부(200)에서 순환 아날로그-디지털 변환되어 직렬 주변기기 인터페이스(40)로 바로 전달되지 않도록 하며, 다중화부(10)로부터 제공된 다중화 신호가 가변 아날로그-디지털 변환부(200)내의 각각의 ADC(202~208)를 거쳐 디지털 변환되는 파이프라인 변환 모드를 수행한 후 연속 근사 아날로그-디지털 변환부(300)로 제공되도록 하되, 연속 근사 아날로그-디지털 변환부(300)내의 각각의 연속 근사 ADC(302~308)를 채널별로 순차적으로 선택할 수 있게 스위칭하여 제3 출력 단(L35~L38)을 통해 연속 근사 디지털 변환된 신호가 직렬 주변기기 인터페이스(40)로 제공될 수 있게 구현하였다.

[0085] 도 5는 본 발명의 실시예에 적용될 수 있는 전형적인 순환 아날로그-디지털 변환 장치의 블록도로서, S/H(Sample/Hold) 증폭기(102), ADC(104), DAC(Digital-Analog Converter)(106), 전압 감산기(108), 증폭기(110) 및 경로 스위치(112)를 포함한다.

[0086] S/H 증폭기(102)는 입력되는 아날로그 신호(V_{in})를 샘플링한 후, 홀드된 아날로그 신호를 ADC(104)와 전압 감산기(108)에 제공한다.

[0087] ADC(104)는 변환의 다이내믹 영역의 중간값 전압(V_{ref})을 수신한다. 그리고, 중간값 전압(V_{ref})과 아날로그 신호(V_{in})를 비교하여 1비트 디지털 신호를 발생시킨다.

[0088] ADC(104)에서 발생된 1비트 디지털 신호는 DAC(106)로 제공될 수 있다.

[0089] 1비트 디지털 신호를 제공받은 DAC(106)는 디지털 출력에 따라 아날로그 신호를 발생시킨다.

[0090] 전압 감산기(108)는 S/H 증폭기(102)로부터 제공된 아날로그 신호(V_{in})에서 DAC(106)로부터 제공된 아날로그 신호를 감산하고, 그 차이 신호를 증폭기(110)에 제공한다.

[0091] 증폭기(110)는 전압 감산기(108)로부터 제공되는 차이 신호의 크기를 두 배로 증폭하여 두 배의 이득을 갖는 아날로그 신호(V_{out})를 출력한다.

[0092] 출력된 아날로그 신호는 순환 아날로그-디지털 변환기의 처리 비트 수에 따라 경로 스위치(112)가 스위치 온됨으로써 상술한 과정들이 순환될 수 있다. 예를 들어, 순환 아날로그-디지털 변환기의 처리 비트 수가 10비트라고 가정하면, 상술한 과정들이 총 10회 반복되도록 처리할 수 있다.

[0093] 도 6은 본 발명의 실시예에 적용될 수 있는 전형적인 파이프라인 아날로그-디지털 변환 장치의 블록도로서, S/H 증폭기(102'), ADC(104'), DAC(106'), 전압 감산기(108') 및 증폭기(110')를 포함한다.

[0094] 도 5의 순환 아날로그-디지털 변환 장치와의 차이점은, 경로 스위치(112)가 없으며, 전체 아날로그-디지털 변환 장치가 스테이지 별로 구분되어 변환 및 증폭된 아날로그 신호를 각각의 스테이지 단위로 순차적으로 전달하는 데 있다. 이때, 각 스테이지 별로 처리되는 변환 및 증폭 동작은 병행 처리가 가능하다.

[0095] S/H 증폭기(102')는 입력되는 아날로그 신호(V_{in})를 샘플링한 후, 홀드된 아날로그 신호를 ADC(104')와 전압 감산기(108')에 제공한다.

[0096] ADC(104')는 변환의 다이내믹 영역의 중간값 전압(V_{ref})을 수신한다. 그리고, 중간값 전압(V_{ref})과 아날로그 신호(V_{in})를 비교하여 1비트 디지털 신호를 발생시킨다.

[0097] ADC(104')에서 발생된 1비트 디지털 신호는 DAC(106')로 제공될 수 있다.

[0098] 1비트 디지털 신호를 제공받은 DAC(106')는 디지털 출력에 따라 아날로그 신호를 발생시킨다.

[0099] 전압 감산기(108')는 S/H 증폭기(102')로부터 제공된 아날로그 신호(V_{in})에서 DAC(106')로부터 제공된 아날로그 신호를 감산하고, 그 차이 신호를 증폭기(110')에 제공한다.

[0100] 증폭기(110')는 전압 감산기(108')로부터 제공되는 차이 신호의 크기를 두 배로 증폭하여 두 배의 이득을 갖는 아날로그 신호(V_{out})를 출력한다.

[0101] 아날로그 신호(V_{out})는 변환을 위해 그 다음 스테이지로 보내진다.

[0102] 이상 설명한 바와 같은 본 발명의 실시예에 의하면, 순환 아날로그-디지털 변환 방식과 파이프라인 아날로그-디지털 변환 방식을 선택적으로 가변시킬 수 있는 아날로그-디지털 변환기를 구현함으로써, 각종 전자 시스템(예를 들어, 영상처리 시스템, 건강 진단 시스템, 가스 센싱 시스템 등)에서 다양하게 요구되는 처리 속도에 적응적으로 대처할 수 있다. 또한, 본 발명의 실시예에 의하면, 파이프라인 방식으로 아날로그-디지털 변환시 연속 근사 변환 방식의 적용이 가능한 아날로그-디지털 변환기를 구현함으로써, 고 분해능 변환을 처리하면서 소비전력을 줄일 수 있다.

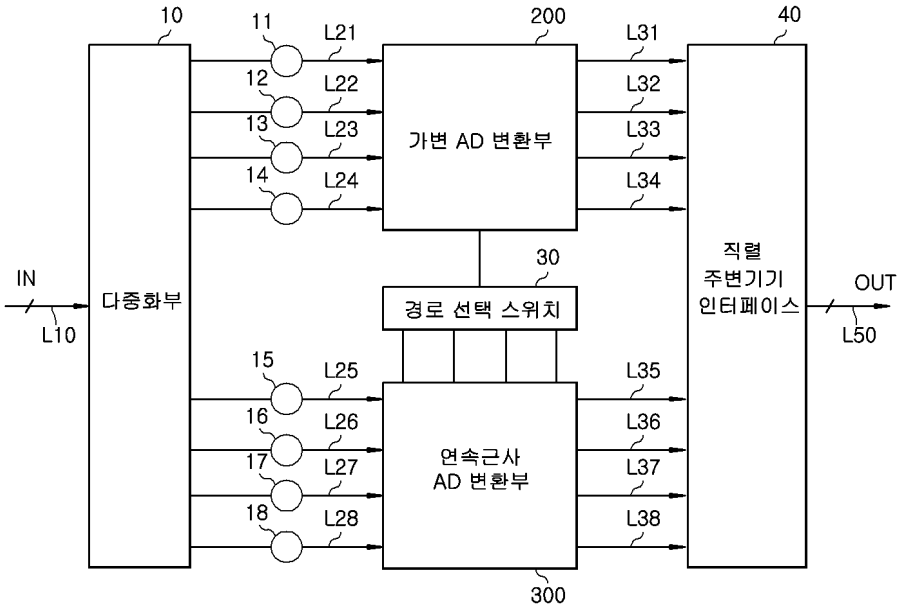
부호의 설명

[0103]

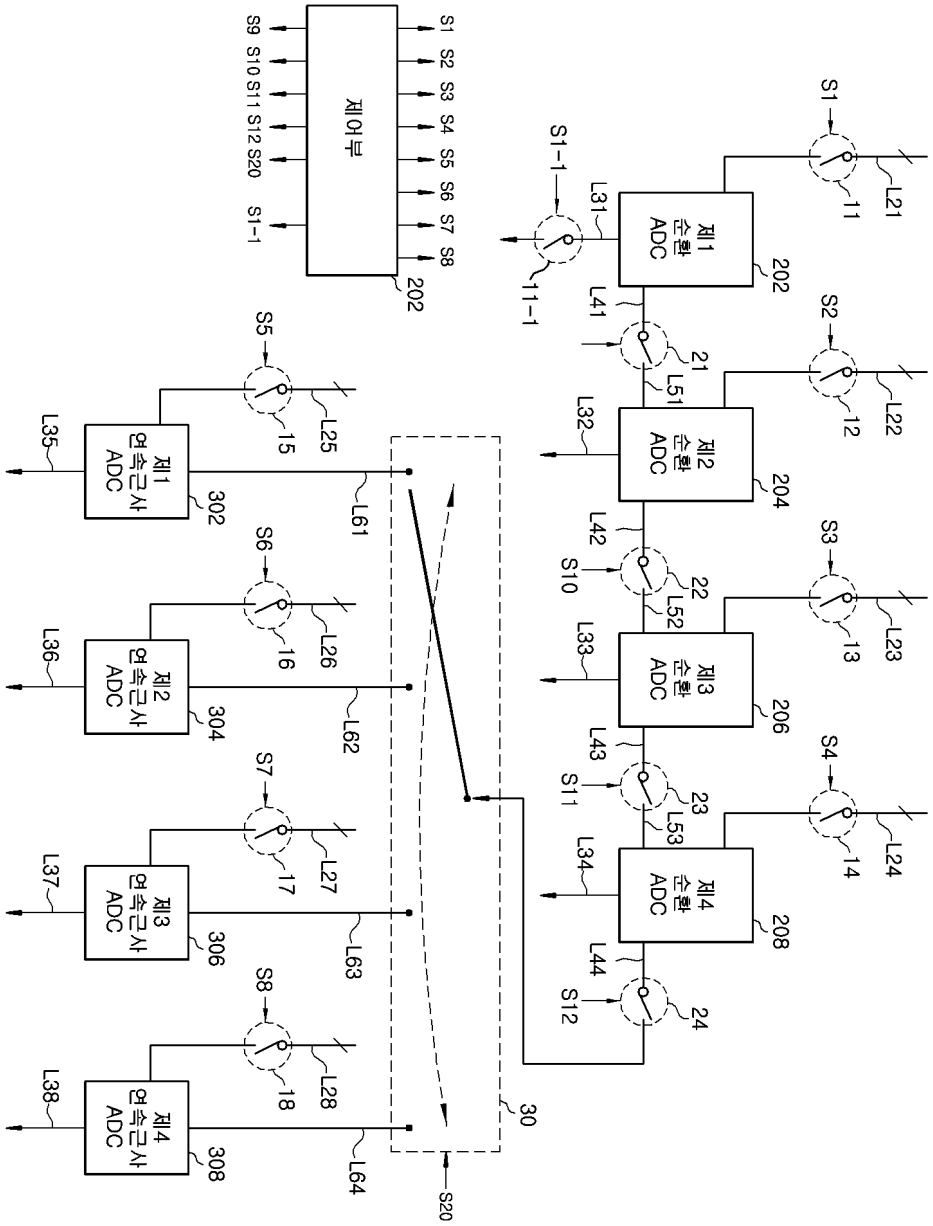
10: 다중화부	11~14: 제1 스위치
11-1: 제2 스위치	21~24: 제3 스위치
15~18: 제4 스위치	L10: 아날로그 신호 입력 단
L21~L24: 제1 입력 단	L51~L53: 제2 입력 단
L25~L28: 제3 입력 단	L61~L64: 제4 입력 단
L31~L34: 제1 출력 단	L41~L44: 제2 출력 단
L35~L38: 제3 출력 단	L50: 디지털 신호 출력 단
200: 가변 AD 변환부	30: 경로 선택 스위치
300: 연속 근사 AD 변환부	40: 직렬 주변기기 인터페이스

도면

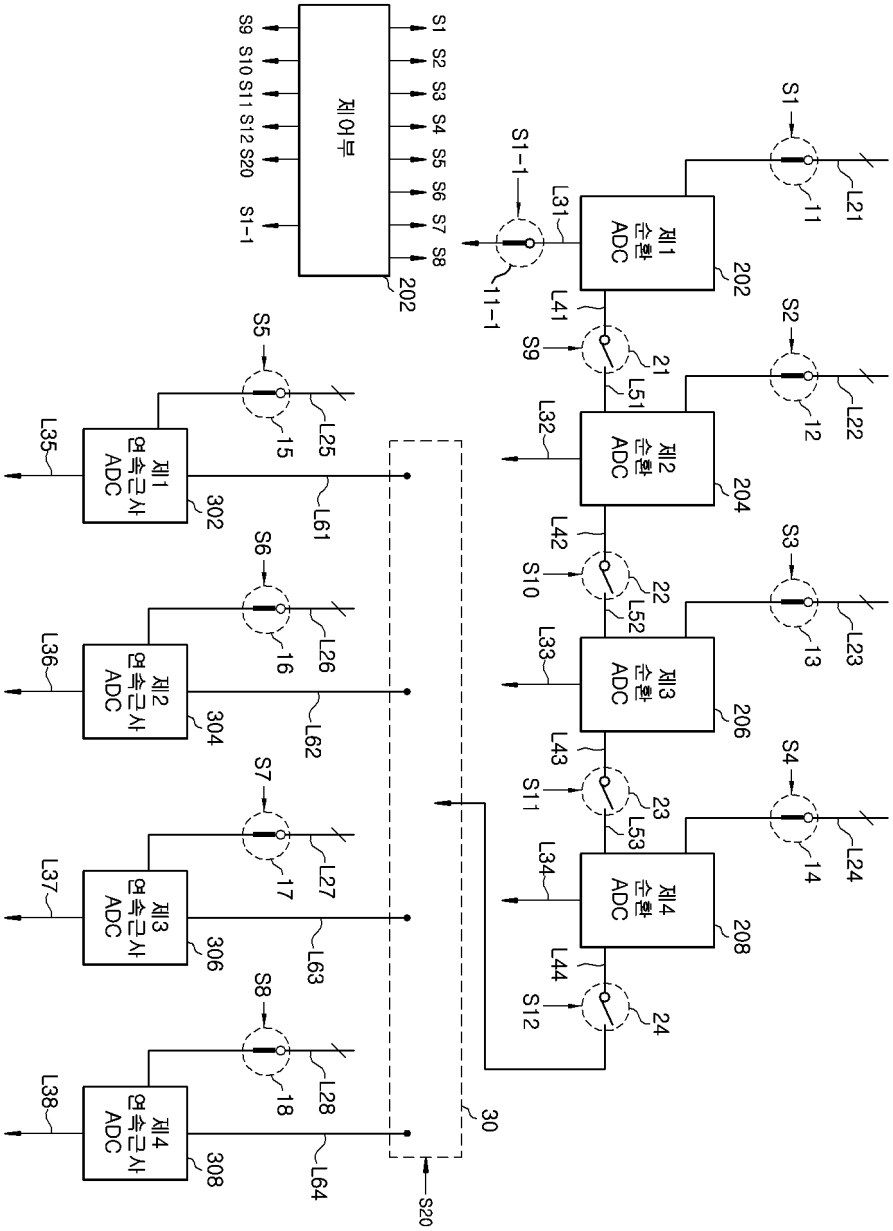
도면1


10
11
L21
200
L31
40
12
L22
L32
13
L23
가변 AD 변환부
L33
14
L24
L34
30
IN
다중화부
경로 선택 스위치
직렬
주변기기
인터페이스
OUT
L10
L50
15
L25
L35
16
L26
L36
17
L27
연속근사
AD 변환부
L37
18
L28
L38
300

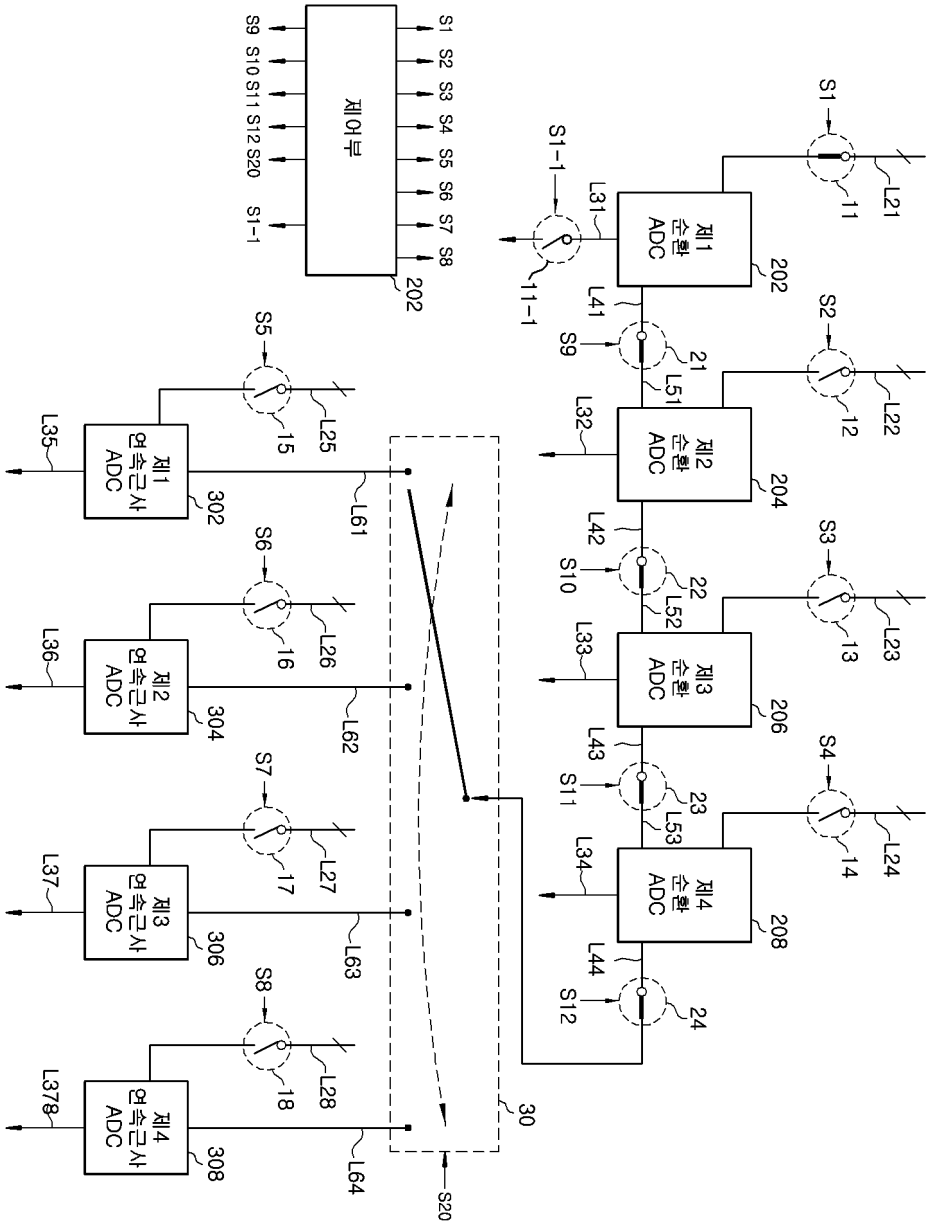
도면2


제어부
202
S1 S2 S3 S4 S5 S6 S7 S8
S9 S10 S11 S12 S20 S1-1
제1 순환 ADC
제2 순환 ADC
제3 순환 ADC
제4 순환 ADC
제1 연속근사 ADC
제2 연속근사 ADC
제3 연속근사 ADC
제4 연속근사 ADC
11
11-1
12
13
14
15
16
17
18
21
22
23
24
30
L21
L22
L23
L24
L25
L26
L27
L28
L31
L32
L33
L34
L35
L36
L37
L38
L41
L42
L43
L44
L51
L52
L53
L61
L62
L63
L64
204
206
208
302
304
306
308

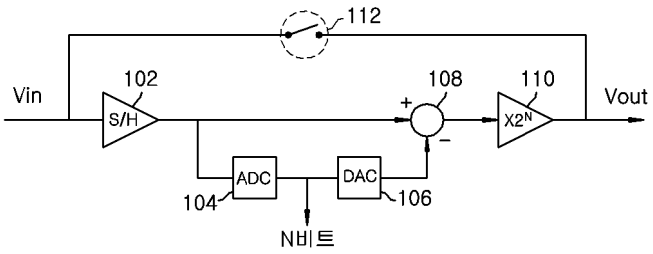
도면3


제어부
202
S1 S2 S3 S4 S5 S6 S7 S8
S9 S10 S11 S12 S20 S1-1
제1 순환 ADC
202
제2 순환 ADC
204
제3 순환 ADC
206
제4 순환 ADC
208
S1
S2
S3
S4
S1-1
11
12
13
14
11-1
L21
L22
L23
L24
L31
L32
L33
L34
L41
L42
L43
L44
S9
S10
S11
S12
21
22
23
24
L51
L52
L53
30
S20
S5
S6
S7
S8
15
16
17
18
L25
L26
L27
L28
L61
L62
L63
L64
제1 연속근사 ADC
302
제2 연속근사 ADC
304
제3 연속근사 ADC
306
제4 연속근사 ADC
308
L35
L36
L37
L38

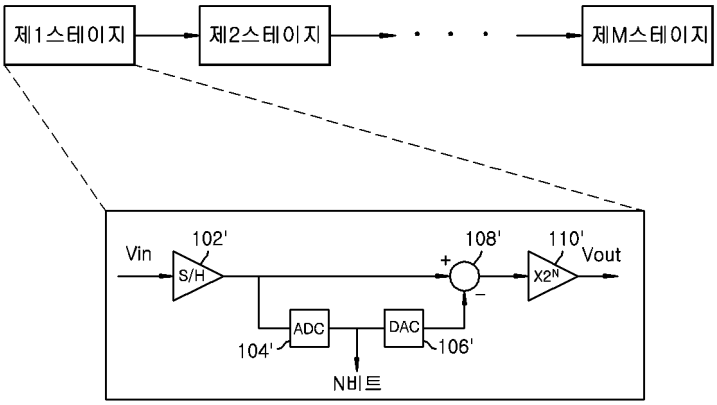
도면4


제어부
202
S1 S2 S3 S4 S5 S6 S7 S8
S9 S10 S11 S12 S20 S1-1
제1 순환 ADC
제2 순환 ADC
제3 순환 ADC
제4 순환 ADC
202
204
206
208
L21
L22
L23
L24
L31
L32
L33
L34
L41
L42
L43
L44
L51
L52
L53
11
12
13
14
21
22
23
24
S1
S2
S3
S4
S9
S10
S11
S12
S1-1
11-1
제1 연속근사 ADC
제2 연속근사 ADC
제3 연속근사 ADC
제4 연속근사 ADC
302
304
306
308
L35
L36
L37
L378
L61
L62
L63
L64
15
16
17
18
L25
L26
L27
L28
S5
S6
S7
S8
30
S20

도면5


112
Vin
102
S/H
108
+
-
110
X2^N
Vout
ADC
DAC
104
106
N비트

도면6


제1스테이지
제2스테이지
제M스테이지
Vin
102'
S/H
108'
+
-
110'
X2^N
Vout
ADC
DAC
104'
106'
N비트