

(11) 공개번호 10-2025-0020969
(43) 공개일자 2025년02월11일

특허법인 무한

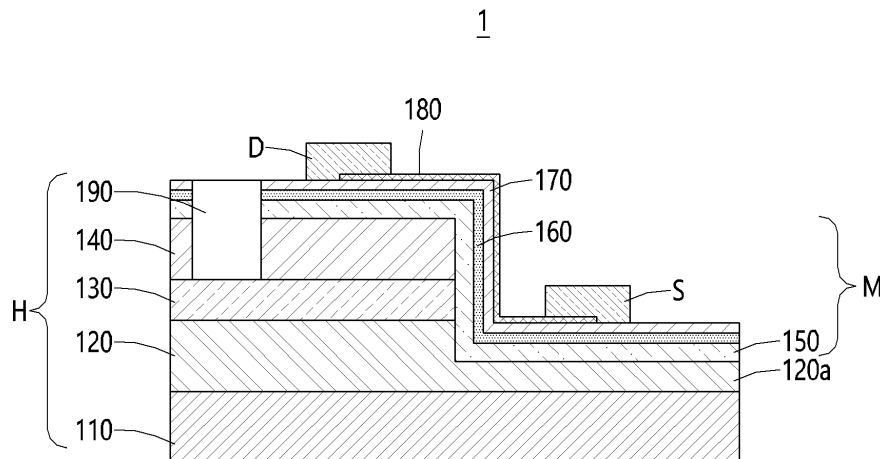
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 2차원 반도체 기반 3차원 수직 전하 저장 메모리

(57) 요약

3차원 수직 비휘발성 전하 저장 메모리 및 이의 제조방법에 관한 것이다. 3차원 수직 비휘발성 전하 저장 메모리는 반도체 기판; 상기 반도체 기판 상의 일부분에 3차원 수직 구조체층; 상기 3차원 수직 구조체층 상의 일부분에 메모리층; 및 상기 메모리층 상의 일부분에 2차원 물질 기반 채널층;을 포함하고, 상기 2차원 물질 기반 채널층은 상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 수직 채널 영역을 포함하는 것일 수 있다.

대표도 - 도1a



(52) CPC특허분류

H10B 41/35 (2023.02)

H10B 43/35 (2023.02)

H10D 99/00 (2025.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711190636
과제번호	2020R1C1C1011219
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	지능형 열제어 회로 구현을 위한 비선형 및 방향성열전달 소재 개발
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

반도체 기관;

상기 반도체 기관 상의 일부분에 배치된 3차원 수직 구조체층;

상기 3차원 수직 구조체층 상의 적어도 일부분에 배치된 메모리층; 및

상기 메모리층 상의 적어도 일부분에 배치된 2차원 물질 기반 채널층;

을 포함하는 3차원 수직 전하 저장 메모리로서,

상기 2차원 물질 기반 채널층은, 상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 갖는 것인, 3차원 수직 전하 저장 메모리.

청구항 2

제1항에 있어서,

상기 3차원 수직 구조체층은,

상기 기관 상에 제1 산화물층;

상기 제1 산화물층 상에 게이트층; 및

상기 게이트층 상에 제2 산화물층;

을 포함하고,

상기 제1 산화물층은 상기 반도체 기관의 폭 방향으로 연장된 연장부를 포함하고,

상기 2차원 물질 기반 채널층은 상기 3차원 수직 구조체층과 상기 연장부에 상응하는 메모리층을 걸쳐 연속적으로 배치되고, 상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 포함하는 것인, 3차원 수직 전하 저장 메모리.

청구항 3

제2항에 있어서,

상기 2차원 물질 기반 채널층은 상기 3차원 구조체층 및 상기 연장부에 상응하는 메모리층 상에서 직성장되고, 원자층 두께의 막인 것인, 3차원 수직 전하 저장 메모리.

청구항 4

제1항에 있어서,

상기 2차원 물질 기반 채널층은 2차원 반도체 물질을 포함하고,

상기 2차원 반도체 물질은 전이금속 칼코겐 화합물 및 비전이금속 칼코겐 화합물 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것인, 3차원 수직 전하 저장 메모리.

청구항 5

제2항에 있어서,

상기 제1 산화물층과 상기 연장부 간에 단차를 포함하고,

상기 제1 산화물층이 상기 연장부 보다 더 두꺼운 것인, 3차원 수직 전하 저장 메모리.

청구항 6

제2항에 있어서,

상기 제1 산화물층 및 상기 제2 산화물층은 동일하거나 상이한 산화물을 포함하고,

상기 게이트층은 금속 전도성 물질, 탄소계 전도성 물질 또는 다결정 폴리 실리콘 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것인, 3차원 수직 전하 저장 메모리.

청구항 7

제1항에 있어서,

상기 메모리층은,

블록킹층;

터널링층; 및

상기 블록킹층 및 상기 터널링층 사이에 전하 저장층;

을 포함하는 것인, 3차원 수직 전하 저장 메모리.

청구항 8

제2항에 있어서,

상기 메모리층은 상기 3차원 구조체층 및 상기 연장부 상에서 이들을 겹쳐서 연속적으로 배치되고,

상기 3차원 구조체층에 상응하는 메모리층 상에 배치되는 드레인 전극; 및

상기 연장부에 상응하는 메모리층 상에 배치되는 소스 전극;

을 포함하고,

상기 2차원 물질 기반 채널층은 상기 드레인 전극 및 상기 소스 전극을 연결하고,

비휘발성 메모리인 것인, 3차원 수직 전하 저장 메모리.

청구항 9

제8항에 있어서,

상기 드레인 전극 및 상기 소스 전극의 일부분은 상기 메모리층 상에 배치되고, 나머지 부분은 상기 2차원 물질 기반 채널층과 접촉하는 것인, 3차원 수직 전하 저장 메모리.

청구항 10

제7항에 있어서,

상기 블록킹층은 실리콘, 알루미늄, 티타늄, 하프늄, 하프늄-알루미늄 또는 지르코늄 중 적어도 하나 이상 또는 이들의 조합을 포함하는 산화물; 육방정계 비정질 질화붕소 또는 비정질 질화붕소 중 적어도 하나 이상 또는 이

들의 조합을 포함하고,

상기 전하 저장층은 실리콘, 실리콘 질화물, 알루미늄, 티타늄, 탄탈륨, 탄소, 하프늄 또는 지르코늄 중 적어도 하나 이상 또는 이들의 조합을 포함하고,

상기 터널링층은 실리콘, 알루미늄, 티타늄, 하프늄, 하프늄-알루미늄 또는 지르코늄 중 적어도 하나 이상 또는 이들의 조합을 포함하는 산화물; 육방정계 비정질 질화붕소 또는 비정질 질화붕소 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것인, 3차원 수직 전하 저장 메모리.

청구항 11

제1항에 있어서,

상기 3차원 수직 구조체층은

상기 3차원 수직 구조체층의 최상단에서 깊이 방향으로 패터닝된 단일 또는 복수개의 게이트 전극을 포함하고,

상기 게이트 전극은 홈 내에 게이트 금속 함유 물질을 포함하는 것인, 3차원 수직 전하 저장 메모리.

청구항 12

제11항에 있어서,

상기 홈은 상기 3차원 수직 구조체층 중 게이트층이 노출되는 깊이까지 또는 상기 게이트층의 일부분까지 패터닝된 것인, 3차원 수직 전하 저장 메모리.

청구항 13

반도체 기판을 준비하는 단계;

상기 반도체 기판 상에 3차원 수직 구조체층을 형성하는 단계;

상기 3차원 수직 구조체층 상에 메모리층을 형성하는 단계; 및

상기 메모리층 상에 2차원 물질 기반 채널층을 형성하는 단계;

를 포함하는 3차원 수직 전하 저장 메모리의 제조방법으로서,

상기 2차원 물질 기반 채널층을 형성하는 단계는,

상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 형성하는 것인, 3차원 수직 전하 저장 메모리의 제조방법.

청구항 14

제13항에 있어서,

상기 3차원 수직 구조체층을 형성하는 단계는,

상기 기판 상에 제1 산화물층을 형성하는 단계;

상기 제1 산화물층 상에 게이트층을 형성하는 단계;

상기 게이트층 상에 제2 산화물층을 형성하는 단계; 및

상기 제1 산화물층, 상기 게이트층 및 상기 제2 산화물층을 3차원 수직 구조체의 형태; 및 상기 제1 산화물층의 일부분이 상기 반도체층 기판의 폭 방향으로 연장된 연장부;를 형성하도록 식각하는 단계;

를 포함하고,

상기 2차원 물질 기반 채널층을 형성하는 단계는,

상기 3차원 수직 구조체층 및 상기 연장부에 상응하는 메모리층을 걸쳐 연속적으로 배치되도록 상기 2차원 물질을 성장시키고, 상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 형성하는 것인, 3차원 수직 전하 저장 메모리의 제조방법.

청구항 15

제14항에 있어서,

상기 제1 산화물층 상에 게이트층을 형성하는 단계는

상기 제1 산화물층 상에 게이트층을 증착하는 단계; 및

상기 증착된 게이트층을 열처리하는 단계;

를 포함하는 것인, 3차원 수직 전하 저장 메모리의 제조방법.

청구항 16

제14항에 있어서,

상기 메모리층을 형성하는 단계는,

상기 3차원 수직 구조체층 및 상기 연장부 상의 일부분에 블록킹층을 형성하는 단계;

상기 블록킹층 상에 전하 저장층을 형성하는 단계; 및

상기 전하 저장층 상에 터널링층을 형성하는 단계;

를 포함하는 것인, 3차원 수직 전하 저장 메모리의 제조방법.

청구항 17

제14항에 있어서,

상기 2차원 물질 기반 채널층을 형성하는 단계는, MOVCD 공정을 이용하여 상기 3차원 수직 구조체층 및 상기 연장부의 형태에 따라 2차원 물질을 성장시키고 증착하는 것인, 3차원 수직 전하 저장 메모리의 제조방법.

청구항 18

제13항에 있어서,

상기 2차원 물질 기반 채널층을 형성하는 단계 이후에 상기 메모리층 상에 소스 및 드레인 전극을 형성하는 단계;

를 포함하는 것인, 3차원 수직 전하 저장 메모리의 제조방법.

청구항 19

제13항에 있어서,

상기 3차원 수직 구조체층 내에 홈을 형성하는 단계;

를 포함하고,

상기 3차원 수직 구조체층의 최상단층에서부터 게이트층이 노출되는 깊이까지 또는 게이트층의 일부분까지 식각

하여 홈을 패터닝하는 것인, 3차원 수직 전하 저장 메모리의 제조방법.

청구항 20

제13항에 있어서,

상기 제조방법은, 제1항 내지 제12항 중 어느 한 항의 3차원 수직 전하 저장 메모리의 제조방법인 것인, 3차원 수직 전하 저장 메모리의 제조방법.

발명의 설명

기술 분야

[0001] 본 개시의 실시 예들에 따른, 2차원 반도체 기반 3차원 수직 전하 저장 메모리 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비소 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 비휘발성 메모리 장치(Nonvolatile memory device)로 구분된다. 비휘발성 메모리 장치에서 3차원 낸드 플래시 메모리는 데이터 센터, SSD(Solid State Drive), 모바일 시장으로 지속적으로 증가하는 추세이다. 3차원 낸드 플래시의 도입은 단위 부피당 소자수를 증가시키면서 공간적인 제약으로부터 자유롭게 한다. 즉, 기존 메모리 집적도를 높이기 위한 리소그래피 기술 의존도를 감소시키고, 수십 nm(나노미터) 스케일링에 따른 쇼트 채널 효과(short channel effect), 셀간 간섭효과로부터 벗어날 수 있게 한다. 하지만, 3차원의 복잡한 소자 구조로 인해 소자 구현을 위한 공정에서 매우 고난도의 기술이 필요하다.

[0003] 플래시 메모리 소자의 소재 분야에서 비정질 산화물 반도체는 넓은 밴드갭으로 인한 투명성과 저온 공정 가능, 비정질임에도 불구하고 우수한 전기특성 및 화학적 안정성을 기반으로 실리콘 플래시 메모리 소자를 대체하기 위한 노력이 진행되고 있다. 비정질 산화물 반도체의 넓은 밴드갭으로 인한 정공 주입의 어려움으로 이레이즈(Erase) 동작이 어렵다는 치명적인 한계점이 존재한다.

발명의 내용

해결하려는 과제

[0004] 평면 구조 낸드 플래시 메모리들은 모두 결함이 거의 없는 단결정 실리콘을 채널 물질로 사용하고 있다. 하지만, 3차원 수직 낸드 플래시 메모리는 증착이 가능한 폴리 실리콘(Poly-Si)을 채널 물질로 채택하고 있다. 즉, 폴리 실리콘(Poly-Si) 채널은 박막 내 뿐만 아니라 표면에 수많은 결함을 가지고 있으며, 이러한 결함은 전하의 흐름을 방해하는 에너지 장벽을 형성하여 매우 낮은 동작 전류를 갖게 할 수 있다. 또한, 폴리 실리콘(Poly-Si) 채널은 수 nm(나노미터)의 바디 두께 스케일링 시, 전하 이동도의 기하 급수적인 감소가 예측되어 이를 대체할 수 있는 재료의 연구가 필요하다.

[0005] 일 실시 예에 따라, 본 개시는 상기 언급된 문제점을 해결하기 위해서, 3차원 수직 구조의 형태에 따라 수직하게 성장된 2차원 반도체 물질 기반의 채널(예: 3차원 수직 채널)을 갖는, 3차원 수직 전하 저장 메모리를 제공한다.

[0006] 일 실시 예에 따라, 본 개시는 3차원 수직 구조의 형태에 따라 수직하게 성장시키는 공정으로 2차원 반도체 물질 기반의 채널(예: 3차원 수직 채널)을 형성하는, 3차원 수직 전하 저장 메모리의 제조방법을 제공한다.

[0007] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 분야 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 개시의 실시 예들에 따른, 3차원 수직 전하 저장 메모리는 반도체 기판; 상기 반도체 기판 상의 일부분에 배

치된 3차원 수직 구조체층; 상기 3차원 수직 구조체층 상의 적어도 일부분에 배치된 메모리층; 및 상기 메모리층 상의 적어도 일부분에 배치된 2차원 물질 기반 채널층; 을 포함하는 3차원 수직 비휘발성 전하 저장 메모리로서, 상기 2차원 물질 기반 채널층은, 상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 갖는 것일 수 있다.

[0009] 일 실시 예에 따라, 상기 3차원 수직 구조체층은 상기 기판 상에 제1 산화물층; 상기 제1 산화물층 상에 게이트층; 및 상기 게이트층 상에 제2 산화물층; 을 포함하고, 상기 제1 산화물층은 상기 반도체 기판의 폭 방향으로 연장된 연장부를 포함하고, 상기 2차원 물질 기반 채널층은 상기 3차원 수직 구조체층과 상기 연장부에 상응하는 메모리층을 걸쳐 연속적으로 배치되고, 상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 포함하는 것일 수 있다.

[0010] 일 실시 예에 따라, 상기 2차원 물질 기반 채널층은 상기 3차원 구조체층 및 상기 연장부에 상응하는 메모리층 상에서 직성장되고, 원자층 두께의 막인 것일 수 있다.

[0011] 일 실시 예에 따라, 상기 2차원 물질 기반 채널층은 2차원 반도체 물질을 포함하고, 상기 2차원 반도체 물질은 전이금속 칼코겐 화합물 또는 비전이금속 칼코겐 화합물 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것일 수 있다.

[0012] 일 실시 예에 따라, 상기 제1 산화물층과 상기 연장부 간에 단차를 포함하고, 상기 제1 산화물층이 상기 연장부보다 더 두꺼운 것일 수 있다.

[0013] 일 실시 예에 따라, 상기 제1 산화물층 및 상기 제2 산화물층은 동일하거나 상이한 산화물을 포함하고, 상기 게이트층은 금속 전도성 물질, 탄소계 전도성 물질 또는 다결정 폴리 실리콘 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것일 수 있다.

[0014] 일 실시 예에 따라, 상기 메모리층은, 블록킹층; 터널링층; 및 상기 블록킹층 및 상기 터널링층 사이에 전하 저장층; 을 포함하는 것일 수 있다.

[0015] 일 실시 예에 따라, 상기 메모리층은 상기 3차원 구조체층 및 상기 연장부 상에서 이들을 걸쳐서 연속적으로 배치되고, 상기 3차원 구조체층에 상응하는 메모리층 상에 배치되는 드레인 전극; 및 상기 연장부에 상응하는 메모리층 상에 배치되는 소스 전극; 을 포함하고, 상기 2차원 물질 기반 채널층은 상기 드레인 전극 및 상기 소스 전극을 연결할 수 있다. 일 실시 예에 따라, 3차원 수직 전하 저장 메모리는 비휘발성 메모리인 것일 수 있다.

[0016] 일 실시 예에 따라, 상기 드레인 전극 및 상기 소스 전극의 일부분은 상기 메모리층 상에 배치되고, 나머지 부분은 상기 2차원 물질 기반 채널층과 접촉하는 것일 수 있다.

[0017] 일 실시 예에 따라, 상기 블록킹층은 실리콘, 알루미늄, 티타늄, hafnium, hafnium-알루미늄 또는 지르코늄 중 적어도 하나 이상 또는 이들의 조합을 포함하는 산화물; 육방정계 비정질 질화붕소 또는 비정질 질화붕소 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다.

[0018] 일 실시 예에 따라, 상기 전하 저장층은 실리콘, 실리콘 질화물, 알루미늄, 티타늄, 탄탈륨, 탄소, hafnium 또는 지르코늄 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다.

[0019] 일 실시 예에 따라, 상기 터널링층은 실리콘, 알루미늄, 티타늄, hafnium, hafnium-알루미늄 또는 지르코늄 중 적어도 하나 이상 또는 이들의 조합을 포함하는 산화물; 육방정계 비정질 질화붕소 또는 비정질 질화붕소 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다.

[0020] 일 실시 예에 따라, 상기 3차원 수직 구조체층은 상기 3차원 수직 구조체층의 최상단에서 깊이 방향으로 패터닝된 단일 또는 복수개의 게이트 전극을 포함하고, 상기 게이트 전극은 홈 내에 게이트 금속 함유 물질을 포함하는 것일 수 있다.

[0021] 일 실시 예에 따라, 상기 홈은 상기 3차원 수직 구조체층 중 게이트층이 노출되는 깊이까지 또는 상기 게이트층의 일부분까지 패터닝된 것일 수 있다.

[0022] 실시 예들에 따른, 3차원 수직 전하 저장 메모리의 제조방법은 반도체 기판을 준비하는 단계; 상기 반도체 기판 상에 3차원 수직 구조체층을 형성하는 단계; 상기 3차원 수직 구조체층 상에 메모리층을 형성하는 단계; 및 상기 메모리층 상에 2차원 물질 기반 채널층을 형성하는 단계; 를 포함하는 3차원 수직 전하 저장 메모리의 제조방법으로서, 상기 2차원 물질 기반 채널층을 형성하는 단계는, 상기 3차원 수직 구조체층의 측면에 상응하는 메

모리층 상에 수직 성장된 3차원 수직 채널 영역을 형성하는 것일 수 있다.

- [0023] 일 실시 예에 따라, 상기 3차원 수직 구조체층을 형성하는 단계는, 상기 기판 상에 제1 산화물층을 형성하는 단계; 상기 제1 산화물층 상에 게이트층을 형성하는 단계; 상기 게이트층 상에 제2 산화물층을 형성하는 단계; 및 상기 제1 산화물층, 상기 게이트층 및 상기 제2 산화물층을 3차원 수직 구조체의 형태; 및 상기 제1 산화물층의 일부분이 상기 반도체층 기판의 폭 방향으로 연장된 연장부;를 형성하도록 식각하는 단계; 를 포함하고, 상기 2차원 물질 기반 채널층을 형성하는 단계는, 상기 3차원 수직 구조체층 및 상기 연장부에 상응하는 메모리층을 걸쳐 연속적으로 배치되도록 상기 2차원 물질을 성장시키고, 상기 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 형성하는 것일 수 있다.
- [0024] 일 실시 예에 따라, 상기 제1 산화물층 상에 게이트층을 형성하는 단계는 상기 제1 산화물층 상에 게이트층을 증착하는 단계; 및 상기 증착된 게이트층을 열처리하는 단계;를 포함하는 것일 수 있다.
- [0025] 일 실시 예에 따라, 상기 메모리층을 형성하는 단계는, 상기 3차원 수직 구조체층 및 상기 연장부 상의 일부분에 블록킹층을 형성하는 단계; 상기 블록킹층 상에 전하 저장층을 형성하는 단계; 및 상기 전하 저장층 상에 터널링층을 형성하는 단계; 를 포함하는 것일 수 있다.
- [0026] 일 실시 예에 따라, 상기 2차원 물질 기반 채널층을 형성하는 단계는, MOVCD 공정을 이용하여 상기 3차원 수직 구조체층 및 상기 연장부의 형태에 따라 2차원 물질을 성장시키고 증착하는 것일 수 있다.
- [0027] 일 실시 예에 따라, 상기 2차원 물질 기반 채널층을 형성하는 단계 이후에 상기 메모리층 상에 소스 및 드레인 전극을 형성하는 단계; 를 포함하는 것일 수 있다.
- [0028] 일 실시 예에 따라, 상기 3차원 수직 구조체층 내에 홈을 형성하는 단계; 를 포함하고, 상기 3차원 수직 구조체층의 최상단층에서부터 상기 게이트층이 노출되는 깊이까지 또는 게이트층의 일부분까지 식각하여 홈을 패터닝하는 것일 수 있다.
- [0029] 일 실시 예에 따라, 본 개시의 실시 예들에 따른 제조방법은 본 개시의 실시 예들에 따른 3차원 수직 전하 저장 메모리를 제조하는 것일 수 있다.

발명의 효과

- [0030] 일 실시 예에 따라, 본 개시는 2차원 반도체 물질 기반의 수직 채널층을 포함하는 3차원 수직 전하 저장 메모리 (Charge Trap Memory) 및 이의 제조방법을 제공할 수 있다. 일 실시 예에 따라, 2차원 반도체 물질 기반의 수직 채널층을 포함하는 3차원 수직 비휘발성 전하 저장 메모리 (Charge Trap Memory) 및 이를 포함하는 소자를 제공할 수 있다.

도면의 간단한 설명

- [0031] 도 1a는 본 개시의 실시 예들에 따른, 3차원 수직 전하 저장 메모리(1)의 구성을 예시적으로 나타낸 것이다. 도 1b는 본 개시의 실시 예들에 따른, 3차원 수직 전하 저장 메모리(1)의 일부분의 구성을 예시적으로 나타낸 것이다. 도 2a는 일 실시 예에 따른, 본 개시의 단층 이황화 몰리브덴 기반 3차원 수직 전하 저장 메모리의 구조를 예시적으로 나타낸 것이다. 도 2b는 일 실시 예에 따라, 도 2a에서 제작된 3차원 수직 구조체층의 주사 전자 현미경(Scanning Electron Microscope, SEM)이다. 도 2c는 일 실시 예에 따라, (a) 도 2a에서 제작된 3차원 수직 전하 저장 메모리(예: 3차원 수직 비휘발성 전하 저장 메모리)의 단면 투과 전자 현미경 (Transmission Electron Microscope, TEM) 이미지 및 (b)도 2a에서 제작된 단층 이황화 몰리브덴 기반 3차원 수직 전하 저장 메모리의 투과 전자 현미경 (Transmission Electron Microscope, TEM) 및 이의 에너지 분산 X선 분광법 (Energy-dispersive X-ray spectroscopy, EDS)분석 결과이다. 도 2d는 일 실시 예에 따라, 도 2a에서 제작된 단층 이황화 몰리브덴 기반 3차원 수직 전하 저장 메모리의 전하 저장 원리를 밴드 다이어그램으로 나타낸 것이다. 도 2f는 일 실시 예에 따라, 도 2a에서 제작된 단층 이황화 몰리브덴 기반 3차원 수직 전하 저장 메모리의 전기

측정 결과를 나타낸 것이다: 단층 이황화 몰리브덴 기반 3차원 전하 저장 메모리의 게이트 전압 크기에 따른 메모리 용량 측정 결과이다.

도 2e는 일 실시 예에 따라, 도 2a에서 제작된 단층 이황화 몰리브덴 기반 3차원 수직 전하 저장 메모리의 전기 측정 결과를 나타낸 것이다: 양 전압 펄스 (약 +10 V, 1 초) 및 음 전압 펄스 (약 -10 V, 1 초)에 따른 Program과 Erase 전류 측정 결과이다.

도 3a는 일 실시 예에 따라, 본 개시의 3차원 수직 전하 저장 메모리의 제조방법의 흐름도이다.

도 3b는 일 실시 예에 따라, 본 개시의 3차원 수직 전하 저장 메모리의 제조방법의 공정을 예시적으로 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0033] 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0034] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0035] 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. "제1", "제2", 또는 "첫째" 또는 "둘째"와 같은 용어들은 단순히 해당 구성요소를 다른 해당 구성요소와 구분하기 위해 사용될 수 있으며, 해당 구성요소들을 다른 측면(예: 중요성 또는 순서)에서 한정하지 않는다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.
- [0036] 이하, 본 개시의 3차원 수직 전하 저장 메모리 및 이의 제조방법에 대하여 실시예 및 도면을 참조하여 구체적으로 설명하도록 한다. 그러나, 본 발명이 이러한 실시예 및 도면에 제한되는 것은 아니다.
- [0037] 도 1a는 본 개시의 실시 예들에 따른, 3차원 수직 전하 저장 메모리(1)의 구성을 예시적으로 나타낸 것이다. 일 실시 예에 따라, 도 1a에서 3차원 수직 전하 저장 메모리(100)는 반도체 기판(110), 3차원 수직 구조체층(H), 메모리층(M), 2차원 물질 기반 채널층(180), 게이트층(130), 전극(D, S) 및 게이트 전극(190)을 포함할 수 있다. 일 실시 예에 따라, 도 1a에서 3차원 수직 전하 저장 메모리(100)는 3차원 수직 비휘발성 전하 저장 메모리일 수 있다.
- [0038] 일 실시 예에 따라, 반도체 기판(110)은 전자 저장 메모리(예: 도 1a의 3차원 수직 전하 저장 메모리(100)) 또는 관련 소자에 적용 가능한 기판이라면 제한 없이 적용될 수 있다. 일 실시 예에 따라, 반도체 기판(110)은 실리콘 기판, 웨이퍼 등일 수 있으며, 예를 들어, p-도핑된 실리콘 기판(heavily-doped p+ substrate)일 수 있다.
- [0039] 일 실시 예에 따라, 3차원 수직 구조체층(H) (예: 도 1a의 (120), (130) 및 (140)의 수직 구조체)은 기판(110) 상의 적어도 일부분에 배치된 단일 또는 복수개의 수직형 3차원 구조체를 포함할 수 있다. 3차원 수직 구조체층(H)은 기판(100) 상에 복수 개의 트렌치 및 홀(Hole) 등의 비평면 3차원 수직 구조를 포함할 수 있다. 일 실시 예에 따라, 비평면 3차원 수직 구조는 높이를 갖는 복수 개의 다각기둥(예: 사각기둥, 정사각기둥), 원기둥, 다각뿔, 원뿔, 말단이 절단된 다각뿔 또는 원뿔의 3차원 수직 구조체를 포함할 수 있다. 일 실시 예에 따라, 상기 언급된 3차원 구조 구조체는 하부 영역이 좁아지는 테이퍼진 구조(예: 깔대기) 또는 속이 빈 구조(예: 실리던 구조) 등으로 변형될 수 있다. 일 실시 예에 따라, 상기 홀은 단면(상부 방향 기준 또는 측면 방향 기

준)이 원형, 타원형 또는 다각형(예: 사각, 오각, 육각 등)일 수 있다.

[0040] 일 실시 예에 따라, 3차원 수직 구조체층(H) (예: 도 1a의 (120), (130) 및 (140)의 수직 구조체)은 게이트층과 절연막을 포함할 수 있으며, 제1 산화물층(120), 게이트층(130) 및 제2 산화물층(140)을 포함할 수 있다. 일 실시 예에 따라, 3차원 수직 구조체층(H)은 제1 산화물층(120), 게이트층(130) 및 제2 산화물층(140)을 포함하는 적층체를 식각하여 형성된 것일 수 있다. 일 실시 예에 따라, 제1 산화물층(120)은 기관(110) 상에 배치되고, 3차원 수직 구조체층(H)에서부터 기관(110)의 폭(예: 가로 또는 너비) 방향으로 연장된 연장부(120a)를 포함할 수 있다. 어떤 예에서 연장부(120a)는 3차원 수직 구조체층(H)의 하나의 방향(가로 또는 세로 방향) 또는 양방향(예: 가로 방향 및 세로 방향)으로 연장될 수 있다.

[0041] 일 실시 예에 따라, 연장부(120a)는 3차원 수직 구조체층(H) (예: 도 1a의 (120), (130) 및 (140)의 수직 구조체)의 형성 공정에서 제1 산화물층(120)에 해당되는 깊이까지 또는 제1 산화물층(120)의 깊이 방향으로 일부분까지 기관(110) 상에 배치된 적층체(예: 도 1a의 (120), (130) 및 (140))의 적어도 일부분을 식각하여 3차원 수직 구조체(H) (예: 도 1a의 (120), (130) 및 (140))를 형성하고, 일부 영역(예: 3차원 수직 구조체 외의 영역)에 제1 산화물층(120)을 노출시키고 남아 있도록 식각한 것일 수 있다.

[0042] 일 실시 예에 따라, 제1 산화물층(120)과 연장부(120a)의 두께는 서로 동일하거나 상이할 수 있다. 어떤 예에서 제1 산화물층(120)과 연장부(120a) 간에 단차를 포함할 수 있다. 어떤 예에서 제1 산화물층(120)의 두께가 연장부(120a)의 두께 보다 두꺼울 수 있다. 어떤 예에서 연장부(120a)의 두께는 제1 산화물층(120) 두께의 80 % 이하 (0초과), 70 % 이하; 60 % 이하; 50 % 이하; 또는 30 % 이하일 수 있다. 언급된 값에서 최소 및 최대 값을 선택할 수 있다. 일 실시 예에 따라, 제1 산화물층(120)은 산화물계 절연성 물질을 포함하고, 예를 들어, 실리콘 산화물(예: SiO_2)을 포함할 수 있다. 연장부(120a)는 제1 산화물층(120)과 동일한 성분을 포함할 수 있다. 일 실시 예에 따라, 제1 산화물층(120)의 두께는 50 nm(나노미터) 내지 300 nm(나노미터); 50 nm 내지 280 nm; 50 nm 내지 250 nm; 50 nm 내지 200 nm; 50 nm 내지 150 nm; 또는 80 nm 내지 120 nm일 수 있다.

[0043] 일 실시 예에 따라, 게이트층(130)은 제1 산화물층(120) 상에 배치되고, 탄소계 전도성 물질(예: 그래핀), 금속, 금속 합금, 금속 함유 물질(예: 탄탈륨 질화물(TaN), 티타늄 질화물(TiN)), 폴리 실리콘(예: 다결정 폴리 실리콘(Poly-Si))을 포함할 수 있다. 일 실시 예에 따라, 게이트층(130)의 두께는 30 nm(나노미터) 내지 70 nm(나노미터); 30 nm 내지 60 nm; 30 nm 내지 50 nm; 또는 30 nm 내지 40 nm일 수 있다.

[0044] 일 실시 예에 따라, 제2 산화물층(140)은 게이트층(130) 상에 배치되고, 제1 산화물(120)과 동일하거나 상이한 성분을 포함할 수 있다. 어떤 예에서 제2 산화물층(140)은 산화물계 절연성 물질을 포함하고, 예를 들어, 실리콘 산화물(예: SiO_2)을 포함할 수 있다. 일 실시 예에 따라, 제2 산화물층(140)의 두께는 50 nm (나노미터) 내지 100 nm(나노미터); 50 nm 내지 90 nm; 50 nm 내지 80 nm; 또는 60 nm 내지 70 nm일 수 있다.

[0045] 일 실시 예에 따라, 메모리층(M)(예: 도 1a의 (150), (160) 및 (170)의 적층체)은 3차원 수직 구조체층(H) (예: 도 1a의 (120), (130) 및 (140)의 수직 구조체) 및 연장부(120a) 상의 적어도 일부분 또는 전체에 배치될 수 있다. 어떤 예에서 3차원 수직 구조체층(H)(예: 도 1a의 (120), (130) 및 (140)의 수직 구조체) 및 연장부(120a) 상에서 이들을 걸쳐 연속적으로 배치될 수 있다. 즉, 메모리층(M)(예: 도 1a의 (150), (160) 및 (170)의 적층체)은 3차원 수직 구조체층(H) (예: 도 1a의 (120), (130) 및 (140)의 수직 구조체)의 상단 영역(예: 3차원 수직 구조체의 상단 영역)에서부터 수직 영역(예: 3차원 수직 구조체의 측면 영역)을 따라 연장부(120a) 영역(예: 연장부(120a)의 평평한 면)까지 연속적으로 이어질 수 있다.

[0046] 일 실시 예에 따라, 메모리층(M)(예: 도 1a의 (150), (160) 및 (170)의 적층체)의 두께는 3차원 수직 구조체의 수평 방향 스케일링에 의해 조절될 수 있으며, 예를 들어, 30 nm 내지 40 nm 이하일 수 있으나, 이에 제한되지 않는다.

[0047] 일 실시 예에 따라, 메모리층(M)은 산화물층 및 질화물층이 단일 또는 복수층으로 적층된 것일 수 있다. 어떤 예에서 산화물층과 질화물층이 연속적으로 교차 적층된 것일 수 있다. 일 실시 예에 따라, 메모리층(M)은 블록킹층(150) 및 터널링층(170) 및 이들 사이에 전하 저장층(160)이 배치될 수 있다. 어떤 예에서 블록킹층(150), 전하 저장층(160) 및 터널링층(170)은 각각 단일층 또는 복수층일 수 있다.

[0048] 일 실시 예에 따라, 블록킹층(150)은 3차원 수직 구조체층(H) (예: 도 1a의 (120), (130), 및 (140)로 이루어진 적층체) 및 연장층(120a) 상의 적어도 일부분 또는 전체에 배치될 수 있다. 어떤 예에서 블록킹층(150)은 3차원 수직 구조체층(H)의 상단 영역에서 제2 산화물층(140) 상에 배치되고, 3차원 수직 구조체층(H)의 수직 영

역(예: 측면 영역)에서 제1 산화물층(120), 게이트층(130) 및 제2 산화물층(140)과 직접적으로 접촉할 수 있다. 일 실시 예에 따라, 3차원 수직 구조체층(H)의 상단, 하단 연장층(120a)에 배치된 메모리층(M)은 식각 공정을 통하여 수직(예: 측면 영역)에만 배치된 것일 수 있다.

[0049] 일 실시 예에 따라, 전하 저장층(160)은 블록킹층(150) 상에 배치되고, 전하 저장층(160)은 질화물을 포함할 수 있다. 어떤 예에서 실리콘, 알루미늄, 티타늄, 탄탈륨, 탄소, 하프늄 또는 지르코늄 또는 이들의 조합 중 적어도 하나 이상의 금속 또는 산화물, 질화물(예: Graphene, HfO_2 , ZrO_2 , TiN, TaN, SiN_x , 또는 Si_3N_4) 또는 이들의 조합을 포함할 수 있다. 어떤 예에서 전하 저장층(160)은 실리콘 질화물(예: SiN_x 또는 Si_3N_4)을 포함할 수 있다.

[0050] 일 실시 예에 따라, 터널링층(170)은 전하 저장층(160) 상에 배치되고, 블록킹층(150) 및 터널링층(170)은 동일하거나 또는 상이한 산화물을 포함할 수 있다. 어떤 예에서 블록킹층(150) 및 터널링층(170)은 각각 실리콘, 알루미늄, 티타늄, 하프늄, 하프늄-알루미늄 또는 지르코늄 중 적어도 하나 이상 또는 이들의 조합을 포함하는 산화물; 육방정계 비정질 질화붕소 또는 비정질 질화붕소 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다.

[0051] 어떤 예에서 블록킹층(150) 및 터널링층(170)은 각각 실리콘(예: SiO_2), 알루미늄(예: Al_2O_3), 티타늄(예: TiO_2), 하프늄(예: HfO_x 또는 HfO_2), 하프늄-알루미늄(예: HfAlO) 또는 지르코늄(예: ZrO_2) 중 적어도 하나 이상 또는 이들의 조합을 포함하는 산화물을 포함할 수 있다. 어떤 예에서 블록킹층(150) 및 터널링층(170)은 각각 육방정계 질화붕소, 육방정계 비정질 질화붕소 또는 비정질 질화붕소(예: hexagonal boron nitride, amorphous boron nitride) 중 적어도 하나 이상 또는 이들의 조합을 더 포함할 수 있다. 어떤 예에서 블록킹층(150) 및 터널링층(170)은 각각 육방정계 질화붕소, 육방정계 비정질 질화붕소 또는 비정질 질화붕소(예: hexagonal boron nitride, amorphous boron nitride) 중 적어도 하나 이상 또는 이들의 조합으로 이루어질 수 있다. 어떤 예에서 블록킹층(150) 및 터널링층(170)은 각각 상기 나열된 산화물로 이루어질 수 있다. 어떤 예에서 블록킹층(150) 및 터널링층(170)은 알루미늄 산화물을 포함할 수 있다.

[0052] 일 실시 예에 따라, 블록킹층(150), 전하 저장층(160) 및 터널링층(170)의 두께는 동일하거나 상이할 수 있다. 어떤 예에서 블록킹층(150), 전하 저장층(160) 및 터널링층(170)의 두께는 각각 5 nm(나노미터) 내지 10 nm(나노미터)인 것일 수 있다. 어떤 예에서 블록킹층(150)의 두께는 15 nm(나노미터) 내지 25 nm(나노미터)인 것일 수 있다. 어떤 예에서 전하 저장층(160)의 두께는 트랜치 및 홀 패턴의 크기에 따라 조절될 수 있으며, 예를 들어, 5 nm(나노미터) 내지 10 nm(나노미터)일 수 있으나, 이에 제한되지 않는다.

[0053] 일 실시 예에 따라, 2차원 물질 기반 채널층(180)은 메모리층(M) (예: 도 1a의 (150), (160) 및 (170)) 상의 적어도 일부분 또는 전체에 배치될 수 있다. 어떤 예에서 2차원 물질 기반 채널층(180)은 메모리층(M)의 터널링층(170) 상에 배치될 수 있다. 어떤 예에서 2차원 물질 기반 채널층(180)은 3차원 수직 구조체층(H)에 상응하는 메모리층(M)에서부터 연장부(120a)에 상응하는 메모리층(M)까지 이어지도록 연속적으로 배치될 수 있다. 어떤 예에서 2차원 물질 기반 채널층(180)은 3차원 구조체층(H)에 상응하는 상단(예: 산화물층 140 상)에서부터 수직(예: 측면 영역) 메모리층(M)을 포함하여 연장부(120a)까지 이어지도록 연속적으로 배치될 수 있다. 이는 2차원 물질 기반의 3차원 수직 채널을 설계할 수 있다. 즉, 도 1b를 참조하면, 도 1b는 3차원 수직 전하 저장 메모리(1)의 일부분의 구성을 예시적으로 나타낸 것으로, 3차원 수직 구조체층(H)의 수직 영역 (예: 3차원 수직 구조체의 측면 영역)에서 수직 성장되고 얇은 박막의 3차원 수직 채널 영역을 포함하고, 이는 전극(D, S)을 수직 구조체층(H)의 모서리에 가깝게 연결함으로써 수직 2차원 물질 기반 소자를 완성할 수 있다.

[0054] 일 실시 예에 따라, 2차원 물질 기반 채널층(180)은 단일층 또는 복수층 이상 일 수 있다. 이는 상기 메모리층(M)과의 밴드갭 구조 설계에 따라 또는 구현하고자 하는 전류량에 따라 다를 수 있다. 어떤 예에서 2차원 물질 기반 채널층(180)의 두께는 5 nm(나노미터) 내지 0.65 nm(나노미터)일 수 있다. 어떤 예에서 2차원 물질 기반 채널층(180)의 두께는 원자층 두께일 수 있다. 일 실시 예에 따라, 2차원 물질 기반 채널층(180)은 3차원 구조체층(H)에 상응하는 메모리층(M) 및 연장부(120a)에 상응하는 메모리층(M) 상에서 직성장된 증착막일 수 있다. 어떤 예에서 2차원 물질 기반 채널층(180)은 3차원 구조체층(H)에 상응하는 메모리층(M) 및 연장부(120a)에 상응하는 메모리층(M) 상에서 직성장된 원자 수준 두께의 단일막일 수 있다.

[0055] 일 실시 예에 따라, 2차원 물질 기반 채널층(180)은 2차원 반도체 물질을 포함하고, 상기 2차원 반도체 물질은 전이금속 칼코겐 화합물 및 비전이금속 칼코겐 화합물, 원소 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다. 어떤 예에서 2차원 반도체 물질은 MX_2 (여기서, M은 전이금속 또는 비전이금속 (예: 주기율표 4~6족의

Mo, W, Nb, V, Ta, Ti, Ar, Hf, Tc, Re 중 하나, 또는 Ga, In, Sn, Ge, Pb이다)이고, X는 칼코겐 원소 (예: 주기율표 6 족인 황(S), 셀레늄(Se) 또는 텔루륨(Te))이다)로 표시되는 전이금속 칼코겐 화합물 또는 비전이금속 칼코겐 화합물일 수 있다. 어떤 예에서 2차원 반도체 물질은 텅스텐(W) 또는 몰리브덴(Mo)의 칼코겐 화합물(황(s)과 결합)일 수 있고, 예를 들어, 이황화 몰리브덴 (MoS_2)일 수 있다. 일 실시 예에 따라, 어떤 물질은 MX_2 로 표현되지 않을 수 있는데, 예를 들어, 단일 원소 Te 및 SnSe도 2차원 물질로 적용될 수 있다.

[0056] 일 실시 예에 따라, 2차원 물질 기반 채널층(180)은 2차원 나노 재료를 포함하고, 2차원 나노 재료는 2차원 결합이라는 독특한 특성을 기반으로 원자 수준 두께의 얇은 박막을 가지고 균일하게 수직 성장되므로, 표면 결합이 부재하거나 거의 없고, 전하 저장 메모리 소자에서 실리콘 기반 반도체 스케일링의 한계를 극복할 수 있는 반도체 소재를 제공할 수 있다. 어떤 예에서 2차원 나노 재료인 이황화 몰리브덴 (MoS_2)는 약 5 nm(나노미터) 이하의 스케일링 시 실리콘을 뛰어넘는 우수한 전기 특성을 보이고, 넓은 밴드갭을 가지는 비정질 산화물 반도체(예: IGZO, InZnO_x , ZTO 등)와 달리 실리콘과 유사한 밴드갭 (Si : 약 1.12 eV, 단층 MoS_2 : 약 1.85 eV)을 가지므로, 전하 포획 플래시(Charge Trap Flash, CTF) 소자로 제작할 수 있고, 신뢰성 및 집적성이 향상된 3차원 전하 저장 메모리를 구현할 수 있다.

[0057] 일 실시 예에 따라, 전극(D, S)은 메모리층(M)의 적어도 일부분에 배치되고, 2차원 물질 기반 채널층(180)에 의해 연결될 수 있다. 어떤 예에서 전극(D,S)은 메모리층(M)의 터널링층(170) 상에 배치될 수 있다. 어떤 예에서 전극(D,S)은 제1 산화물층(140) 상단과 제2 산화물층 연장부(120a) 상을 포함하여 배치되어 2차원 물질 기반 채널층(180)에 연결될 수 있다. 일 실시 예에 따라, 드레인 전극(D)는 3차원 구조체층(H)에 상응하는 메모리층(M) 상에 배치되고, 소스 전극(S)은 연장부(120a)에 상응하는 메모리층(M) 상에 배치될 수 있다. 어떤 예에서 드레인 전극(D) 및 소스 전극(S) 각각의 일부분은 메모리층(M) 상에 배치되고, 일부분은 2차원 물질 기반 채널층(180)과 접촉하도록 배치될 수 있다. 이는 2차원 물질 기반 채널층(180)이 3차원 구조체층의 수직 영역(예: 측면 영역)에 따라 수직 배열된 수직 채널 영역(예: 3차원 수직 채널)을 통해 드레인 전극(D) 및 소스 전극(S)을 연결할 수 있다.

[0058] 일 실시 예에 따라, 드레인 전극(D) 및 소스 전극(S)의 성분 및 형태는 본 개시의 기술 분야에서 알려진 것을 적용할 수 있으며, 본 문서에는 구체적으로 언급하지 않는다. 어떤 예에서 무기, 유기 또는 이들을 포함하는 전극 물질 또는 전도성 물질을 포함할 수 있다. 예를 들어, 탄화수소계 전도성 물질, 탄소계 전도성 물질(예: 그래핀, 탄소나노튜브 등), 금속, 금속 합금, 금속 함유 물질, 고분자 전도성 물질 등일 수 있으나, 이에 제한되지 않는다.

[0059] 일 실시 예에 따라, 게이트 전극(190)은 3차원 수직 구조체층(H) 내부에 배치될 수 있다. 게이트 전극(190)은 3차원 수직 구조체층(H)의 최상단에서 깊이 방향으로 패터닝된 단일 또는 복수개의 홈(도 3b에서 190')을 포함하고, 홈 내에 게이트 금속 함유 물질을 포함할 수 있다. 어떤 예에서 게이트 전극(190)의 홈(190')은 3차원 수직 구조체층(H) 중 게이트층(140)이 노출되는 깊이까지 또는 게이트층(140)의 깊이 방향으로 일부분까지 패터닝된 것일 수 있다. 어떤 예에서 게이트 전극(190)은 3차원 수직 구조체층(H) 상에 배치된 메모리층(M)에서부터 게이트층(140)이 노출되는 깊이까지(예: 게이트층(140)의 상단) 또는 게이트층(140) 내의 일부분까지의 깊이를 포함할 수 있다.

[0060] 일 실시 예에 따라, 상기 게이트 금속 함유 물질은 홈(도 3b에서 190') 내에 코팅 또는 증착(예: 홈의 내벽), 또는 홈 내에 채워(예: fill)질 수 있다. 상기 게이트 금속 함유 물질은 홈 홈(190) 내부에서 홈(190)의 입구 또는 홈(190) 입구 근접 영역(예: 홈 입구의 외부 둘레)까지 확장되어 포함될 수 있다. 어떤 예에서 게이트 금속 함유 물질은 금속, 금속 합금, 금속 화합물 (예: 금속산화물 또는 금속탄화물) 등을 포함할 수 있다. 어떤 예에서 게이트 금속 함유 물질은 금(Au), 은(Ag), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 코발트(Co), 란타넘(La) 및 텅스텐(W) 중 적어도 하나 이상을 포함하는 금속, 금속 합금 또는 금속 화합물; 또는 이들의 조합을 포함할 수 있다. 어떤 예에서 상기 게이트 금속은 금(Au), 은(Ag), 코발트(Co), 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 티타늄 알루미늄(TiAl), 티타늄 알루미늄 탄화물(TiAlC) 및 란탄 산화물(La_2O_3) 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다.

[0061] 일 실시 예에 따라, 도 2a는 본 개시의 실시 예들에 따른 단층 이황화 몰리브덴 기반 3차원 수직 비휘발성 전하 저장 메모리의 구조를 나타낸 것이다. 도 2a의 3차원 구조체에서 게이트 물질은 다결정 폴리 실리콘 (Poly-Si)을 적용하였다. 2차원 채널에 가해지는 유효 표면 퍼텐셜은 게이트(다결정 폴리 실리콘 (Poly-Si))의 끝 모서리로부터 가해지며, 그 범위는 수직 2차원 채널 영역에 제한된다. 상부의 금속 게이트 전극과 드레인 전극

간의 수직 절연을 위해서 실리콘 산화물 (SiO_2) 절연층(spacer)로 적용하였다. 또한, 하부의 절연층 (spacer)은 실리콘 산화물 (SiO_2)을 적용하여 반도체 기판 상에 형성하였다. 메모리층(A-N-A)에서 블로킹 산화막은 원자층 증착 기반의 산화 알루미늄(Al_2O_3) (A), 전하 저장층은 실리콘 질화막 (SiN) (N) 및 터널링 산화막은 산화 알루미늄(Al_2O_3) (A)으로 구성하였다. 단층 이황화 몰리브덴은 유기 금속 화학 증착 장비(Metal-organic chemical vapor deposition, MOCVD)를 이용하여 수직 성장시켜 2차원 물질 기반의 수직 채널로 형성하였다. 게이트 전극(도 2a에서 나타내지 않음), 소스 전극(S) 및 드레인 전극(D)은 금 (Au) 전극을 사용하였다.

[0062] 일 실시 예에 따라, 도 2b, 도 2c 및 도 2d는 도 2a에서 제작된 3차원 수직 구조체(H)의 단면 주사 전자 현미경 (Scanning Electron Microscope, SEM) 이미지(도 2b), 3차원 수직 전하 저장 메모리(예: 3차원 수직 비휘발성 전하 저장 메모리)의 단면 투과 전자 현미경 (Transmission Electron Microscope, TEM) 이미지(도 2c의 (a))와 수직 성장된 단층 이황화 몰리브덴의 TEM 이미지 및 TEM 이미지 내에 상응하는 에너지 분산 X선 분광법 (Energy-dispersive X-ray spectroscopy, EDS) 분석(도 2c의 (b)) 및 소자 스케메틱과 program, erase된 상태에서의 소자의 전기적 특성(도 2d)을 나타낸 것이다. 도 2b 내지 도 2c에서 트렌치 식각된 구조의 SEM 단면 이미지 및 전체 트렌치 메모리 구조의 TEM 단면 이미지 및 EDS 분석 결과로부터 수직 성장된 단층 이황화 몰리브덴막을 확인할 수 있다.

[0063] 도 2d에서 밴드 다이어그램을 통해 2차원 반도체 기반 전하 저장 메모리의 전하 저장 원리를 확인할 수 있다.

[0064] 도 2e 및 도 2f는 도 2a에서 제작된 3차원 수직 전하 저장 메모리(예: 3차원 수직 비휘발성 전하 저장 메모리)의 전기 측정 결과를 나타내 것이다. 도 2f는 단층 이황화 몰리브덴 기반 3차원 전하 저장 메모리의 게이트 전압 크기에 따른 메모리 용량 측정 결과이다. 도 2e는 양 전압 펄스 (+10 V, 1 초) 및 음 전압 펄스 (-10 V, 1 초)에 따른 Program과 Erase 전류 측정 결과이다.

[0065] 일 실시 예에 따라, 본 개시는 기존 3차원 낸드 플래시(NAND Flash) 메모리 소자의 채널 물질인 폴리 실리콘 (Poly-Si) 및/또는 비정질 산화물 반도체 (Amorphous oxide semiconductor)이 가지는 한계를 극복할 채널 소재 (예: 2차원 물질 기반의 수직 성장된 채널막)를 제공할 수 있다. 즉, 원자 수준 두께의 2차원 반도체 물질 (예: 이황화 몰리브덴) 기반 수직 채널형의 3차원 전하 저장 메모리 (Charge Trap Memory) (예: 3차원 수직 비휘발성 전하 저장 메모리)를 제공할 수 있다. 또한, 본 개시는 일 실시 예에 따라, 본 개시는 3차원 낸드 플래시 메모리 소자 분야에서 스토리지 장치의 신뢰성 개선 및 고집적도 달성을 위한 2차원 물질 (예: 이황화 몰리브덴) 기반 수직 채널 및 메모리 소자 (예: 3차원 수직 비휘발성 전하 저장 메모리)뿐만 아니라 관련 소재를 제공할 수 있다.

[0066] 일 실시 예에 따라, 본 개시는 3차원 수직 전하 저장 소자(예: 3차원 수직 비휘발성 전하 저장 메모리 소자) 및 이와 관련된 반도체 소재를 제공할 수 있다.

[0067] 일 실시 예에 따라, 본 개시는 3차원 수직 전하 저장 소자(예: 3차원 수직 비휘발성 전하 저장 메모리 소자) 또는 이와 관련된 반도체 소재를 포함하는 반도체 소자 및 전자 장치를 제공할 수 있다.

[0068] 일 실시 예에 따라, 도 3a는 본 개시의 실시 예들에 따른, 3차원 수직 전하 저장 메모리의 제조방법의 흐름도를 나타낸 것이다. 도 3b는 본 개시의 실시 예들에 따른, 3차원 수직 전하 저장 메모리의 제조방법의 공정을 나타낸 것이다. 도 3a를 참조하면, 3차원 수직 전하 저장 메모리의 제조방법은 반도체 기판을 준비하는 단계(210), 3차원 수직 구조체층을 형성하는 단계(220), 메모리층을 형성하는 단계(230), 2차원 물질 기반 채널층을 형성하는 단계(240) 및 소스 및 드레인 전극을 형성하는 단계(250) 및 게이트 전극을 형성하는 단계(260)를 포함할 수 있다. 일 실시 예에 따라, 본 개시의 3차원 수직 전하 저장 메모리의 제조방법은 3차원 수직 구조체의 형태(예: 수직 측면)에 따라 2차원 반도체 물질을 성장(예: 수직 성장)시켜 수직 채널 영역(예: 3차원 채널 영역)을 형성하는 공정을 포함할 수 있다.

[0069] 이하, 일 실시 예에 따라, 3차원 수직 전하 저장 메모리의 제조방법은 도 3a 및 도 3b를 참조하여 보다 구체적으로 설명한다. 일 실시 예에 따라, 반도체 기판을 준비하는 단계(210)는 전자 저장 메모리(예: 3차원 수직 전하 저장 메모리) 또는 관련 소자에 적용 가능한 것이라면 제한 없이 적용될 수 있다. 일 실시 예에 따라, 반도체 기판을 준비하는 단계(210)에서 반도체 기판(110)은 실리콘 기판, 웨이퍼 등일 수 있으며, 예를 들어, p-도핑된 실리콘 기판(heavily-doped p+ substrate)일 수 있다.

[0070] 일 실시 예에 따라, 3차원 수직 구조체층을 형성하는 단계(220)는, 반도체 기판(110) 상에 3차원 수직 구조체층

을 형성하는 것으로, 게이트층 및 절연성 물질층을 포함하는 적층체를 형성한 이후에 식각하여 원하는 형태 및 구성을 설계할 수 있다. 일 실시 예에 따라, 3차원 수직 구조체층을 형성하는 단계(220)는 상기 적층체를 3차원 수직 트렌치로 식각할 수 있다.

[0071] 일 실시 예에 따라, 3차원 수직 구조체층을 형성하는 단계(220)는, 기판(110) 상에 제1 산화물층(120)을 형성하는 단계(221); 제1 산화물층(120) 상에 게이트층(130)을 형성하는 단계(222); 게이트층(130) 상에 제2 산화물층(120)을 형성하는 단계(223); 및 식각하는 단계(224);를 포함할 수 있다. 단계(221), 단계(222) 및 단계(223)는 3차원 수직 전하 저장 메모리(예: 도 1a의 3차원 수직 전하 저장 메모리(100))에서 설명된 성분 및 구성을 포함할 수 있다. 단계(221), 단계(222) 및 단계(223)는 게이트층(예: 도핑 다결정 폴리 실리콘 게이트 증착)과 산화물 기반의 절연성 물질층(예: 실리콘 산화막)을 적층하는 것으로, 본 개시의 기술 분야에서 알려진 증착, 코팅, 성장 등의 공정을 이용할 수 있다. 어떤 예에서 단계(221), 단계(222) 및 단계(223)는 화학기상증착(예: CVD, MOCVD), 물리기상증착(예: PVD), 스퍼터링, 원자층 증착(예: ALD) 공정, 기상 에피택시 성장(예: HVPE 공정(hydride vapor phase epitaxy process), 스피ن 코팅, 분사 코팅 등을 이용할 수 있으나, 이에 제한되지 않는다.

[0072] 일 실시 예에 따라, 제1 산화물층 상에 게이트층을 형성하는 단계는, 제1 산화물층 (120) 상에 게이트층(130')을 증착하는 단계(222a); 및 증착된 게이트층(130)을 열처리하는 단계(222b); 대면적 메모리 어레이 소자 제작을 위한 게이트층(130)을 분리하는 단계(222c)를 포함할 수 있다. 일 실시 예에 따라, 증착된 게이트층을 열처리하는 단계(222b)는 급속 열처리 공정(RTA; Rapid Thermal Annealing)을 이용할 수 있다. 어떤 예에서 800 °C 내지 1000 °C; 850 °C 내지 950 °C; 900 °C 내지 950 °C; 920 °C 내지 950 °C; 또는 바람직하게는 940 °C 내지 960 °C 또는 더 바람직하게는 약 950 °C에서 1초 내지 1분; 5초 내지 40초; 10초 내지 40초; 20초 내지 40초; 또는 30초 내지 1분 동안 급속 열처리 공정을 진행할 수 있다. 급속 열처리 공정은 텅스텐 할로젠 램프로 적외선 복사광선 등으로 열에너지를 공급할 수 있다. 일 실시 예에 따라, 대면적 메모리 어레이 소자 제작을 위한 게이트층(130)을 분리하는 단계(222c)는 건식 및 습식 식각 공정을 이용할 수 있다. 어떤 예에서 제1 산화물층(120)층과 게이트층(130)의 식각 비 차이를 이용한 선택적 식각을 진행하고, 게이트층(130)을 격리하기 위한 패터닝 영역(131 및 132)을 형성할 수 있다. 도 3b에서 단계(223)는 단계(222c)에서 A 영역을 확대하여 나타낸 것이다.

[0073] 일 실시 예에 따라, 식각하는 단계(224)는 3차원 수직 구조체의 형태 및 적층체의 하부층(예: 제1 산화물층(120))의 일부분이 반도체층 기판(110)으로 연장된 연장부(120a)를 형성하도록 적층체(예: 제1 산화물층(120)/게이트층(130)/제2 산화물층(140))의 일부분 또는 전체를 식각할 수 있다. 이러한 패터닝 및 식각 공정을 통해 단일 또는 복수개의 3차원 수직 구조체를 형성하고, 복수개의 3차원 수직 구조체(H) 및 복수개의 연장부(120a)에 의해 트렌치 및 홀(Hole) 등의 비평면 3차원 수직 구조로 식각할 수 있다. 이들에 대한 구체적인 예는 도 1a에 대한 설명에서 언급한 바와 같다. 일 실시 예에 따라, 비평면 3차원 수직 구조는 기판 상에 단일 또는 복수개로 형성되고, 동일하거나 또는 2종 이상의 상이한 구조를 포함할 수 있다. 일 실시 예에 따라, 식각하는 단계(224)는 본 개시의 기술 분야에서 알려진 습식 식각, 건식 식각 또는 이들 모두를 이용할 수 있으며, 본 문서에는 구체적인 공정을 제시하지 않는다.

[0074] 일 실시 예에 따라, 메모리층을 형성하는 단계(230)는 3차원 수직 구조체층(H) 상의 적어도 일부분에 메모리층(M)을 형성하는 단계일 수 있다. 어떤 예에서 메모리층(M)은 3차원 수직 구조체층(H) 상의 적어도 일부분 및 연장부(120) 상의 적어도 일부분에 형성될 수 있다. 즉, 메모리층(M)은 3차원 수직 구조체층(H)의 상단 영역에서부터 연장부(120)까지 이들을 걸쳐서 연속적으로 형성될 수 있다.

[0075] 일 실시 예에 따라, 메모리층을 형성하는 단계(230)는 블록킹층(140)을 형성하는 단계(231), 블록킹층(140) 상에 전하 저장층(150)을 형성하는 단계(232) 및 전하 저장층(150) 상에 터널링층(160)을 형성하는 단계(233)를 포함할 수 있다.

[0076] 일 실시 예에 따라, 블록킹층(140)을 형성하는 단계(231)는 3차원 수직 구조체층(H) 상에; 또는 3차원 수직 구조체층(H) 및 연장부(120a) 상의 일부분에 블록킹층(140)을 형성할 수 있다. 어떤 예에서 3차원 수직 구조체층(H)의 제2 산화물층(140) 상에 형성될 수 있다. 일 실시 예에 따라, 전하 저장층(150)을 형성하는 단계(232) 및 터널링층(160)을 형성하는 단계(233)는, 블록킹층(140) 상에 전하 저장층(150) 및 터널링층(160)을 형성함으로써, 블록킹층(140) / 전하 저장층(150) / 터널링층(160)으로 적층될 수 있다. 또한, 3차원 수직 구조체층(H)의 구조(예: 수직 영역) (예: 측면 영역)에 따라 형성되므로, 3차원 수직형 메모리를 제작할 수 있다.

[0077] 일 실시 예에 따라, 단계(231), 단계(232) 및 단계(233)는 3차원 수직 전하 저장 메모리(예: 도 1a의 3차원 수

직 전하 저장 메모리(100))에서 설명된 성분 및 구성을 포함할 수 있다. 단계(231), 단계(232) 및 단계(233)는 3차원 수직형 메모리를 형성하는 것으로, 본 개시의 기술 분야에서 알려진 증착, 코팅, 성장, 도금 등의 공정을 이용할 수 있다. 어떤 예에서 단계(221), 단계(222) 및 단계(223)는 화학기상증착(예: CVD, MOCVD), 물리기상증착(예: PVD), 스퍼터링, 원자층 증착(예: ALD) 공정, 기상 에피택시 성장(예: HVPE 공정(hydride vapor phase epitaxy process), 스핀 코팅, 분사 코팅 등을 이용할 수 있으나, 이에 제한되지 않는다.

[0078] 일 실시 예에 따라, 2차원 물질 기반 채널층을 형성하는 단계(240)는 메모리층(M) 상의 적어도 일부분에 2차원 물질 기반 채널층(180)을 형성하는 것일 수 있다. 어떤 예에서 2차원 물질 기반 채널층(180)은 3차원 수직 구조체층(H)에 상응하는 메모리층(M) 상에 또는 3차원 수직 구조체층(H)에 상응하는 메모리층(M) 상 및 연장부(120a)에 상응하는 메모리층(M) 상에 형성될 수 있다. 즉, 3차원 수직 구조체층(H)의 수직 영역(예: 측면 영역)에 따라 수직 성장된 수직 채널 영역을 형성할 수 있다. 어떤 예에서 3차원 수직 구조체층(H)의 측면에 상응하는 메모리층(M) 상 또는 3차원 수직 구조체층의 측면에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 형성할 수 있다. 즉, 3차원 수직 구조체층(H)의 형태에 따라 성장되거나 3차원 수직 구조체층(H)에 상응하는 메모리층(M)(예: 수직 영역)(예: 측면 영역)) 및 연장부(120a)에 상응하는 메모리층(M)을 겹쳐서 연속적으로 배치되도록 2차원 물질을 성장시킬 수 있다. 이는 3차원 수직 구조체층(H)의 수직 영역(예: 측면 영역)에 상응하는 메모리층 상에 수직 성장된 3차원 수직 채널 영역을 형성할 수 있다.

[0079] 일 실시 예에 따라, 2차원 물질 기반 채널층을 형성하는 단계(240)는 2차원 반도체 물질을 3차원 수직 구조에 상응하는 메모리층(M) 상에 얇은 박막(예: 원자 수준 두께)으로 성장시켜 수직 채널을 형성하여 전하 포획 플래시(Charge Trap Flash, CTF) 소자를 제작할 수 있다.

[0080] 일 실시 예에 따라, 2차원 물질 기반 채널층을 형성하는 단계(240)는 MOVCD 공정을 이용하여 3차원 수직 구조층(H)의 형태(예: 수직 영역)(예: 측면 영역) 또는 3차원 수직 구조층(H)의 형태(예: 수직 영역)(예: 측면 영역) 및 연장부(120a)의 형태(예: 평평한 면)에 따라 2차원 물질을 성장시키고 증착할 수 있다. 예를 들어, 3차원 수직 구조층(H)의 수직 영역(예: 측면 영역)에 따라 수직 성장시켜 2차원 물질 기반 채널층을 형성할 수 있다. 2차원 물질 기반 채널층을 형성하는 단계(240)는 3차원 수직 전하 저장 메모리(예: 도 1a의 3차원 수직 비휘발성 전하 저장 메모리(100))에서 설명된 성분 및 구성을 포함할 수 있다.

[0081] 일 실시 예에 따라, 소스 및 드레인 전극을 형성하는 단계(250)는, 메모리층(M) 상의 일부분에 소스 전극(S) 및 드레인 전극(D)을 형성하는 것일 수 있다. 일 실시 예에 따라, 소스 및 드레인 전극을 형성하는 단계(250)는, 3차원 수직 전하 저장 메모리(예: 도 1a의 3차원 수직 전하 저장 메모리(100))에서 설명된 성분 및 구성을 포함할 수 있다.

[0082] 일 실시 예에 따라, 소스 및 드레인 전극을 형성하는 단계(250)는 2차원 물질 기반 채널층을 형성하는 단계(240) 이후에 진행될 수 있다. 일 실시 예에 따라, 소스 전극(S)의 일부분은 연장부(120a)에 상응하는 메모리층(M) 상에 형성되고, 드레인 전극(D)의 일부분은 3차원 구조체층(H)에 상응하는 메모리층(M) 상에 형성될 수 있다. 또한, 소스 전극(S) 및 드레인 전극(D)의 각각 일부분은 2차원 물질 기반 채널층(180)(예: 채널층의 각 말단 영역)과 접촉하여 연결될 수 있다. 소스 및 드레인 전극을 형성하는 단계(250)는, 본 개시의 기술 분야에서 알려진 증착, 코팅, 성장, 도금 등의 공정을 이용할 수 있다. 어떤 예에서 단계(250)는 화학기상증착(예: CVD, MOCVD), 물리기상증착(예: PVD), 스퍼터링, 원자층 증착(예: ALD) 공정, 기상 에피택시 성장(예: HVPE 공정(hydride vapor phase epitaxy process), 스핀 코팅, 분사 코팅 등을 이용할 수 있으나, 이에 제한되지 않는다.

[0083] 일 실시 예에 따라, 게이트 전극을 형성하는 단계(260)는, 3차원 수직 구조체층(H)의 메모리층(M)과 제2 산화물층(예: 절연성막)을 식각하여 게이트 전극을 형성하는 것일 수 있다. 즉, 3차원 수직 구조체층 내에 홈(190')을 형성하는 단계(261); 및 홈 내에 게이트 금속 함유 물질을 투입하는 단계(262);를 포함할 수 있다. 일 실시 예에 따라, 홈(190')을 형성하는 단계는, 3차원 수직 구조체층(H)의 최상단층에서부터 게이트층(140)이 노출되는 깊이까지(예: 게이트층의 상부 영역) 또는 게이트층(140)의 깊이 방향으로 일부분까지 식각하여 홈(190')을 패터닝(예: 식각)할 수 있다. 어떤 예에서 3차원 수직 구조체층(H)에 형성된 메모리층(M)에서부터 깊이 방향으로 패터닝(예: 식각)하여 홈(190')을 형성할 수 있다.

[0084] 일 실시 예에 따라, 게이트 전극을 형성하는 단계(260)는 3차원 수직 전하 저장 메모리(예: 도 1a의 3차원 수직 전하 저장 메모리(100))에서 설명된 성분 및 구성을 포함할 수 있다.

[0085] 일 실시 예에 따라, 홈(190')을 형성하는 단계(261)는 식각, 포토리소그래피, 드릴 가공 등의 본 개시의 기술

분야에서 알려진 공정을 이용할 수 있으며, 본 문서에는 구체적으로 언급하지 않는다.

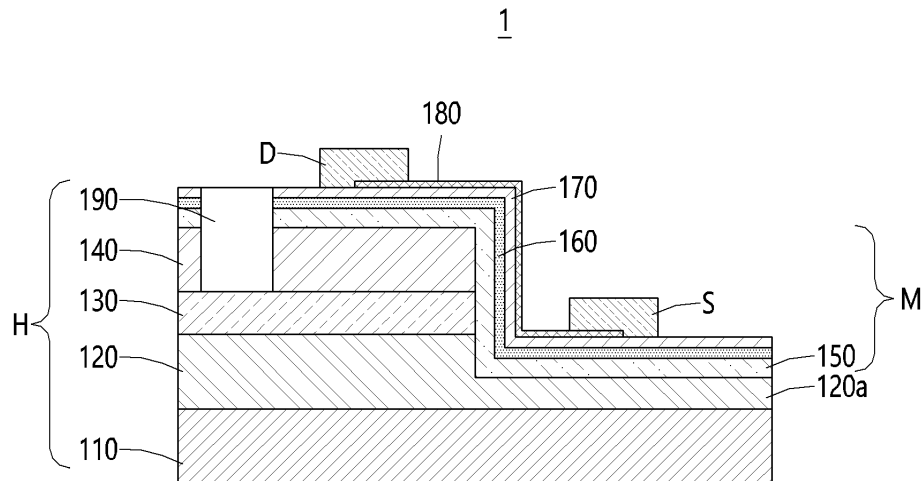
[0086] 일 실시 예에 따라, 게이트 금속 함유 물질을 투입하는 단계(262)는, 게이트 금속 함유 물질을 코팅, 증착, 도금, 채우기(예: 갭필(gap-fill)) 등을 이용하여 홈(190') 내부에 금속 함유 물질을 코팅하거나 채울 수 있다.

[0087] 일 실시 예에 따라, 게이트 전극을 형성하는 단계(260)는 본 개시의 기술 분야에서 알려진 증착, 코팅, 성장, 도금 등의 공정을 이용하여 게이트 금속 함유 물질을 투입할 수 있으며, 본 문서에는 구체적으로 언급하지 않는다.

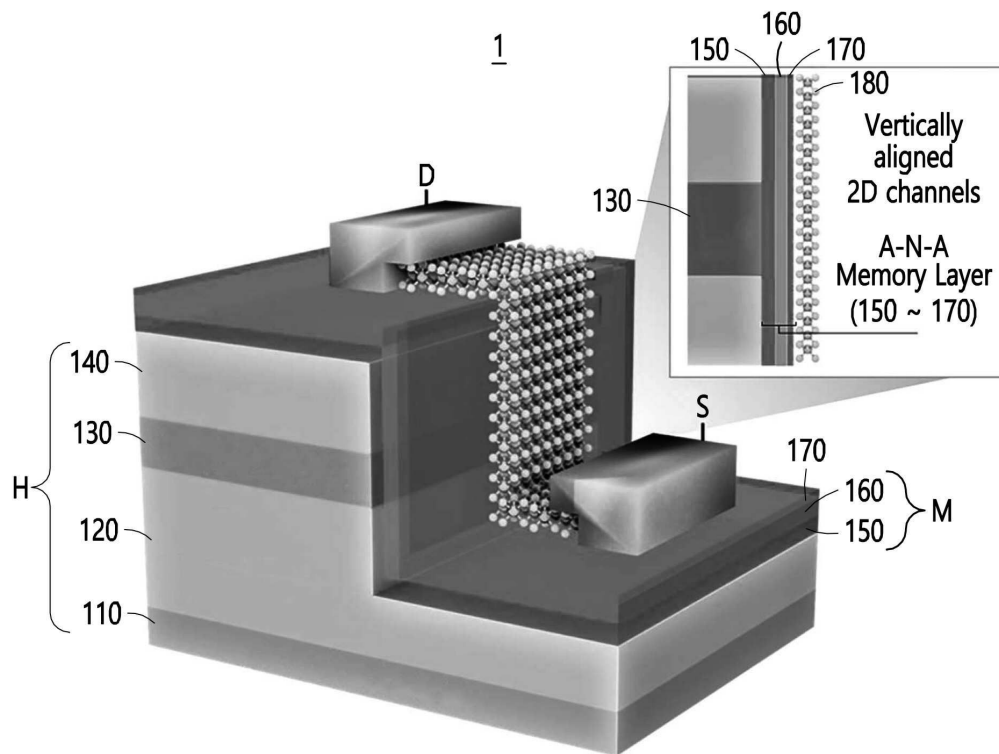
[0088] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

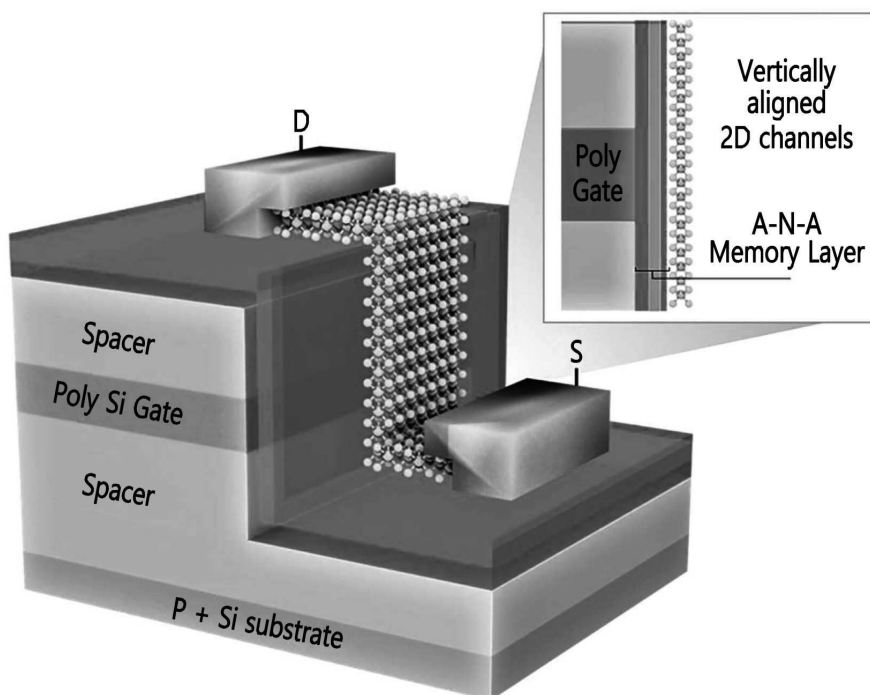
도면 1a



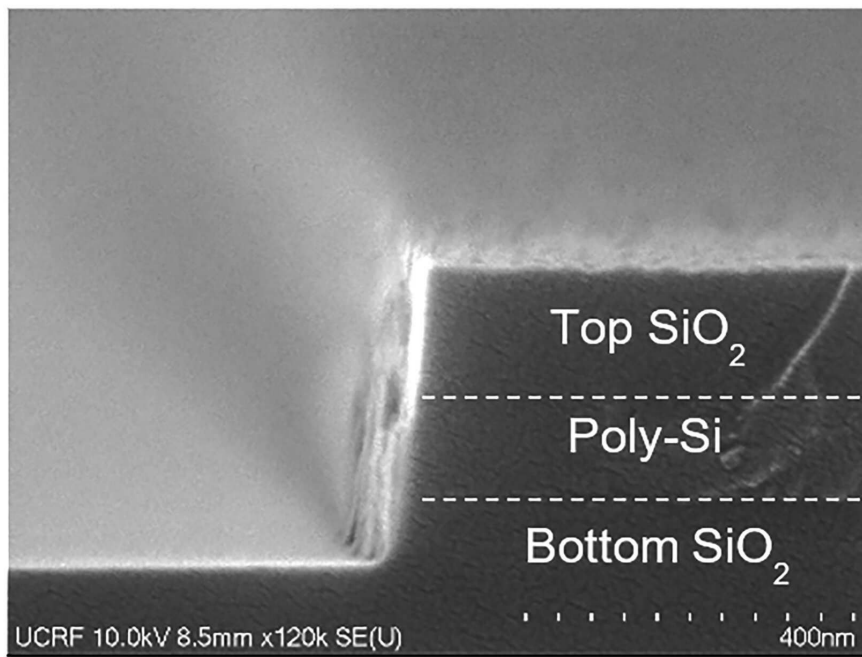
도면1b



도면2a

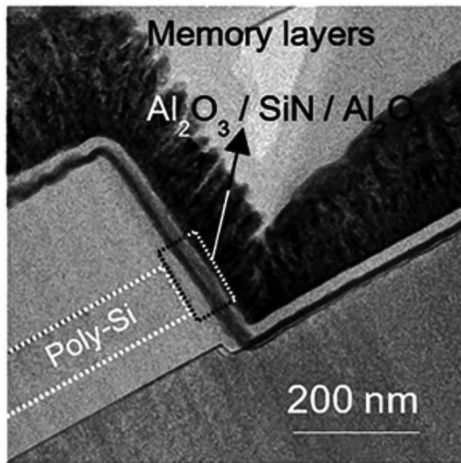


도면2b

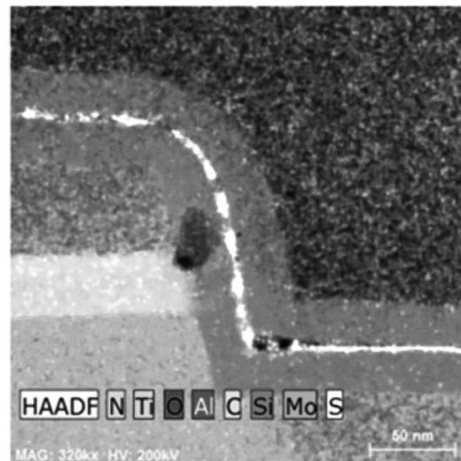
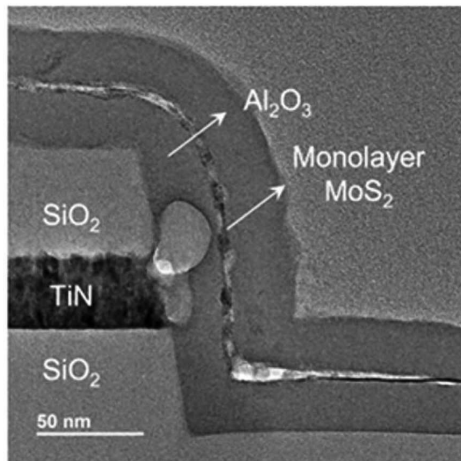


도면2c

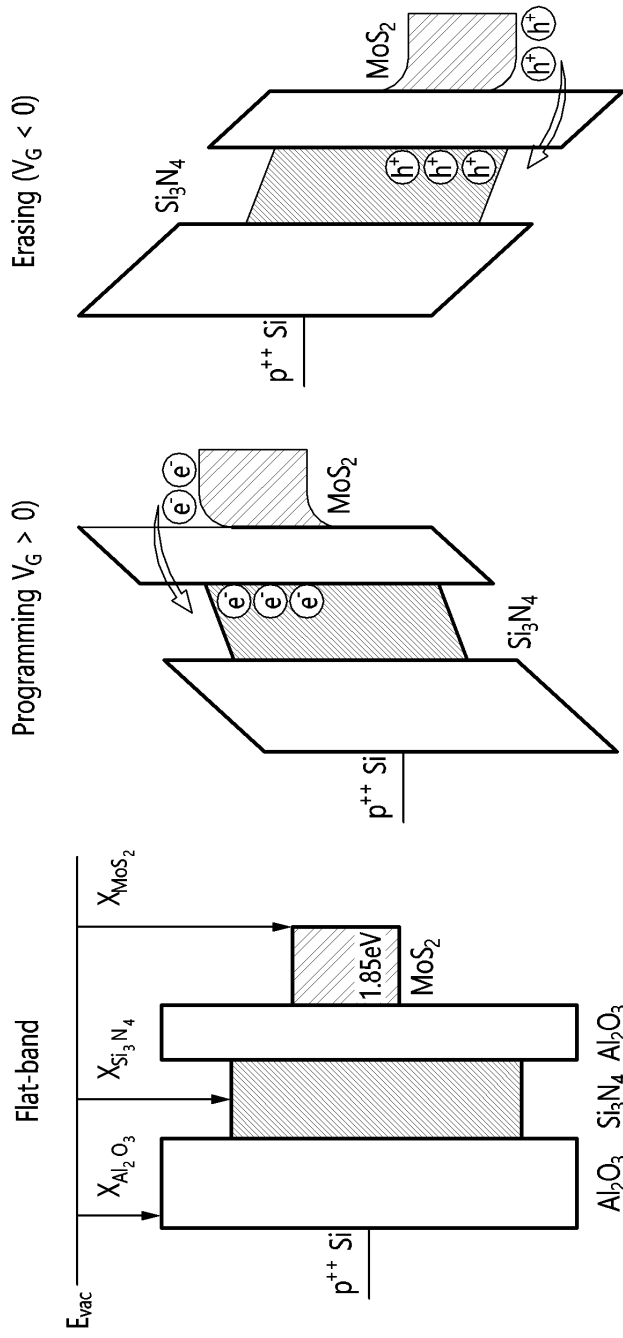
(a)



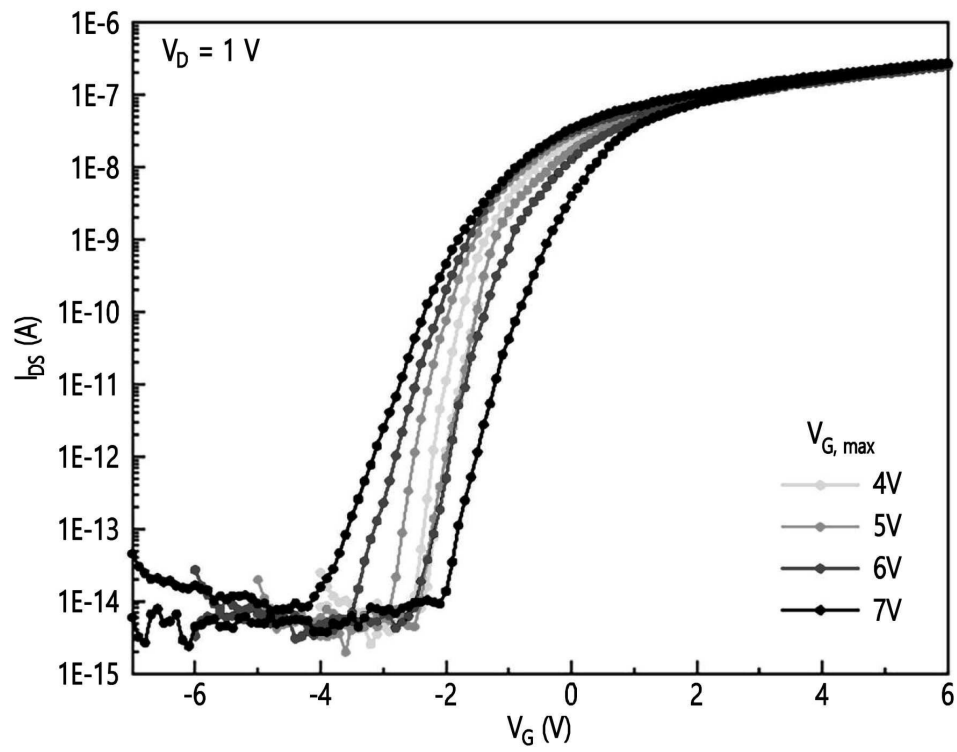
(b)



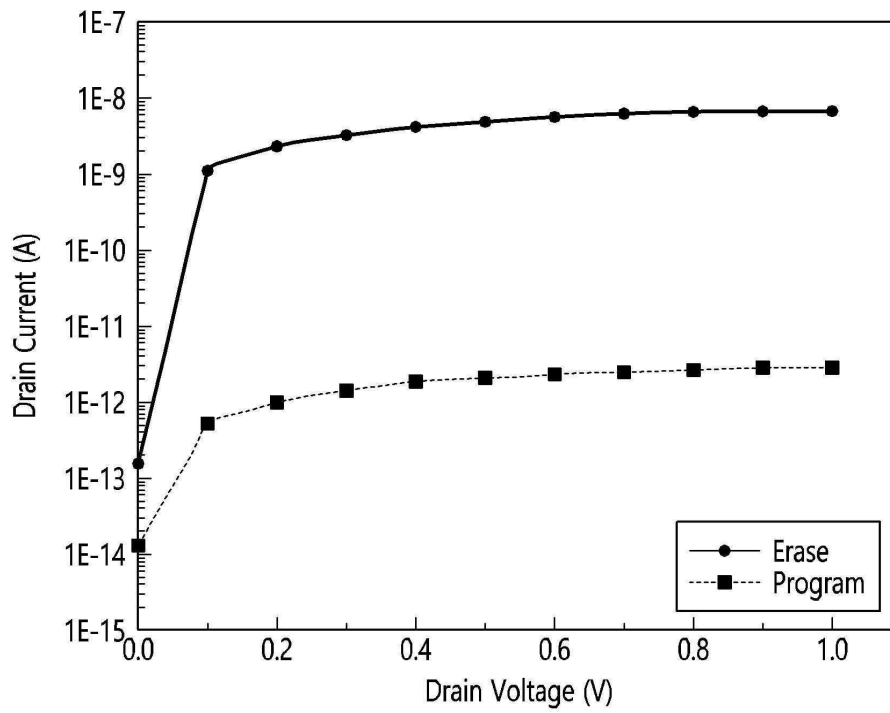
도면2d



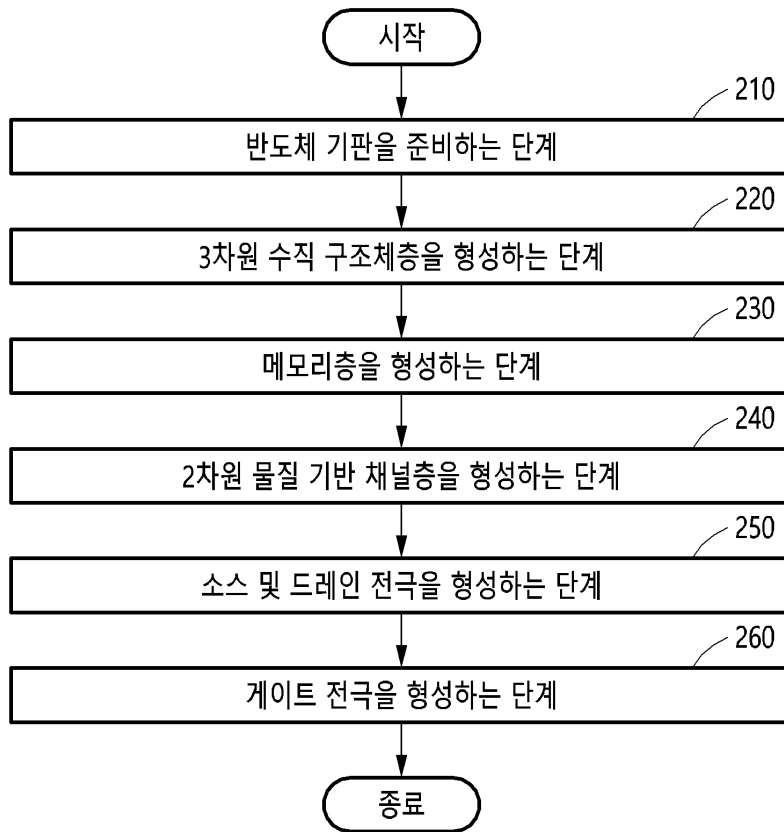
도면2f



도면2e



도면3a



도면3b

