公告本

發明專利說明書

100年5月25日修正替換頁

中文說明書替換頁(100年5月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095137826

※ 申請日期：95.10.13　　※IPC 分類：G11C 11/15 (2006.01)

一、發明名稱：(中文/英文)

磁阻隧道接面磁性裝置及其在磁性隨機存取記憶體之應用
A MAGNETORESISTIVE TUNNEL JUNCTION MAGNETIC DEVICE AND ITS APPLICATION TO MRAM

二、申 請 人：(共 2 人)

姓名或名稱：(中文/英文)

1. 法國原子能與替代能源委員會
   COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES
2. 法國國家科學研究中心
   CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE

代表人：(中文/英文)

1. 菲力普　莫利斯奧
   MORISSEAU, PHILIPPE
2. 費德里克 佛伯特
   FOUBERT, FREDERIC

住居所或營業所地址：(中文/英文)

1. 法國巴黎市勒布蘭克路25號雷波南D大樓
   BATIMENT LE PONANT D, 25 RUE LEBLANC, 75015 PARIS, FRANCE
2. 法國巴黎市米契安格路3號
   3 RUE MICHEL ANGE, FR-75794 PARIS CEDEX 16, FRANCE

國　籍：(中文/英文)

1. 法國　FRANCE
2. 法國　FRANCE

三、發明人：(共 6 人)

姓　名：(中文/英文)

1. 柏納　狄尼
DIENY, BERNARD

2. 安納托利　費亞
VEDYAEV, ANATOLY

3. 傑洛　法雷-文森
FAURE-VINCENT, JÉRÔME

4. 派屈克　瓦林
WARIN, PATRICK

5. 馬修　賈梅
JAMET, MATTHIEU

6. 依維　桑森
SAMSON, YVES

國　籍：(中文/英文)

1. 法國　FRANCE

2. 俄羅斯　RUSSIA

3. 法國　FRANCE

4. 法國　FRANCE

5. 法國　FRANCE

6. 法國　FRANCE

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 法國；2005年10月14日；0510533

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種包含一磁阻隧道接面(100)之磁性裝置，該磁阻隧道接面(100)本身包含：一參考磁性層(120)，其具有在一固定方向上之磁化；一儲存磁性層(110)，其具有在一可變方向中之磁化；及一中間層(130)，其起到一實質上為半導體或電學上絕緣且將該參考磁性層(120)自該儲存磁性層(110)分隔之隧道障壁的作用。該中間層(130)之電位輪廓在該層(130)之厚度上為不對稱的，以便產生一作為所施加電壓之一函數之不對稱的電流響應。該裝置可應用於磁性隨機存取記憶體。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

100	磁阻隧道接面
110	儲存磁性層
120	參考磁性層
130	中間層/中間障壁
131	中間層之部分
132	中間層之部分
133	插入形成層
e_1	第一距離
e_2	第二距離

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種磁阻隧道接面磁性裝置及其在磁性隨機存取記憶體(MRAM)之應用。

【先前技術】

隨機存取或讀取/寫入磁性記憶體組合了各種類型之現存半導體記憶體之優點，該等記憶體為：

• 動態隨機存取記憶體(DRAM)，其相比較而言儲存密度高且速度快但其為揮發性的，亦即，其在切斷電源時不會保存已儲存之資訊；

• 靜態隨機存取記憶體(SRAM)，其相比較而言非常快，但佔據大量空間且亦為揮發性的；及

• FLASH (快閃)記憶體，其為非揮發性的且相比較而言儲存密度高，但寫入速度非常慢。

MRAM首先設法構成一適合用於可利用非揮發性之優點的(例如)電腦中的通用記憶體，從而使得當關閉電腦時可能避免繼續系統性備份軟體及資料至硬碟上之任何需要。

儘管如此，仍需要在MRAM的供應上取得進步以滿足在資訊儲存、速度、儲存密度及每位元之成本方面之日益增長的需求。

圖1為一個別MRAM單元之圖。此個別單元包含一磁阻隧道接面2，該磁阻隧道接面由被一中間層3b間隔開之兩個磁性層3a及3c組成。該等磁性層包含一儲存層3a及一參考層3c。中間層3b通常為一構成隧道障壁之氧化層。

資訊以儲存層3a之磁化方向之形式加以儲存，當參考層3c及儲存層3a經平行地磁化時，記憶體單元呈現較低電阻，且當該兩層中之磁化方向為反平行時，記憶體單元呈現較高電阻。

MRAM通常以矩陣組態實施，其中每一個別單元2位於至少兩條導線之相交處，該等導線包含被稱為"位元"線之導線6，及被稱為"字"線之導線8。可能使用一個位元線6及一個字線8定址個別記憶體單元以讀取其資訊(參看圖1)。

圖1展示之組態提供了大量優點。儘管如此，有必要確保電流不會流經穿過鄰近於所選擇之單元(在選定之字線及位元線之相交處)的單元之大量替代路徑中之任何一者。

為了補救該問題，已提議與每一記憶體單元2串聯地插入一個二極體1(參看圖2及圖3)。

圖2展示一讀取該類型之單元2a之實例。箭頭識別了電流流經之位元線6及字線8，藉此定址待讀取之單元2a。

圖3展示在該類型之單元2b中寫入"1"，及在該相同類型之另一單元2c中寫入"0"之實例。在圖3之實例中，兩個單元2a及2b位於相同字線8上且對應於兩條不同位元線6。在圖3中，箭頭表示在位元線及字線中之電流流動方向。可看出在位元線6中用於在單元2b中寫入"1"及用於在單元2c中寫入"0"之電流流動方向不同。

圖4及圖5展示另一先前技術實施例，其用於補救上文提

到之電流沿大量替代路徑流動之問題。

在圖4及圖5之先前技術實施例中，與每一記憶體單元2串聯地插入一電晶體4。在專利文獻WO 03/043017 A2中以實例描述了該類型之一實施例。

接面2因此置於開關電晶體4與電流饋送線6之間，該電流饋送線形成一頂部導線或位元線。沿電流饋送線流動且由箭頭表示之電流I1產生一第一磁場7，該磁場同樣由一箭頭表示。形成與電流饋送線6正交之底部線或字線之導體8用以藉由使電流I2流經該導體8而產生第二磁場9。電流I2及磁場9同樣由箭頭表示。

在"寫入"模式(圖4)中，電晶體4處於阻斷模式中且無電流流經該電晶體。致使電流脈衝在電流饋送線6及導體8中流動。接面2因此經受兩個正交磁場。該等磁場中之一者係沿自由層3a之難磁化軸施加以便降低其反向場，而另一磁場係沿其易磁化軸施加以便將其磁化反向且因此寫入該記憶點。

原則上，僅定位於兩條線6及8之相交處之記憶點易於反向，因為每一磁場在單獨作用時皆不足以引起磁化方向倒轉。

在"讀取"(圖5)中，藉由發送具有合適振幅之正向電流脈衝至電晶體之柵格而將電晶體4置於飽和狀態(亦即，流經電晶體之電流為最大值)。發送至線6中且同樣由一箭頭表示之電流I3僅僅是流過電晶體處於飽和模式之記憶點。

該電流I3用於量測該記憶點處之接面的電阻。藉由與參

考記憶點之比較，可因此確定記憶點之狀態("0"或"1")：隨後可知儲存層3a是平行於參考層3c之磁化方向而磁化，還是反平行於參考層3c之磁化方向而磁化。

上文描述之解決方案呈現了一定量技術複雜性之缺點，因為需要將CMOS技術(用於製造二極體或電晶體)及磁性技術(用於個別記憶體單元)整合。

此外，該等結構不易於整合複數個MRAM層級以便建立一三維記憶體結構。

在每一磁性記憶體單元旁包括一電晶體(其本身需要三個電連接)構成一個限制因素(因為所需要之區域)，從而阻止了達到非常高之密度。

亦提出另一解決方案，其依靠與磁性隧道接面串聯地插入被稱為金屬－絕緣體－金屬－絕緣體－金屬或MIMIM之雙隧道接面，試圖將二極體功能整合入磁性元件本身而不是藉由使用CMOS技術來實施二極體功能。

該工作由Tiusan等人之發表於Appl. Phys. Lett. 79, 4231 (2001年)中之文章啟發，其中論證了在各種組態中，該雙隧道接面可呈現一相對於所施加電壓之正負號而高度不對稱的電響應，該響應可與二極體之響應相當。雙隧道接面元件及以類似方式操作之元件因此被稱為隧道二極體。

與上文中更上面描述之兩個解決方案不同，該解決方案具有無需使半導體、金屬及二極體關聯之優點，因此使其較容易實施。藉由避免插入具有三個電接面之組件(諸如電晶體)，亦使得可能藉由降低由每一個別記憶體單元佔

據之區域而達成較高密度之整合。該解決方案被描述於在專利文獻US 2005/0083760 A1中的某些組態中。

前述解決方案之一變體是製造一由兩種不同材料構成之隧道障壁，亦即，亦可呈現所要之不對稱性(二極體功能)的金屬－絕緣體1-絕緣體2-金屬結構。

然而，整合隧道接面之堆疊仍然非常複雜(具有串聯之兩個或三個隧道接面)。此外，由於該組接面對所施加電壓之非線性響應，在MIMIM二極體與磁性隧道接面之間的中間層之電壓係浮動的且難於控制。

最後，串聯連接之複數個隧道接面之電阻率必定較高，從而限制了可使用之電流且使得實施特定技術解決方案更加困難，諸如(例如)：

• 熱輔助寫入，其中經定址之隧道接面之自由磁性層被加熱(有利地藉由注入穿過隧道接面之電流)，以便降低其矯頑場(coercitive field)(使磁化方向得以反向之磁場)。該解決方案及其優點描述於專利文獻US 2005/0002228 A1中；及

• 藉由注入極化電流來寫入，其中自鐵磁性電極(其可為參考層)向儲存層注入自旋極化電流，以協助或引起其磁化方向之反向。該解決方案及其優點亦描述於專利文獻US 2005/0002228 A1中。

【發明內容】

本發明之一目標為補救上文說明之缺點，尤其係避免將電晶體、二極體、或隧道二極體與磁性類型之個別記憶體

單元相關聯地加以實施之缺點。

本發明之另一目標為提供一用於磁性裝置之組態，其在降低記憶體單元大小及使該記憶體單元能夠容易地在二維或三維架構中實施方面呈現最大的潛力。

該等目標係藉由包含一磁阻隧道接面之磁性裝置而達成，該磁阻隧道接面本身包括：

- 一參考磁性層，其具有在一固定方向中之磁化；
- 一儲存磁性層，其具有在一可變方向中之磁化；及
- 一中間層，其起到一實質上為半導體或電學上絕緣且將該參考磁性層自該儲存磁性層分隔之隧道障壁的作用；

該裝置之特徵在於，該中間層之電位輪廓在該層之厚度上為不對稱的，以便產生一作為所施加電壓之一函數的不對稱的電流響應。

應瞭解到本發明之裝置係由界定若干平面之相互平行的層構成。術語"中間層之厚度"因此指示垂直於彼等平面之線性尺寸。

在一第一可能實施例中，起到一隧道障壁之作用的該中間層在其厚度中包括一距該儲存磁性層一第一距離且距該參考磁性層一第二距離的金屬或半導電材料之非常薄的層，該材料不同於構成該中間層之其餘部分的該(等)材料，以便在該隧道障壁中產生一區域化且不對稱之電位井。

該非常薄層可呈現一至兩個原子平面之厚度，或甚至為一構成一原子平面之一部分之厚度。

該第二距離可呈現一值，該值不同於該第一距離之值。

根據一特定特徵，該中間層之該其餘部分包含在該非常薄層之任一側上之不同絕緣或半導電材料。

舉例而言，該中間層可包含氧化鋁。

在該狀況下，且有利地，該非常薄層可由一選自鋁、金、銀、矽及鍺之材料製成。

該中間層亦可包含氧化鎂。

在該狀況下，且舉例而言，該非常薄層可由一選自鉻、釔、鉭、金、銀、矽及鍺之材料製成。

在另一可能實施例中，起到一隧道障壁之作用的該中間層在其厚度中包括一距該儲存磁性層一第一距離且距該參考磁性層一第二距離的摻雜區，其中該第二距離呈現一值，該值不同於該第一距離之值，該摻雜區係藉由插入一不同於構成該中間層之該其餘部分之材料的材料而進行摻雜，以便在該摻雜區中產生一在該隧道障壁中之區域化且不對稱之電位井。

在該狀況下，在一特定實施例中，該第一及該第二距離中之一者為零，使得該摻雜區接觸該中間層與該參考磁性層及與該儲存磁性層的兩個外部界面中之一者。

舉例而言，起到隧道障壁之作用的該中間層呈現在2奈米(nm)至3 nm之範圍內之厚度，且該摻雜區呈現在0.5 nm至1 nm之範圍內之厚度。

有利地，該中間層由氧化鋁或氧化鎂製成，且該摻雜區包含金屬或半導體摻雜元素，該等元素包含由鋁、金、

銀、鉻、釕、鉭及矽構成之材料中之至少一者。

在另一可能實施例中，起到一隧道障壁之作用的該中間層包含一堆疊，該堆疊為一第一絕緣材料或半導電材料且呈現一第一厚度之至少一第一層與一不同於該第一材料之第二絕緣材料或半導電材料且呈現一第二厚度的至少一第二層之堆疊。

在該狀況下，在一特定實施例中，該第二厚度可呈現一值，該值不同於該第一厚度之值。

根據一有利特徵，起到一隧道障壁之作用的該中間層呈現在1 nm至3 nm之範圍內之厚度。

本發明亦提供一種包含一記憶體單元陣列之記憶體，該等記憶體單元可藉由一組位元線及一組字線定址，該記憶體之特徵在於，每一記憶體單元包含一上述類型之磁性裝置，且其特徵在於每一磁性裝置連接至一個位元線且連接至一個字線而無任何介入之額外切換元件。

本發明之該記憶體可包含分配在一個二維架構中之N*N個記憶體單元，其中N為一整數，每一位元線服務於N個記憶體單元，且每一字線服務於N個記憶體單元。

在另一實施例中，該記憶體呈現包含一組P個疊置層之三維架構，每一疊置層具有N*N個記憶體單元，每一記憶體單元連接至一個位元線且連接至一個字線，其中P及N為整數，且服務於除了外部層之記憶體單元以外之記憶體單元的每一位元線及每一字線與屬於兩個不同鄰近層之記憶體單元100相關聯。

在另一實施例中，該記憶體呈現包含P個具有N*N個記憶體單元之疊置層之一堆疊之三維架構，每一層之記憶體單元經分配在一二維架構中，P及N為整數，在一個二維架構層中每一位元線服務於N個記憶體單元且每一字線服務於N個記憶體單元，且一絕緣間隔物層在P個疊置層之堆疊中以週期性方式介於兩個連續二維架構層之間。

【實施方式】

本發明之磁性裝置包含一磁阻隧道接面100 (圖6、圖8及圖10至圖12)，該磁阻隧道接面100實質上包含：一參考磁性層120，其在固定方向中磁化；及一儲存磁性層110，其呈現方向可變之磁化；同時一中間層130用作一隧道障壁，該隧道障壁實質上為半導電的或電學上絕緣的且將參考磁性層120自儲存磁性層120分隔。

根據本發明，起到隧道障壁作用之中間層130呈現在該層130之厚度上之電位輪廓中的不對稱性，以便產生相對於所施加電壓之方向不對稱的電流響應。

以此方式，在選定之字線及位元線之相交處定址之記憶體單元本身係藉由大量降低流經其他記憶體單元之不合需要之電流而予以選擇。

對電壓之不對稱電流響應可使用各種可彼此組合之實施例獲得，且其特徵均在於獲得一在起到隧道障壁作用之中間層130之厚度上的不對稱電位輪廓，該中間層130本身可由一組層組成。

在一第一可能實施例中，該中間層130之厚度上之電位

輪廓的不對稱性可藉由將一非常薄之層插入至起到隧道障壁作用之中間層130中來獲得，該非常薄層由不同於構成該中間層之其餘部分之材料的金屬材料或半導電材料製成，以一方式執行該插入以便在該隧道障壁中產生一佔據一點或為準二維之區域化電位井。

該非常薄層可(例如)構成該其他材料之一至兩個原子平面(圖6中之層133)或實際上為該其他材料之原子平面之一部分(甚至一小部分)(圖7中之層134)。

非常薄之插入形成層133、134較佳非對稱地定位於中間層130之厚度中，亦即，在該中間層130中以該方式定位：即該非常薄之層133、134更接近於該中間層130之兩個外部界面中之一者。因此，舉例而言，圖6及圖7展示中間層130之部分131之厚度e_1大於中間層130之部分132之厚度e_2，其中部分131位於非常薄之層133、134與該儲存磁性層110之間，且部分132位於非常薄之層133、134與參考磁性層120之間。

圖8及圖9為展示作為一施加至該中間層130之端子之電壓的方向之函數的根據穿過該中間層130之電子量測得的能量之圖。

當一正電壓V施加在儲存層(位準52)與參考層(位準53)之間時，根據電子量測之電位50呈現一電位井51，該電位井在位於中間層130中之插入層133、134處，該插入層133、134與中間層分別與儲存層52及參考層53之界面相距e_1及e_2之距離。圖8展示隧道障壁之高度h。與插入層133、134相

關聯之電位井51使得根據通過中間層130之電子所考量之障壁寬度可有效減小。

相反，當一負電壓V施加在儲存層(位準63)與參考層(位準62)之間時，根據電子測量之電位60仍在位於中間層130中之插入層133、134處呈現一電位井61，但該電位井61對該等電子具有非常小之影響，其將導致較低之導電率。

位於非常薄之層133、134之任一側的中間層130之部分131、132可由不同絕緣材料或半導電材料製成。

在一可能實施例中(在圖10及圖11中展示)，在起到隧道障壁作用之中間層130之厚度上之電位輪廓的不對稱性係藉由在該層130中產生一摻雜區達成，該摻雜區距該儲存磁性層110之距離為e_1且距該參考磁性層120之距離為e_2(不同於e_1)。藉由插入一不同於構成中間層130之其餘部分之材料的材料來摻雜該區，實施該摻雜以便在摻雜區內產生該隧道障壁中之區域化且不對稱之電位井。

因此藉由插入一不同於構成該中間層之其他部分131、132之材料的材料，將摻雜區135插入至非常低導電率之中間層130中，其導致對該摻雜區中電位之局部修改(圖10)。

摻雜區135不對稱地定位於中間層130之厚度中，亦即，其不位於該中間層之中間，且其更接近於該中間層之兩個外部界面中之一者。在圖10之實例中，摻雜區135因此較之儲存磁性層110而言，更接近於參考磁性層120。

距離e_1及e_2中之一者甚至可為零，使得該摻雜區接觸該中間層130之兩個外部界面中之一者。舉例而言，圖11展

示直接定位於中間層130與參考磁性層120之外部界面上的摻雜層136。

在一第三可能實施例中(圖12中展示)，在起到隧道障壁作用之中間層130之厚度上之電位輪廓的不對稱性係藉由將該層130組成為一堆疊，該堆疊為呈現一厚度e_1之第一絕緣材料或半導電材料之至少一第一層131與不同於該第一材料之第二絕緣材料或半導電材料的且呈現一較佳不同於厚度e_1之厚度e_2的至少一第二層137之堆疊，藉此在該中間層130中形成一不對稱之電位輪廓。

本發明之磁性隧道接面可有利地藉由沈積製程(諸如陰極濺鍍或分子束磊晶法)製造。

儲存磁性層110及參考磁性層120可藉由使用目前對於熟習此項技術者已熟知之技術製造。因此，(例如)參考磁性層120可由一堆疊構成，該堆疊包含：一反鐵磁性層(例如IrMn)，及一鐵磁性層，例如，當需要平面磁化時之CoFe合金，或當需要垂直磁化時之FePt合金。藉由在外部磁場下退火至高於構成反鐵磁性層之阻擋溫度之溫度，可能在鐵磁性層與反鐵磁性層之間誘發一交換場。對於平面磁化，儲存層110由(例如) FeNi合金製成，而對於垂直磁化，其由諸如FePt之合金製成，或呈多層鉑/鈷結構之形式。

構成中間障壁130之材料有利地選自(例如)：氧化鋁(氧化鋁Al_2O_3)、及氧化鎂(MgO)。中間層130之厚度有利地經選擇為在1 nm至3 nm之範圍內。氧化鋁層可藉由沈積一具有所需厚度之金屬鋁層，繼之一(例如)使用包含氧之電漿

之氧化步驟獲得。MgO層可藉由直接蒸鍍一批氧化鎂(例如借助於一電子束)，或藉由同樣使用氧化鎂靶材之陰極濺鍍而達成。

在圖6及圖7中展示之實施例中，對於氧化鋁中間層130，構成插入層133、134之材料(例如)有利地選自諸如鋁、金、銀、矽及鍺之金屬或半導體。在使用鋁之特殊狀況下，一特定製造技術是沈積鋁之第一層，繼之以氧化，以構成中間層之底部部分，繼之以沈積鋁之第二層，同時僅進行部分氧化以便構成中間層130之頂部部分131及插入層133、134，該插入層隨後由鋁之第二層之未被氧化部分構成。在除了鋁之材料的一般狀況下，包括插入層133、134之中間層130僅藉由沈積障壁形成材料之第一層132、沈積插入層133、134且隨後沈積障壁形成材料之第二層來製成。

當中間層130由氧化鎂製成時，構成插入層133、134之材料可有利地選自(例如)諸如鉻、釔、鉭、金或銀、矽及鍺之半導體金屬。

在一特定實施例中，在插入層133、134之任一側上之兩層131、132可由不同材料製成，以便藉由選擇呈現不同高度之障壁之材料來最佳化中間層130之性質，從而提供了在製造中間層130時除了或替代選擇該層133、134之任一側上之兩層131、132的厚度e_1及e_2的對中間層之導電不對稱性進行控制之第二種控制途徑。

在圖10及圖11中展示之實施例中，在低導電率之中間層

130中之摻雜區135、136有利地係藉由構成該中間層130之材料(作為多數部分)連同摻雜元素(作為較小部分)之共沈積而製造。舉例而言，構成低導電率中間層130之材料可為氧化鋁或氧化鎂，且摻雜元素可為諸如鋁、金、銀、鉻、釕、鉭或矽之金屬或半導體。低導電率中間層130之厚度可有利地在2 nm至3 nm之範圍內，且所具有的摻雜區厚度有利地在0.5 nm至1 nm之範圍內。

在圖12中展示之實施例中，低導電率中間層130可藉由堆疊絕緣或不良導電材料的且具有可能不同厚度e_1、e_2之兩層131、137 (絕緣體1、絕緣體2)而製成，以產生一在低導電率中間層130之厚度上為不對稱之電位輪廓。舉例而言，用於形成該兩層131、137之材料可選自氧化鎂、二氧化矽、氧化鋁及氧化鈦。

在本發明之背景中，資訊之寫入及讀取可依靠完備的且熟習此項技術者熟知之方法來達成。位元線106及字線108(參看圖13)有利地由(例如)銅製造。

可(例如)藉由確定磁性隧道接面130之電阻率位準來執行讀取，在參考層120及儲存層110之磁化方向反平行時，該電阻率相比較而言為高，且在參考層120及儲存層110之磁化方向平行時，其相比較而言為低。為了該目的，在定址選定之接面130之字線108與位元線106之間施加電位差，且量測由圖13中之虛線205符號表示之電流。

對於儲存層110之平面磁化，可(例如)藉由將由同時注入電流脈衝至定址所考慮之記憶體單元100之字線108及位元

線106中而產生之磁場組合來執行寫入。

以該方式產生之兩個磁場之向量和經選擇以大於儲存層110之矯頑場，而該兩個磁場中之每一者在單獨考慮時小於儲存層110之矯頑場。

對於具有垂直磁化之儲存層110，可(例如)藉由在鄰近於所考慮之記憶體單元100之所有或某些字線108及位元線106中同時施加電流脈衝來執行寫入。以此方式產生之兩個至四個磁場之向量和經選擇以大於儲存層110之矯頑場，而該等磁場之每一者在單獨考慮時小於儲存層110之矯頑場。然而，應注意當將兩條以上線用於產生所要之磁場時，組合如此產生的該等磁場中之兩者必須亦產生小於儲存層110之矯頑場的和。

可與諸如熱輔助寫入或藉由極化電流注入之寫入的寫入過程組合而獲得本發明之額外優點。本發明呈現固有優點，其使得實施彼等兩個過程中之任一者皆較為容易。

如上文提到，專利文獻US 2005/002228 A1在MRAM之背景下描述了一種熱輔助寫入過程(TAS)，其中藉由注入穿過隧道接面之電流而有利地加熱經定址之隧道接面之自由磁性層，以便降低其矯頑場。

可使用該TAS過程有利地實施本發明之記憶體單元。

圖14至圖16展示與位元線106及字線108相關聯之本發明之記憶體單元100之實例，對其實施熱輔助寫入過程(圖14及圖15)或對其實施藉由向儲存層注入自旋極化電流之寫入過程(圖16)。

簡言之，為了寫入記憶點，藉由發送一脈衝穿過記憶體單元100，將記憶體單元100或至少該儲存層110加熱至高於該儲存層之阻擋溫度但低於該參考層120之阻擋溫度的溫度。該步驟之目的是為了便於寫入操作之適當進行，該操作係隨後藉由使電流通過適當位置之線路(視磁化是垂直於該等層之平面(圖14)或是與該等層之平面平行(圖15)而定)而施加一磁場，或藉由使用在專利文獻US 2002/0105823 A1中描述之方法注入電流(圖16)來執行。阻擋溫度對應於為了使磁化方向在所考慮之所施加磁場下反向而應達到之溫度。

然而，在先前技術裝置中，為了保證已確實選擇了需要修改其中之磁性層之相對取向的記憶體單元100，該操作使得(例如)在每一記憶體單元或每組接面中使用一個電晶體(基於半導體技術)有必要。在該組態中，對記憶體單元之每一寫入要求其相關聯之電晶體藉由施加一電壓而被切換至ON狀態，從而消耗能量，而與其他記憶體單元相關聯之其他電晶體仍處於OFF狀態。

本發明借助於接面本身固有之二極體效應而使得省略該電晶體成為可能：因為電流僅可自參考層120朝向儲存層110流動(因為電子僅可自儲存層110朝向參考層120流動)，所以熟習此項技術者熟知之干擾經由鄰近單元之平行路徑(讀取及寫入中之電路徑，還有在使用TAS過程時寫入之熱路徑)之問題得以完全消除。除了提供增加之選擇性，此亦在所使用之電流密度方面提供了大量節約，因為損耗大

大減少了。

圖14係關於具有垂直磁化之記憶體單元100。在圖14中，箭頭F表示在位元線106及字線108中之電流流動方向。舉一簡化實例，圖14展示被稱為線B1、線B2、線B3之三條位元線106，及被稱為線W1、線W2、線W3之三條字線108。帶有箭頭之迴路206、208分別表示藉由電流在位元線106及字線108中流動所產生之磁場方向。箭頭201表示在所定址之單元中所得之磁場。

寫入操作可藉由施加一區域磁場至儲存層來執行。舉例而言，若待定址之單元100位於線B2與線W2之間的相交處，則定位在待定址之接面之任一側的兩條導線B1及B3被饋送以相反方向之電流以產生垂直於該單元陣列之平面的兩個磁場。該相同操作可執行於導線W1及W3上，以使得該四個磁場在該儲存層處均定向於相同方向上且均垂直於其。

在圖15中，箭頭F表示為了施加一垂直且"向上"之磁場201而施加在導線B1、B3、W1及W3中之電流的方向(而以相反方向傳遞電流將導致產生"向下"之磁場)。每一磁場在單獨考慮時皆小於儲存層之反向場，因而防止了鄰近磁性隧道接面之不適時反向。另外，因為每一個別場僅為總磁場之四分之一，所以在每一線中用於產生個別場所需要之電流"i"為在僅使用一條線的情況下將需要之電流"I"除以4。就功率消耗而言：

$$P_{total}=4*Ri^2=4*R(I/4)^2=RI^2/4$$

因此節約了4倍(R表示導線之電阻)。

對於具有平面極化之記憶體單元，可如圖15中展示，藉由在儲存層施加一由箭頭202表示之區域磁場來執行寫入操作。可以與圖14中之記憶體單元相同之方式在幾何平面中配置圖15中之記憶體單元。然而，為了簡化起見，圖15僅展示了一個置於位元線B2與字線W2之間的相交處之單元100。假定用於反向之磁化位於該等層之平面中，則用於產生區域磁場之電流沿線B2或線W2通過。在圖15中，沿線W2行進之電流2由虛線203表示。

仍在具有平面磁化之記憶體單元之背景下，圖16展示了寫入操作之另一實例。

在圖16中，藉由注入電流來執行寫入操作，該電流會導致儲存層之磁化旋進的運動。為了使用如在專利文獻US 2002/0105823 A1中描述之該方法，有必要插入一充當電子極化器的具有垂直於儲存層110之磁化方向的磁化的磁性裝置140。該極化器140之磁化方向可垂直於由該極化器構成之薄層的平面，或為平面磁化，在該情況下其具有垂直於儲存層之磁化的磁化方向(或呈現一接近於垂直之角度)。極化器140可置於頂部銅線與儲存層之間，如在專利文獻US 2002/0105823 A1中所描述。另外，有必要在極化器140與儲存層100之間插入一間隔物層150。該間隔物層150可由一無磁性金屬(或複數種金屬)或由一絕緣層構成。電流I對應於電子自垂直極化器140朝向儲存層110注入而自線W2朝向線B2穿過記憶體單元(虛線204)。該組態因此

的確與本發明之記憶體單元相容。

自然地，組合圖15及圖16之實施例亦為可能。

參看圖17至圖20，以下描述將本發明之磁性裝置100應用至二維或三維記憶體，該等記憶體由於本發明而呈現了每單位面積之改良之記憶體單元密度。

圖17為用於一記憶體之二維架構之剖視圖，該架構包含根據本發明製造之N*N個記憶體元件100，其中N為整數。

一位元線106因此服務於N個記憶體元件100。每一字線108亦提供至N個記憶體元件100之連接。

圖18為展示此二維架構之圖解透視圖，且以說明之方式及以簡化之形式，將數目N減少為3，對應於位元線B1、B2、B3及字線W1、W2、W3。

為了讀取記錄在一記憶體元件上之資訊，在相交於供讀取之記憶體元件處之位元線與字線之間施加一電位差。

因此，在圖18之實例中，在線B2與線W2之間施加一電位差且讀取讀取電流I_t以確定所儲存之資訊之值("0"或"1")。

讀取記憶點處之資訊取決於用做參考層及儲存層之鐵磁性層中之磁化的相對取向。

對於平面磁化，可能使用熟習此項技術者熟知且在上文參看圖2至圖5描述之方法。

對於垂直磁化，利用了流經鄰近於彼等連接至所考慮之記憶體單元之線路的字線及位元線(圖18中之線B1、B3、W1及W3)的電流脈衝I_C之組合。由在該等線中之每一者中

之電流脈衝產生之場201皆小於儲存層之矯頑場。然而，四個場之總和大於該矯頑場。使用四條線使得避免無意中將資訊寫入任何其他記憶體單元中成為可能。

本發明與自MRAM讀取資訊之習知方法係相容的。因為不對稱電傳導與記憶體單元中的隧道障壁相關聯，所以本發明使得有可能省略實施用於保證在寫入及讀取時之所要選擇性之電晶體或其他元件，該等電晶體或其他元件原本是需要與記憶體單元(或與一組記憶體單元)串連連接的。本發明因此使以有利方式使用習知方法且獲得較高儲存密度成為可能。

如上文提到，記憶體之組織結構及本發明之實施亦與熱輔助之寫入或藉由注入自旋極化電流至儲存層中之寫入相容。本發明使得能夠以有利方式實施該等方法，同時使得能夠達成較大儲存密度。

圖19展示將本發明應用至三維架構之實例，其中字線108及位元線106由兩個記憶體層使用，藉此節省空間且促進整合。

因此，圖19之三維架構包含一組P個各具有N*N個記憶體單元100之疊置層，該等記憶體單元之每一者連接至一個位元線106及一個字線108，其中P及N為整數。

服務於除了該等外部層之記憶體單元以外之記憶體單元100的每一位元線106及每一字線108與屬於兩個不同鄰近層P_i及P_{i+1}之記憶體單元100相關聯。

圖20展示一個三維架構，其係藉由堆疊二維架構且插入

絕緣間隔物層160來獲得。在該狀況下，字線及/或位元線在三維記憶體中之不同平面的記憶體單元之間不再共用。

更明確而言，圖20之三維架構包含P個各具有N*N個記憶體單元100之疊置層之一堆疊，其中每一層P_i、P_{i+1}中之記憶體單元100經分配在一個二維組態中，P及N為整數。在該等二維層中之一者中，每一位元線106服務於N個記憶體單元100且每一字線108服務於N個記憶體單元100。絕緣間隔物層160在P個疊置層之堆疊中以週期性方式介於兩個連續二維層P_i、P_{i+1}之間。

該技術能夠使製造技術簡化而不損失密度，且使得可能在製造記憶體層(n)及該絕緣間隔物層之後生長記憶體層(n+1)之前執行重新平面化。在本發明之變體中，可將絕緣間隔物層週期性地插入該結構中，但不是在每一記憶體層之後插入(例如，每j個平面插入一次，其中j為整數)。本發明之該變體尋求糾正當連續堆疊j個以上記憶體層時可發生之生長缺陷，或將記憶體細分為各包含j個平面之元件，(例如)以便促進形成至該等記憶體層的橫向電連接。

視儲存層中之磁化之取向而定，利用上文描述之方法以將資訊寫入至二維架構中。該記憶體之組織結構亦與TAS(熱輔助)寫入及電流誘發磁性切換(CIMS)(亦即，藉由注入自旋極化電流來寫入)相容。

【圖式簡單說明】

圖1為MRAM之單一先前技術記憶體單元之圖解視圖；

圖2及圖3為分別展示關聯於一個二極體之先前技術磁性隧道接面之讀取及寫入功能的圖；

圖4及圖5為分別展示關聯於一電晶體之先前技術磁性隧道接面之讀取及寫入功能的圖；

圖6及圖7為本發明之隧道接面記憶體單元之一第一實例之兩個不同實施例的圖解剖視圖；

圖8及圖9為展示作為一所施加電壓之方向之函數的在圖6或圖7之隧道接面之中間層中的根據電子來量測的電位之圖；

圖10及圖11為展示本發明之隧道接面記憶體單元之一第二實施例之兩個不同實施例的圖解剖視圖；

圖12為本發明之隧道接面記憶體單元之一第三實例的圖解剖視圖；

圖13為展示本發明之一隧道接面記憶體單元之讀取功能之圖；

圖14至圖16為展示在實施熱輔助寫入過程之記憶體單元之特定環境下的本發明之隧道接面記憶體單元在三個可能的不同實施例中的寫入功能的圖；

圖17及圖18為實施本發明之二維記憶體之圖解剖視圖及透視圖；及

圖19及圖20為實施本發明之三維記憶體之兩個實例之圖解剖視圖。

【主要元件符號說明】

1　　二極體

2	記憶體單元
2a	單元
2b	單元
2c	另一單元
3a	儲存層/自由層
3b	中間層
3c	參考層
4	電晶體
6	電流饋送線/位元線
7	第一磁場
8	字線
9	第二磁場
50	電位
51	電位井
52	位準/儲存層
53	位準/參考層
60	電位
61	電位井
62	位準
63	位準
100	磁阻隧道接面
106	位元線
108	字線
110	儲存磁性層

120	參考磁性層
130	中間層/中間障壁
131	中間層之部分
132	中間層之部分
133	插入形成層
134	插入形成層
135	摻雜區
136	摻雜區
137	第二層
140	磁性裝置/極化器
150	間隔物層
160	絕緣間隔物層
201	磁場
202	箭頭
203	虛線
204	虛線
205	虛線
206	迴路
208	迴路
B1	位元線
B2	位元線
B3	位元線
e_1	第一距離
e_2	第二距離

F	箭頭
I1	電流
I2	電流
I3	電流
I_C	電流脈衝
I_t	讀取電流
P	疊置層
P_{i+1}	層
P_i	層
V	正電壓/負電壓
W1	字線
W2	字線
W3	字線

十、申請專利範圍：

1. 一種包含一磁阻隧道接面(100)之磁性裝置，其包含：

• 一參考磁性層(120)，其具有在一固定方向中之磁化；

• 一儲存磁性層(110)，其具有在一可變方向中之磁化；及

• 一中間層(130)，其作用為一隧道障壁，該隧道障壁實質上為半導體或電學上絕緣且將該參考磁性層(120)自該儲存磁性層(110)分隔開；

其中該中間層(130)之電位輪廓在該層(130)之厚度上為不對稱的，此一不對稱係由一電位井之產生所造成，該電位井定位於該隧道障壁之厚度中的一不對稱位置中，此一不對稱產生作為所施加電壓之一函數之不對稱的一電流響應，

定位於該隧道障壁之厚度中的一不對稱位置中的該電位井係經由一第一產生方法或一第二產生方法所產生，

根據該第一產生方法，作用為一隧道障壁之該中間層(130)在其厚度中包括距離該儲存磁性層(110)一第一距離(e_1)且距離該參考磁性層(120)一第二距離(e_2)的一金屬材料或一半導電材料之一非常薄層(133、134)，該金屬或半導電材料不同於構成該中間層(131、132)之其餘部分的彼或彼等材料，該第二距離(e_2)呈現一值，該值不同於該第一距離(e_1)之值，該非常薄層(133、134)呈現一至兩個原子平面之一厚度或呈現一原子平面之一部分之一

厚度，

且根據該第二產生方法，作用為一隧道障壁之該中間層(130)在其厚度中包括距離該儲存磁性層(110)一第一距離(e_1)且距離該參考磁性層(120)一第二距離(e_2)的一摻雜區(135、136)，其中該第二距離呈現一值，該值不同於該第一距離(d_1)之值，該摻雜區(135、136)係藉由插入一不同於構成該中間層(131、132)之其餘部分之材料的材料而進行摻雜，以便在該摻雜區中產生該電位井。

2. 如請求項1之裝置，

其中，在該第一產生方法中，該中間層(131、132)之該其餘部分包含與在該非常薄層(133、134)之任一側上不同的絕緣或半導電材料。

3. 如請求項1之裝置，其中，在該第二產生方法中，該第一及該第二距離(e_1、e_2)中之一者為零，使得該摻雜區(136)接觸該中間層(131)與該參考磁性層(120)及與該儲存磁性層(110)的兩個外部界面中之一者。

4. 如請求項1至3之任一項之裝置，

其中該中間層(130)包含氧化鋁。

5. 如請求項4之裝置，其中該第一產生方法中之該非常薄層(133、134)係由一選自鋁、金、銀、矽及鍺之材料製成。

6. 如請求項1至3之任一項之裝置，

其中該中間層包含氧化鎂。

7. 如請求項6之裝置，其中該第一產生方法中之該非常薄

層(133、134)係由一選自鉻、釕、鉭、金、銀、矽及鍺之材料製成。

8. 如請求項1至3之任一項之裝置，

其中作用為一隧道障壁之該中間層(130)呈現一在1 nm至3 nm之範圍內之厚度。

9. 如請求項1之裝置，

其中，在該第二產生方法中，作用為一隧道障壁之該中間層(130)呈現在2 nm至3 nm之範圍內之厚度，且其中該摻雜區(136)呈現在0.5 nm至1 nm之範圍內之厚度。

10. 如請求項1、請求項3或請求項9之裝置，

其中，在該第二產生方法中，該中間層(130)係由氧化鋁或氧化鎂製成，且

其中該摻雜區(135、136)包含金屬或半導體摻雜元素，該等元素包含由鋁、金、銀、鉻、釕、鉭及矽構成之材料中之至少一者。

11. 一種包含一記憶體單元陣列之記憶體，該等記憶體單元可藉由一組位元線(106)及一組字線(108)定址，其中每一記憶體單元包含如請求項1至10中任一項之一磁性裝置(100)，且其中每一磁性裝置(100)連接至一個位元線(106)且連接至一個字線(108)而無任何介入之額外切換元件。

12. 如請求項11之記憶體，其中其包含分配在一二維架構中之N*N個記憶體單元，其中N為一整數，每一位元線(106)服務於N個記憶體單元，且每一字線(108)服務於N

個記憶體單元。

13. 如請求項11之記憶體，其中其呈現包含一組P個疊置層之三維架構，每一疊置層具有N*N個記憶體單元(100)，每一記憶體單元連接至一個位元線(106)且連接至一個字線(108)，其中P及N為整數，且

其中服務於除了外部層之該等記憶體單元以外之記憶體單元(100)的每一位元線(106)及每一字線(108)與屬於兩個不同鄰近層(P_i、P_{i+1})之記憶體單元100相關聯。

14. 如請求項11之記憶體，其中其呈現包含P個具有N*N個記憶體單元(100)之疊置層之一堆疊之三維架構，每一層(P_i、P_{i+1})之記憶體單元(100)經分配在一二維架構中，P及N為整數，在一個二維架構層中每一位元線(106)服務於N個記憶體單元(100)且每一字線(108)服務於N個記憶體單元(100)，且

其中一絕緣間隔物層(160)在P個疊置層之該堆疊中以週期性方式介於兩個連續二維架構層(P_i、P_{i+1})之間。

十一、圖式：

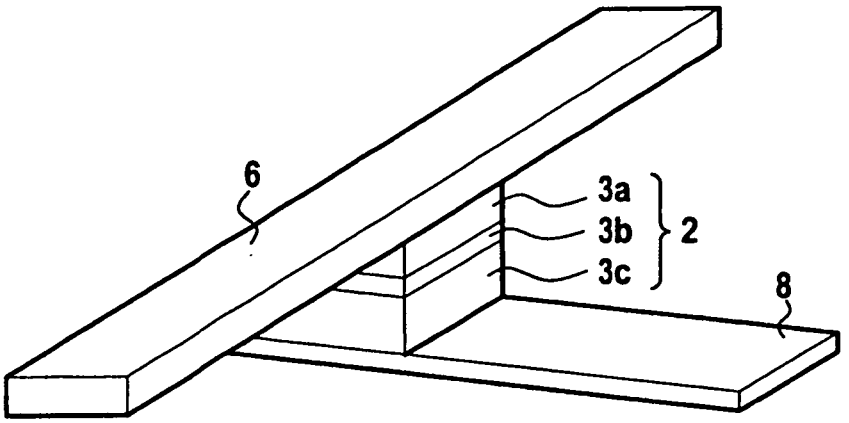

圖1

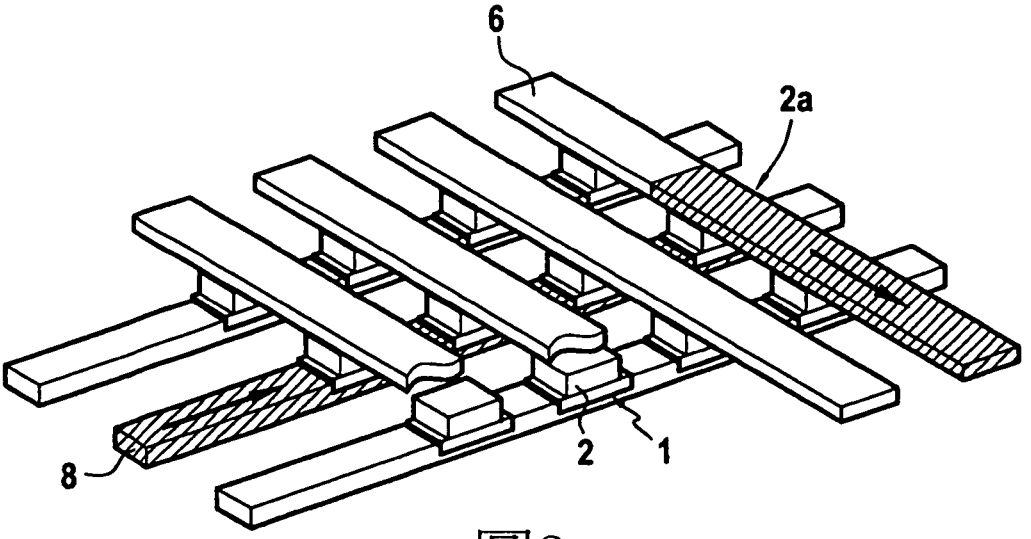

圖2

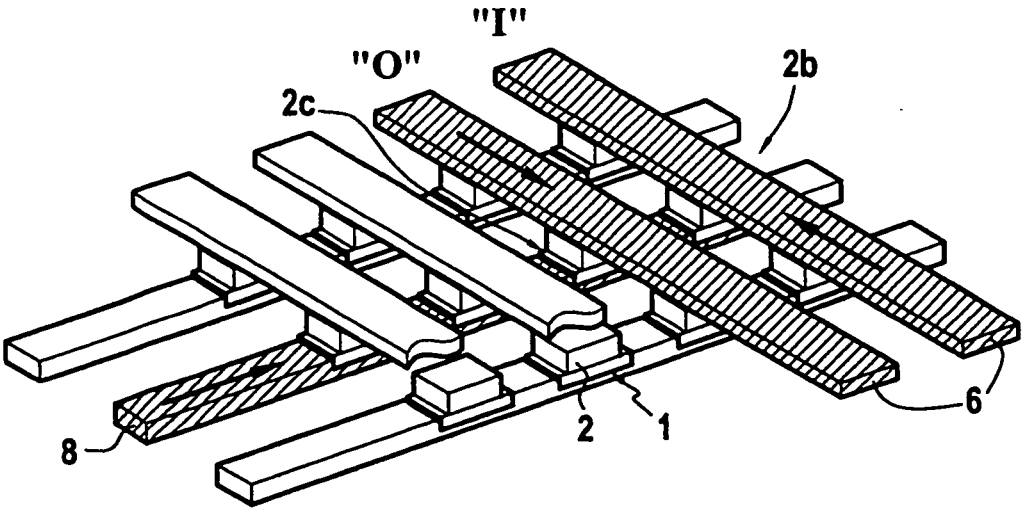

圖3

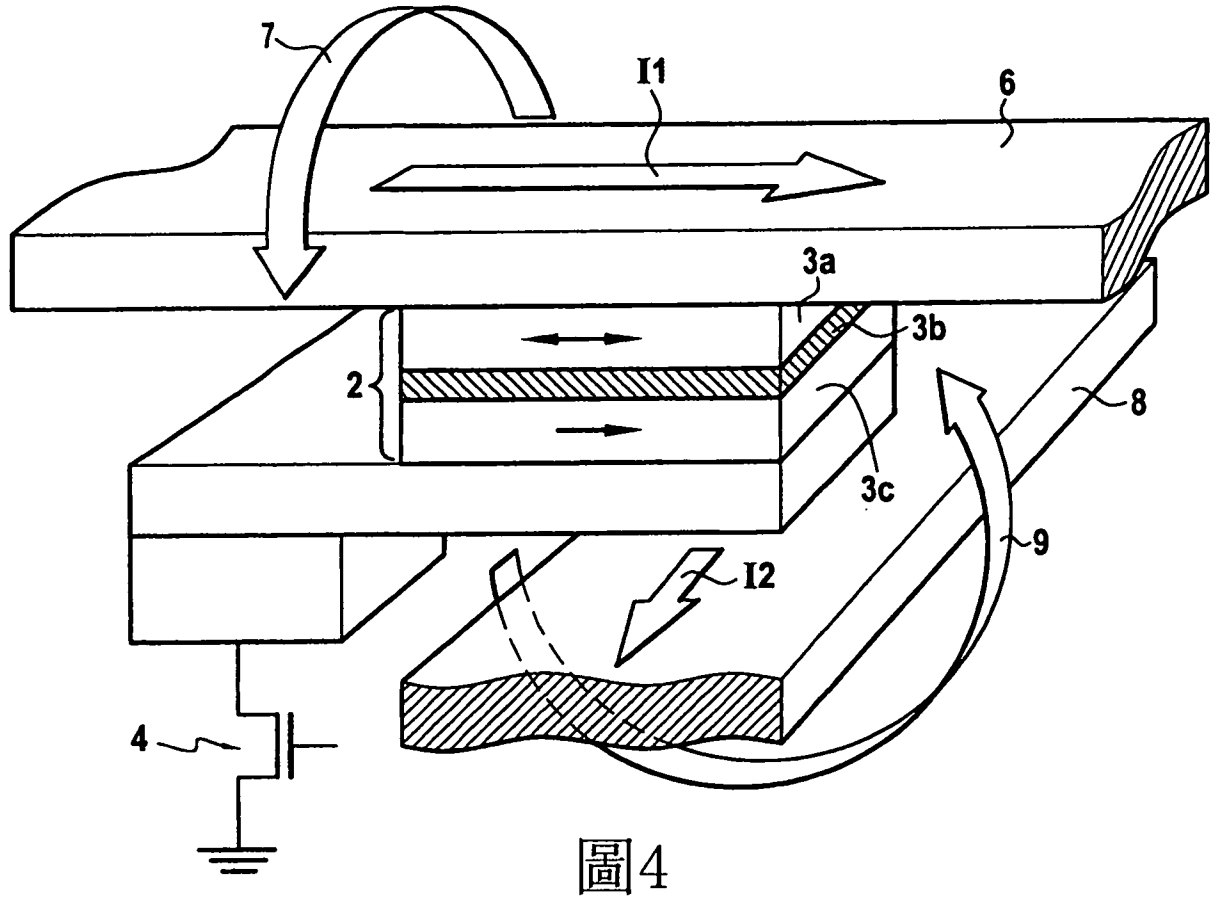

圖4

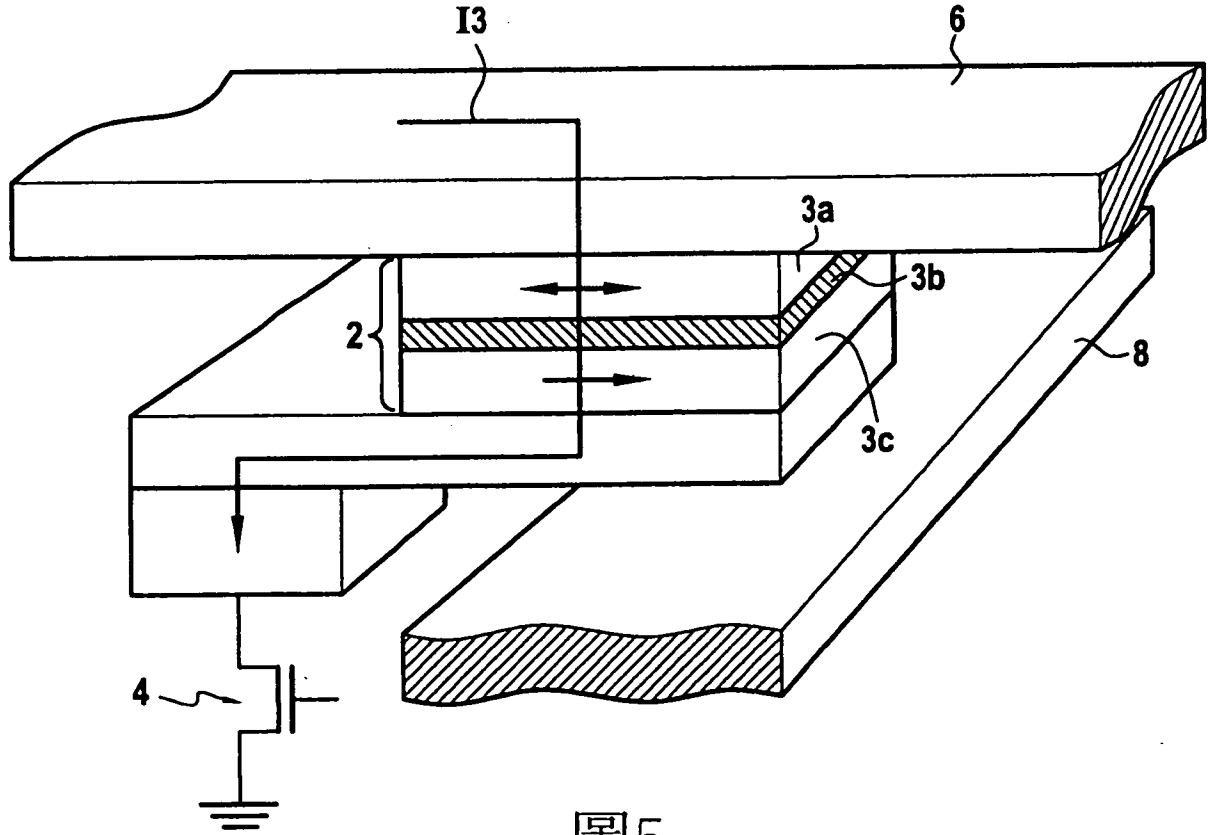

圖5

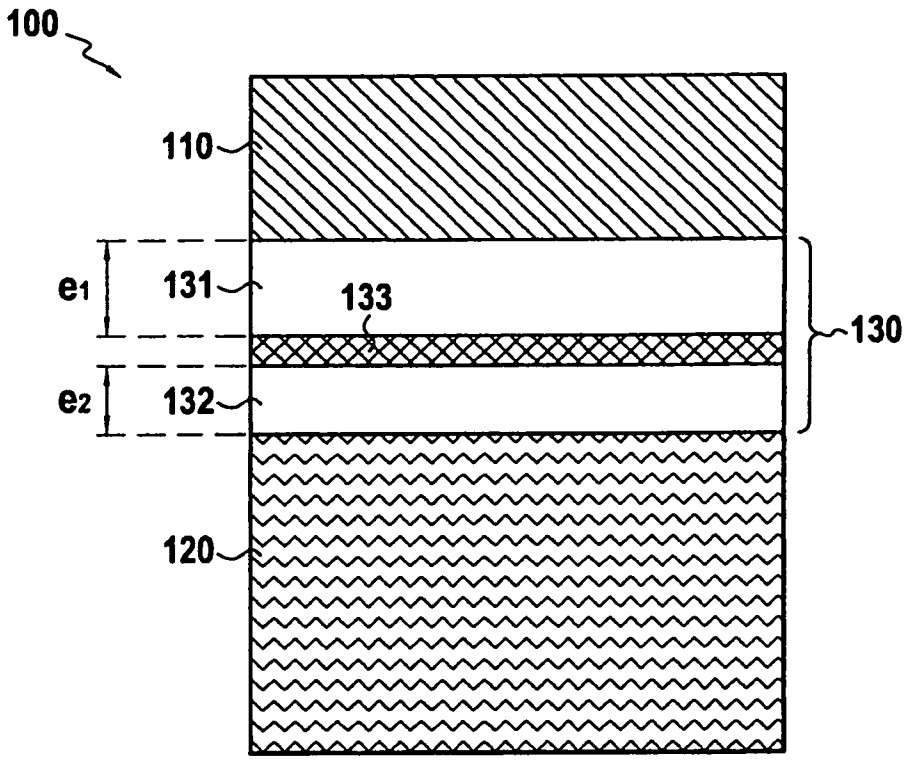
100
110
e1
131
133
130
e2
132
120

圖6

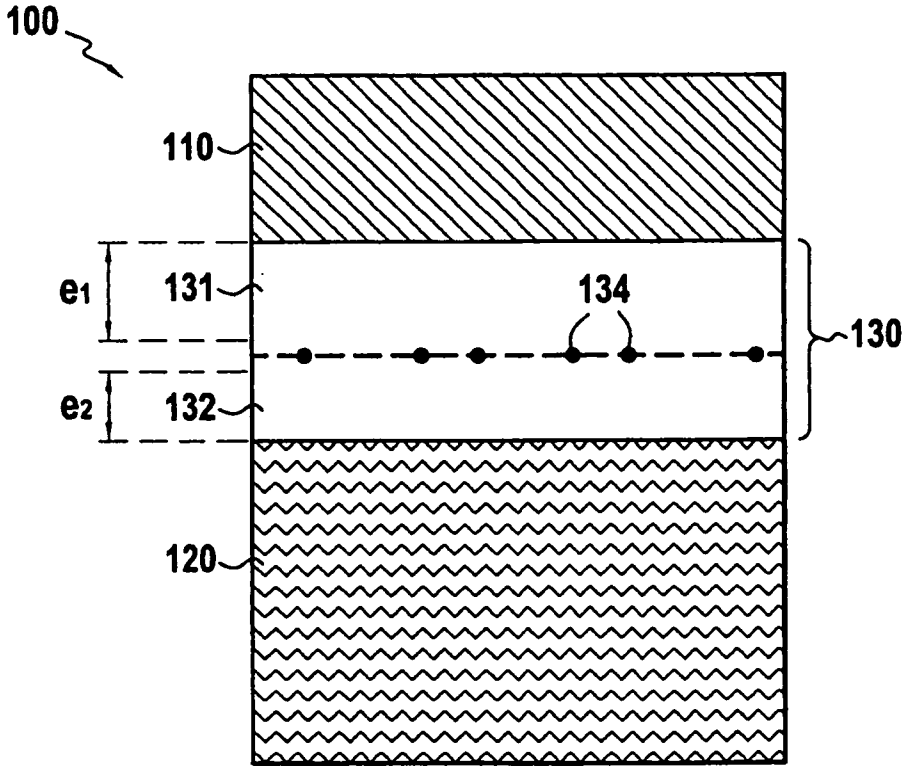
100
110
e1
131
134
130
e2
132
120

圖7

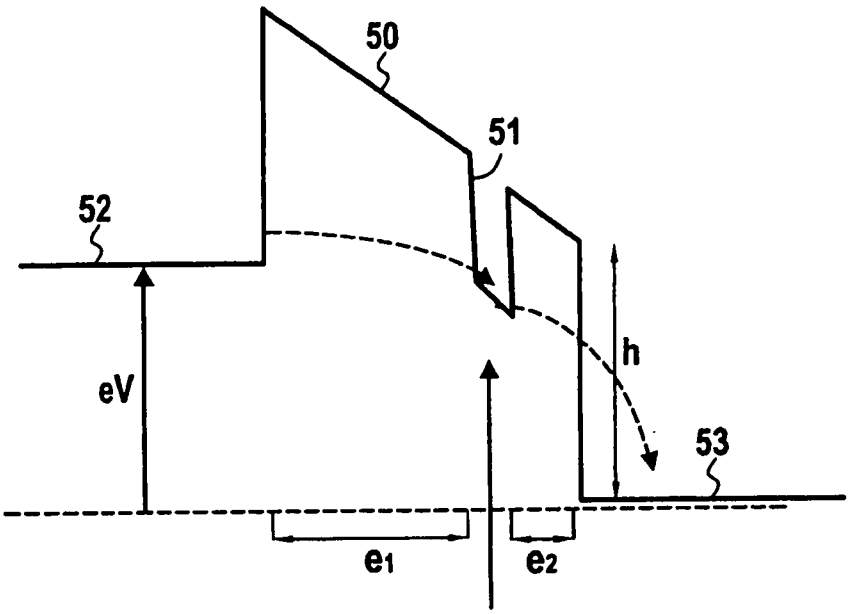

圖8

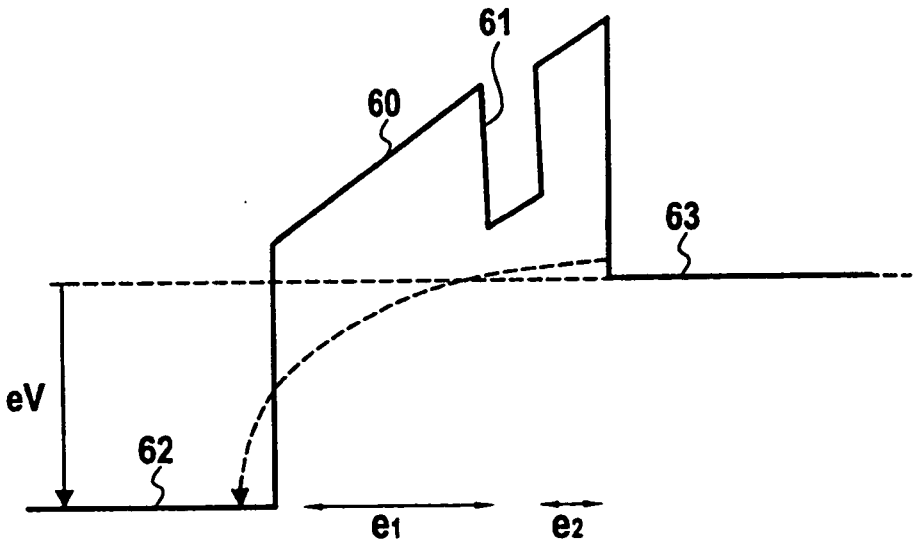

圖9

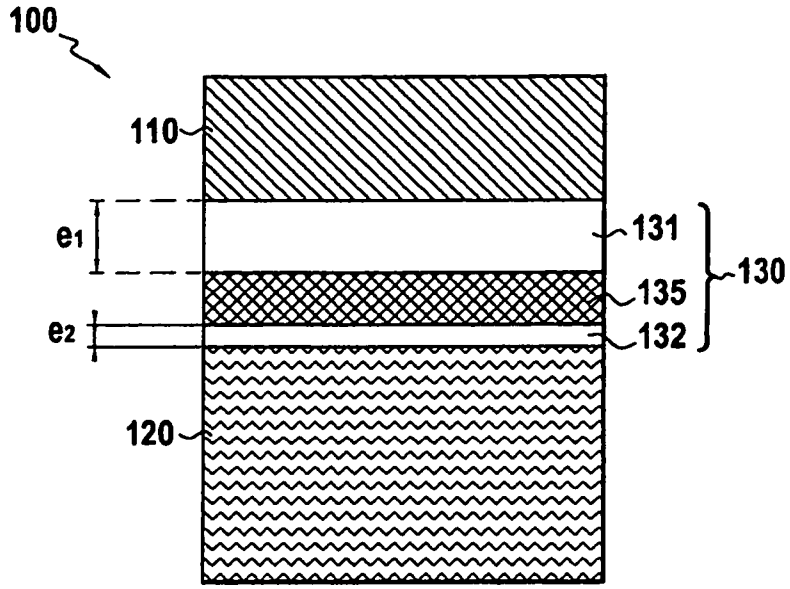
100
110
e1
131
130
135
e2
132
120

圖10

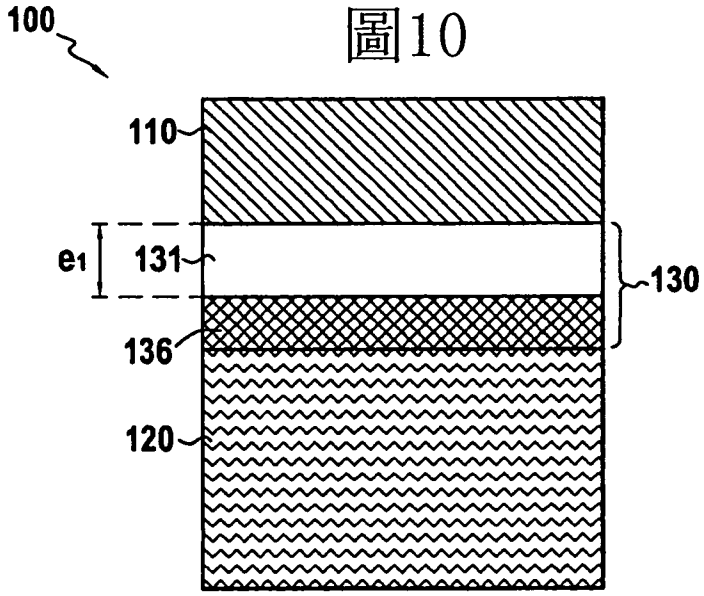
100
110
e1
131
130
136
120

圖11

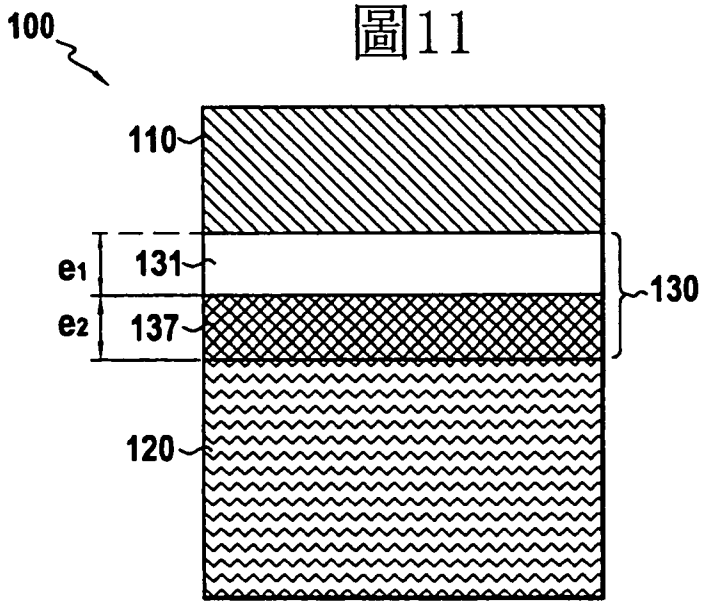
100
110
e1
131
130
e2
137
120

圖12

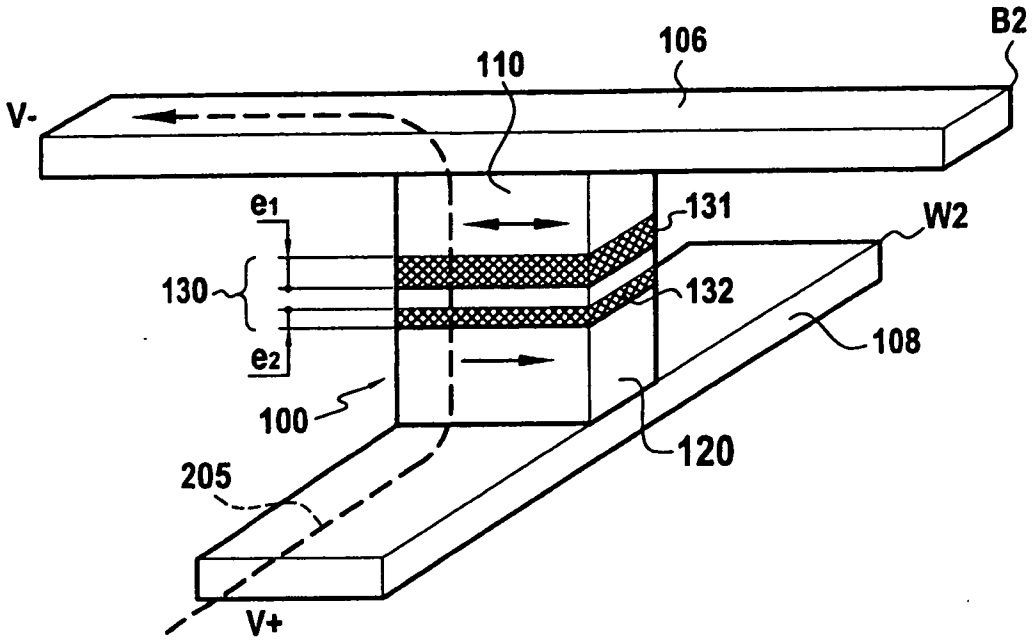
B2
106
110
V-
e1
131
W2
130
132
e2
108
100
120
205
V+

圖13

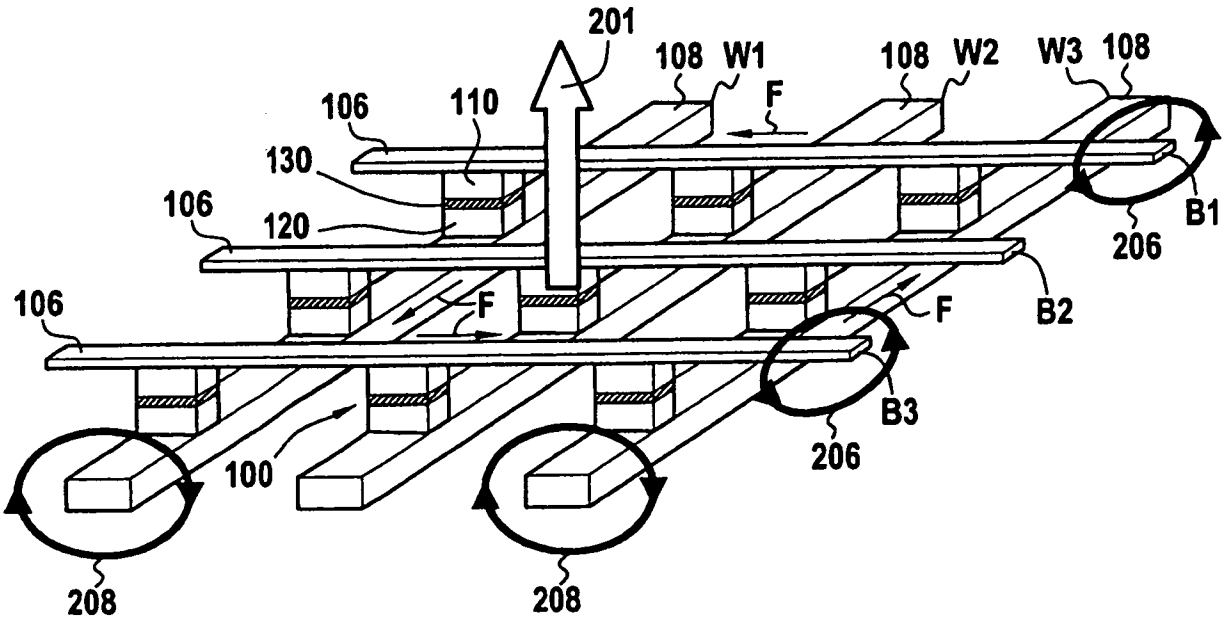
201
108
W1
108
W2
W3
108
106
110
F
130
106
120
B1
206
106
F
F
B2
B3
206
100
208
208

圖14

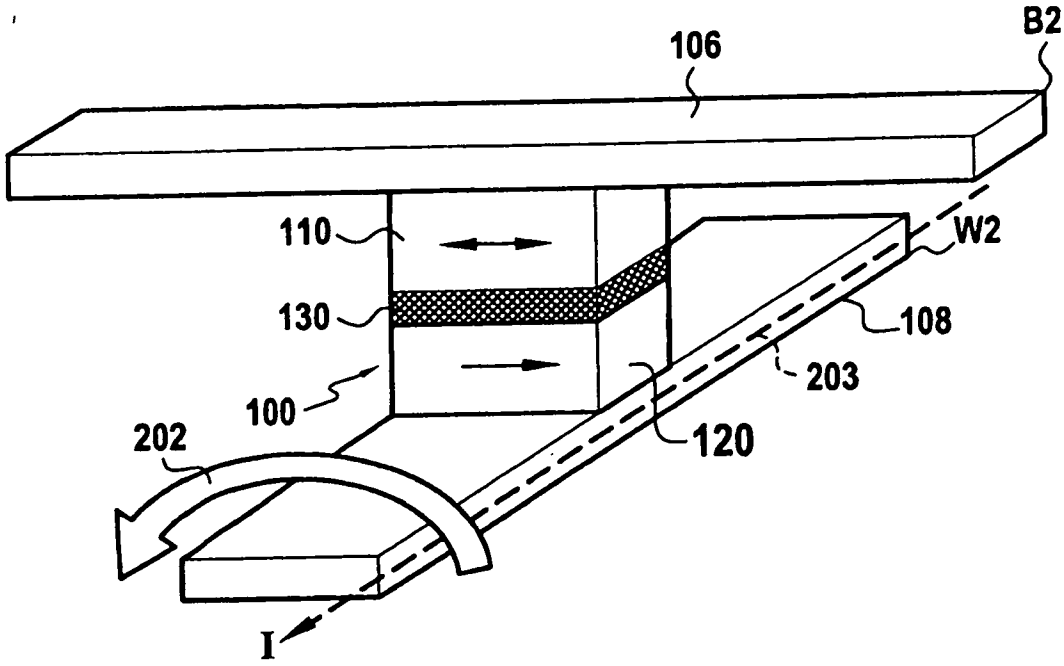
B2
106
110
W2
130
108
203
100
202
120
I

圖15

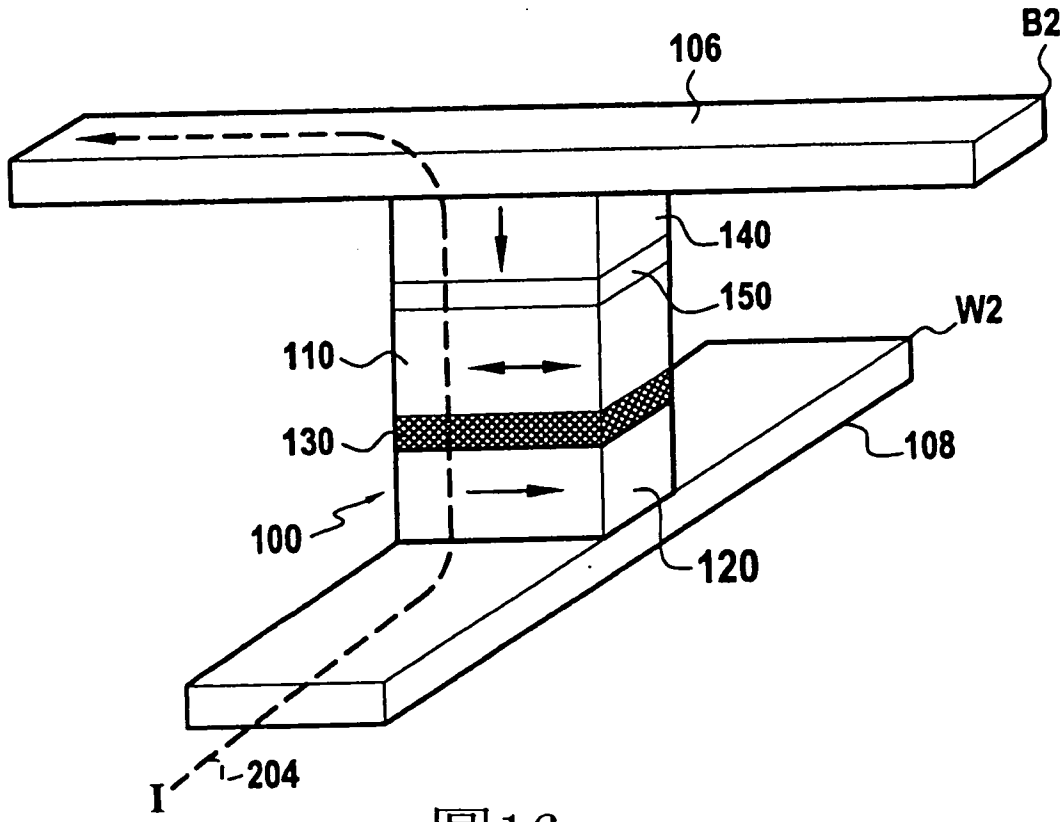
B2
106
140
150
W2
110
130
108
100
120
I
204

圖16

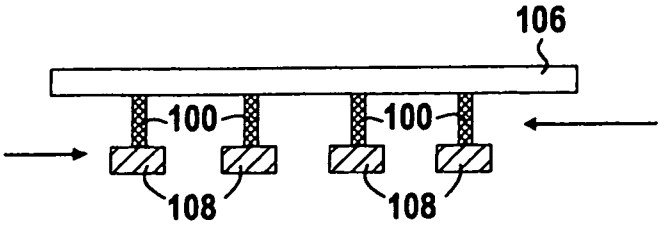

圖17

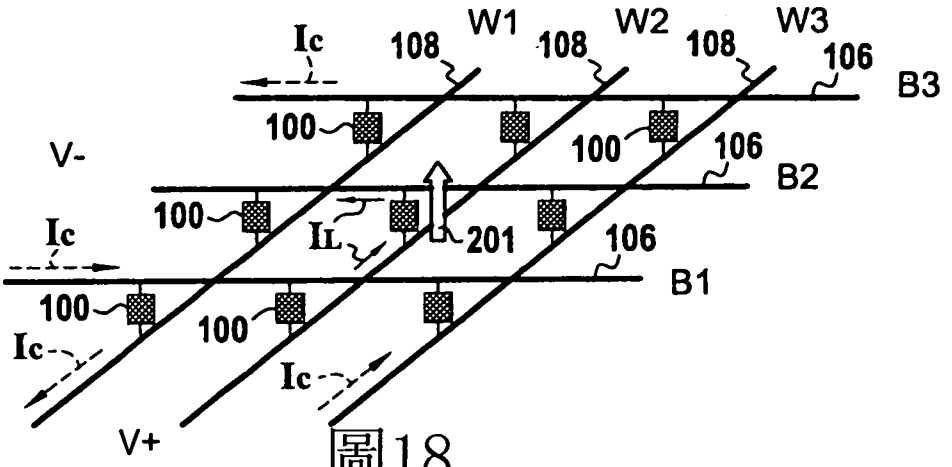

圖18

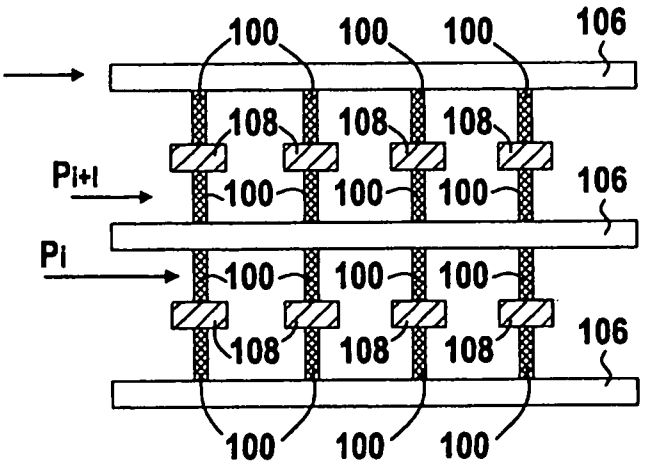

圖19

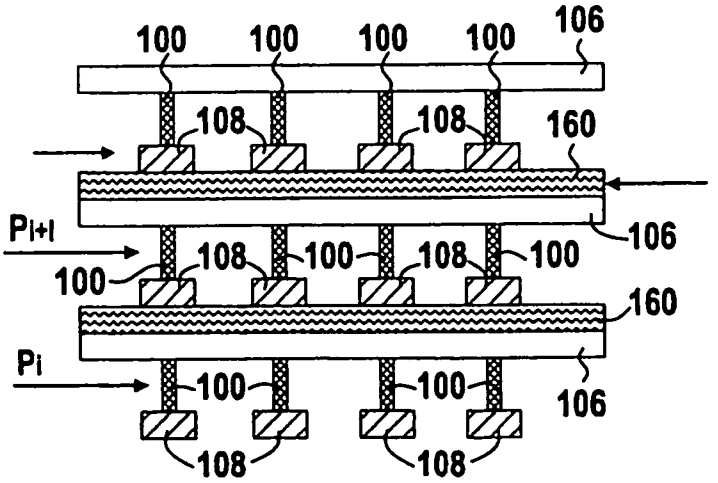

圖20