

(21) 申請案號：100141886

(22) 申請日：中華民國 100 (2011) 年 11 月 16 日

(51) Int. Cl. : H01L21/8242(2006.01)

H01L27/108 (2006.01)

(30) 優先權：2010/11/19 美國

12/950,797

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：鐘琳 華納 JUENGLING, WERNER (US) ; 克許 霍華德 C KIRSCH, HOWARD

C. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：31 項 圖式數：19 共 49 頁

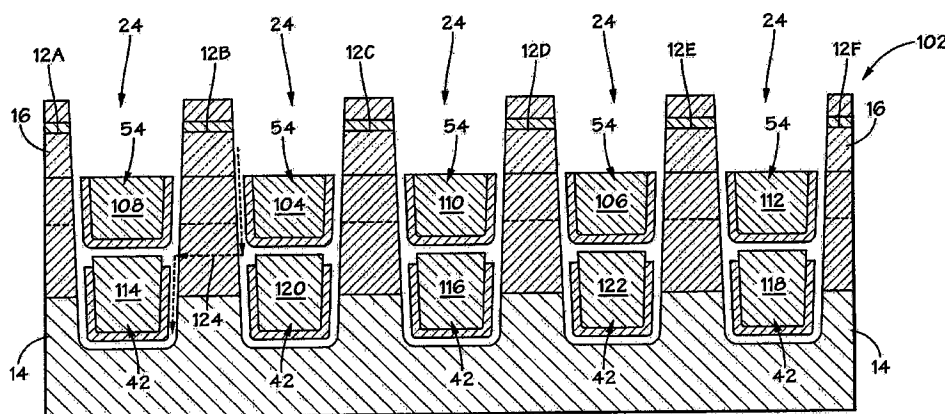
(54) 名稱

雙閘極 4 F 2 動態隨機存取記憶體 CHC 單元及其製造方法

A DOUBLE GATED 4F2 DRAM CHC CELL AND METHODS OF FABRICATING THE SAME

(57) 摘要

本發明提供一種半導體裝置，其包含一鰭(12)，該鰭(12)具有在一第一溝渠(24)中形成於該鰭(12)之一第一側壁上之一第一閘極(54)及一第二閘極(42)，其中該第一閘極(54)係形成於該第二閘極(42)上方。該裝置包含在一第二溝渠(24)中形成於該鰭(12)之一第二側壁上之一第三閘極(54)及一第四閘極(42)，其中該第三閘極(54)係形成於該第四閘極(42)上方。本發明亦包含製作及運作該裝置之方法。一種運作方法可包含加偏壓於該第一閘極(54)及該第四閘極(42)以跨越該鰭(12)形成一電流路徑(124)。



12A：鰭

12B：鰭

12C：鰭

12D：鰭

12E：鰭

12F：鰭

14：基板

16：上部經摻雜區域

24：列溝渠

42：下部閘極

54：上部閘極

102：陣列部分

104：作用中上部閘極

106：作用中上部閘極

108：非作用中上部閘極

極

110：非作用中上部開極

112：非作用中上部開極

114：作用中下部開極

116：作用中下部開極

118：作用中下部開極

120：非作用中下部開極

122：非作用中下部開極

124：電流路徑

(21)申請案號：100141886

(22)申請日：中華民國 100 (2011) 年 11 月 16 日

(51)Int. Cl. : H01L21/8242(2006.01)

H01L27/108 (2006.01)

(30)優先權：2010/11/19 美國

12/950,797

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：鐘琳 華納 JUENGLING, WERNER (US) ; 克許 霍華德 C KIRSCH, HOWARD

C. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：31 項 圖式數：19 共 49 頁

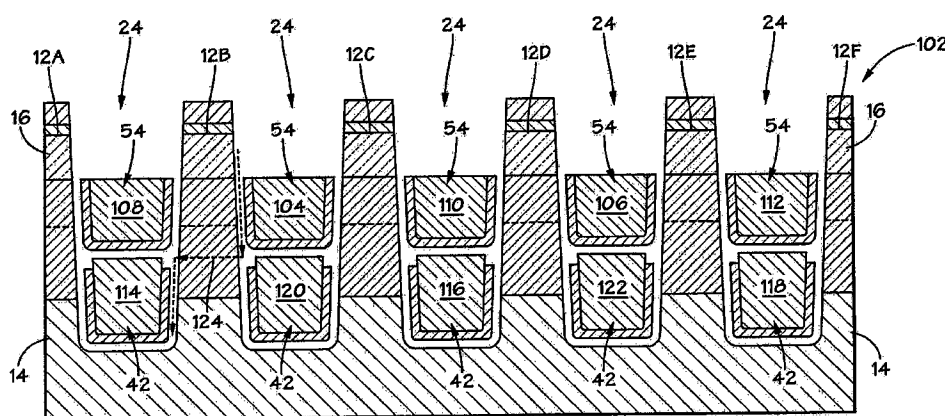
(54)名稱

雙閘極 4 F 2 動態隨機存取記憶體 CHC 單元及其製造方法

A DOUBLE GATED 4F2 DRAM CHC CELL AND METHODS OF FABRICATING THE SAME

(57)摘要

本發明提供一種半導體裝置，其包含一鰭(12)，該鰭(12)具有在一第一溝渠(24)中形成於該鰭(12)之一第一側壁上之一第一閘極(54)及一第二閘極(42)，其中該第一閘極(54)係形成於該第二閘極(42)上方。該裝置包含在一第二溝渠(24)中形成於該鰭(12)之一第二側壁上之一第三閘極(54)及一第四閘極(42)，其中該第三閘極(54)係形成於該第四閘極(42)上方。本發明亦包含製作及運作該裝置之方法。一種運作方法可包含加偏壓於該第一閘極(54)及該第四閘極(42)以跨越該鰭(12)形成一電流路徑(124)。



12A：鰭

12B：鰭

12C：鰭

12D：鰭

12E：鰭

12F：鰭

14：基板

16：上部經摻雜區域

24：列溝渠

42：下部閘極

54：上部閘極

102：陣列部分

104：作用中上部閘極

106：作用中上部閘極

108：非作用中上部閘極

極

## 六、發明說明：

### 【發明所屬之技術領域】

本發明之實施例一般而言係關於電子裝置，且更具體而言係關於非平坦電晶體及其製造技術。

### 【先前技術】

此章節旨在向讀者介紹可與下文所闡述及/或所主張之本發明之各種態樣相關之技術的各種態樣。據信，此論述將有助於向讀者提供背景資訊以促進對本發明之各種態樣之一更好理解。因此，應理解，應鑒於此閱讀該等陳述，而非作為對先前技術之認可。

鳍式場效應電晶體(finFET)通常建造於自一基板大致垂直延伸之一鳍(例如，一高薄半導體構件)周圍。通常，一閘極藉由沿著該鳍之一側向上、越過頂部且沿著該鳍之另一側向下保形地延續而橫過該鳍。通常，一源極及一汲極係位於該鳍中之閘極之相對側上。在運作中，在該源極與該汲極之間通過該鳍之一電流係藉由選擇性地加偏壓於該閘極來加以控制。

通常期望高縱橫比鳍，但此對構造提出挑戰。通常，高縱橫比finFET可整合至該基板之一小的區中，藉此在一每電晶體基礎上潛在地減少製作成本。為增加該等電晶體之密度，可減少每一鳍之寬度及每一鳍之間的間隙。由於鳍結構之尺寸及每一鳍之間的空間減少，因此閘極或其他結構之構造及該等電晶體之運作及控制可日益困難。

### 【實施方式】

隨後論述之實施例中之某些可促進高縱橫比結構(例如具有雙存取線(例如字線)之finFET)之製作。如下文詳細闡述，上部閘極及下部閘極可形成於每一鰭之間以形成存取線。鰭式電晶體可藉由加偏壓於上部閘極與下部閘極之不同組合以穿過該單元形成一所期望電流路徑來運作。以下論述闡述根據本技術之實施例之裝置及製程流程。

圖1繪示根據本發明之一實施例之包括高縱橫比結構(例如，鰭12)之一記憶體陣列之一部分10之一平面剖視圖。如在本文中所使用，術語「鰭」係指自一基板延伸且通常具有大於該鰭之寬度及深度之一長度之一高薄半導體構件。高縱橫比結構12可形成於一基板14中及上，該基板具有藉由任何適宜的製程形成於基板14中之一上部經摻雜區域16及一下部經摻雜區域18。基板14可包含半導體材料，例如單晶矽或多晶矽、砷化鎵、磷化銦或或具有半導體性質之其他材料。另一選擇為或另外，基板14可包含其上可構造一電子裝置之一非半導體表面，例如諸如，一塑膠或陶瓷工作表面。基板14可呈一整個晶圓、一經切片晶圓之一部分或一經封裝電子裝置中之一經切片晶圓之一部分的形式。

上部經摻雜區域16及下部經摻雜區域18可以不同方式摻雜。舉例而言，上部經摻雜區域16可係一n+材料，且下部經摻雜區域18可係一p-材料(稱為一「p井」)。上部經摻雜區域16之深度可在基板14之一實質性部分上方(諸如例如，在一記憶體裝置之一陣列區之一整個實質性部分上)

大致均勻。可藉由植入或擴散摻雜劑材料形成上部經摻雜區域16及下部經摻雜區域18。另一選擇為或另外，該等區域16及/或區域18中之一或兩者可在基板14之全部或一部分之生長或沈積期間(例如在一半導體材料之磊晶沈積期間或在可自其切割晶圓之一半導體錠之生長期間)經摻雜。如下文所闡釋，上部經摻雜區域16可形成一存取裝置(例如，一電晶體)之一源極及一汲極，且下部經摻雜區域18可形成一存取裝置(例如，一電晶體)之一通道。

陣列部分10可包含可形成於基板14中之深隔離溝渠20及淺溝渠22。該等溝渠20及溝渠22可大致沿y方向延伸，如在圖1中所指示。深隔離溝渠20大致分隔形成於該高縱橫比結構中之存取裝置(例如，電晶體)，且淺溝渠22大致分隔一單個存取裝置之源極及汲極。一或多個淺溝渠22可間置於深隔離溝渠20之對之間。在某些實施例中，淺溝渠22可深於上部經摻雜區域16以分隔源極及汲極。另外，深隔離溝渠20可深於淺溝渠22以隔離隨後形成之存取裝置(例如，電晶體)。深隔離溝渠20及/或淺溝渠22可具有一大致矩形或梯形剖面，且在某些實施例中，其剖面可沿x方向在某一距離內(例如在大於一個、兩個、五個或更多個電晶體長度之一距離內)大致均勻。深隔離溝渠20及淺溝渠22可部分或完全地用各種介電材料(例如高密度電漿(HDP)氧化物)填充以(例如)電隔離特徵。另外，深隔離溝渠20及/或淺溝渠22可包含各種襯裡材料(例如氮化矽)以(例如)減輕膜應力、改良黏附性及/或充當一障壁材料。

鳍 12 可包含藉由上部經摻雜區域 16 中之一源極 23 及汲極 25 以及形成於下部經摻雜區域 18 中之一導電通道 27 形成之一電晶體 21。此結構可稱為一鳍式場效應電晶體 (finFET)。為啟動一鳍 12 之電晶體 21，藉由隨後形成於列溝渠 24 中之上部閘極及下部閘極在通道 27 中誘發一源極至汲極電流。

鳍 12 可形成於基板 14 中且經由列溝渠 24 隔開，從而在每一鳍 12 之任一側及一底部表面 28 上形成側壁 26。可藉由任一適宜的製程形成列溝渠 24。舉例而言，在一實施例中，列溝渠 24 可透過使用一遮罩、亞光微影技術、任一適宜的蝕刻或其組合形成於基板 14 中。

鳍 12 可界定具有一寬度 29 之區域，且列溝渠 24 可界定具有一寬度 30 之區域。在某些實施例中，可使用一遮罩藉助一亞光微影製程 (例如，一側壁間隔物製程、一抗蝕劑回流製程或一線寬度薄化製程) 形成列溝渠 24。寬度 28 及寬度 30 可大致等於或小於  $F$ 、 $3/4 F$  或  $1/2 F$ ，其中  $F$  係指光微影解析度限制或最小可實現特徵大小。在一項實施例中，鳍 12 之寬度 29 可係約 30 奈米、20 奈米或更小，且列溝渠 24 之寬度 30 可係約 40 奈米、30 奈米或更小。

鳍 12 可在上部經摻雜區域 16 上方包含一或多種材料。在某些實施例中，如在圖 1 中所展示，鳍 12 可包含一墊氧化物罩 32 及一個氮化矽罩 34。可在列溝渠 24 之蝕刻及鳍 12 之形成期間分別由墊氧化物及氮化矽或其他適宜的材料形成墊氧化物罩 32 及氮化矽罩 34。

圖2至圖5繪示下部閘極在溝渠24中且毗鄰於鰭12之側壁26中之每一者之形成。應瞭解，如在本文中所使用，術語「下部」係指該閘極相對於溝渠24使得下部閘極較靠近於溝渠24之底部表面28之位置。因此，該等下部閘極較隨後形成之上部閘極相對更接近於基板14且更遠離鰭12之上部部分。

如在圖2中所展示，可在鰭12之側壁26及溝渠24之底部部分28上形成一閘極氧化物36。閘極氧化物36可沈積、生長或以其他方式形成，且其可實質上或完全覆蓋上部經摻雜區域16及下部經摻雜區域18之所曝露部分。閘極氧化物36可包含各種各樣的介電材料，例如氧化物(例如，二氧化矽)、氮氧化物或高介電常數材料(像二氧化鈣、二氧化鋁及二氧化鈦)。閘極氧化物36可具有小於約60 Å之一厚度，例如，等於或小於約40 Å之一厚度。

接下來，在圖3中，根據本發明之一實施例，可在閘極氧化物36上形成一襯裡38。如在圖3中所展示，可在列溝渠24之底部表面28上及鰭12之側壁26上形成襯裡38。襯裡38可包含氮化鈦(TiN)、氮化鎢或其他適當的導電材料或其組合。

如在圖4中所展示，根據本發明之一實施例，可在陣列部分10上形成一金屬導體40。金屬導體40可形成於列溝渠24中及鰭12之側壁26上。如將瞭解，僅圖解說明在溝渠24中之金屬導體40之彼部分。金屬導體40可包含鎢、鈦(Ru)或其他適當的導電材料或其組合。舉例而言，在一項實施

例中，可將氮化鈦襯裡38安置於閘極氧化物36上，且可將鎢安置於氮化鈦襯裡38上以形成金屬導體40。如下文進一步論述，金屬導體40之蝕刻可在鰭12之側壁26中之任一者上之列溝渠24中形成底部閘極(例如，字線)。

圖5繪示根據本發明之一實施例之在移除金屬導體40、襯裡38及閘極氧化物36之一部分以形成一下部閘極42之後的陣列部分10。如在圖5中所展示，可沿鰭12之側壁26移除襯裡38及閘極氧化物36至一深度44。可移除金屬導體40至溝渠24中之一深度46。可藉由蝕刻製程(例如濕式蝕刻、乾式蝕刻)或其他適宜的製程中之一者或一組合移除金屬導體40、襯裡38及閘極氧化物36。該蝕刻之持續時間可控制該蝕刻進入至列溝渠24中之深度(例如，距離)。另外，在某些實施例中，不同材料之不同蝕刻速率可產生不同深度44及深度46。舉例而言，如在圖5中所展示，在蝕刻之後，金屬導體40可在閘極氧化物36及襯裡38上方稍微突出，以使得深度46係小於深度44。在其他實施例中，深度46可等於或大於深度44。

圖6至圖9繪示上部閘極(例如，諸如字線之存取線)在溝渠24中及下部閘極42上方之形成。如在本文中所使用，術語「上部」係指該閘極相對於溝渠24使得該等「上部」閘極較先前形成之下部閘極42更接近於鰭12之上部部分且更遠離底部表面28之位置。如在圖6至圖9中所展示，該等上部閘極可形成於在下部閘極之形成之後剩餘的溝渠24之部分中。

圖6繪示一閘極氧化物48在鰭12之側壁26上及下部閘極42上(例如金屬導體40、襯裡38及閘極氧化物36上)之形成。閘極氧化物48可沈積、生長或以其他方式形成，且其可實質上或完全覆蓋上部經摻雜區域16及下部經摻雜區域18中之某些之所曝露部分。閘極氧化物48可包含各種各樣的介電材料，例如氧化物(例如，二氧化矽)、氮氧化物或高介電常數材料(像二氧化鉛、二氧化鋇及二氧化鈦)。閘極氧化物48可具有小於約60 Å之一厚度，例如，等於或小於約40 Å之一厚度。

接下來，在圖7中，根據本發明之一實施例，可在閘極氧化物48上形成一襯裡50。如在圖7中所展示，可在氧化物48上且在鰭12之下部閘極42及側壁26上形成襯裡50。襯裡50可包含氮化鈦(TiN)、氮化鎢或其他適當的導電材料或其組合。

如在圖8中所展示，根據本發明之一實施例，可在陣列部分10上形成一金屬導體52。金屬導體52可形成於列溝渠24中及襯裡50上。如將瞭解，僅圖解說明形成於溝渠24中之金屬導體52之彼部分。金屬導體52可包含鎢、鈦(Ru)或其他適當的導電材料或其組合。舉例而言，在一項實施例中，可將氮化鈦襯裡50安置於閘極氧化物48上，且可將鎢安置於氮化鈦襯裡50上以形成金屬導體52。如下文進一步論述，金屬導體52之蝕刻可在鰭12之側壁26上之列溝渠24中及下部閘極42上方形成上部閘極(例如，諸如字線之存取線)。

圖9繪示根據本發明之一實施例之在移除金屬導體52、襯裡50及閘極氧化物48之一部分以形成上部閘極54之後的陣列部分10。如在圖9中所展示，可沿鰭12之側壁26移除襯裡50及閘極氧化物48至一深度56。可移除金屬導體52至部分10中之一深度58。如上文所述，可藉由蝕刻製程(例如濕式蝕刻、乾式蝕刻)或其他適宜的製程中之一者或一組合移除金屬導體52、襯裡50及閘極氧化物48。該蝕刻之持續時間可控制該蝕刻進入至部分10中之深度(例如，距離)。在某些實施例中，深度56及深度58可實質上相等，如在圖9中所展示。在其他實施例中，不同材料之不同蝕刻速率可產生不同深度56及深度58。舉例而言，深度56可淺於或深於深度58。金屬導體52及襯裡50可形成上部閘極54以供存取該等鰭之電晶體。如下文進一步闡述，可使用上部閘極54與下部閘極42之各種組合來啟動鰭12之電晶體21。此一裝置可稱為一「十字線單元」，乃因每一存取線(例如，閘極54及閘極42)與一存取裝置(例如，鰭12之電晶體21)連接(亦即，形成一交叉點或十字線)。額外處理可包含製造可藉由鰭12之電晶體21及數位線之運作存取之儲存單元以及連接至將在該裝置之運作期間作用中之彼等上部閘極54及下部閘極42之觸點。

圖10繪示根據本發明之實施例之圖解說明陣列部分10之各種結構及區域之尺寸之陣列部分10之一實施例。舉例而言，在某些實施例中，鰭12之上部部分58可係約400埃至700埃。上部閘極54之區域60可係約300埃至500埃，且上

部閘極54與下部閘極42之間的區域62可係約100埃至200埃。最後，下部閘極42之區域64可係約600埃至100埃。如將瞭解，上文所論述之該等尺寸僅作為實例提供且不應視為限制所有實施例。

在某些實施例中，緒12之一部分可在上部閘極54及下部閘極42之形成之前或期間經摻雜。圖11繪示具有沿每一緒12安置之一經摻雜區域66之陣列部分10。經摻雜區域66可包含任一適宜的摻雜劑，例如n+、p-或n-。在某些實施例中，摻雜變化可係小於或約 $2e^{-16}$ 。對摻雜劑之挑選可係基於陣列部分10之上部經摻雜區域16及下部經摻雜區域18來選擇。經摻雜區域66可在下部閘極42及/或上部閘極54之形成期間藉由一高能磷光摻雜劑或其他適宜的摻雜劑摻雜。經摻雜區域66可在下文所闡述之緒12之電晶體21之運作期間增強作用中閘極之間的電流驅動。

在某些實施例中，下部閘極42之氧化物36及上部閘極54之氧化物48可具有一不同厚度以改良上部閘極54及下部閘極42之效能。圖12繪示帶有較上部閘極54之氧化物48具有一相對較厚氧化物36之一下部閘極42之陣列部分。如在圖12中所展示，下部閘極42之氧化物36可包含一厚度68。相比而言，上部閘極54包含具有一厚度70之一相對較薄氧化物48。在此一實施例中，厚度68可係大於厚度70。在某些實施例中，襯裡38及襯裡50亦可反映氧化物36及氧化物48之不同厚度。

圖13係根據上文在圖1至圖10中所繪示之實施例之一製

作製程80之一流程圖。如上文所闡述，可藉由任一適宜的製程在基板14中形成鰭12及列溝渠24(區塊82)。可在側壁26上之列溝渠24中及列溝渠24之底部表面28上形成一種氧化物(區塊84)。可在該氧化物上形成一襯裡(區塊86)，且可在列溝渠24中沈積一金屬導體(區塊88)。可蝕刻該金屬導體至一期望深度以形成下部閘極(區塊90)。

在該等下部閘極之形成之後(區塊90)，可在鰭12之側壁26之列溝渠24中及該等下部閘極上形成另一氧化物(區塊92)。可在該第二氧化物上形成一第二襯裡(區塊94)，且可在該等列溝渠中及該第二襯裡上沈積一第二金屬導體(區塊96)。可蝕刻該第二金屬導體至一期望深度以形成上部閘極(區塊98)。如熟悉此項技術者將瞭解，在該等上部閘極及下部閘極之形成之後，可使該陣列經受進一步處理，如在區塊100中所展示。

圖14及圖15係以上文在圖1至圖10中所闡述之方式形成之一陣列部分102且繪示上部閘極54及下部閘極42用以運作鰭12之電晶體之運作之示意性剖面。圖14及圖15繪示由列溝渠24隔開且各自在其之間安置有上部閘極54及下部閘極42並根據上文所闡述之技術構造之鰭12A至鰭12F。上部閘極54及下部閘極42可包含作用中閘極及非作用中閘極兩者。在一鰭12之電晶體之運作期間加偏壓於該等作用中閘極。在該等電晶體之運作期間該等非作用中閘極不加偏壓於該等非作用中閘極且該等非作用中閘極始終「關斷」。如在圖14及圖15中所展示，陣列部分102可包含作用中上

部閘極104及作用中上部閘極106以及非作用中上部閘極108、非作用中上部閘極110及非作用中上部閘極112。圖14及圖15亦繪示作用中下部閘極114、作用中下部閘極116及作用中下部閘極118以及非作用中下部閘極120及非作用中下部閘極122。

圖14繪示根據本發明之一實施例之鰭12B之電晶體之運作。為運作鰭12B之電晶體，可加偏壓於作用中上部閘極104及作用中下部閘極114至一足夠電壓以跨越鰭12B形成一電流路徑124。可沿上部閘極104之閘極平面、到達作用中上部閘極104與非作用中下部閘極120之間的區域、穿過鰭12B之平面且沿作用中下部閘極114之閘極平面而形成電流路徑124。在加偏壓於作用中上部閘極104及作用中下部閘極114之後，電流路徑124可係穿過鰭12中之任一者形成以使得僅鰭12B之電晶體啟動之唯一電流路徑。其他可能電流路徑經短路以使得鄰近鰭12A及鰭12C僅部分導電。

圖15繪示根據本發明之一實施例之鰭12C之電晶體之運作。在運作鰭12C之電晶體中，可加偏壓於作用中上部閘極104及作用中下部閘極116至一足夠電壓以跨越鰭12C形成一電流路徑126。可沿上部閘極104之閘極平面、到達作用中上部閘極104與非作用中下部閘極120之間的區域、穿過鰭12C之平面且沿作用中下部閘極116之閘極平面而形成電流路徑126。在作用中上部閘極104及作用中下部閘極106之加偏壓之後，電流路徑126係穿過鰭12中之任一者之唯一可用電流路徑。其他可能電流路徑經短路以使得鄰近

鰭 12B 及 鰭 12D 僅部分導電。

可藉由其他作用中上部閘極(例如，作用中上部閘極 106)及其他作用中下部閘極(例如，作用中下部閘極 116 及作用中下部閘極 118)之加偏壓來執行鰭 12 之其他電晶體之運作。舉例而言，鰭 12D 之電晶體可藉由加偏壓於作用中上部閘極 106 及作用中下部閘極 116 至一足夠電壓來運作。類似地，為運作鰭 12E 之電晶體，可加偏壓於作用中上部閘極 106 及作用中下部閘極 118 至一足夠電壓以穿過鰭 12E 形成一電流路徑。不主動加偏壓於其他閘極(例如閘極 108、閘極 110、閘極 112、閘極 120 及閘極 122)。毗鄰於該等作用中閘極之閘極(例如閘極 108 及閘極 110)並不接收足夠電壓以形成一替代電流路徑或干擾所期望電流路徑。

在其他實施例中，該等上部閘極及下部閘極可偏移以改良該等作用中閘極之運作。在一項此實施例中，某些上部閘極及下部閘極可相對於毗鄰上部閘極及下部閘極垂直偏移。圖 16 繪示具有相對於毗鄰閘極垂直偏移上部閘極 132 及垂直偏移下部閘極 134 之一陣列部分 130。如在圖 16 中所展示，陣列部分 130 包含不偏移上部閘極 136 及不偏移下部閘極 138。偏移上部閘極 132 可自不偏移上部閘極 136 垂直偏移一距離 140。偏移下部閘極 134 可自不偏移下部閘極 138 垂直偏移一距離 142。偏移上部閘極 132 及偏移下部閘極 134 可根據上文在圖 2 至圖 10 中所闡述之技術構造。距離 142 可透過一較厚氧化物 36 於溝渠 24 之底部表面 28 上之形成而形成，如在圖 2 中所闡述。另外，距離 140 可透過形成

於偏移下部閘極134上之一較厚氧化物48之形成而形成，如上文在圖6中所闡述。

具有偏移閘極132及偏移閘極134之陣列部分130可以上文在圖14及圖15中所闡述之方式運作。舉例而言，偏移上部閘極132可係作用中閘極，且不偏移上部閘極140可係非作用中閘極。相比而言，不偏移下部閘極138可係作用中閘極，且偏移下部閘極134可係非作用中閘極。舉例而言，為運作緒12B之電晶體，可加偏壓於偏移上部閘極144及不偏移下部閘極146至一足夠電壓以跨越緒12B形成一電流路徑148。在此一運作期間，如與上文在圖14及圖15中所闡述之不偏移上部閘極相比較，使用偏移上部閘極132可減少緒12之電晶體之間的單元至單元耦合。

在其他實施例中，可加偏壓於一裝置之上部閘極及下部閘極中之每一者以運作一緒12之電晶體。圖17繪示根據本發明之一實施例之具有作用中上部閘極152、作用中上部閘極154、作用中上部閘極156、作用中上部閘極158及作用中上部閘極160以及作用中下部閘極162、作用中下部閘極164、作用中下部閘極166、作用中下部閘極168及作用中下部閘極170之一陣列部分150。相比而言，對於上文在圖14及圖15中所展示之實施例，圖17中之所有閘極係作用中的且可在緒12A至緒12F之電晶體之運作期間予以加偏壓。舉例而言，為運作藉由緒12B形成之電晶體，可加偏壓於作用中上部閘極152及作用中上部閘極154以及作用中下部閘極162及作用中下部閘極164至足以跨越緒12B形成

一電流路徑172之電壓。較作用中上部閘極152與作用中下部閘極162之對，可加偏壓於作用中上部閘極154與作用中下部閘極162之對至一相對較高電壓。可加偏壓於作用中上部閘極152及作用中下部閘極164至一相對較低電壓以增加沿路徑172之電流驅動且防止運作期間其他電流路徑之形成。然而，如將瞭解，加偏壓於作用中上部閘極152及作用中下部閘極164不應形成一替代電流路徑或扭曲電流路徑172從而防止鱗12B之運作。

在另一實例中，如在圖18中所展示，為啟動鱗12C之電晶體，可加偏壓於作用中上部閘極154及作用中下部閘極166至一相對高電壓，且可加偏壓於作用中上部閘極156及作用中下部閘極164至一相對低電壓，從而穿過鱗12C形成電流路徑174。另一選擇為，如在圖19中所展示，為啟動鱗12C之其他電晶體，可加偏壓於作用中閘極上部閘極156及作用中下部閘極162至一相對高電壓，且可加偏壓於作用中上部閘極154及作用中下部閘極164至一相對較低電壓，從而穿過鱗12C形成一電流路徑176。因此，每一鱗12可以上文所闡述之方式經由作用中閘極之不同組合存取。亦如上文所述，使用以相對較低電壓加偏壓之額外作用中閘極可有助於增加一所期望電流路徑之電流驅動且可減少一鱗電晶體之回應時間及運作。

### 【圖式簡單說明】

圖1繪示根據本發明之一實施例之一半導體裝置之一部分之一實施例；

圖 2 至 圖 5 繪示用於形成圖 1 之裝置之下部閘極之一製程之一實施例；

圖 6 至 圖 9 繪示用於形成圖 1 之裝置之上部閘極之一製程之一實施例；

圖 10 圖解說明根據本發明之一實施例之藉由圖 2 至 圖 9 之製程形成之陣列部分之尺寸；

圖 11 繪示根據本發明之一實施例之具有上部閘極及下部閘極且具有一中間經摻雜區域之陣列部分之一實施例；

圖 12 繪示根據本發明之另一實施例之具有上部閘極及下部閘極之圖 1 之陣列部分之一實施例；

圖 13 係繪示根據本發明之一實施例之圖 1 至 圖 10 之製作製程之一流程圖；

圖 14 及 圖 15 繪示根據本發明之一實施例之具有上部閘極及下部閘極之一陣列部分之運作；

圖 16 繪示根據本發明之一實施例之具有偏移上部閘極及下部閘極之一陣列部分之運作；及

圖 17 至 圖 19 繪示根據本發明之另一實施例之具有上部閘極及下部閘極之一陣列部分之運作。

#### 【主要元件符號說明】

10	陣列部分
12	緒
12A	緒
12B	緒
12C	緒

12D	緒
12E	緒
12F	緒
14	基板
16	上部經摻雜區域
18	下部經摻雜區域
20	深隔離溝渠
21	電晶體
22	淺溝渠
23	源極
24	列溝渠
25	汲極
26	側壁
27	導電通道
28	底部表面
29	寬度
30	寬度
32	墊氧化物罩
34	氮化矽罩
36	閘極氧化物
38	襯裡
40	金屬導體
42	下部閘極
44	深度

46	深度
48	閘極氧化物
50	襯裡
52	金屬導體
54	上部閘極
56	深度
58	深度
60	區域
62	區域
64	區域
66	經摻雜區域
68	厚度
70	厚度
102	陣列部分
104	作用中上部閘極
106	作用中上部閘極
108	非作用中上部閘極
110	非作用中上部閘極
112	非作用中上部閘極
114	作用中下部閘極
116	作用中下部閘極
118	作用中下部閘極
120	非作用中下部閘極
122	非作用中下部閘極
124	電流路徑

126	電流路徑
130	陣列部分
132	垂直偏移上部閘極
134	垂直偏移下部閘極
136	不偏移上部閘極
138	不偏移下部閘極
140	距離
142	距離
144	偏移上部閘極
146	不偏移下部閘極
148	電流路徑
150	陣列部分
152	作用中上部閘極
154	作用中上部閘極
156	作用中上部閘極
158	作用中上部閘極
160	作用中上部閘極
162	作用中下部閘極
164	作用中下部閘極
166	作用中下部閘極
168	作用中下部閘極
170	作用中下部閘極
172	電流路徑
174	電流路徑
176	電流路徑

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 100141886

※ 申請日： 100.11.16

※IPC 分類：H01L 21/8242 (2006.01)

H01L 29/108 (2006.01)

一、發明名稱：(中文/英文)

雙閘極4F2動態隨機存取記憶體CHC單元及其製造方法

A DOUBLE GATED 4F2 DRAM CHC CELL AND METHODS OF  
FABRICATING THE SAME

二、中文發明摘要：

本發明提供一種半導體裝置，其包含一鰭(12)，該鰭(12)具有在一第一溝渠(24)中形成於該鰭(12)之一第一側壁上之一第一閘極(54)及一第二閘極(42)，其中該第一閘極(54)係形成於該第二閘極(42)上方。該裝置包含在一第二溝渠(24)中形成於該鰭(12)之一第二側壁上之一第三閘極(54)及一第四閘極(42)，其中該第三閘極(54)係形成於該第四閘極(42)上方。本發明亦包含製作及運作該裝置之方法。一種運作方法可包含加偏壓於該第一閘極(54)及該第四閘極(42)以跨越該鰭(12)形成一電流路徑(124)。

### 三、英文發明摘要：

A semiconductor device is provided that includes a fin (12) having a first gate (54) and a second gate (42) formed on a first sidewall of the fin (12) in a first trench (24), wherein the first gate (54) is formed above the second gate (42). The device includes a third gate (54) and a fourth gate (42) formed on a second sidewall of the fin (12) in a second trench (24), wherein the third gate (54) is formed above the fourth gate (42). Methods of manufacturing and operating the device are also included. A method of operation may include biasing the first gate (54) and the fourth gate (42) to create a current path (124) across the fin (12).

## 七、申請專利範圍：

1. 一種半導體裝置，其包括：
  - 一第一鰭及一第二鰭，其由一溝渠隔開；
  - 一第一導體，其安置於該溝渠中並實質上平行於該第一鰭之一側壁及該第二鰭之一側壁延伸以形成一第一閘極；及
  - 一第二導體，其安置於該溝渠中在該第一導體上方並實質上平行該第一鰭之該側壁及該第二鰭之該側壁延伸以形成一第二閘極，其中該第二導體係與該第一導體電隔離。
2. 如請求項1之半導體裝置，其包括安置於該溝渠之一底部表面上以及該第一鰭及該第二鰭之該等側壁上之一第一氧化物。
3. 如請求項2之半導體裝置，其包括安置於該第二閘極上以及該第一鰭及該第二鰭之該等側壁上之一第二氧化物。
4. 如請求項3之半導體裝置，其包括安置於該第一氧化物上之一第一襯裡及安置於該第二氧化物上之一第二襯裡。
5. 如請求項4之半導體裝置，其中該第一襯裡及該第二襯裡包括氮化錫。
6. 如請求項1之半導體裝置，其中該第一導體及該第二導體包括錫或鎢。
7. 一種製造一半導體裝置之方法，其包括：

形成一第一緒之一第一側壁，該第一側壁沿一第一方向延伸；

形成一第二緒之一第二側壁，該第二側壁沿該第一方向延伸，其中該第一側壁與該第二側壁大致界定具有一底部表面之一溝渠；

在該第一側壁、該第二側壁及該底部表面上沈積一第一氧化物；

在該第一氧化物上沈積一第一襯裡；

在該第一襯裡上沈積一第一導體以形成一第一閘極；

在該第一側壁、該第二側壁及該第一導體上沈積一第二氧化物；

在該第二氧化物上沈積一第二襯裡；及

在該第二襯裡上沈積一第二導體以形成一第二閘極。

8. 如請求項7之方法，其包括蝕刻該第一導體以形成該第一閘極。
9. 如請求項7之方法，其包括蝕刻該第二導體以形成該第二閘極。
10. 如請求項7之方法，其中該第一氧化物係厚於該第二氧化物。
11. 如請求項7之方法，其包括：

形成該第一緒之一第三側壁，該第三側壁沿該第一方向延伸；

形成一第三緒之一第四側壁，該第四側壁沿該第一方向延伸，其中該第三側壁與該第四側壁大致界定具有一

第二底部表面之一第二溝渠。

12. 如請求項11之方法，其包括：

在該第三側壁、該第四側壁及該第二底部表面上沈積一第三氧化物；

在該第三氧化物上沈積一第三襯裡；

在該第三襯裡上沈積一第三導體以形成一第三閘極；

在該第三側壁、該第四側壁及該第三閘極上沈積一第四氧化物；

在該第四氧化物上沈積一第四襯裡；及

在該第四襯裡上沈積一第四導體以形成一第二閘極。

13. 如請求項12之方法，其中該第三閘極係相對於該第二底部表面自該第一閘極垂直偏移。

14. 如請求項12之方法，其中該第四閘極係相對於該第二底部表面自該第二閘極垂直偏移。

15. 一種運作一半導體裝置之方法，其包括：

加偏壓於形成於一鰭之一第一側上之一上部閘極，其中該鰭自一基板之一基底垂直延伸；及

加偏壓於形成於該鰭之一第二側上之一下部閘極，其中該上部閘極係形成於較該下部閘極距該基底之一較大距離處，且

其中加偏壓於該上部閘極及加偏壓於該下部閘極跨越該鰭自該上部閘極至該下部閘極形成一電流路徑。

16. 如請求項15之方法，其中該電流路徑運作該鰭之一或多個電晶體。

17. 如請求項15之方法，其包括加偏壓於該上部閘極至一第一電壓且加偏壓於該下部閘極至第二電壓。
18. 如請求項17之方法，其中該第一電壓係實質上等於該第二電壓。
19. 如請求項17之方法，其包括加偏壓於該上部閘極及該下部閘極，而不同時加偏壓於形成於該鰭之該第二側上之一第二上部閘極。
20. 如請求項18之方法，其包括加偏壓於該上部閘極及該下部閘極，而不同時加偏壓於形成於該鰭之該第一側上之一第二下部閘極。
21. 如請求項20之方方法，其包括加偏壓於該第二上部閘極至一第三電壓，其中該第三電壓係小於該第一電壓。
22. 如請求項21之方法，其包括加偏壓於該第二下部閘極至一第四電壓，其中該第四電壓係小於該第二電壓。
23. 一種半導體裝置，其包括：
  - 一半導體鰭；
  - 一第一下部閘極，其形成於一第一溝渠中毗鄰該半導體鰭之一第一側；
  - 一第一上部閘極，其形成於該第一溝渠中在該第一下部閘極上；及
  - 一第二下部閘極，其形成於一第二溝渠中毗鄰該半導體鰭之一第二側。
24. 如請求項23之半導體裝置，其包括形成於該第二溝渠中在該第二下部閘極上之一第二上部閘極。

25. 如請求項24之半導體裝置，其中該第一下部閘極及該第一上部閘極係相對於該第一溝渠之一底部表面及該第二溝渠之一底部表面自該第二下部閘極及該第二上部閘極垂直偏移。
26. 如請求項24之半導體裝置，其中該第一上部閘極包括一第一導體，該第一下部閘極包括一第二導體，該第二上部閘極包括一第三導體，且該第二下部閘極包括一第四導體。
27. 如請求項26之半導體裝置，其中該半導體緒包括實質上靠近該緒之一部分安置於該第一上部閘極與該第一下部閘極之間的一經重摻雜區域。
28. 如請求項27之半導體裝置，其中該經重摻雜區域包括n+摻雜、n-摻雜或p-摻雜。
29. 一種運作一半導體裝置之方法，其包括：  
加偏壓於一緒式場效應電晶體之一第一側壁上之一第一閘極至一第一電壓；  
加偏壓於一緒式場效應電晶體之一第二側壁上之一第二閘極至一第二電壓；  
穿過該緒式場效應電晶體形成一電流路徑，其中該第一閘極係相對於該基板垂直安置於該第二閘極上方。
30. 如請求項29之方法，其中跨越該第一閘極之一第一平面及該第二閘極之一第二平面形成該電流路徑。
31. 如請求項29之方法，其中加偏壓於該第一閘極及加偏壓於該第二閘極包括存取該緒式場效應電晶體之一存取線。

八、圖式：

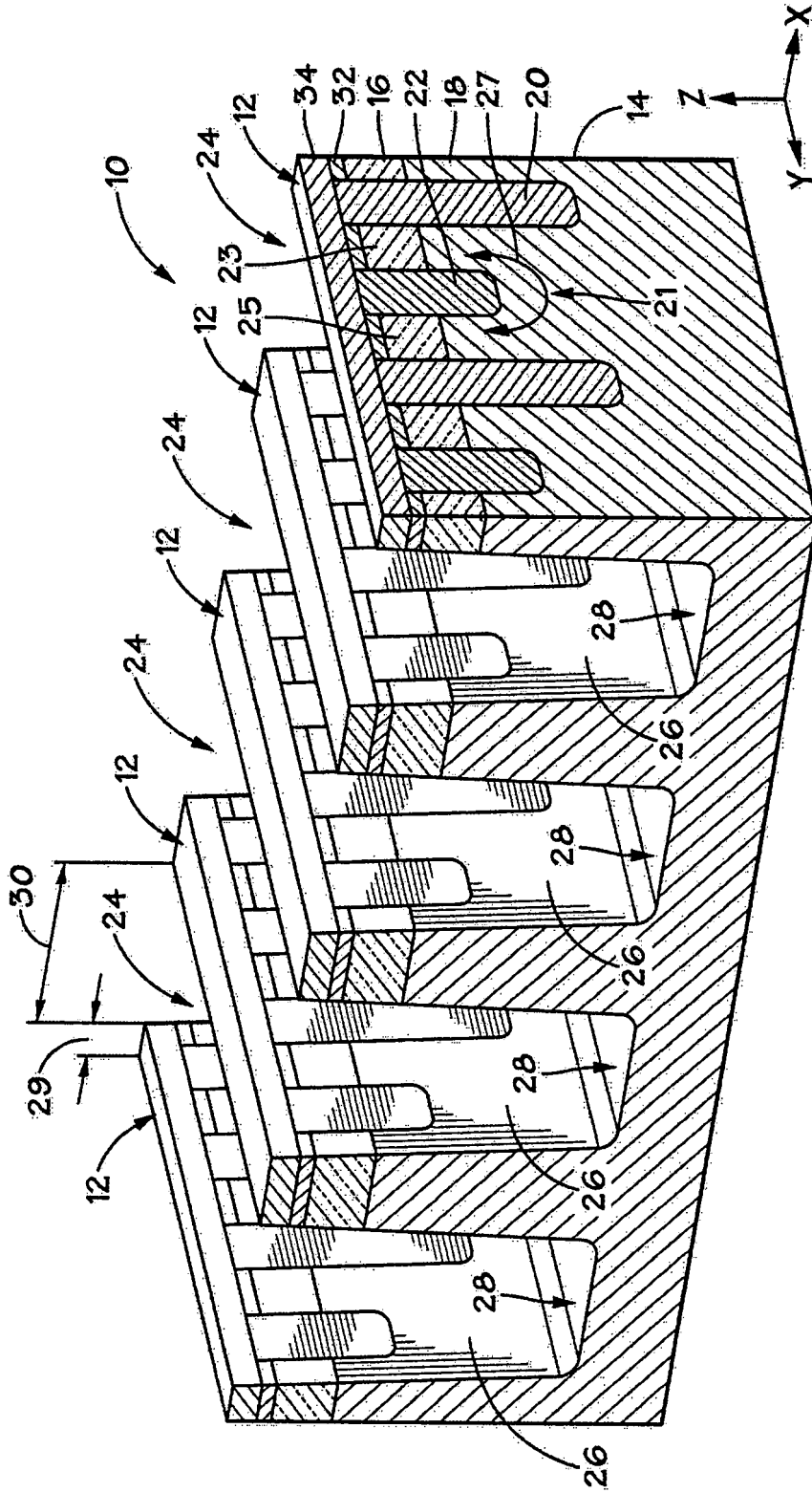


圖 1



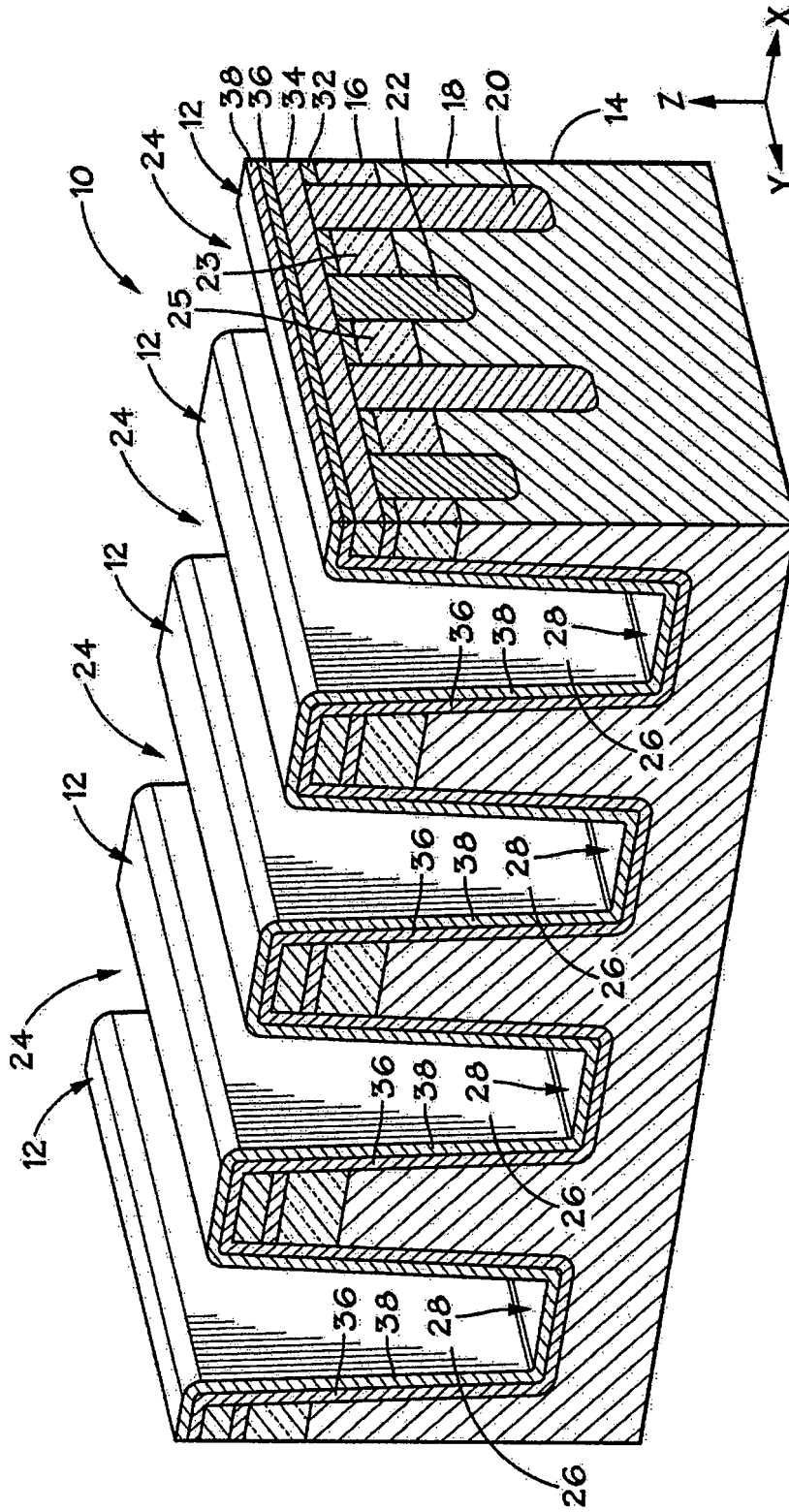


圖 3

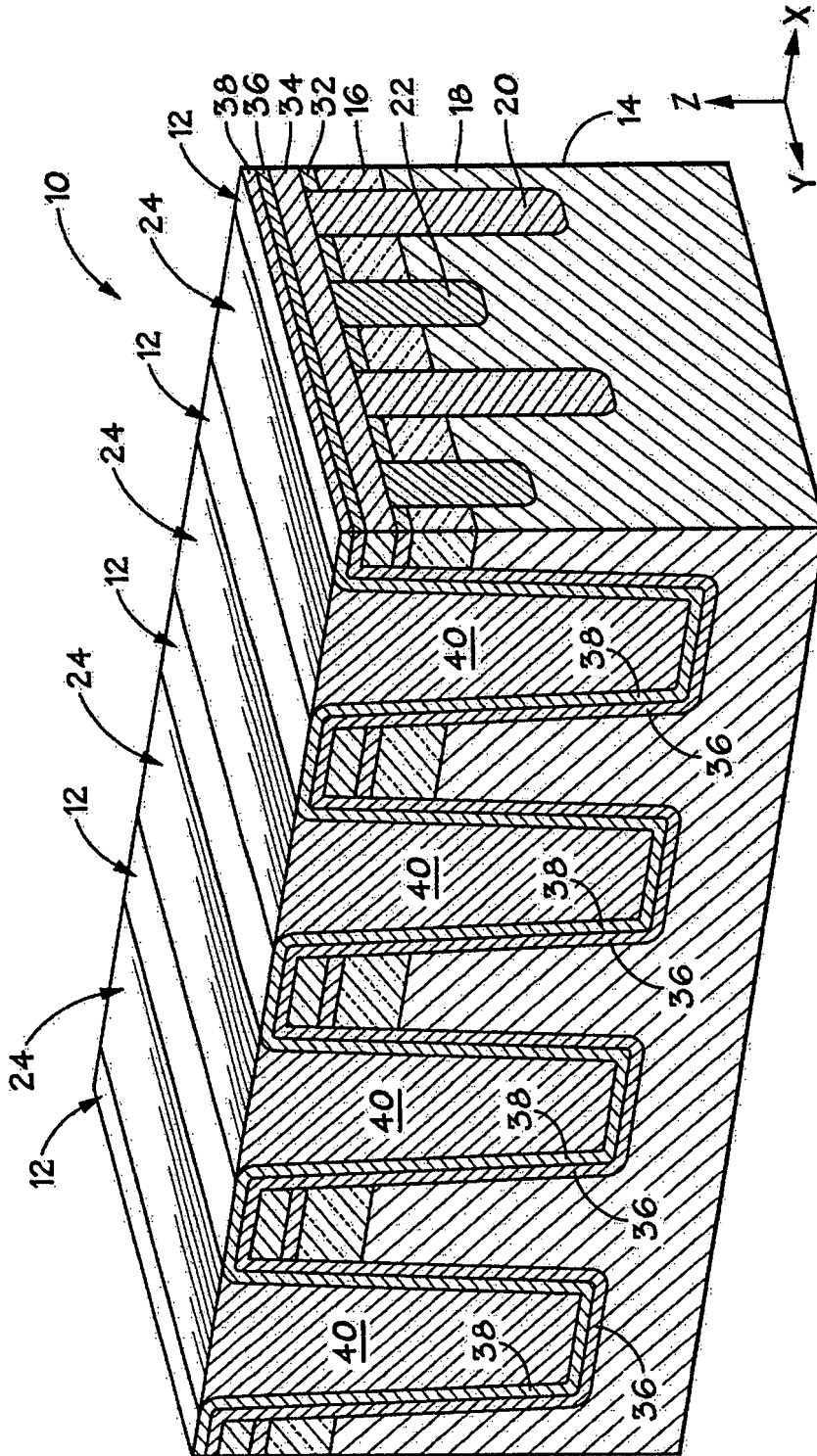


圖 4

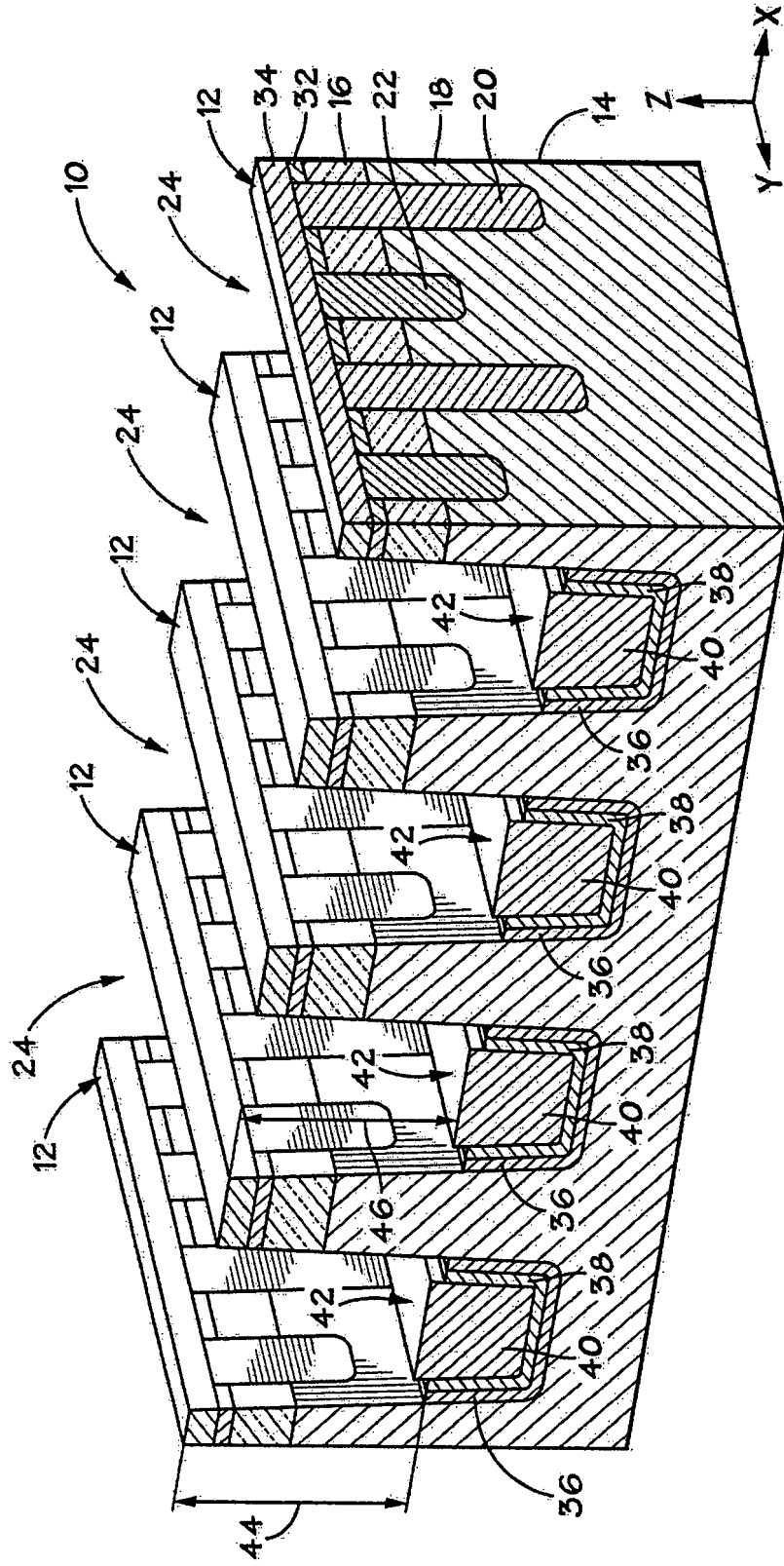


圖 5

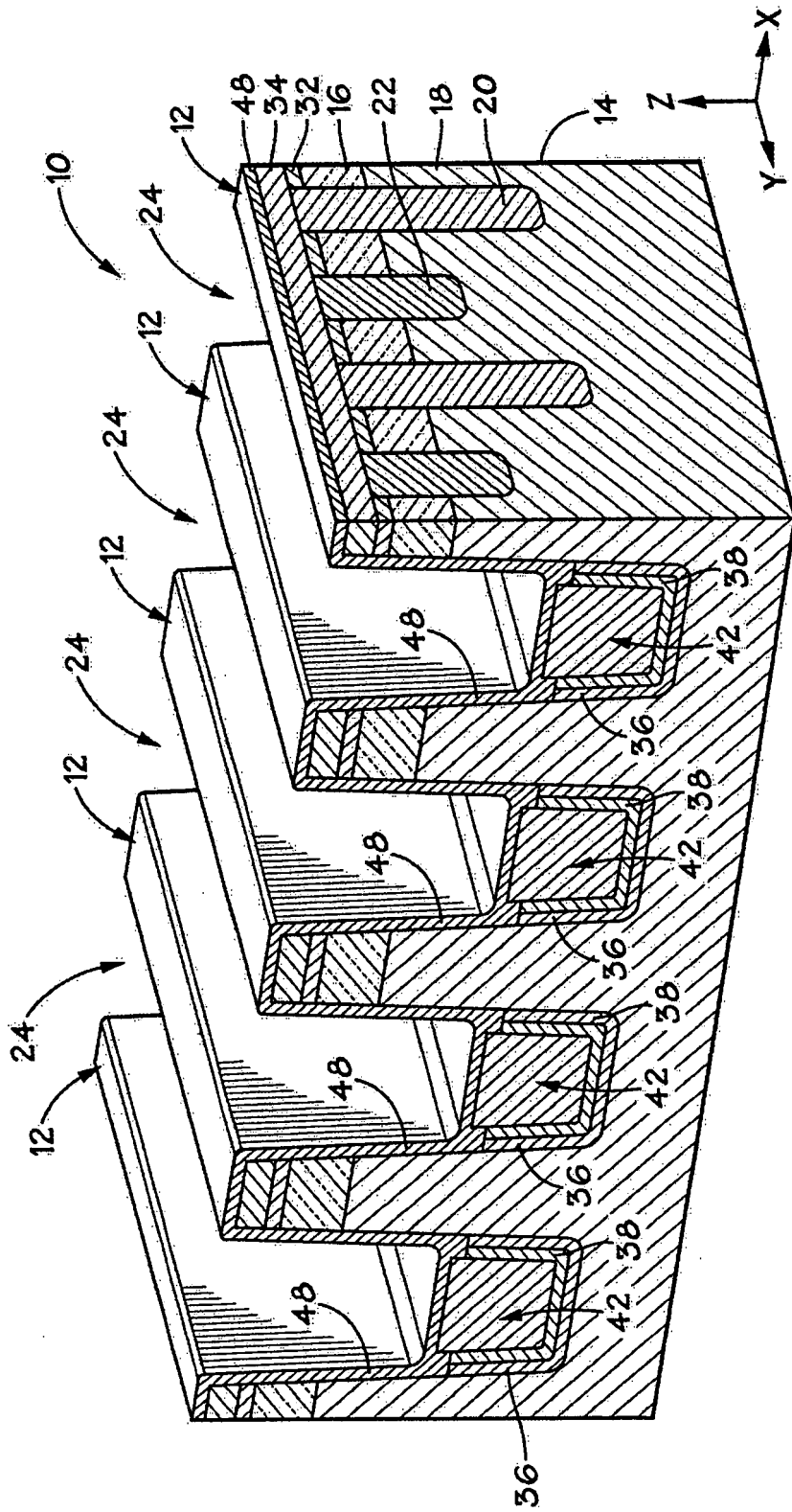


圖 6

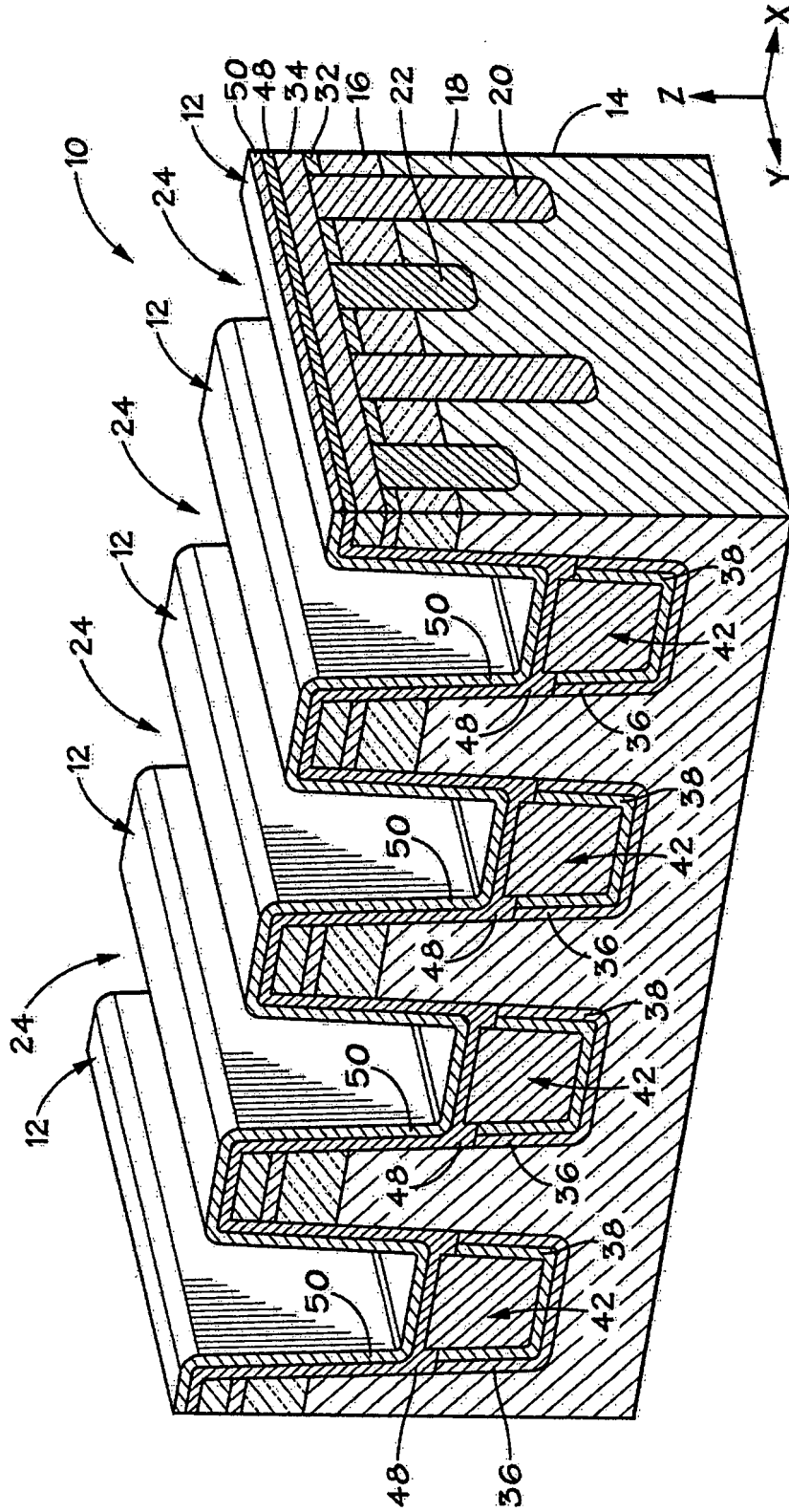


圖 7

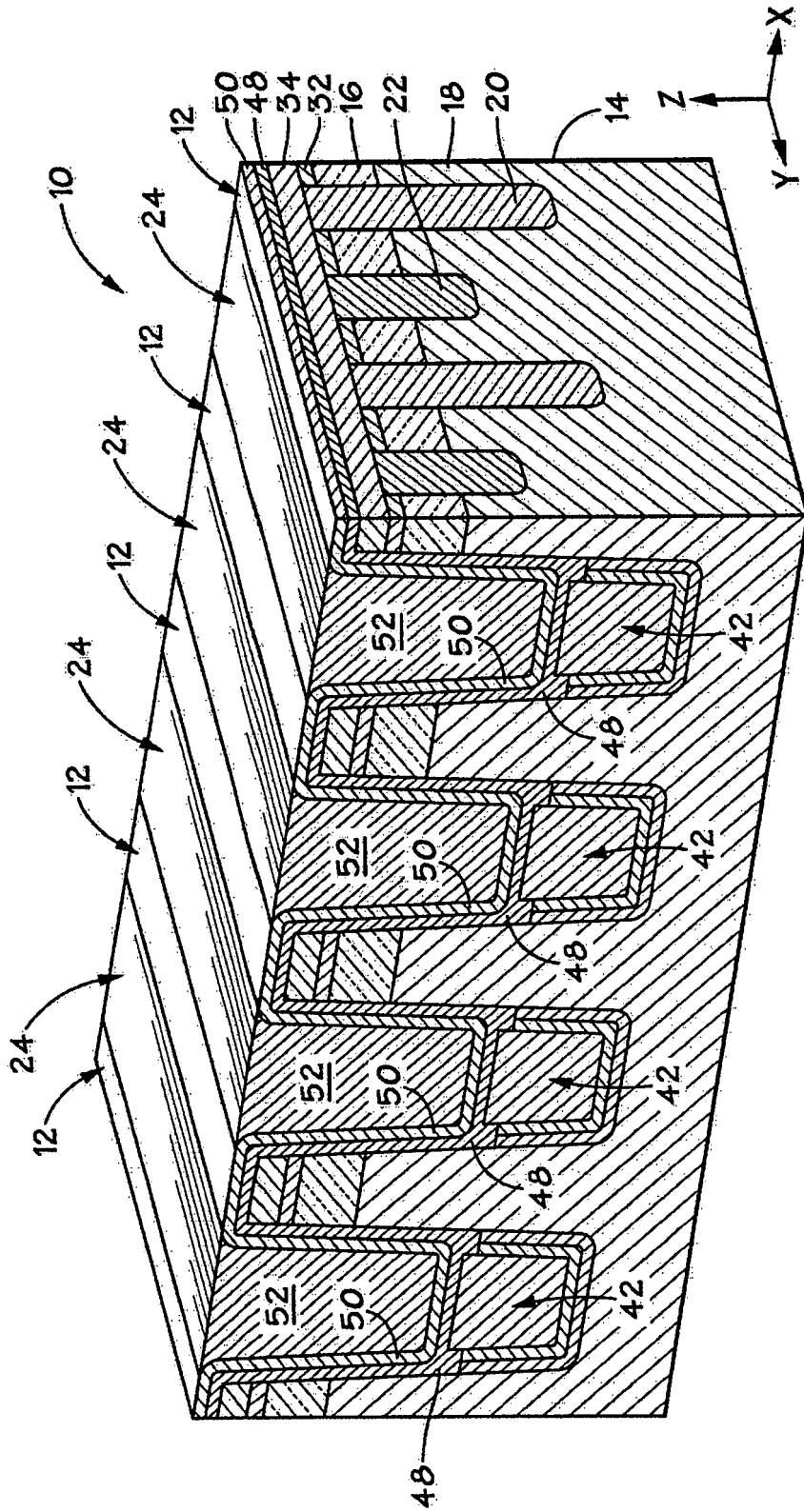


圖 8

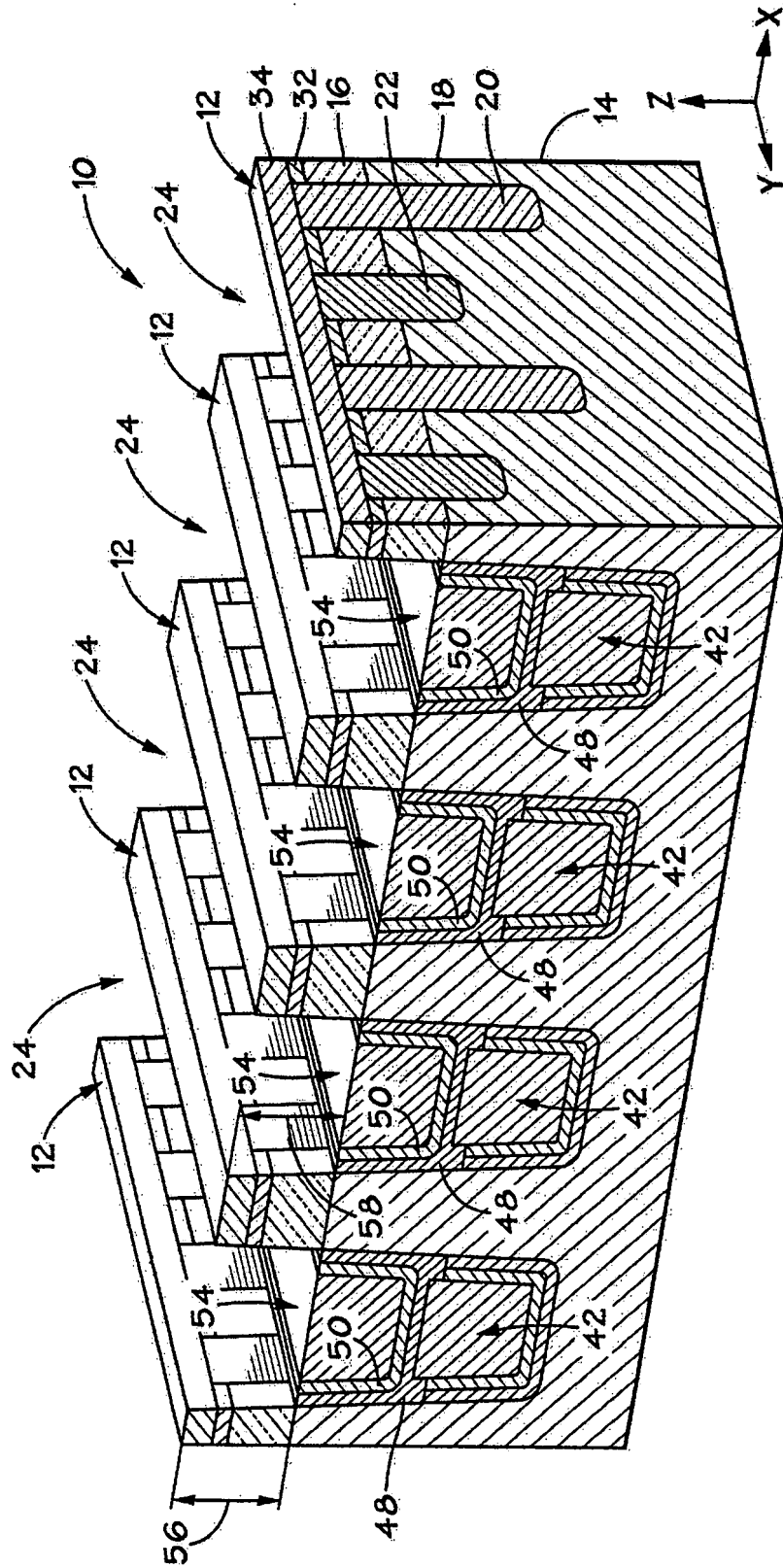


圖 9

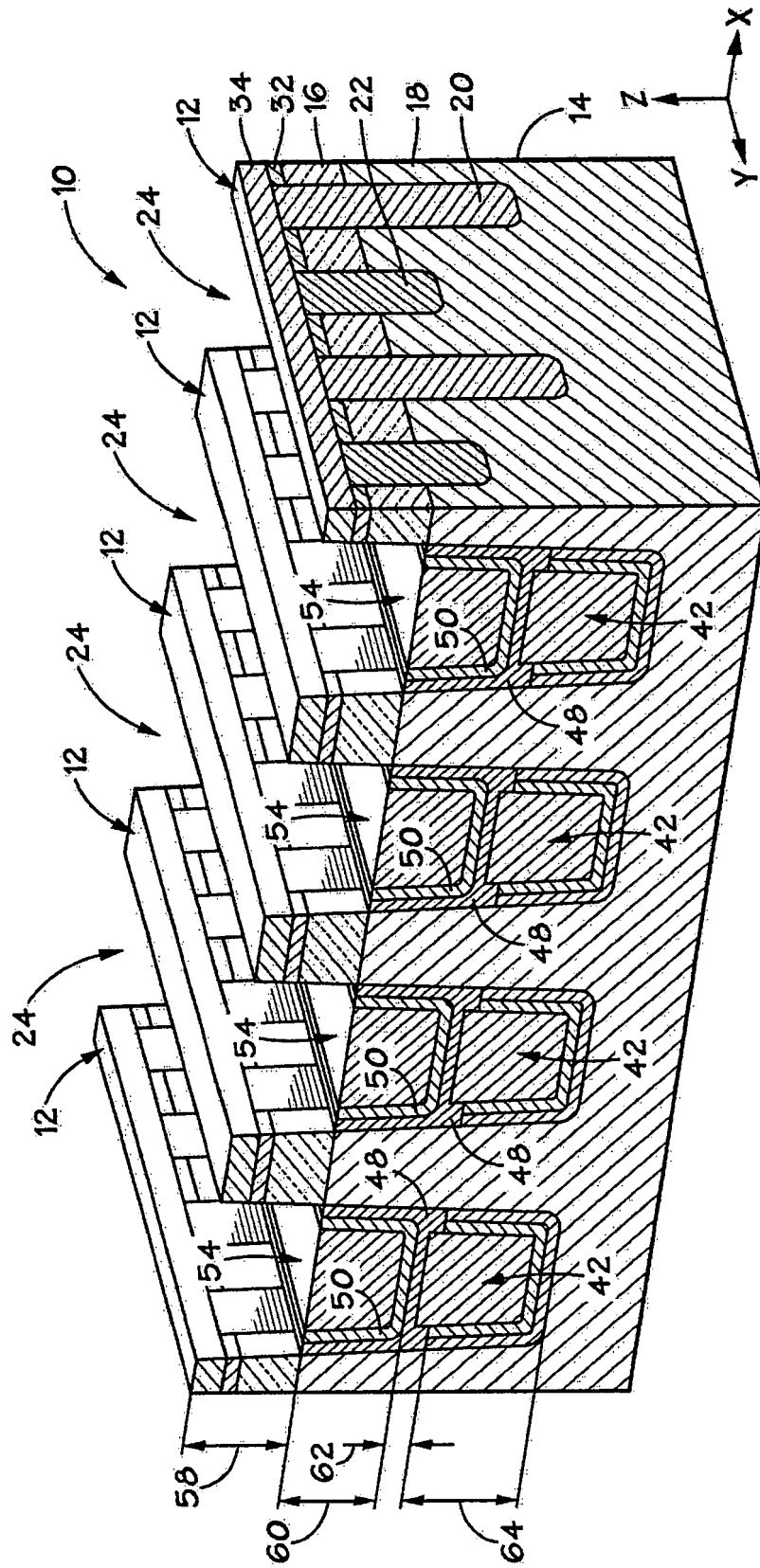


圖 10

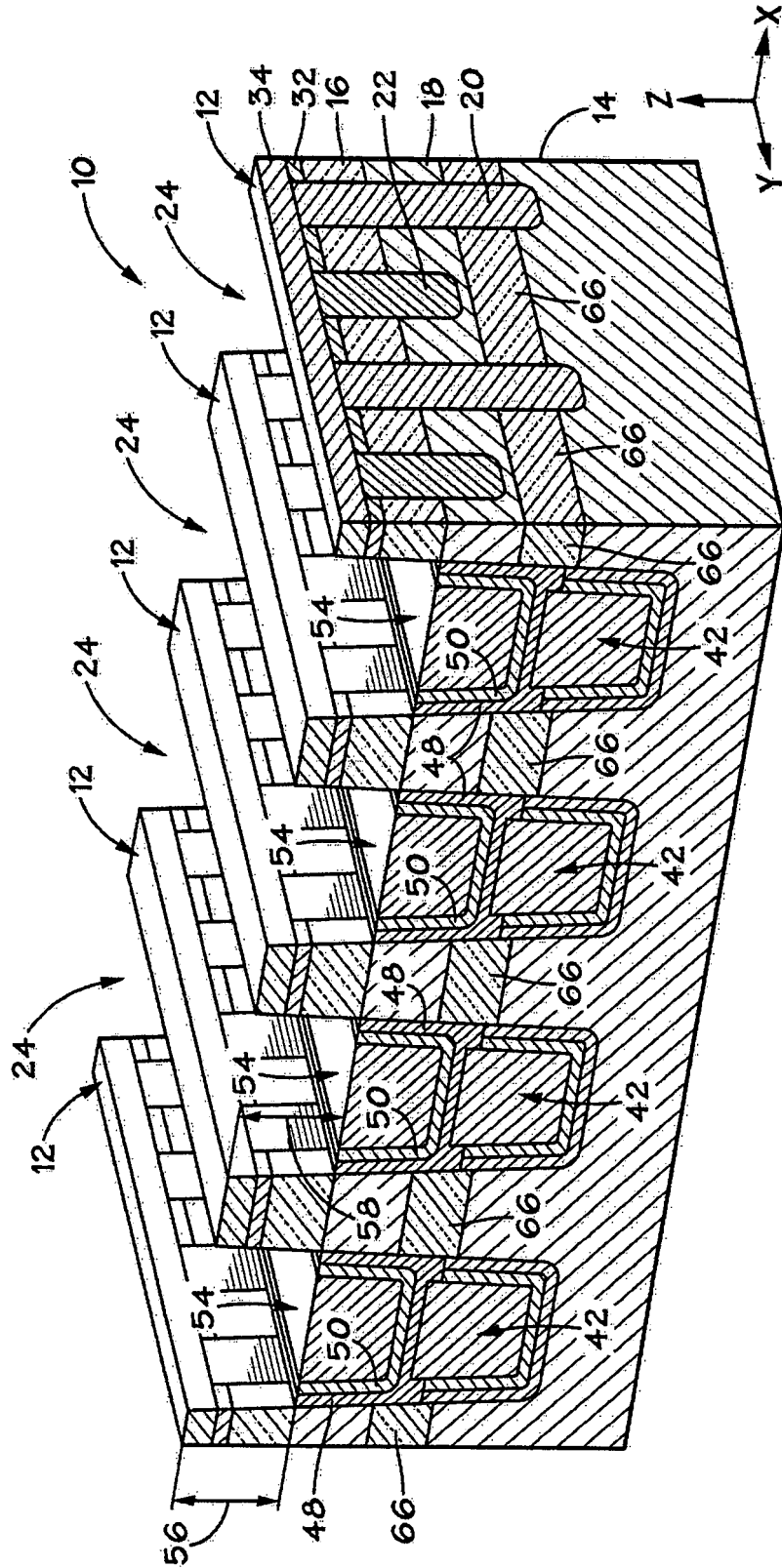


圖 11



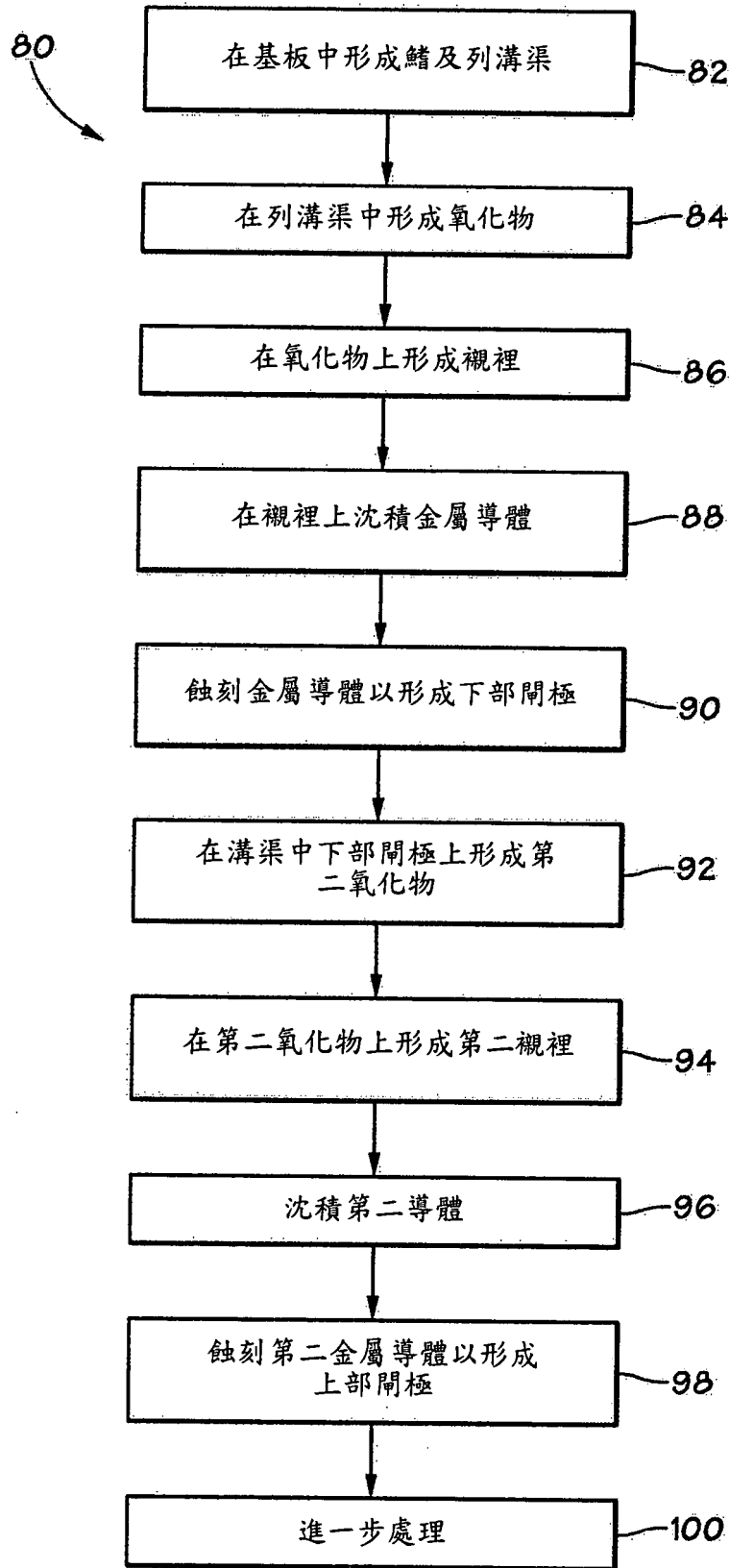


圖13

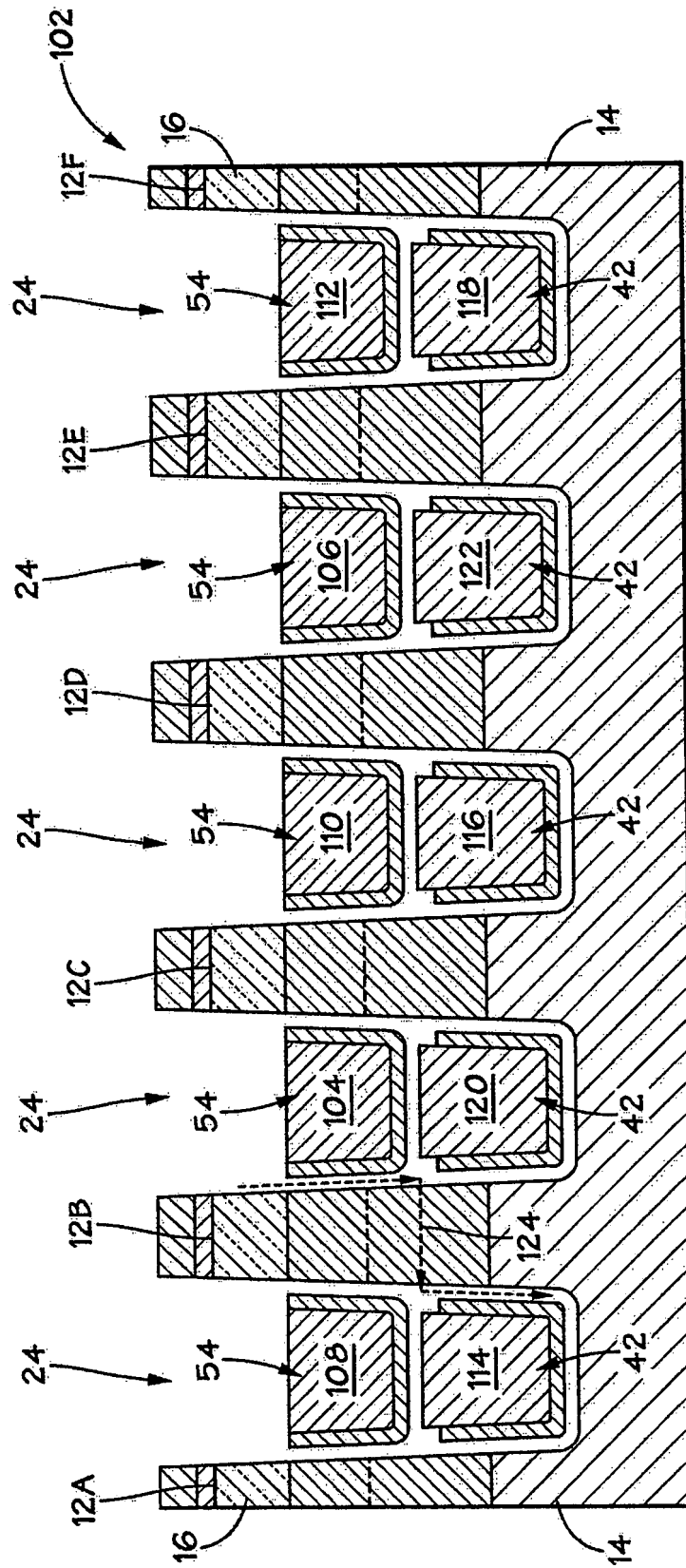


圖 14

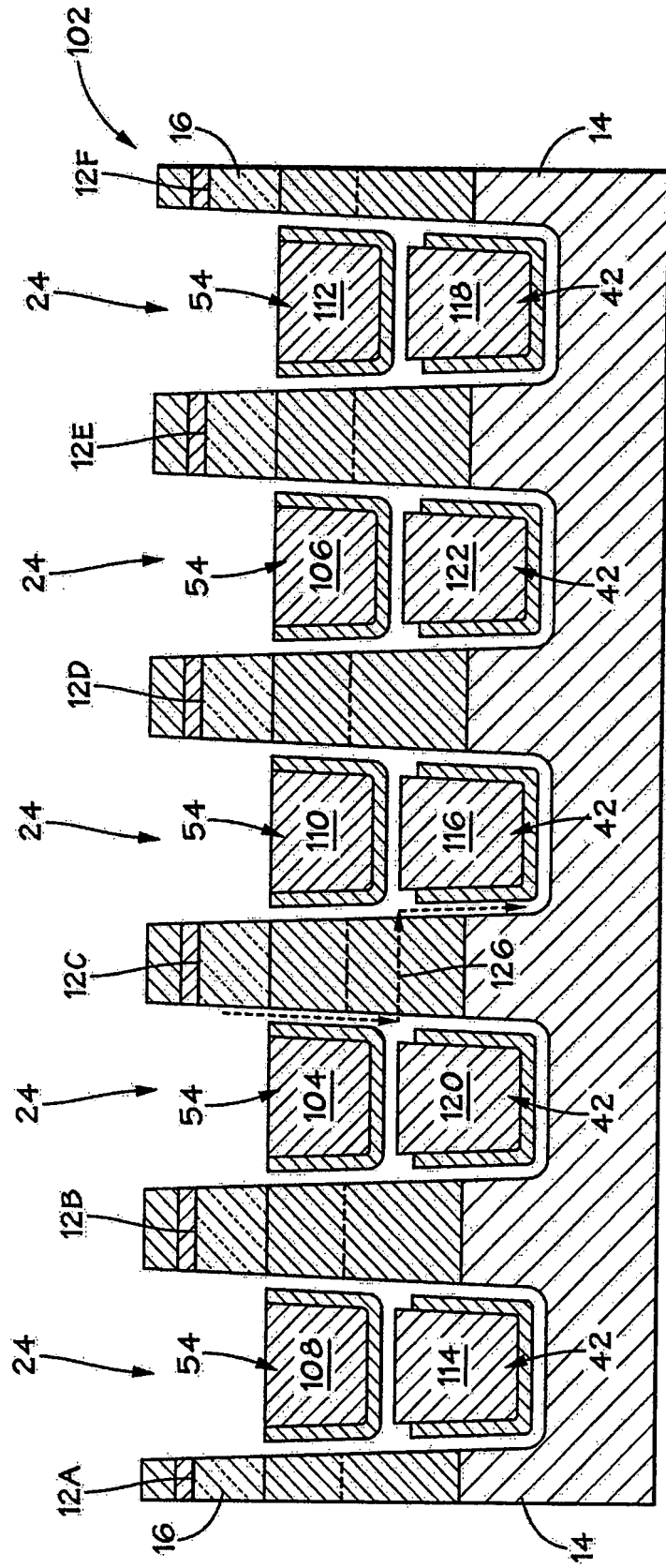


圖 15

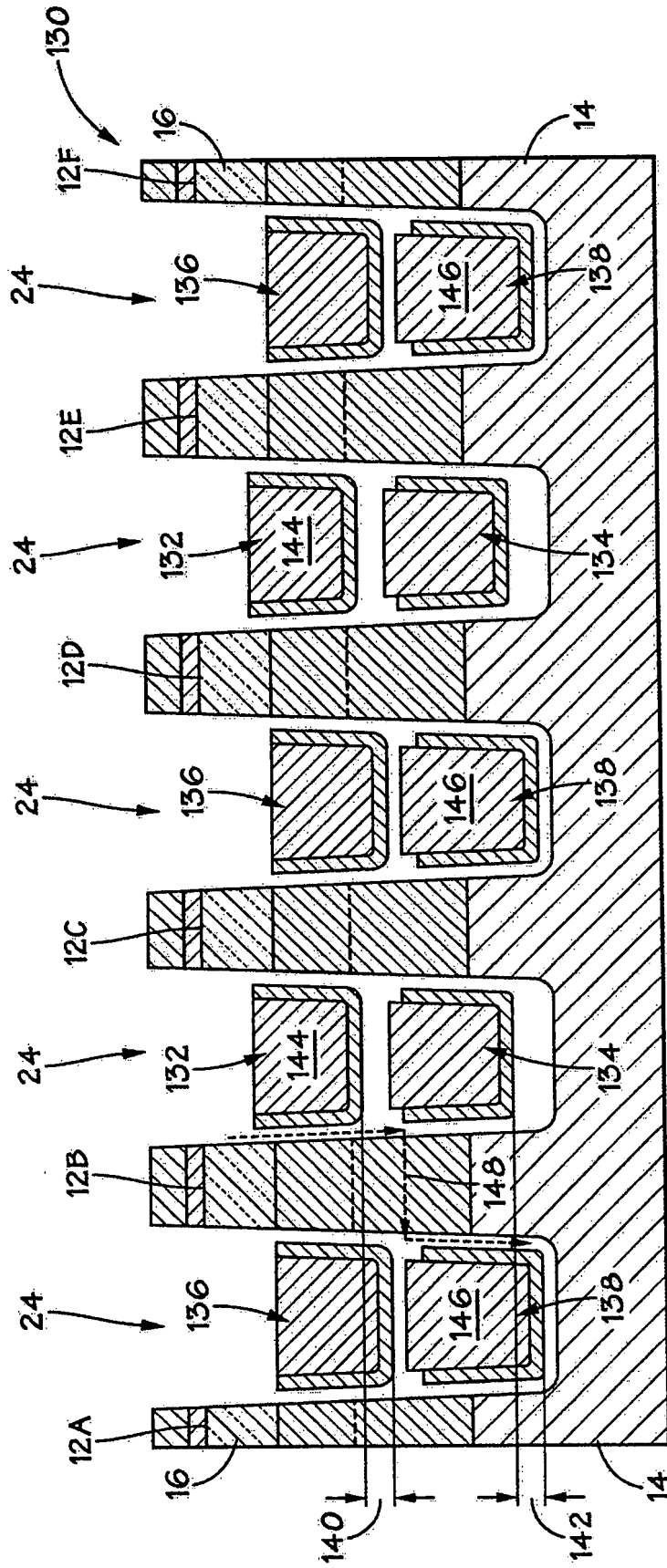


圖 16

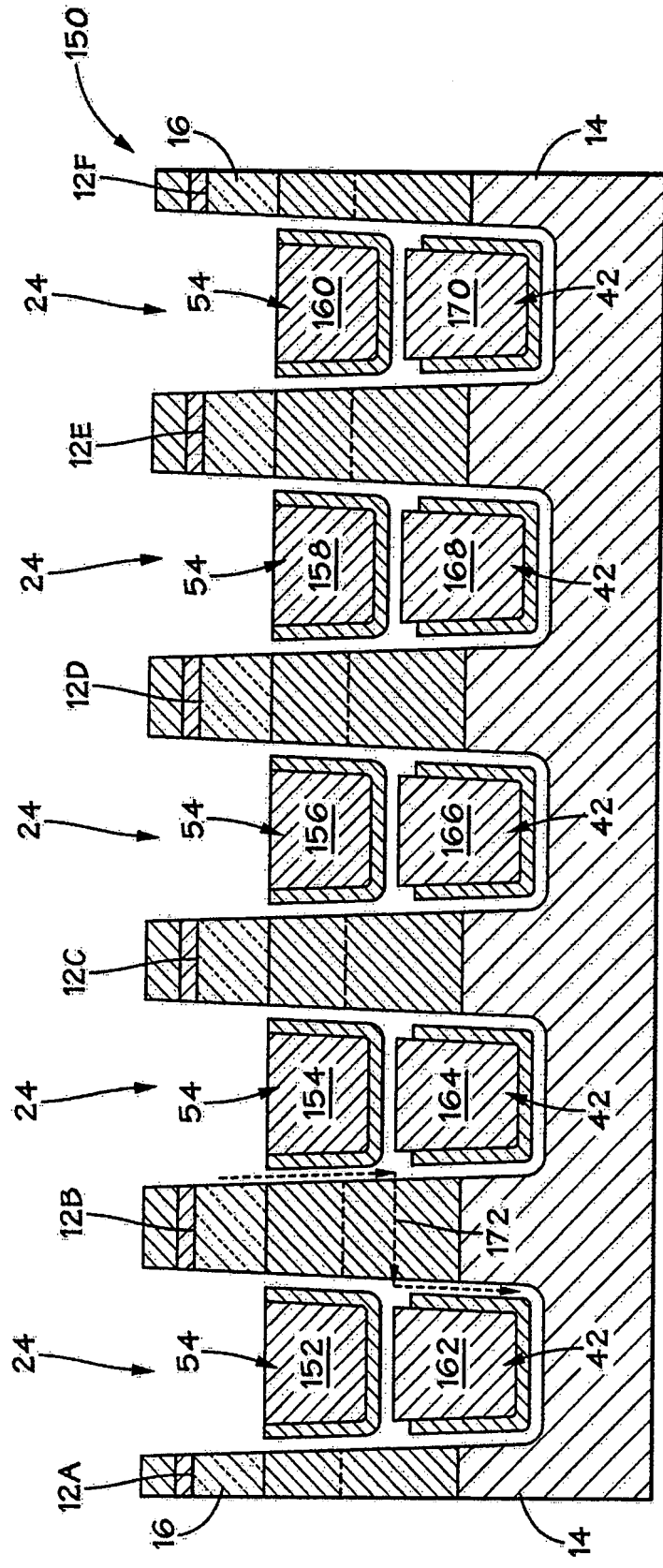


圖 17

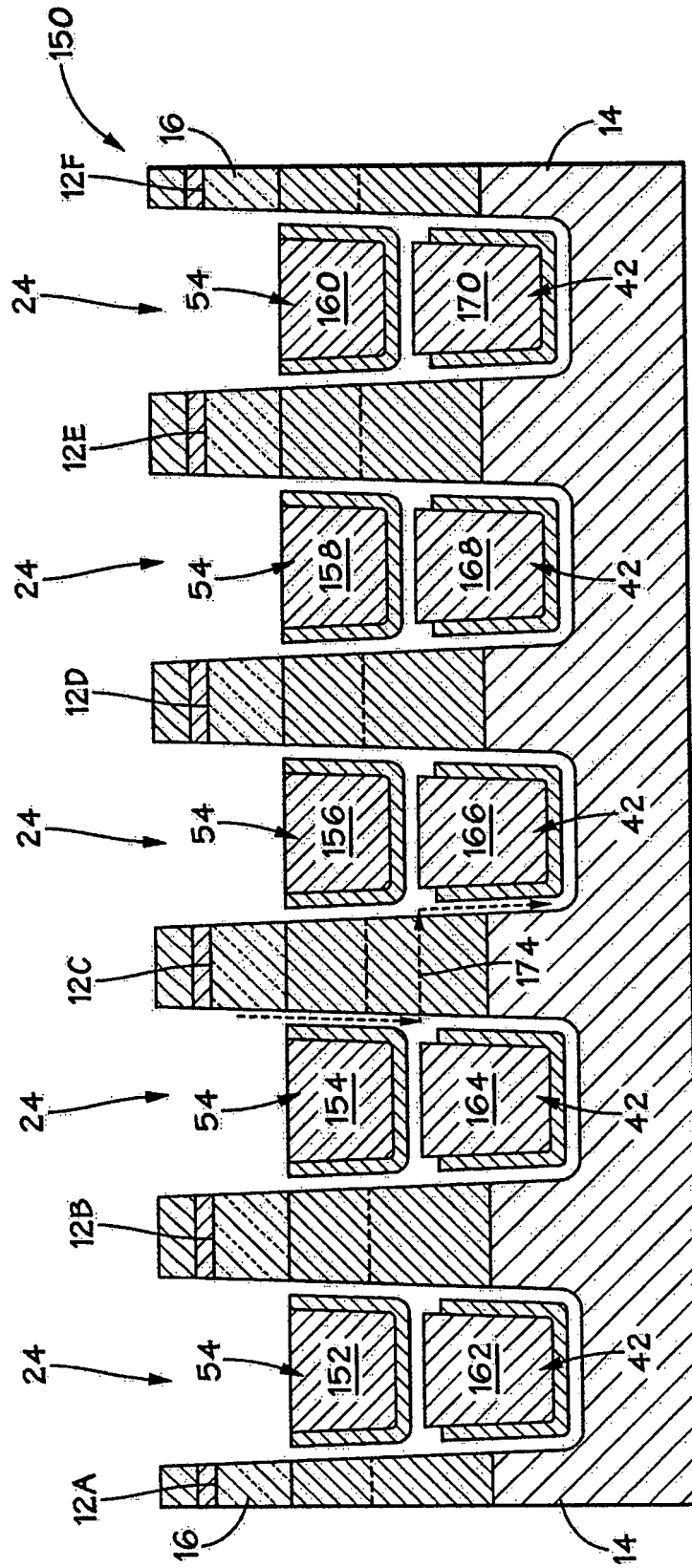


圖 18

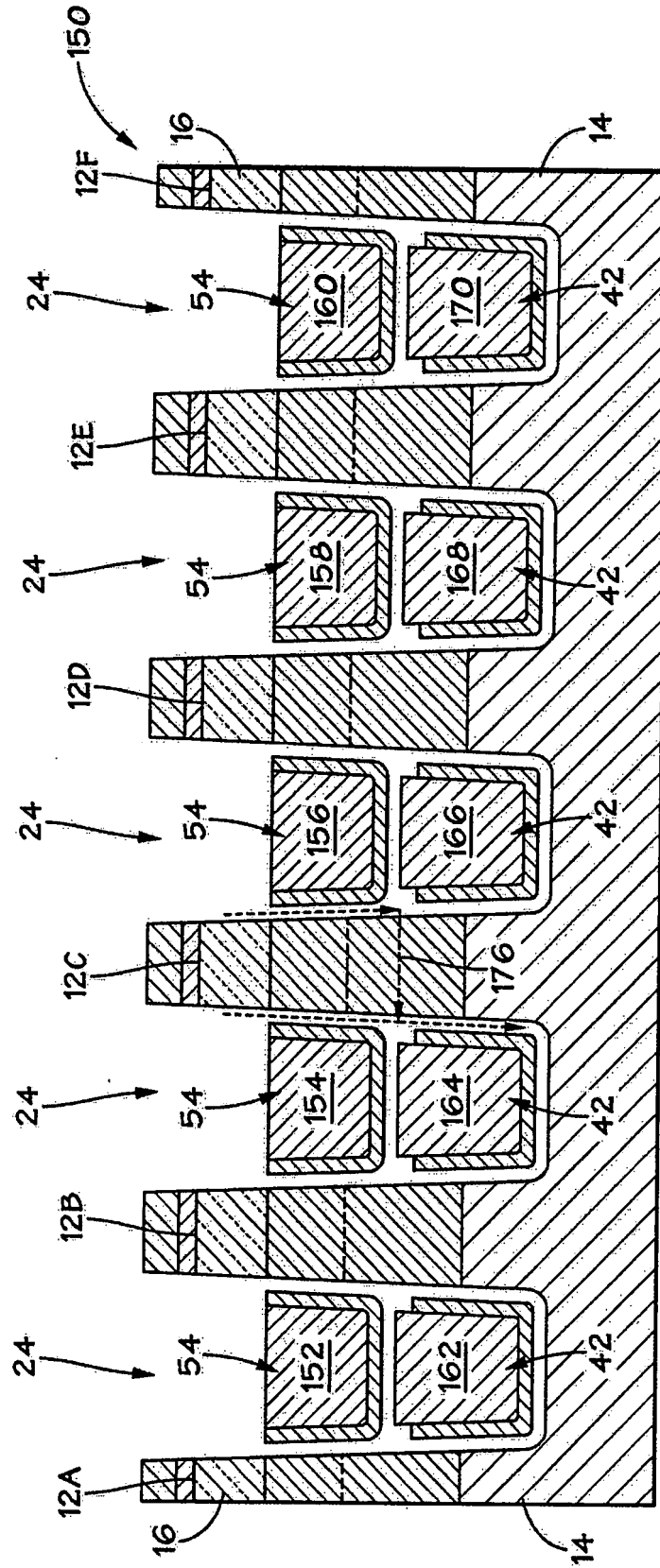


圖 19

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 14 ) 圖。

(二)本代表圖之元件符號簡單說明：

12A	緒
12B	緒
12C	緒
12D	緒
12E	緒
12F	緒
14	基板
16	上部經摻雜區域
24	列溝渠
42	下部閘極
54	上部閘極
102	陣列部分
104	作用中上部閘極
106	作用中上部閘極
108	非作用中上部閘極
110	非作用中上部閘極
112	非作用中上部閘極
114	作用中下部閘極
116	作用中下部閘極
118	作用中下部閘極
120	非作用中下部閘極

- 122 非作用中下部閘極  
124 電流路徑

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)