



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I492544 B

(45)公告日：中華民國 104 (2015) 年 07 月 11 日

(21)申請案號：099134759

(22)申請日：中華民國 99 (2010) 年 10 月 12 日

(51)Int. Cl. : **H03K7/08 (2006.01)**

(30)優先權：2009/10/28 日本

2009-247700

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：王丸拓郎 OHMARU, TAKURO (JP)；伊藤良明 ITO, YOSHIAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200705791A

US 6577186B2

US 6674656B1

US 20030048098A1

審查人員：蘇齊賢

申請專利範圍項數：4 項 圖式數：6 共 25 頁

(54)名稱

脈寬調變限制器電路

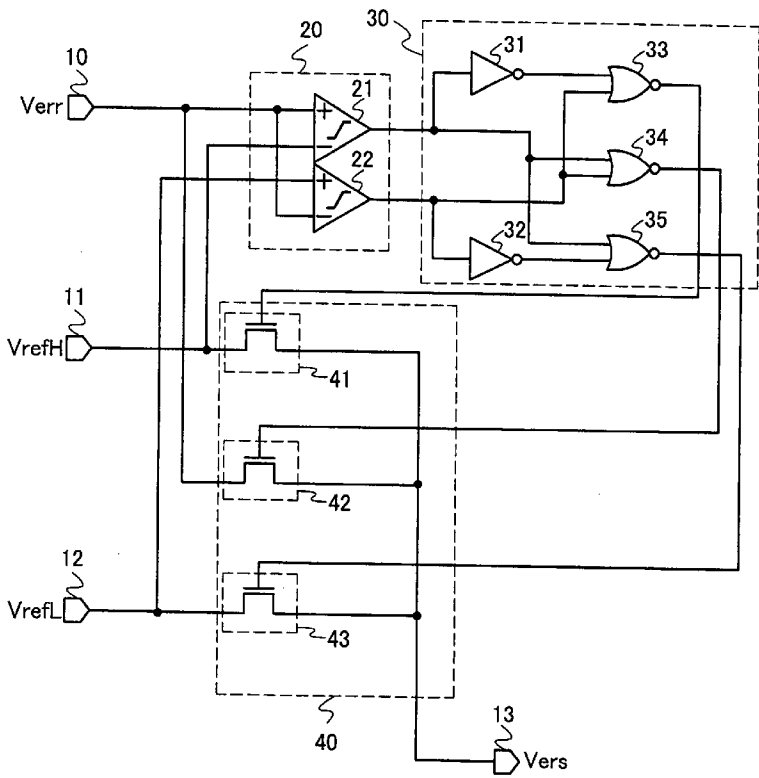
PWM LIMITER CIRCUIT

(57)摘要

脈寬調變(PWM)信號的負載比可在例如脈寬調變控制剛啟動後被防止變為零。一脈寬調變限制器電路具有一種可以防止脈寬調變限制器電路所輸出之信號高於某一值或低於某一值的結構。脈寬調變限制器電路包含有一比較器電路、一控制器電路、以及一開關電路。最高負載比參考電壓 V_{refH} 輸入至一第一輸入端。最低負載比參考電壓 V_{refL} 輸入至一第二輸入端。由一誤差放大器所輸出的電壓 V_{err} 輸入至一第三輸入端。

The duty ratio of a PWM signal is prevented from being zero immediately after the start of PWM control, for example. A PWM limiter circuit has a structure with which a signal output from the PWM limiter circuit can be prevented from being higher than a certain value or lower than a certain value. The PWM limiter circuit includes a comparator circuit, a controller circuit, and a switch circuit. The highest duty ratio reference voltage V_{refH} is input to a first input terminal. The lowest duty ratio reference voltage V_{refL} is input to a second input terminal. Voltage V_{err} output from an error amplifier is input to a third input terminal.

第1圖



- 10 . . . 輸入端
- 11 . . . 輸入端
- 12 . . . 輸入端
- 13 . . . 輸出端
- 20 . . . 比較器電路
- 21 . . . 比較器
- 22 . . . 比較器
- 30 . . . 控制器電路
- 31 . . . 反閘
- 32 . . . 反閘
- 33 . . . 反或閘
- 34 . . . 反或閘
- 35 . . . 反或閘
- 40 . . . 開關電路
- 41 . . . 開關
- 42 . . . 開關
- 43 . . . 開關

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099134759

※申請日：099 年 10 月 12 日

※IPC 分類：H03K 7/08 (2006.01)

一、發明名稱：(中文／英文)

脈寬調變限制器電路

PWM limiter circuit

二、中文發明摘要：

脈寬調變 (PWM) 信號的負載比可在例如脈寬調變控制剛啟動後被防止變為零。一脈寬調變限制器電路具有一種可以防止脈寬調變限制器電路所輸出之信號高於某一值或低於某一值的結構。脈寬調變限制器電路包含有一比較器電路、一控制器電路、以及一開關電路。最高負載比參考電壓 V_{refH} 輸入至一第一輸入端。最低負載比參考電壓 V_{refL} 輸入至一第二輸入端。由一誤差放大器所輸出的電壓 V_{err} 輸入至一第三輸入端。

三、英文發明摘要：

The duty ratio of a PWM signal is prevented from being zero immediately after the start of PWM control, for example. A PWM limiter circuit has a structure with which a signal output from the PWM limiter circuit can be prevented from being higher than a certain value or lower than a certain value. The PWM limiter circuit includes a comparator circuit, a controller circuit, and a switch circuit. The highest duty ratio reference voltage V_{refH} is input to a first input terminal. The lowest duty ratio reference voltage V_{refL} is input to a second input terminal. Voltage V_{err} output from an error amplifier is input to a third input terminal.

四、指定代表圖：

(一) 本案指定代表圖為：第 (1) 圖。

(二) 本代表圖之元件符號簡單說明：

10：輸入端

11：輸入端

12：輸入端

13：輸出端

20：比較器電路

21：比較器

22：比較器

30：控制器電路

31：反閘

32：反閘

33：反或閘

34：反或閘

35：反或閘

40：開關電路

41：開關

42：開關

43：開關

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明的技術領域係有關於一種脈寬調變（PWM）限制器電路，可應用至電源電路或類似者上（例如交換調整器）。

【先前技術】

應用於電源電路上的脈寬調變（Pulse Width Modulation，PWM）控制係藉由改變一脈寬調變信號的負載比而升高或降低輸入電壓。

第5圖顯示出一脈寬調變控制電路的結構範例。此脈寬調變控制電路包含有一誤差放大器50、一參考電壓產生電路60、一脈寬調變限制器電路70、一用以產生三角波的振盪器80、以及一脈寬調變比較器90。

誤差放大器50可放大反饋電壓 V_{fb} 及參考電壓間的差值，並輸出電壓 V_{err} 。

參考電壓產生電路60可產生該參考電壓及參考電壓 V_{ref} 。

脈寬調變限制器電路70藉由將由誤差放大器50輸出之電壓 V_{err} 與參考電壓 V_{ref} 互相比較而控制其輸出電壓 V_{ers} 。

振盪器80可產生三角波 V_{osc} ，其係生成一脈寬調變信號所需的信號。

脈寬調變比較器90可由自脈寬調變限制器電路70輸

出之電壓 V_{ers} 及振盪器 80 內所產生之三角波 V_{osc} 來輸出一脈寬調變信號。

在脈寬調變控制中，當由脈寬調變信號之脈波寬度相對於該脈寬調變信號之週期的比值所代表的負載比是高於或等於一特定比值（80%）時，可能會產生諧波雜訊。再者，元件可能會被過大電流的供給而受損。

因此，為能在沒有上述問題下進行脈寬調變控制，其必須要做限制器控制，以防止脈寬調變信號的負載比高於某一比值。

參考文獻 1 中揭露一種藉由在誤差放大器的電壓輸出高於最高負載比電壓時輸入該最高負載比電壓至一比較器而得以控制脈寬調變信號的負載比，以供做為一種限制器控制的方法。

[參考文獻]

參考文獻 1：日本公開專利申請案第 H10-127047 號

【發明內容】

即使是在施行限制器控制來防止脈寬調變信號之負載比高於某一值的情形中，該脈寬調變信號的負載比在脈寬調變控制剛啟動時會为零，因此會產生例如因電流流經一線圈時的振鈴效應（Ringing）而生成雜訊及定電壓控制電路的不穩定作動等問題。

同樣的，在脈寬調變控制是以一種諸如太陽能電池之

類輸入電壓會大幅度波動的裝置做為電源來加以進行時，脈寬調變信號的負載比會为零。

一脈寬調變限制器電路具有一種可以防止脈寬調變限制器電路所輸出之信號高於某一值或低於某一值的結構。

本發明之一實施例係一脈寬調變限制器電路。該脈寬調變限制器電路包含有第一端，被輸入最高負載比參考電壓，第二端，被輸入最低負載比參考電壓，比較器，用以將輸入至第三端之電壓與該最高負載比參考電壓相比較，比較器，用以將輸入至該第三端之該電壓與該最低負載比參考電壓相比較，第一開關，係在輸入至該第三端之該電壓高於該最高負載比參考電壓時開通，第二開關，係在輸入至該第三端的該電壓低於該最低負載比參考電壓時開通，第三開關，係在輸入至該第三端之該電壓高於該最低負載比參考電壓並低於該最高負載比參考電壓時開通，以及一輸出端，其係電連接至該第一開關、該第二開關、以及該第三開關。

藉由控制脈寬調變信號來防止脈寬調變信號的負載比變為零，其可以抑制雜訊的產生及防止不穩定的運作。

【實施方式】

下文中將配合於圖式來說明本發明的實施例。應注意本發明並不侷限以下的說明。對於熟知此技藝之人士而言，可以輕易地理解到，在不脫離本發明的精神及範疇的情形下，本發明的模式及細節仍能以多種的方式來加以變化

。因此，本發明絕不應視為僅限於以下有關於這些實施例的說明而已。

(第一實施例)

第 1 圖是本實施例中之一脈寬調變限制器電路的電路圖。此脈寬調變限制器電路包含有一比較器電路 20、一控制器電路 30、以及一開關電路 40。

由一誤差放大器所輸出的電壓 V_{err} 輸入至一輸入端 10。

最高負載比參考電壓 V_{refH} 輸入至一輸入端 11。

最低負載比參考電壓 V_{refL} 輸入至一輸入端 12。

用以輸出該最高負載比參考電壓 V_{refH} 及該最低負載比參考電壓 V_{refL} 的電路可以是一運算放大器。

比較器電路 20 將該誤差放大器所輸出的電壓 V_{err} 與該最高負載比參考電壓 V_{refH} 或該最低負載比參考電壓 V_{refL} 相比較。

比較器電路 20 包含有比較器 21 及 22。

由該誤差放大器所輸出的電壓 V_{err} 輸入至比較器 21 的一非反相輸入端。最高負載比參考電壓 V_{refH} 輸入至比較器 21 的一反相輸入端。

最低負載比參考電壓 V_{refL} 輸入至比較器 22 的一非反相輸入端。由該誤差放大器所輸出的電壓 V_{err} 輸入至比較器 22 的一反相輸入端。

控制器電路 30 產生一信號，用以透過開關電路 40 控

制由比較器電路 20 輸出的信號。

控制器電路 30 包含有反閘 31 及 32，以及反或閘 33 至 35。

開關電路 40 包含有開關 41 至 43。在此，開關 41 至 43 是包含有 N 型金氧半導體（NMOS）電晶體的金氧半導體（MOS）開關。

在此，該等包含於開關電路 40 內的電晶體是薄膜電晶體，在通道層內包含有矽。應注意到，該等包含於開關電路 40 內的電晶體並不限於單閘極電晶體。諸如雙閘極電晶體之類的多閘極電晶體也可加以採用。

再者，該等包含於開關電路 40 內的電晶體的通道層並不限於矽。氧化物半導體或類似者亦可加以使用。

應注意到，該等開關 41 至 43 並不限於具有該等結構者，只要開關 41 至 43 的開通狀態及關閉狀態能依據來自控制器電路 30 的信號而切換即可。

由脈寬調變限制器電路輸出的電壓 V_{ers} 是輸出至一輸出端 13。

接下來將說明透過此脈寬調變限制器電路來控制脈寬調變信號的方法。

一脈寬調變信號的負載比的控制方式是將由該誤差放大器所輸出的電壓 V_{err} 與三角波 V_{osc} 在一脈寬調變比較器內互相比較，並將其間的差值加以放大。

脈寬調變比較器將由該誤差放大器所輸出的電壓 V_{err} 與該三角波 V_{osc} 互相比較。在該三角波 V_{osc} 的信號位準

高於由該誤差放大器所輸出的電壓 V_{err} 的情形中，則輸出一 H 位準（高位準）信號做為脈寬調變信號。相反的，在該三角波 V_{osc} 之信號位準低於由該誤差放大器所輸出的電壓 V_{err} 的情形中，則輸出一 L 位準（低位準）信號做為脈寬調變信號。

在該誤差放大器所輸出的電壓 V_{err} 低於該三角波 V_{osc} ，則該脈寬調變信號不會具有負載比。相同的，在該誤差放大器所輸出的電壓 V_{err} 高於三角波 V_{osc} ，則該脈寬調變信號不會具有負載比。

首先先說明該誤差放大器所輸出的電壓 V_{err} 低於最低負載比參考電壓 V_{refL} 的情形。

在此情形中，開關 43 開通，而最低負載比參考電壓 V_{refL} 則輸出做為由脈寬調變限制器電路輸出的電壓 V_{ers} 。

第 3A 圖及第 3B 圖的圖表顯示出當該誤差放大器所輸出的電壓 V_{err} 低於最低負載比參考電壓 V_{refL} 時所產生的脈寬調變信號。

在第 3A 圖中，垂直軸代表電壓 [V]，而水平軸代表時間 [s]。線條 100 代表三角波 V_{osc} 。線條 110 代表誤差放大器所輸出的電壓 V_{err} 。線條 120 代表最低負載比參考電壓 V_{refL} 。

在第 3B 圖中，垂直軸代表電壓 [V]，而水平軸代表時間 [s]。線條 130 代表由三第 3A 圖中之角波及自誤差放大器所輸出之電壓或最低負載比參考電壓所產生的脈寬調變

信號。

在第 3A 圖的區域 125 內，該誤差放大器所輸出的電壓 V_{err} 是低於最低負載比參考電壓 V_{refL} 。因此，最低負載比參考電壓 V_{refL} 會輸出做為由脈寬調變限制器電路所輸出的電壓 V_{ers} 。

接下來說明該誤差放大器所輸出的電壓 V_{err} 高於最高負載比參考電壓 V_{refH} 的情形。

在此情形中，開關 41 會開通，而最高負載比參考電壓 V_{refH} 則會輸出做為脈寬調變限制器電路所輸出的電壓 V_{ers} 。

第 4A 圖及第 4B 圖的圖表顯示出當該誤差放大器所輸出的電壓 V_{err} 高於最高負載比參考電壓 V_{refH} 時所產生的脈寬調變信號。

在第 4A 圖中，垂直軸代表電壓 [V]，而水平軸代表時間 [s]。線條 100 代表三角波 V_{osc} 。線條 110 代表由該誤差放大器所輸出的電壓 V_{err} 。線條 140 代表最高負載比參考電壓 V_{refH} 。

在第 4B 圖中，垂直軸代表電壓 [V]，而水平軸代表時間 [s]。線條 130 代表由第 4A 圖中之三角波及自誤差放大器所輸出之電壓或最高負載比參考電壓所產生的脈寬調變信號。

在第 4A 圖的區域 145 內，由該誤差放大器所輸出的電壓 V_{err} 高於最高負載比參考電壓 V_{refH} 。因此，最高負載比參考電壓 V_{refH} 會輸出做為由脈寬調變限制器電路所

輸出的電壓 V_{ers} 。

最後將說明該誤差放大器所輸出的電壓 V_{err} 高於最低負載比參考電壓 V_{refL} 但低於最高負載比參考電壓 V_{refH} 的情形。

在此種情形中，開關 42 開通，而該誤差放大器所輸出的電壓 V_{err} 將會被輸出做為由脈寬調變限制器電路所輸出的電壓 V_{ers} 。

透過前述的控制方式，在該三角波 V_{osc} 的振幅內一定會存在著由脈寬調變限制器電路所輸出的電壓 V_{ers} ，因此脈寬調變信號一定會具有負載比。

（第二實施例）

第 2 圖是此實施例中之脈寬調變限制器電路的電路圖。此脈寬調變限制器電路不同於第 1 圖中之脈寬調變限制器電路之處是在於開關電路 40 及控制器電路 30 的結構。

開關 44 是一包含有 P 型金氧半導體（PMOS）電晶體 Q1 的 MOS 開關。一源極及汲極短路在一起的 PMOS 電晶體 Q2 用以做為一假開關，以供在 PMOS 電晶體 Q1 關閉時補償來自閘極的饋通（feedthrough）電荷。

做為 MOS 開關的 PMOS 電晶體 Q1 及做為假開關的 PMOS 電晶體 Q2 是由相位相反的脈波加以驅動的。因此，在控制器電路 30 內設有一反閘 36。

開關 45 是一包含有 PMOS 電晶體 Q3 及 NMOS 電晶體 Q4 的 MOS 開關（一傳輸閘）。控制器電路內設有一反

開 37，用以驅動該開關 45。

開關 46 是一包含有 NMOS 電晶體 Q5 的 MOS 開關，其上連接一 NMOS 電晶體 Q6 做為假開關。控制器電路 30 內設有一反開 38，用以驅動開關 46。

用來做為該等 MOS 開關的電晶體的極性並不僅限於此；但是將做為包含有 PMOS 電晶體 Q1 之 MOS 開關的開關 44 加以連接至用以接收最高負載比參考電壓 V_{refH} 輸入至其上的輸入端 11 是較為有利的做法。前述結構的優點在於可以升高 PMOS 電晶體 Q1 的閘極源極電壓 (V_{gs}) 並降低源極汲極阻抗 (R_{ds})。

同樣的，當做為包含有 NMOS 電晶體 Q5 之 MOS 開關的開關 46 連接至接收最低負載比參考電壓 V_{refL} 輸入至其上的輸入端 12 時，可以升高 NMOS 電晶體 Q5 的閘極源極電壓 (V_{gs})，並降低源極汲極阻抗 (R_{ds})，其係有作用者。

應注意到，透用第 2 圖中之脈寬調變限制器電路來控制脈寬調變信號的方法是類似於利用第 1 圖中之脈寬調變限制器電路來控制脈寬調變信號的方法。

(第三實施例)

第 6 圖是一直流對直流轉換器的電路圖，其包含有一脈寬調變控制電路，具有第一及第二實施例中所述的脈寬調變限制器電路。

此實施例中所描述的直流對直流轉換器 200 包含有一

功率電晶體 210、一線圈 220、一二極體 230、一電容器 240、一電阻器 250、一電阻器 260、以及一脈寬調變控制電路 270。在此直流對直流轉換器 200 中，其係以脈寬調變控制電路 270 來監測將輸出電壓加以分壓而得到的電壓，而該輸出電壓的位準則設定在一所需的位準上。

脈寬調變控制電路 270 控制一用來驅動功率電晶體 210 的脈寬調變信號。脈寬調變控制電路 270 的結構是類似於第 5 圖中所示之電路的結構。包含於脈寬調變控制電路 270 內的脈寬調變限制器電路控制脈寬調變信號之負載比的上限及下限。此實施例中的脈寬調變限制器電路的結構是類似於第 1 圖及第 2 圖中者。再者，利用脈寬調變限制器電路來控制脈寬調變信號的方法也類似於第一及第二實施例中者；因此有關於該一方法的說明將加以略去。

本申請案係依據西元 2009 年 10 月 28 日向日本專利局提出申請之日本專利申請案第 2009-247700 號，該案的全部內容係引述於此，以供參考。

【圖式簡單說明】

在所附的圖式中：

第 1 圖是一脈寬調變限制器電路的電路圖。

第 2 圖是一脈寬調變限制器電路的電路圖。

第 3A 圖及第 3B 圖是曲線圖，顯示出當一誤差放大器所輸出的電壓 V_{err} 低於最低負載比參考電壓 V_{refL} 時所產生的脈寬調變信號。

第 4A 圖及第 4B 圖是曲線圖，顯示出當一誤差放大器所輸出的電壓 V_{err} 高於最高負載比參考電壓 V_{refH} 時所產生的脈寬調變信號。

第 5 圖是一電路圖，顯示出一脈寬調變控制電路的一結構範例。

第 6 圖是一電路圖，顯示出包含有一脈寬調變控制電路之直流對直流轉換器的結構範例。

【主要元件符號說明】

- 10：輸入端
- 11：輸入端
- 12：輸入端
- 13：輸出端
- 20：比較器電路
- 21：比較器
- 22：比較器
- 30：控制器電路
- 31：反閘
- 32：反閘
- 33：反或閘
- 34：反或閘
- 35：反或閘
- 36：反閘
- 37：反閘

- 38 : 反 閘
- 40 : 開 關 電 路
- 41 : 開 關
- 42 : 開 關
- 43 : 開 關
- 44 : 開 關
- 45 : 開 關
- 46 : 開 關
- 50 : 誤 差 放 大 器
- 60 : 參 考 電 壓 產 生 電 路
- 70 : 脈 寬 調 變 限 制 器 電 路
- 80 : 振 盪 器
- 90 : 脈 寬 調 變 比 較 器
- 100 : 代 表 三 角 波 V_{osc} 的 線 條
- 110 : 代 表 誤 差 放 大 器 輸 出 之 電 壓 V_{err} 的 線 條
- 120 : 代 表 最 低 負 載 比 參 考 電 壓 V_{refL} 的 線 條
- 125 : 區 域
- 130 : 代 表 脈 寬 調 變 信 號 的 線 條
- 140 : 代 表 最 高 負 載 比 參 考 電 壓 V_{refH} 的 線 條
- 145 : 區 域
- 200 : 直 流 對 直 流 轉 換 器
- 210 : 功 率 電 晶 體
- 220 : 線 圈
- 230 : 二 極 體

240 : 電 容 器

250 : 電 阻 器

260 : 電 阻 器

270 : 脈 寬 調 變 控 制 電 路

Q1 : p 通 道 電 晶 體

Q2 : p 通 道 電 晶 體

Q3 : p 通 道 電 晶 體

Q4 : n 通 道 電 晶 體

Q5 : n 通 道 電 晶 體

Q6 : n 通 道 電 晶 體

空白頁

七、申請專利範圍：

1. 一種脈寬調變限制器電路，包含：

第一端，被輸入最高負載比參考電壓；

第二端，被輸入最低負載比參考電壓；

比較器，用以將輸入至第三端之一電壓與該最高負載比參考電壓或該最低負載比參考電壓相比較；

控制電路，電連接至該比較器；

第一開關，係在輸入至該第三端之該電壓高於該最高負載比參考電壓時開通；

第二開關，係在輸入至該第三端的該電壓低於該最低負載比參考電壓時開通；

第三開關，係在輸入至該第三端之該電壓高於該最低負載比參考電壓並低於該最高負載比參考電壓時開通；以及

輸出端，電連接至該第一開關、該第二開關、以及該第三開關，

其中，該第一開關包含第一電晶體和第二電晶體，其源極與汲極係短路，

其中，該第二開關為傳輸閘極，包含第三電晶體和第四電晶體，

其中，該第三開關包含第五電晶體和第六電晶體，其源極與汲極係短路，

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體以及該第六電晶體的閘極

係電連接至該控制電路，以及

其中，該第一電晶體的源極或汲極的其中一者係電連接至該第一端，該第三電晶體的源極或汲極的其中一者和該第四電晶體的源極或汲極的其中一者係電連接至該第二端，而該第五電晶體的源極或汲極的其中一者係電連接至該第三端。

2. 如申請專利範圍第 1 項之脈寬調變限制器電路，

其中，該第一電晶體和該第二電晶體的每一者為一 p 通道電晶體，以及

其中，該第五電晶體和該第六電晶體的每一者為一 n 通道電晶體。

3. 一種直流對直流轉換器，包含：

脈寬調變控制電路，包含：

脈寬調變限制器電路，包含：

第一端，被輸入最高負載比參考電壓；

第二端，被輸入最低負載比參考電壓；

比較器，用以將輸入至第三端之一電壓與該最高負載比參考電壓或該最低負載比參考電壓相比較；

控制電路，電連接至該比較器；

第一開關，係在輸入至該第三端之該電壓高於該最高負載比參考電壓時開通；

第二開關，係在輸入至該第三端的該電壓低於該最低負載比參考電壓時開通；

第三開關，係在輸入至該第三端之該電壓高於該

最低負載比參考電壓並低於該最高負載比參考電壓時開通；以及

輸出端，電連接至該第一開關、該第二開關、以及該第三開關，

其中，該第一開關包含第一電晶體和第二電晶體，其源極與汲極係短路，

其中，該第二開關為傳輸閘極，包含第三電晶體和第四電晶體，

其中，該第三開關包含第五電晶體和第六電晶體，其源極與汲極係短路，

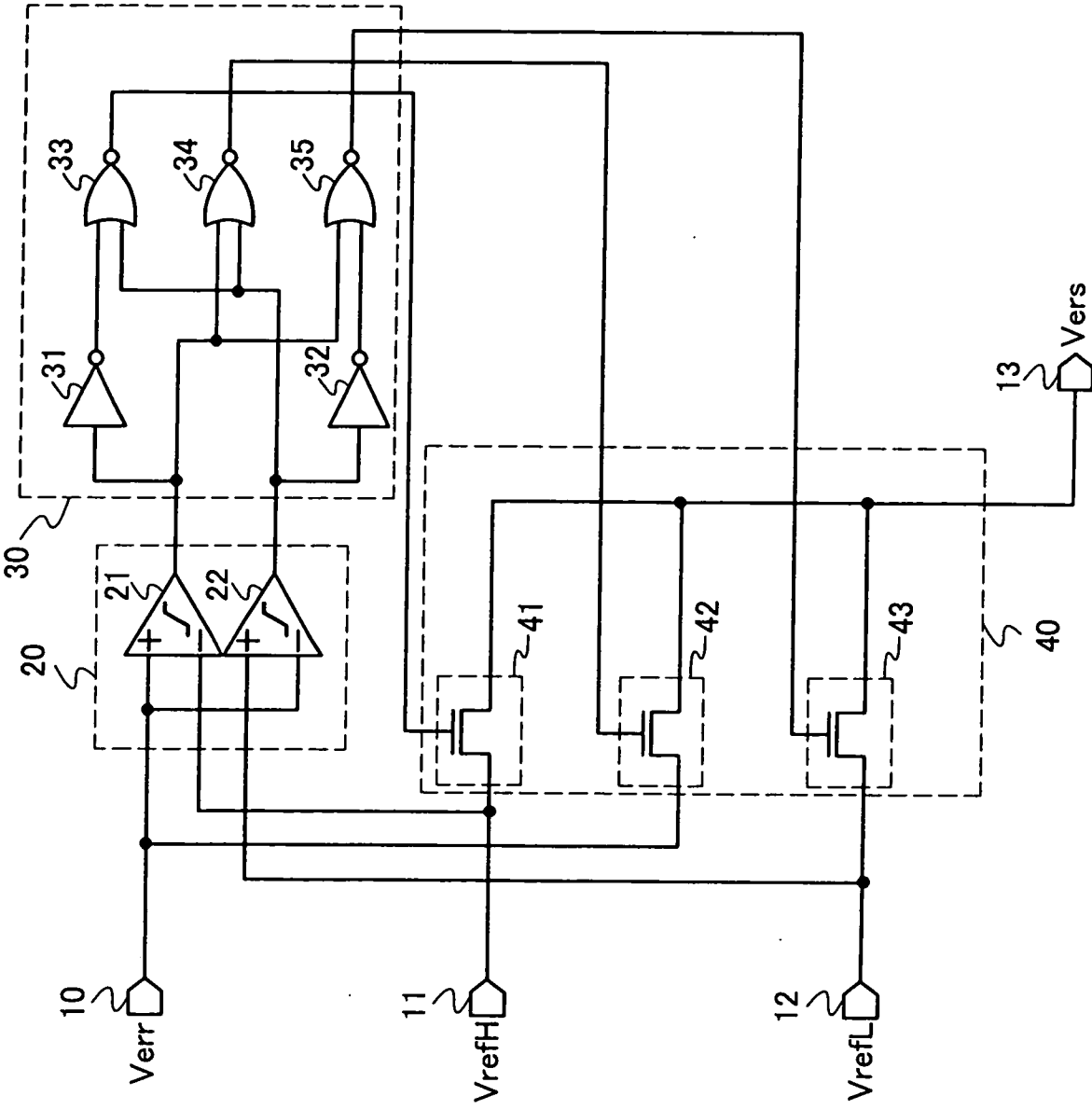
其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體以及該第六電晶體的閘極係電連接至該控制電路，以及

其中，該第一電晶體的源極或汲極的其中一者係電連接至該第一端，該第三電晶體的源極或汲極的其中一者和該第四電晶體的源極或汲極的其中一者係電連接至該第二端，而該第五電晶體的源極或汲極的其中一者係電連接至該第三端。

4. 如申請專利範圍第 3 項之直流對直流轉換器，

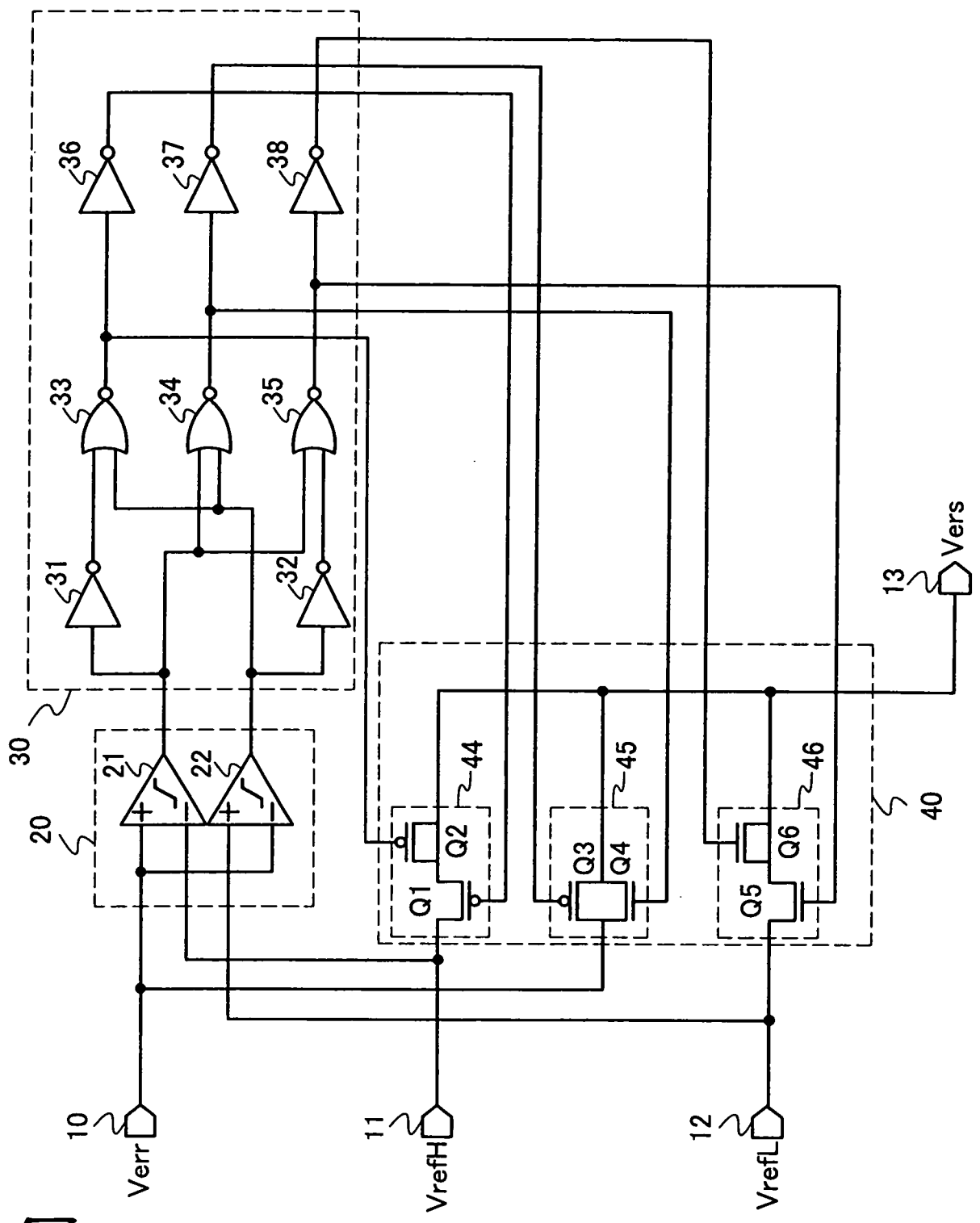
其中，該第一電晶體和該第二電晶體的每一者為一 p 通道電晶體，以及

其中，該第五電晶體和該第六電晶體的每一者為一 n 通道電晶體。

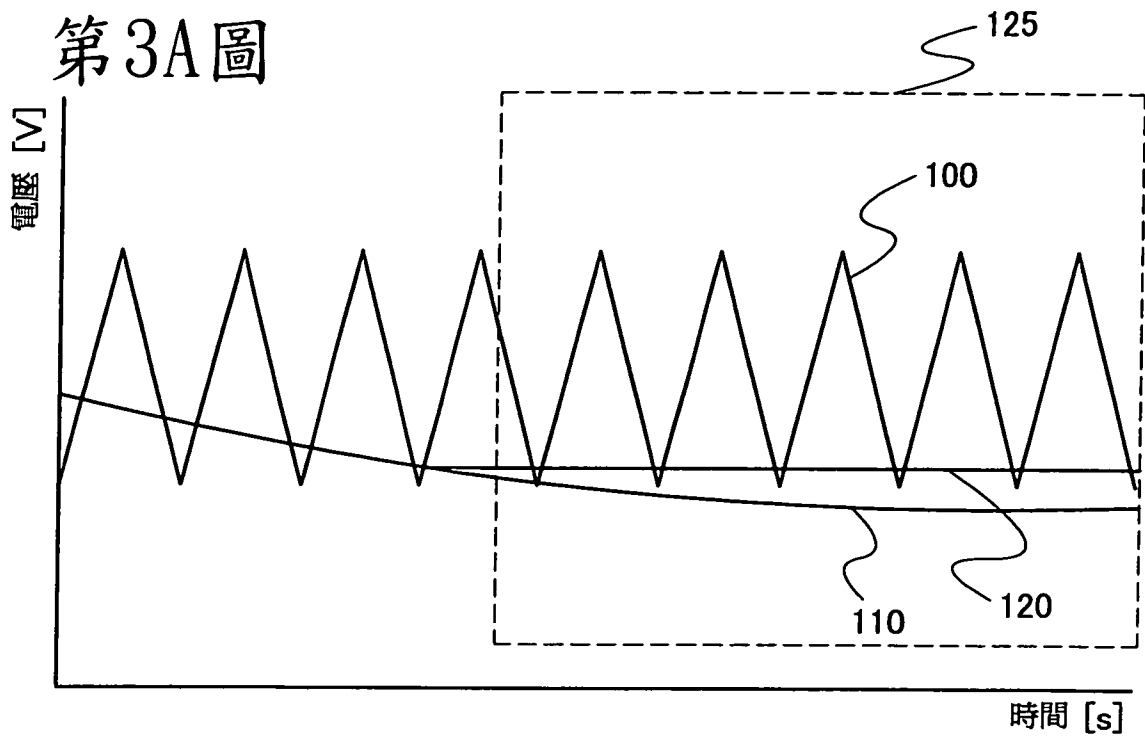


第1圖

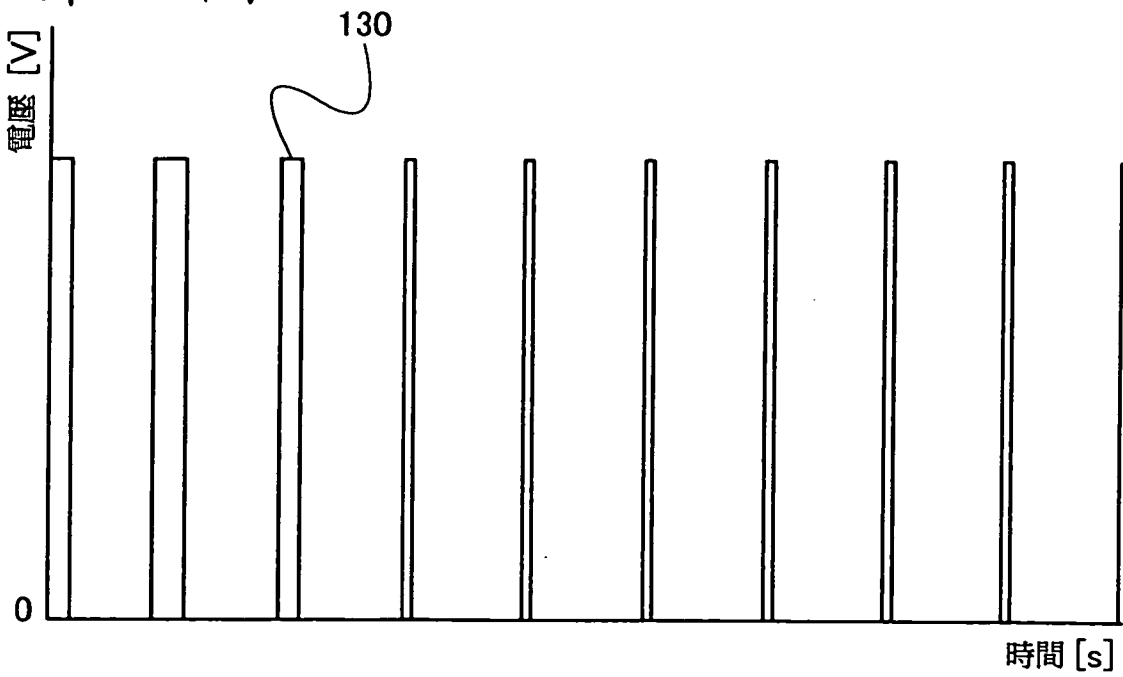
第2圖



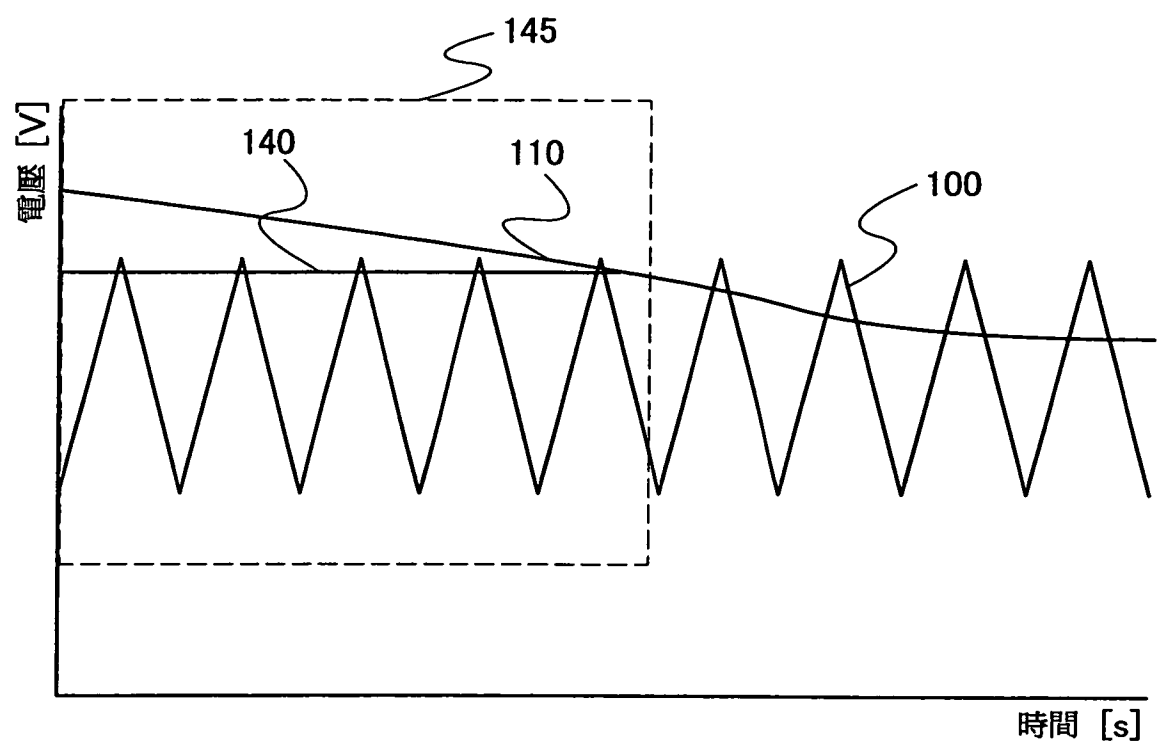
第3A圖



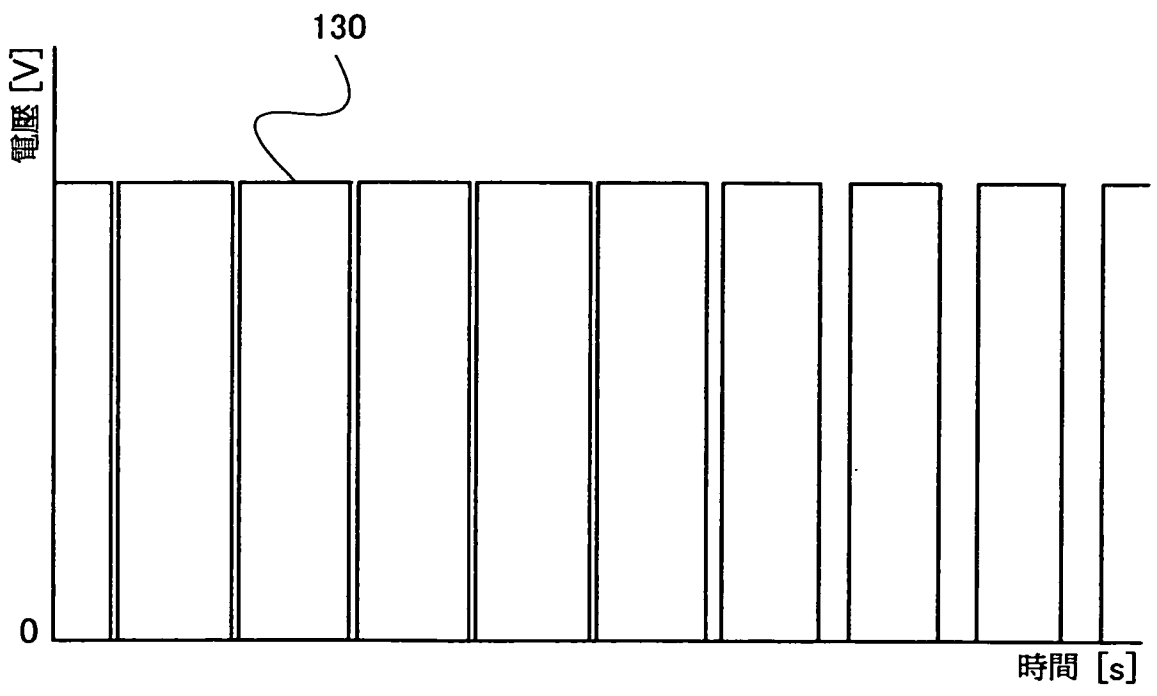
第3B圖



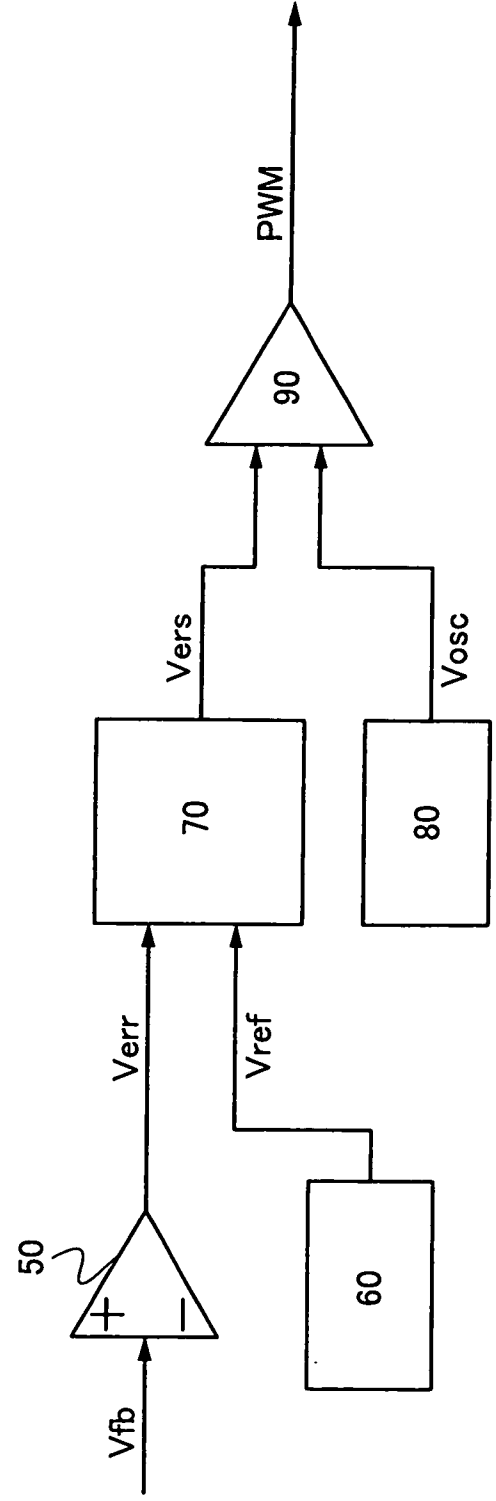
第4A圖



第4B圖



第5圖



第6圖

