



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

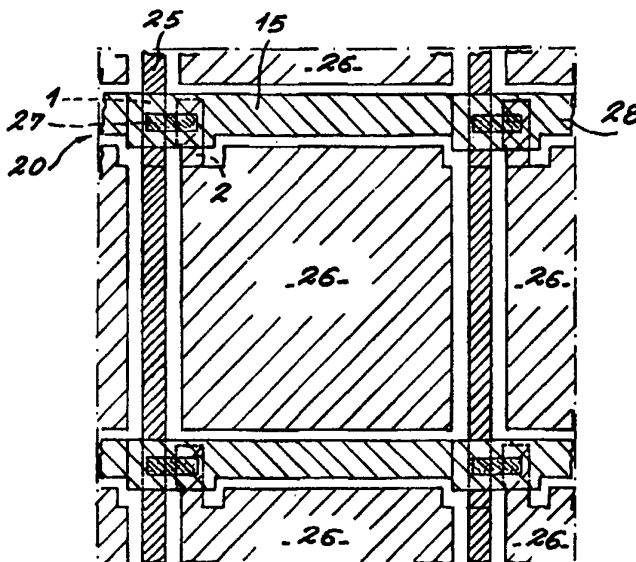
<p>(51) Classification internationale des brevets : Non classée</p>	<p>A2</p>	<p>(11) Numéro de publication internationale: WO 94/21102 (43) Date de publication internationale: 29 septembre 1994 (29.09.94)</p>
<p>(21) Numéro de la demande internationale: PCT/FR94/00278 (22) Date de dépôt international: 15 mars 1994 (15.03.94) (30) Données relatives à la priorité: 93/03012 16 mars 1993 (16.03.93) FR (71) Déposant (pour tous les Etats désignés sauf US): THOMSON-LCD [FR/FR]; 173, boulevard Haussmann, F-75008 Paris (FR). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): SANSON, Eric [FR/FR]; Thomson-CSF SCPI, Boîte postale 329, F-92402 Courbevoie Cédex (FR). SZYDLO, Nicolas [FR/FR]; Thomson-CSF SCPI, Boîte postale 329, F-92402 Courbevoie Cédex (FR). HEPP, Bernard [FR/FR]; Thomson-CSF SCPI, Boîte postale 329, F-92402 Courbevoie Cédex (FR). (74) Représentant commun: THOMSON-CSF SCPI; Boîte postale 329, F-92402 Courbevoie Cédex (FR).</p>	<p>(81) Etats désignés: JP, KR, US, brevet européen (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée <i>Sans rapport de recherche internationale, sera republiée dès réception de ce rapport.</i></p>	

(54) Title: DIRECT MULTILEVEL THIN-FILM TRANSISTOR PRODUCTION METHOD

(54) Titre: PROCEDE DE FABRICATION DE TRANSISTORS A COUCHES MINCES ETAGES DIRECTS

(57) Abstract

A method for producing direct multi-level thin-film transistors (TFTs) with a small number of mask levels, for forming a contact between a transistor gate and the source or drain of the same or another transistor, and for use in producing flat LCD screens, particularly on screens having integral electronic control circuitry. Said method for producing direct multilevel thin-film transistors (20; 23; 24) having four mask levels comprises the steps of depositing and etching a first conductive level (11) on an insulating substrate (10) to form a source (1) and a drain (2), depositing and etching a semiconductor level (13) alone or followed by a first insulating level (16) joining the source (1) and the drain (2), depositing and etching a second insulating level (14), and depositing and etching a second conductive level (15) constituting the gate (22) of the transistor (20, 23).



(57) Abrégé

La présente invention concerne un procédé de fabrication de transistors à couches minces (TFT), à structure étagée directe et à faible nombre de niveaux de masque, permettant de réaliser un contact entre la grille d'un transistor et la source ou le drain du même ou d'un autre transistor, et pouvant être utilisés pour la fabrication d'écrans plats à cristaux liquides, en particulier sur les écrans avec électronique de commande intégrée. Le procédé de fabrication de transistors à couches minces étagés directs (20; 23; 24) à quatre niveaux de masques selon l'invention est caractérisé en ce qu'il comporte les étapes suivantes: dépôt et gravure d'un premier niveau conducteur (11) sur un substrat isolant (10) de manière à former une source (1) et un drain (2), dépôt et gravure d'un niveau semiconducteur (13) seul ou suivi d'un premier niveau isolant (16) joignant les source (1) et drain (2), dépôt et gravure d'un second niveau isolant (14), dépôt et gravure d'un second niveau conducteur (15) réalisant la grille (22) du transistor (20, 23).

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AT	Autriche	GB	Royaume-Uni	MR	Mauritanie
AU	Australie	GE	Géorgie	MW	Malawi
BB	Barbade	GN	Guinée	NE	Niger
BE	Belgique	GR	Grèce	NL	Pays-Bas
BF	Burkina Faso	HU	Hongrie	NO	Norvège
BG	Bulgarie	IE	Irlande	NZ	Nouvelle-Zélande
BJ	Bénin	IT	Italie	PL	Pologne
BR	Brésil	JP	Japon	PT	Portugal
BY	Bélarus	KE	Kenya	RO	Roumanie
CA	Canada	KG	Kirghizistan	RU	Fédération de Russie
CF	République centrafricaine	KP	République populaire démocratique de Corée	SD	Soudan
CG	Congo	KR	République de Corée	SE	Suède
CH	Suisse	KZ	Kazakhstan	SI	Slovénie
CI	Côte d'Ivoire	LI	Liechtenstein	SK	Slovaquie
CM	Cameroun	LK	Sri Lanka	SN	Sénégal
CN	Chine	LU	Luxembourg	TD	Tchad
CS	Tchécoslovaquie	LV	Lettonie	TG	Togo
CZ	République tchèque	MC	Monaco	TJ	Tadjikistan
DE	Allemagne	MD	République de Moldova	TT	Trinité-et-Tobago
DK	Danemark	MG	Madagascar	UA	Ukraine
ES	Espagne	ML	Mali	US	Etats-Unis d'Amérique
FI	Finlande	MN	Mongolie	UZ	Ouzbékistan
FR	France			VN	Viet Nam
GA	Gabon				

PROCEDE DE FABRICATION DE TRANSISTORS A COUCHES MINCES ETAGES DIRECTS

La présente invention concerne un procédé de fabrication de
5 transistors à couche mince (TFT), à structure étagée directe et à faible
nombre de niveaux de masque, permettant de réaliser un contact entre
la grille d'un transistor et la source ou le drain du même ou d'un autre
transistor, et pouvant être utilisés pour la fabrication d'écrans plats à
10 cristaux liquides, en particulier sur les écrans avec électronique de
commande intégrée.

Un écran à cristaux liquides est constitué d'un certains nombre de
cellules à cristal liquide disposées de manière matricielle et reliées par
des lignes et des colonnes de connexion à l'électronique de commande.
15 Une première plaque support est constituée d'un substrat contenant un
premier jeu d'électrodes, les composants de commande de ces
électrodes, ainsi que les lignes et les colonnes d'adressage (matrice
active). Le cristal liquide est contenu entre cette plaque et une seconde
20 plaque support constituant la contre-électrode. Chaque pixel (pour
picture element en langue Anglaise) ainsi formée fonctionne en valve
optique. La modification locale de la transmission ou de la réflexion de la
lumière est obtenue en appliquant à partir de l'électronique de
commande une tension entre un contact d'accès de la plaque et un
25 contact de la contre plaque. Cette tension fait naître un champ
électrique entre les électrodes en regard et active le volume de cristal
liquide situé entre les deux électrodes qui modifie plus ou moins les
caractéristiques de la lumière qui le traverse.

Dans le cas d'écrans à matrice active, un élément actif à deux
(diode) ou trois terminaisons (transistor) est associé à chaque pixel et à
30 chaque intersection ligne - colonne. La fabrication de tels écrans peut
faire appel à des procédés de fabrication de matrices actives constituées
de transistors en couche mince. Ces transistors peuvent avoir une
structure étagée directe, c'est à dire que, par rapport au substrat, la
grille est au dessus des source et drain, ou étagée inverse, c'est à dire
35 que la grille est située au dessous des source et drain.

Une structure étagée directe est décrite dans la demande de
brevet Européen 82 783 "procédé de fabrication de transistors en

couches minces en Silicium sur substrat isolant" (F.Morin et al), ainsi que dans un article de JAPAN DISPLAY '86 "A 6" Diagonal Active Matrix Addressed LCD for MINITEL Application" des mêmes auteurs. La technologie décrite dans ces documents est très économique puisqu'elle permet de réaliser des transistors à couches minces avec seulement deux niveaux de masques, en fabricant les colonnes de données en même temps que les électrodes. D'autre part, un article de Y.Ugai et al "A 7.23-in.-Diagonal Color LCD Addresssed by a-Si TFTs" (SID 84 DIGEST, page 308) propose la fabrication d'un transistor étagé direct réalisé avec trois niveaux de masques.

Cependant, ces technologies comportent un certain nombre d'inconvénients dont le principal provient de la photoconductivité du silicium. En effet, ces transistors sont sensibles à la lumière par le dessus, c'est à dire par leurs bords, et la technologie "dark mask" (grille recouvrant totalement le matériau semiconducteur) est impossible. Ces transistors sont aussi sensibles à la lumière par le dessous, c'est à dire par le canal du transistor en contact direct avec le substrat lorsque celui-ci est transparent. D'autre part, il est nécessaire d'introduire dans le procédé de fabrication de ces transistors, une étape supplémentaire de passivation afin d'éviter l'affleurement du matériau semiconducteur en fin de procédé. Enfin, une limitation de taille est qu'il n'y a pas de contact possible grille - source.

Des solutions ont été proposées afin de remédier au problème de la photoconductivité par le bas comme celles décrites dans les brevets HOSIDEN EP 186036 et EP 179915, ainsi que dans un article de T.Wada et al "1280x800 Color Pixel 15 inche Full Color Active Matrix LCD" (EURODISPLAY'90 The Tenth International Display Research Conference", page 370). Ces solutions nécessitent au moins quatre niveaux de masques et ne permettent pas de contact grille - source ou drain. D'autre part, ces solutions ne proposent, pour remédier au problème de la photoconductivité par le haut, que de déposer et graver un masque opaque sur la contre électrode.

La présente invention permet de s'affranchir de ces inconvénients grâce à un procédé de fabrication économique à trois ou quatre niveaux de masques.

En effet, cette invention concerne des procédés de fabrication de transistors à couches minces étagés directs à quatre niveaux de masques pouvant être utilisés dans un écran à cristaux liquide, il est caractérisé en ce qu'il comporte les étapes suivantes:

- 5 . dépôt et gravure d'un premier niveau conducteur sur un substrat isolant de manière à former une source et un drain,
- . dépôt et gravure d'un niveau semiconducteur seul ou avec un premier niveau isolant joignant les source et drain,
- . dépôt et gravure d'un second niveau isolant
- 10 . dépôt et gravure d'un second niveau conducteur réalisant la grille du transistor.

La présente invention concerne aussi un procédé de fabrication de transistors à couches minces étagés directs à trois niveaux de masques pouvant être utilisés dans un écran à cristaux liquides dont les étapes

15 sont les suivantes:

- . dépôt et gravure d'un premier niveau conducteur sur un substrat isolant de manière à former une source et un drain,
- . dépôt d'un niveau semiconducteur et d'un niveau isolant et gravure de l'ensemble joignant les source et drain,
- 20 . oxydation, nitruration ou passivation des flancs du niveau semiconducteur,
- . dépôt et gravure d'un niveau conducteur réalisant la grille du transistor.

Ce dernier procédé pouvant être suivi d'une étape de gravure de

25 la bicouche niveau semiconducteur - niveau isolant en utilisant le niveau gravé conducteur comme niveau de masque, et d'une étape d'oxydation, de nitruration ou de passivation des flancs gravés du niveau semiconducteur.

La présente invention concerne aussi un procédé de fabrication

30 d'un écran à cristaux liquides dont les transistors de la matrice active sont fabriqués par de tels procédés.

Un autre objet de la présente invention est un circuit électronique réalisé sur un substrat isolant par un des mode de mise en oeuvre du procédé selon l'invention.

35 Le procédé selon l'invention permet de passiver les transistors au cours du procédé, de les rendre insensibles à la lumière venant du dessus, le dessous pouvant être protégé par un masque opaque ("black

matrix" en langue anglaise) comme cela est décrit dans la demande de brevet Français n°9112586 déposée par la demanderesse.

Le procédé selon l'invention permet la fabrication de circuits intégrés sur le même substrat que la matrice active grâce à la possibilité qu'il offre de pouvoir connecter les grilles des transistors à des sources ou drains du même ou d'autres transistors, et ainsi être utilisé dans une technologie "drivers intégrés". Il est d'autre part possible de fabriquer par ce procédé différents types de transistors et capacités sans pour cela ajouter de niveaux de masques supplémentaires.

10

La présente invention sera mieux comprise et des avantages supplémentaires apparaîtront à la lecture de la description qui va suivre illustrée par les figures suivantes:

. les figures 1a à 1c représentent un premier mode de mise en oeuvre du procédé selon l'invention,

. la figure 1d représente une vue planaire d'une partie d'un écran à matrice active réalisé selon le procédé des figures 1a à 1c,

. la figure 1e représente le schéma électrique de principe d'un inverseur,

. la figure 1f représente l'inverseur de la figure 1e fabriqué par le procédé des figures 1a à 1c,

. les figures 2a à 2d représentent un second mode de mise en oeuvre du procédé selon l'invention,

. la figure 2e représente une vue planaire d'une partie d'un écran à matrice active réalisé selon le procédé des figures 2a à 2c,

. la figure 2f représente une vue planaire d'une partie d'un écran à matrice active réalisé selon le procédé des figures 2a, 2b et 2d,

. la figure 2g représente l'inverseur de la figure 1e fabriqué par le procédé des figures 2a à 2c,

. la figure 2h représente l'inverseur de la figure 1e fabriqué par le procédé des figures 2a, 2b et 2d,

. les figures 3a à 3c représente un troisième mode de mise en oeuvre du procédé selon l'invention,

. la figure 3d représente une vue planaire d'une partie d'un écran à matrice active réalisé selon le procédé des figures 3a à 3c,

. et la figure 3e représente l'inverseur de la figure 1e fabriqué par le procédé des figures 3a à 3c.

Dans les différentes figures décrites ci-dessous, les mêmes éléments et les mêmes matériaux ont gardé la même référence.

5 La figure 1a représente un substrat 10 isolant et pouvant être transparent, sur lequel une couche 11 d'un matériau conducteur transparent ou d'une bicouche conducteur transparent - semiconducteur dopé est déposée et gravée lors d'une première étape réalisant, par exemple, les source 1 (colonne de données), drain 2 (électrode) et une
10 interconnexion quelconque 3. Au cours d'une seconde étape, ce premier niveau peut être dopé superficiellement s'il ne l'est pas déjà pour permettre un contact ohmique source 1 - drain 2. Ce dopage peut être réalisé, par exemple, par un procédé du type "flash phosphine" consistant à déposer sur le conducteur transparent 11 du phosphore
15 dans un environnement de plasma phosphore et hydrogène, la diffusion du phosphore dans le conducteur 11 ainsi que dans le matériau semiconducteur 13 réalisant le contact ohmique source 1 - drain 2 (figure 1b). Ce procédé est décrit dans la publication JAPAN DISPLAY'89, page 506.

20 La troisième étape illustrée par la figure 1b consiste à déposer et à graver un matériau semiconducteur 13 ou une multicouche semiconductrice de manière à recouvrir totalement le premier niveau 11, en débordant de préférence de part et d'autre des mesas constituées par ces couches.

25 La quatrième étape de ce premier exemple de mise en oeuvre du procédé selon la présente invention consiste à déposer puis à graver une couche 14 d'un matériau diélectrique de manière à ce qu'un contact 5 puisse être établi au cours de la cinquième étape du procédé.

30 Au cours de cette cinquième et dernière étape, une couche 15 d'un matériau conducteur est déposée puis gravée afin de réaliser la grille 21 du transistor étagé direct 20 et d'établir un contact entre cette grille 21 et la connexion 3. Cela est représenté sur la figure 2c et correspond à quatre niveaux de masque. Cette connexion 3 peut être par exemple une connexion interne entre grille et source.

35 Ce type de transistor ainsi obtenu peut être utilisé de préférence dans la réalisation d'écrans plats munis d'une électronique de commande intégrée.

La figure 1d représente une partie d'un écran à matrice active comportant au moins en partie des transistors 20 étagés directs réalisés selon le procédé décrit ci-dessus. La description de cette figure est faite à partir d'un pixel mais peut être bien évidemment étendue à l'ensemble de ces pixels arrangés de façon matricielle.

Au cours de la première étape du procédé, la couche de matériau conducteur transparent 11 est déposée sur le substrat isolant 10, ce matériau conducteur transparent pouvant être dopé superficiellement avant ou après sa gravure de manière à former les colonnes de données 25 correspondant à la source 1 du transistor 20, et les électrodes 26 de pixels. Dans l'exemple de cette figure, ces électrodes 26 ont une forme approximativement carrée et sont munies d'une patte 2 correspondant au drain 2 du transistor 20. Le semiconducteur 13 est déposé puis gravé et constitue une méssa joignant la source 1 (colonne 25) au drain 2 (électrode de pixel 26). Le diélectrique 14 est ensuite déposé sur toute la surface afin de réaliser l'isolant de grille et est gravé afin d'établir les contacts 3 (non représentés sur la figure). Enfin, le matériau conducteur 15 est déposé puis gravé réalisant les lignes 28 et ses contacts 3.

La figure 1e représente le schéma électrique de principe d'un inverseur 40. Celui-ci comporte deux transistors 41 et 42 connectés en série entre deux polarités +V (47) et -V (46). Lorsqu'un signal haut IN arrive en 44 sur la grille du transistor 42, celui est rendu passant. La grille du transistor 41 étant reliée (43) à la ligne de polarité +V, celui-ci est passant et un signal bas OUT sort en 45. A l'inverse lorsqu'un signal bas entre en 44, le transistor 42 est rendu non passant et c'est un signal haut qui sort en 45 de l'inverseur 40.

Cet inverseur 40 réalisé selon le premier mode de mise en oeuvre du procédé selon l'invention est représenté sur la figure 1f. Le matériau conducteur 11, de préférence transparent et traité superficiellement, est déposé et gravé de manière à former les sources et drains des transistors 41 et 42, ainsi que la ligne de connexion 45. Le semiconducteur 13 est déposé et gravé de manière à former les mesas 29 joignant sources et drains. L'isolant 14 est ensuite déposé et gravé de manière à créer une ouverture 5 au niveau des source et drain externes respectivement des transistors 41 et 42. Le conducteur 15 est déposé et gravé réalisant les contacts de grilles 44 et 43, ainsi que les contacts source - ligne 47 (+V) et drain - ligne 46 (-V).

Ce premier mode de mise en oeuvre du procédé selon l'invention fait apparaître une contrainte qui est que les dépôts de la couche 13 du matériau semiconducteur fin 13 et du matériau diélectrique 14 ne sont pas réalisés au cours du même cycle de vide. Cela peut générer une mauvaise interface entre ces deux niveaux lors de la gravure de la couche 13 du semiconducteur, qui peut avoir pour conséquence la dégradation des propriétés électriques du transistor. Cet inconvénient est évité dans les modes de mise en oeuvre du procédé suivants.

10 Un second mode de mise en oeuvre du procédé selon l'invention est illustré par les figures 2a à 2d.

Les deux premières étapes (figure 2a et 2b) sont identiques à celles du précédent mode et correspondent à un premier niveau de masque.

15 Au cours de la troisième étape, la couche 13 du matériau semiconducteur et une couche 16 d'un matériau diélectrique sont déposées et gravées simultanément, comme cela est représenté sur la figure 2b. Le fait que le diélectrique 16 et le semiconducteur 13 soient déposés et gravés au cours du même cycle de vide permet de réaliser une bonne interface entre les deux couches.

20 La quatrième étape consiste à déposer une seconde couche diélectrique 14 sur toute la surface et à la graver de manière à ce que puisse être établi un contact entre la couche conductrice 15 (déposée lors de la cinquième et dernière étape) correspondant à la grille 22 et la connexion 3 et/ou de manière à ce qu'une ouverture 6 dans la couche de diélectrique 14 mette en contact le niveau conducteur 15 et le niveau isolant 16, sur l'îlot constitué des sources et drains, du semiconducteur 13 et de l'isolant 16, la couche 14 diélectrique ne recouvrant plus que les bords du blocs gravé constitué par les couches 11, 13 et 16. Dans ce cas, quatre niveaux de masquage sont utilisés.

25 Ainsi, ce dernier mode permet, sans rajouter d'étape supplémentaires, de résoudre le problème de mauvaise interface évoqué plus haut, de réaliser différents types de transistors et de capacités dont les caractéristiques peuvent être sélectionnées par un choix approprié des diélectriques 14 et 16 et qui correspondent aux figures 2c et 2d.

Un premier type de transistor 23 est illustré par la figure 2c et utilise les deux diélectriques 14 et 16 comme diélectrique de grille. Cela rend un tel transistor peu sensible au "stress de grille": phénomène parasite dû au silicium amorphe, lorsque la grille est commandée avec des hautes tensions, les caractéristiques électriques du transistor se dégradent au cours du temps.

Le second type de transistor 24 est illustré par la figure 2d et utilise uniquement le diélectrique 16 comme diélectrique de grille. Cela permet d'adapter les caractéristiques du transistor à des tensions plus faibles, ce type de transistor pouvant être utilisé sur l'électronique de commande périphérique. En effet, l'isolant de grille étant plus mince, le courant qui traverse le transistor est plus élevé.

Dans le cas d'une électronique intégrée, les transistors de la matrice active peuvent être du premier type. L'électronique de commande peut utiliser les deux types de transistors, ce qui permet de l'adapter à des signaux externes basse tension compatibles avec la technologie actuelle. De façon générale, le choix des deux isolants 16 et 14 permet d'utiliser, soit uniquement des transistors du premier type, soit uniquement des transistors du second type, soit des transistors des deux types mélangés.

De la même manière, trois types différents de capacités peuvent être réalisés dans ce même procédé de fabrication en utilisant comme diélectrique, soit la couche 16, soit la couche 14, soit les deux à la fois.

D'autre part, un tel procédé permet un bon rendement de fabrication si les matériaux diélectriques 14 et 16 sont différents, les défauts éventuels de l'un ne se transmettant pas à l'autre.

La figure 2e représente une partie d'un écran à matrice active comportant au moins en partie des transistors 23 et réalisée selon le second mode de mise en oeuvre du procédé selon l'invention des figures 2a, 2b et 2c. La description de cette figure est faite à partir d'un pixel, mais il est bien évident qu'elle s'étend à tous les autres pixels arrangés de façon matricielle.

Au cours de la première étape du procédé, la couche de matériau conducteur transparent 11 est déposée sur le substrat isolant 10, ce matériau conducteur transparent pouvant être dopé superficiellement avant ou après sa gravure de manière à former les colonnes de données 25 correspondant à la source 1 du transistor 23, et les électrodes 26 de

pixels. Dans l'exemple de cette figure, ces électrodes 26 ont une forme approximativement carrée et sont munies d'une patte 2 correspondant au drain 2 du transistor 23. Le semiconducteur 13 et le premier diélectrique 16 ont été déposés pendant le même cycle de vide et gravés ensemble de manière à former une mesa 27 joignant la colonne 25 à l'électrode 26, réalisant respectivement la source 1 et le drain 2 du transistor 23. La seconde couche d'isolant 16 déposée sur toute la surface et gravée de manière à créer le contact 5 de la figure 2c entre une connexion 3 quelconque et la grille 22 du transistor 23, n'est pas représentée sur la figure, de même que n'est pas représentée la connexion 3. La ligne d'adressage 28 est obtenue par le dépôt et la gravure lors de la cinquième étape du second mode de mise en oeuvre du procédé des figures 2a, 2b et 2c. Elle peut être en contact avec la connexion 3 qui peut être par exemple la source ou le drain d'un transistor de l'électronique de commande intégrée, et recouvre totalement la mesa 27 constituée par le semiconducteur 13 et le premier isolant 16.

Un tel transistor comporte les deux isolants 14 et 16 de la figure 2c comme diélectrique de grille.

La figure 2f représente de la même manière une partie d'une matrice active réalisée selon le second mode de mise en oeuvre du procédé des figures 2a, 2b et 2d, matrice active dont tout ou partie des transistors comporte le premier niveau d'isolant 16 comme diélectrique de grille (transistor 24 de la figure 2d). On retrouve les colonnes de données 25 et les électrodes 26 de formes quelconques mais comportant une patte qui constitue le drain 2 du transistor 24. La différence avec le dispositif de la figure précédente est qu'au moment de la quatrième étape du procédé, le second niveau isolant 14 a été gravé de manière à, en plus de créer un contact entre la ligne d'adressage 28 correspondant à la grille 22 du transistor 24 et une connexion 3 (non représentée sur la figure), ce que le premier isolant 16 forme à lui seul le diélectrique de grille. Cette surface 6 ainsi creusée dans le second isolant 14 est de préférence inférieure à la surface 29 occupée par le semiconducteur 13 et le premier isolant 16.

La figure 2g représente l'inverseur 40 de la figure 1e fabriqué par le second mode de mise en oeuvre du procédé selon l'invention comportant deux transistors 41 et 42 du premier type. L'explication

donnée lors de la description de la figure 1e reste valable avec la différence que les mesas 29 sont constituées non plus d'un niveau semiconducteur 13, mais d'un niveau semiconducteur 13 gravé en même temps qu'un premier niveau isolant 16.

5 La figure 2h représente l'inverseur 40 des figures 1e et 2g fabriqué par le second mode de mise en oeuvre du procédé selon l'invention comportant deux transistors 41 et 42 du second type. La différence par rapport à la figure précédente est l'ouverture 6 gravée au travers du second niveau d'isolant 14.

10 Ainsi, ont été réalisés deux transistors de différents types pouvant cohabiter sur un même circuit, étant fabriqués au cours du même procédé sans ajouter de niveau de masque supplémentaires, la grille de ces transistors pouvant être reliée à une connection sur le même circuit comme par exemple à la source ou au drain d'un transistor de
15 l'électronique de commande périphérique intégrée à l'écran.

De plus, dans le cas où il ne doit pas y avoir de connexion entre la grille 22 et la connexion 3 (simple croisement de deux lignes), l'une ou l'autre des épaisseurs, ou les deux à la fois, peuvent être choisie pour isoler l'un par rapport à l'autre ces conducteurs.

20 Le diélectrique 14 est utilisé comme passivation des transistors, de l'électrode pixel, comme isolant de grille, et comme diélectrique d'interconnection (isolation de deux couches conductrices superposées).

Un troisième mode de mise en oeuvre du procédé selon l'invention
25 comporte les mêmes première et seconde étapes des modes précédents comme représenté sur la figure 3a. La troisième étape de ce mode de mise en oeuvre du procédé selon l'invention consiste à déposer simultanément une couche 13 d'un matériau semiconducteur et une couche 16 d'un matériau diélectrique. Ces deux premières étapes
30 correspondent à deux niveaux de masques.

La troisième étape consiste à passiver les zones 131 et 132 non protégées par le diélectrique sur les flancs du semiconducteur. Cette passivation peut être effectuée par une oxydation (plasma O, O₂, O₃, N₂O), ou une nitruration (plasma N, NH₃), ou une passivation
35 (dépôt de diélectrique planarisant suivi d'une gravure anisotrope de ce même diélectrique). En effet, à ce stade du procédé de fabrication, il est nécessaire de protéger les flancs 131 et 132 du semiconducteur afin

d'éviter les fuites grille - source, ceux-ci n'étant plus protégés par une couche de diélectrique comme dans les deux modes de mise en oeuvre du procédé selon l'invention précédents. Puis, dans une quatrième étape, une couche 15 d'un matériau conducteur est déposée puis gravée, constituant un troisième niveau de masque (figure 3c). Le contact grille 22 - connexion 3 est cette fois assuré par le contact direct entre le niveau conducteur 15 et la connexion 3.

Ce troisième mode peut être complété par une cinquième étape consistant à graver les couches de diélectrique 16 et du matériau semiconducteur 13 en utilisant le conducteur 15 comme niveau de masque. En effet, des zones de la mesa semiconducteur 13 - isolant 16 peuvent s'étendre de part et d'autre de la couche conductrice 15 gravée (grille) dans le plan perpendiculaire au plan de la figure, et doivent être retirées suivant la technologie désirée. Une sixième étape peut ensuite consister à passiver par oxydation ou nitruration ou par un dépôt d'un diélectrique sur les flancs du semiconducteur non protégés par le diélectrique 16.

D'autre part dans le cas où un contact ne doit pas être établi entre la grille 22 et la connexion 3, une mesa semiconducteur 13 - isolant 16 peut être laissée sur la connexion 3 afin de l'isoler du niveau conducteur 15.

La figure 3d représente une partie d'une matrice active réalisée selon ce troisième mode de mise en oeuvre du procédé selon l'invention décrit à partir des figures 3a à 3c. Une électrode 26 de forme quelconque comporte une patte 2 formant le drain du transistor 30. En même temps que cette électrode 26 est gravée une colonne 25 munie d'une languette en vis à vis du drain 2 et qui forme la source 1 du transistor 30. Au cours de la seconde étape du procédé, le semiconducteur 13 et le diélectrique 16 sont déposés et gravés de manière à former les mésas 31 et 32, la mesa 31 formant le niveau semiconducteur du transistor 30 et la mesa 32 un niveau d'isolation entre la colonne 25 et la grille 28 déposée et gravée au cours de la quatrième étape du procédé. Les flancs des mesas 31 et 32 ont été passivés avant le dépôt et la gravure de la grille 28. Il est à noter que dans cet exemple, les mesas semiconductrices - isolantes débordent de chaque côté de la grille et n'ont donc pas été traitées selon les cinquièmes et sixième étapes du procédé ci-dessus.

La figure 3e représente l' inverseur 40 de la figure 1e fabriqué selon le troisième mode de mise en oeuvre du procédé selon l'invention. On retrouve ainsi les transistors 41 et 42, le premier niveau conducteur constituant les sources et drains de ces transistors ainsi que la
5 connection 45, les mesas 29 dont les flancs ont été passivés constituées d'un premier niveau semiconducteur 13 et d'un premier niveau isolant 16, et enfin, le niveau métallique 15 formant les grilles 43 et 44 des transistors 41 et 42 ainsi que les connections 46 et 47.

10 Dans ces second et troisième modes de mise en oeuvre du procédé selon l'invention, le diélectrique 16 déposé dans le même cycle de vide que le niveau semiconducteur 13 permet une bonne interface entre ces deux niveaux.

Le procédé selon l'invention peut être mis en oeuvre sur un
15 substrat de verre ou sur un substrat déjà préprocessé (plan de masse, black matrix et niveau isolant) qui permet, par exemple, de rajouter une capacité de stockage et de protéger le transistor contre la lumière par l'arrière de l'écran.

En effet, un perfectionnement particulièrement intéressant de
20 l'invention consiste à déposer et graver un premier niveau opaque directement sur le substrat en début de procédé, de manière à ce que celui-ci masque le canal semiconducteur entre la source et le drain de chaque transistor étagé direct. Ce premier niveau opaque peut être
25 déposé et gravé de manière à masquer à la lumière les endroits où vont être déposés les sources, drains et semiconducteurs constituant les transistors commandant les électrodes de pixels, ou ne laisser exposées à la lumière que les zones comportant les électrodes, améliorant ainsi le contraste de l'écran tout en bloquant la photoconductivité des matériaux
30 semiconducteurs utilisés. Cela ne rajoute qu'un niveau de masque au procédé selon l'invention. Ce niveau peut être en métal réfléchissant et, s'il est conducteur, cette première gravure doit être suivie du dépôt sur toute la surface du substrat d'un niveau isolant.

Un tel premier niveau opaque est appelé "black matrix" et est décrit en détail dans la demande de brevet Français n° 91 12586
35 déposée par la demanderesse.

Un autre perfectionnement de la présente invention peut être de rajouter directement sur le substrat au début du procédé, une capacité

de stockage sur laquelle sera réalisé la matrice active. Une telle capacité de stockage est décrite en détail dans la demande de brevet Français n° 91 12585 déposée par la demanderesse. Cette capacité de stockage peut être réalisée par une couche conductrice transparente déposée
5 directement sur tout le substrat et recouverte par une couche isolante transparente. Ainsi, aucun nouveau niveau de masque n'a été ajouté. Elle peut aussi être opaque et gravée de manière à ne masquer que les zones semiconductrices ou à ne laisser passer la lumière que sur les zones comportant les électrodes, jouant ainsi le rôle de "black matrix".

10 De préférence, le substrat 10 est une plaque de verre, le matériau transparent et conducteur 11 peut être de l'oxyde d'indium et d'étain (ITO) ou de l'oxyde d'étain (SnO₂), et le matériau semiconducteur 13 une multicouche ou une monocouche de silicium amorphe hydrogéné (a-Si:H), de silicium polycristallin ou microcristallin. Les matériaux
15 diélectriques 14 et 16 peuvent être du dioxyde de silicium (SiO₂), du nitrure de silicium (SiN) ou de l'oxynitrure. De préférence, la couche d'isolant en contact avec le semiconducteur est une couche de nitrure de silicium (SiN) et celle qui est en contact avec le conducteur, une couche de dioxyde de silicium (SiO₂). Les matériaux conducteurs 15
20 peuvent être de l'aluminium, du titane, du chrome, du molybdène, du tungstène, du tantale, de l'ITO, des alliages ou des multicouches.

La présente invention s'applique à la fabrication de transistors à
couche mince et à structure étagée directe, autopassivée et
25 autoécrantée qui peuvent être utilisés pour la réalisation de tout circuit électronique (électronique de traitement de signaux) intégré sur un substrat préprocessé ou non, ou sur une plaque de verre à base de silicium amorphe comme ceux utilisés pour la photocopie ou le pilotage de barrette de photodiode, et plus particulièrement pour la réalisation
30 d'écrans plats à cristaux liquides commandés par une électronique (drivers) externe ou intégrée.

REVENDEICATIONS

1. Procédé de fabrication de transistors à couches minces étagés directs (20;23;24) à quatre niveaux de masques, caractérisé en ce qu'il
5 comporte les étapes suivantes:
- . dépôt et gravure d'un premier niveau conducteur (11) sur un substrat isolant (10) de manière à former une source (1) et un drain (2),
 - . dépôt et gravure d'un niveau semiconducteur (13) suivi d'un premier niveau isolant (16) joignant les source (1) et drain (2),
10 . dépôt et gravure d'un second niveau isolant (14),
 - . dépôt et gravure d'un second niveau conducteur (15) réalisant la grille (22) du transistor (20,23).
2. Procédé selon la revendication 1 caractérisé en ce que le
15 second niveau isolant (14) est gravé de manière à créer une ouverture (5) au travers de celui-ci, cette ouverture débouchant sur une connexion (3) déposée et gravée lors de la première étape du procédé,
3. Procédé selon la revendication 2 caractérisé en ce que le
20 second niveau isolant (14) est gravé de manière à ce qu'une partie (29) de celui-ci située sur le semiconducteur (13) et le premier niveau isolant (16) soit enlevée, le diélectrique de grille du transistor (24) étant réalisé par le premier niveau isolant (16),
- 25 4. Procédé selon l'une quelconque des revendications précédentes caractérisé en ce que le second niveau conducteur (15) est gravé de manière à bloquer la photoconductivité du niveau semiconducteur (13),
5. Procédé de fabrication de transistors à couches minces étagés
30 directs (30) à trois niveaux de masques, caractérisé en ce qu'il comporte les étapes suivantes:
- . dépôt et gravure d'un premier niveau conducteur (11) sur un substrat isolant (10) de manière à former une source et un drain (1,2),
 - . dépôt d'un niveau semiconducteur (13) suivi d'un niveau isolant
35 (16) et gravure de l'ensemble joignant les source (1) et drain (2),
 - . oxydation, nitruration ou passivation des flancs (131,132) du niveau semiconducteur (13),

. dépôt et gravure d'un niveau conducteur (15),

6. Procédé selon la revendication 4 caractérisé en ce que ces
étapes sont suivies d'une étape de gravure de la bicouche niveau
5 semiconducteur (13) - niveau isolant (16) en utilisant le niveau gravé
conducteur (15) comme niveau de masque,

7. Procédé selon la revendication 5 caractérisé en ce que cette
gravure est suivie d'une étape d'oxydation, de nitruration ou de
10 passivation des flancs gravés du niveau semiconducteur (13),

8. Procédé selon l'une quelconque des revendications précédentes
caractérisé en ce que les sources (1), drains (2) et grilles (22) sont
gravés de manière à former respectivement les colonnes (25), électrodes
15 de pixels (26) et lignes (28) d'un écran à cristaux liquides à matrice
active.

9. Procédé selon l'une quelconque des revendications précédentes
caractérisé en ce que les transistors ainsi réalisés sont utilisés pour la
20 réalisation d'une électronique de commande intégrée et/ou une
électronique de traitement de signaux.

10. Procédé selon l'une quelconque des revendications
précédentes caractérisé en ce que le substrat isolant (10) est
25 transparent.

11. Procédé selon l'une quelconque des revendications
précédentes caractérisé en ce que le premier niveau conducteur (11) est
transparent,

30

12. Procédé selon l'une quelconque des revendications
précédentes caractérisé en ce que le premier niveau conducteur
transparent (11) est dopé superficiellement,

35 13. Procédé selon l'une quelconque des revendications
précédentes caractérisé en ce que le premier niveau conducteur (11) est
une bicouche conducteur - semiconducteur dopé,

14. Procédé selon l'une quelconque des revendications précédentes caractérisé en ce que le substrat isolant (10) est prétraité par un niveau conducteur directement déposé sur ce substrat suivi d'un
5 dépôt d'une couche isolante, cet ensemble formant l'électrode et le diélectrique d'une capacité de stockage,

15. Procédé selon la revendication 14 caractérisé en ce que ce niveau conducteur est opaque et gravé de manière à ne laisser passer la
10 lumière venant de dessous qu'au travers des électrodes (26), cette black matrix ainsi réalisée permettant une amélioration du contraste de l'écran,

16. Procédé selon la revendication 14 caractérisé en ce que ce niveau conducteur est opaque et est gravé de manière à ce qu'il masque
15 le niveau semiconducteur (13) du transistor (20;23;24;30) à la lumière venant de dessous de l'écran,

17. Procédé selon l'une quelconque des revendications précédentes caractérisé en ce que le substrat (10) est une plaque de
20 verre,

18. Procédé selon l'une quelconque des revendications précédentes caractérisé en ce que le premier niveau conducteur transparent est constitué d'oxyde d'indium et d'étain ou d'oxyde
25 d'étain,

19. Procédé selon l'une quelconque des revendications précédentes caractérisé en ce que les matériaux semiconducteurs sont du silicium amorphe hydrogéné, du silicium polycristallin ou
30 microcristallin.

20. Procédé selon l'une quelconque des revendications précédentes caractérisé en ce que les matériaux isolants sont du dioxyde de silicium, du nitrure de silicium ou de l'oxynitrure,
35

21. Procédé selon l'une quelconque des revendications précédentes caractérisé en ce que les matériaux conducteurs sont de

l'aluminium, du titane, du chrome, du molybdène, du tungstène, du tantale, de l'oxyde d'indium et d'étain, des alliages ou des multicouches,

22. Ecran à cristaux liquide comportant une matrice active dont
5 les éléments actifs commandant les électrodes de pixels sont des transistors à couches minces étagés directs, caractérisé en ce qu'il est fabriqué par le procédé selon l'une quelconque des revendications précédentes,
- 10 23. Ecran à cristaux liquide comportant une matrice active et une électronique de commande intégrée dont les éléments actifs commandant les électrodes de pixels ainsi que constituant l'électronique de commande intégrée sont des transistors à couches minces étagés directs, caractérisé en ce qu'il est fabriqué par le procédé selon l'une
15 quelconque des revendications précédentes,
24. Circuit électronique réalisé sur un substrat isolant (10) caractérisé en ce qu'il est fabriqué par un procédé selon l'une quelconque des revendications 1 à 7.

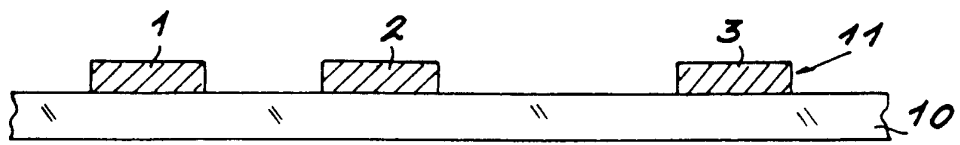


FIG. 1 a

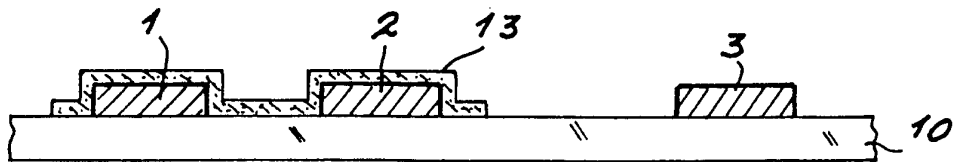


FIG. 1 b

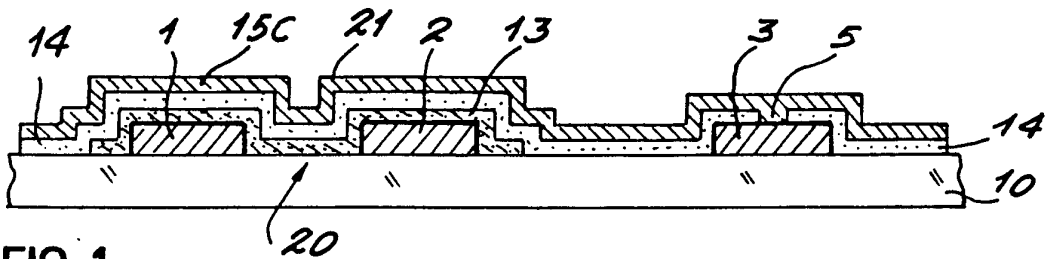


FIG. 1 c

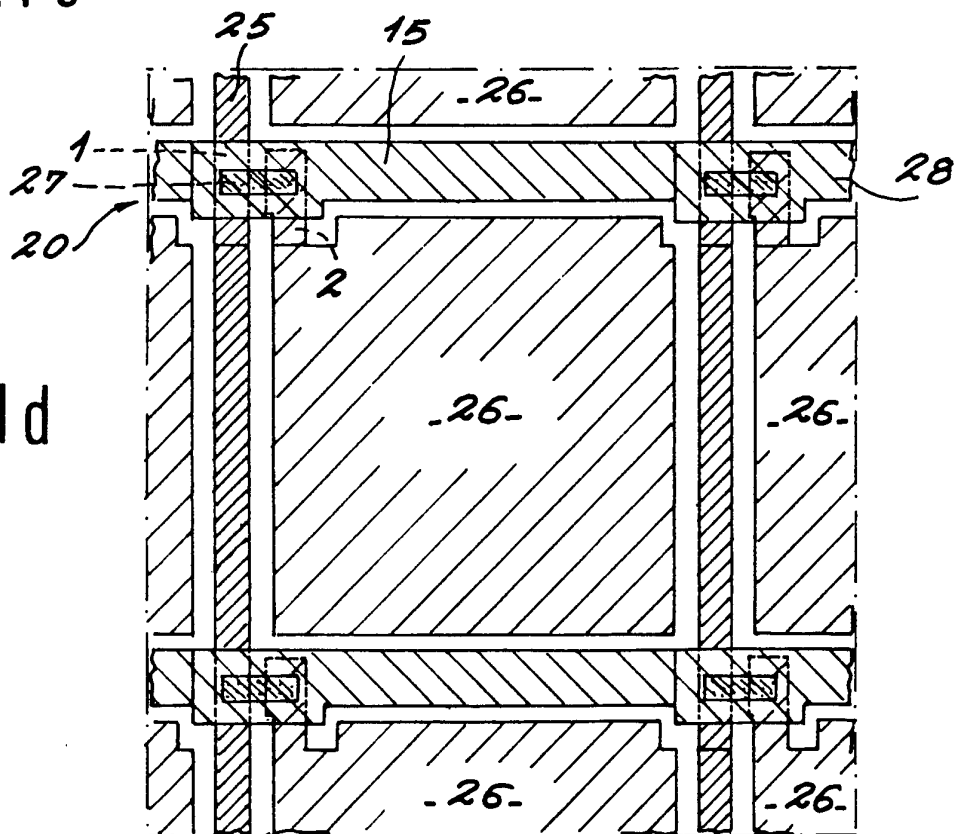


FIG. 1 d

FIG. 1 e

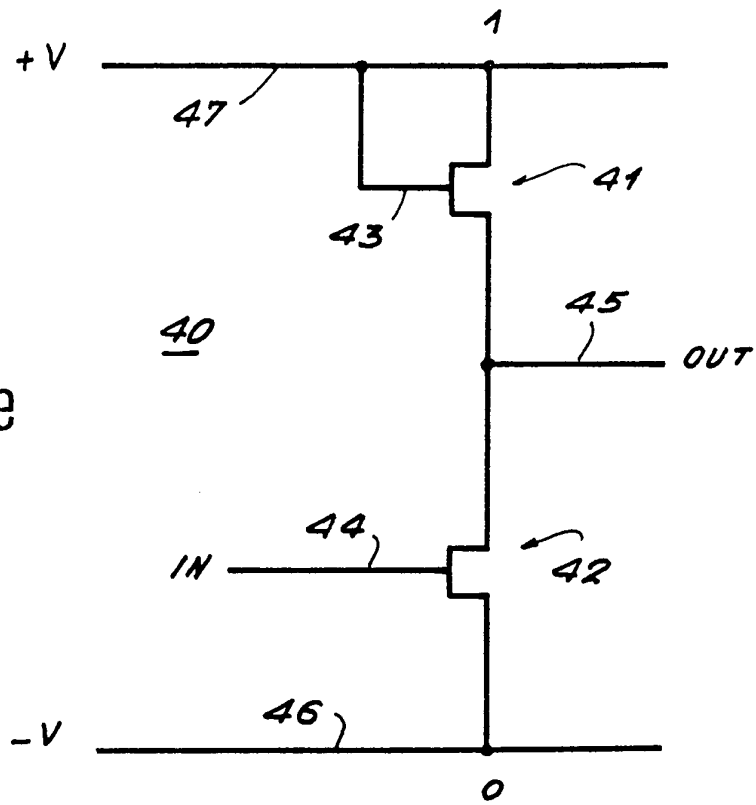
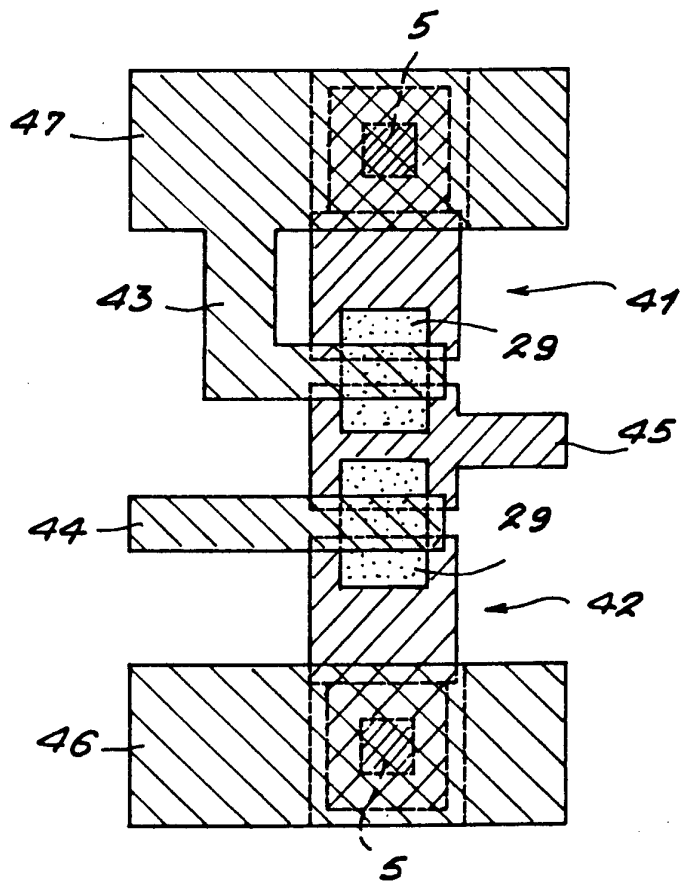
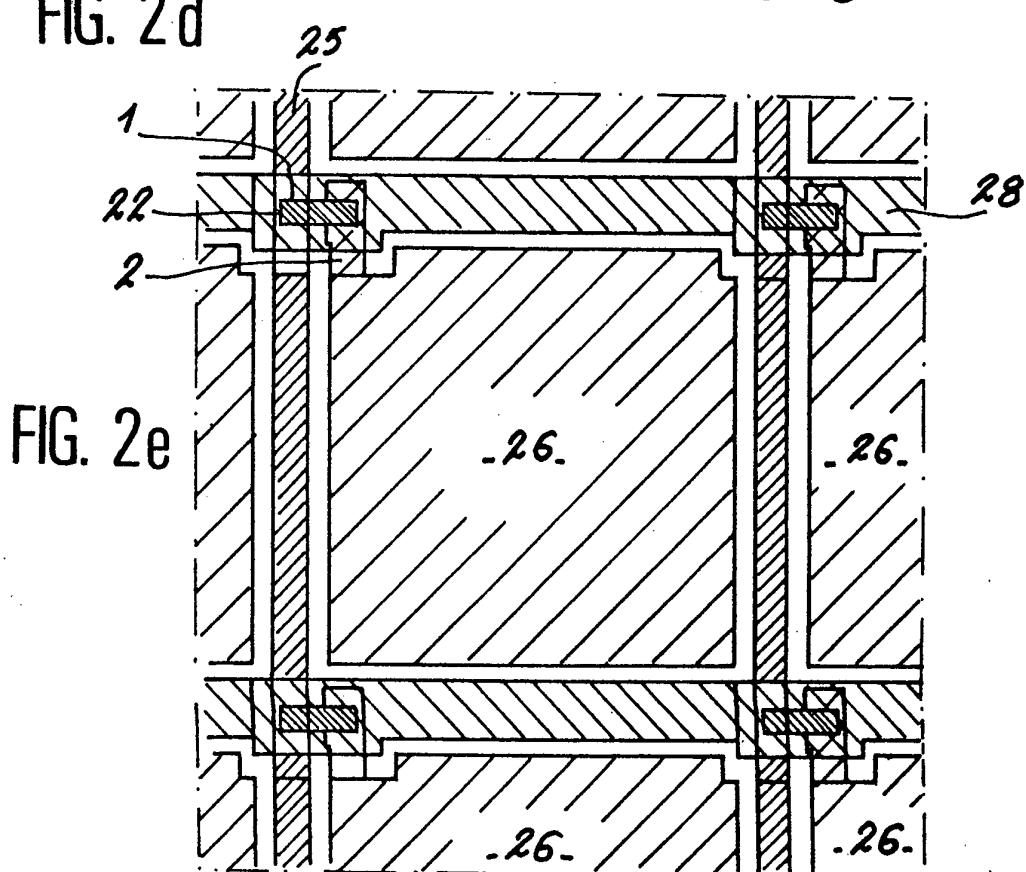
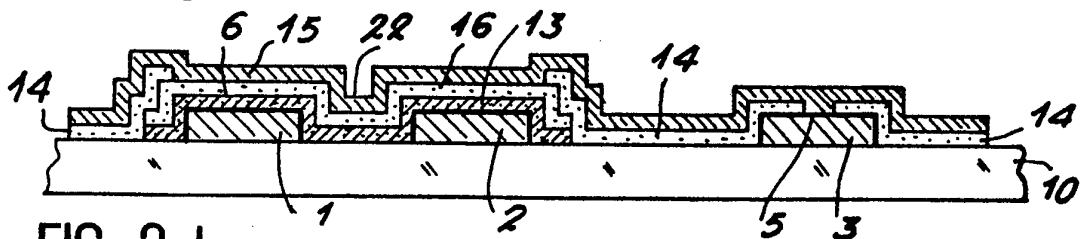
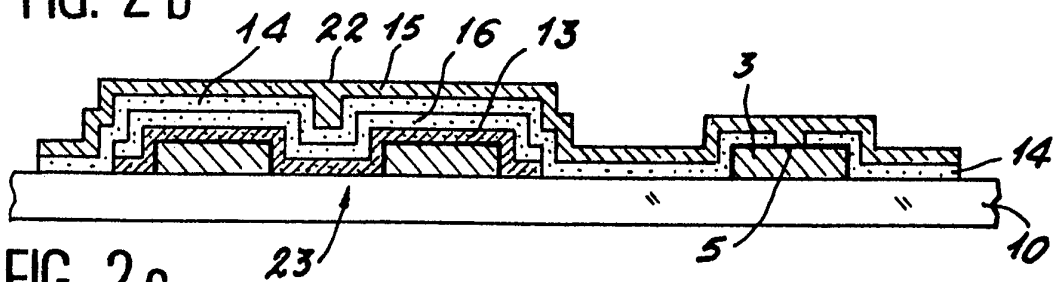
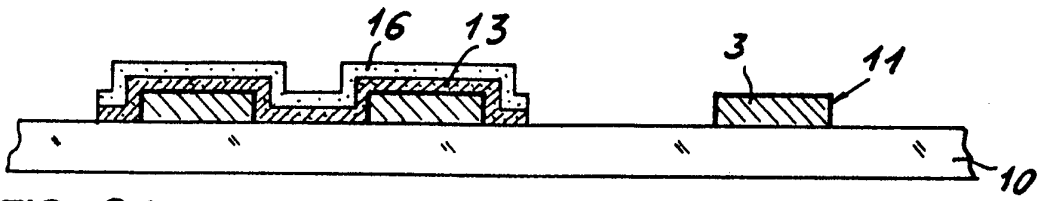
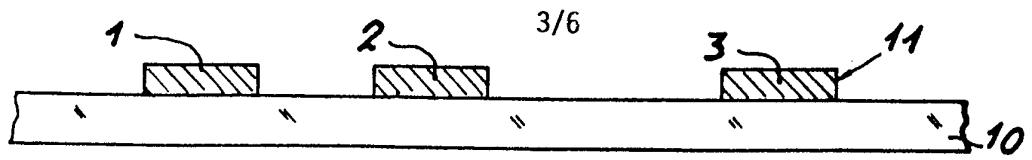


FIG. 1 f





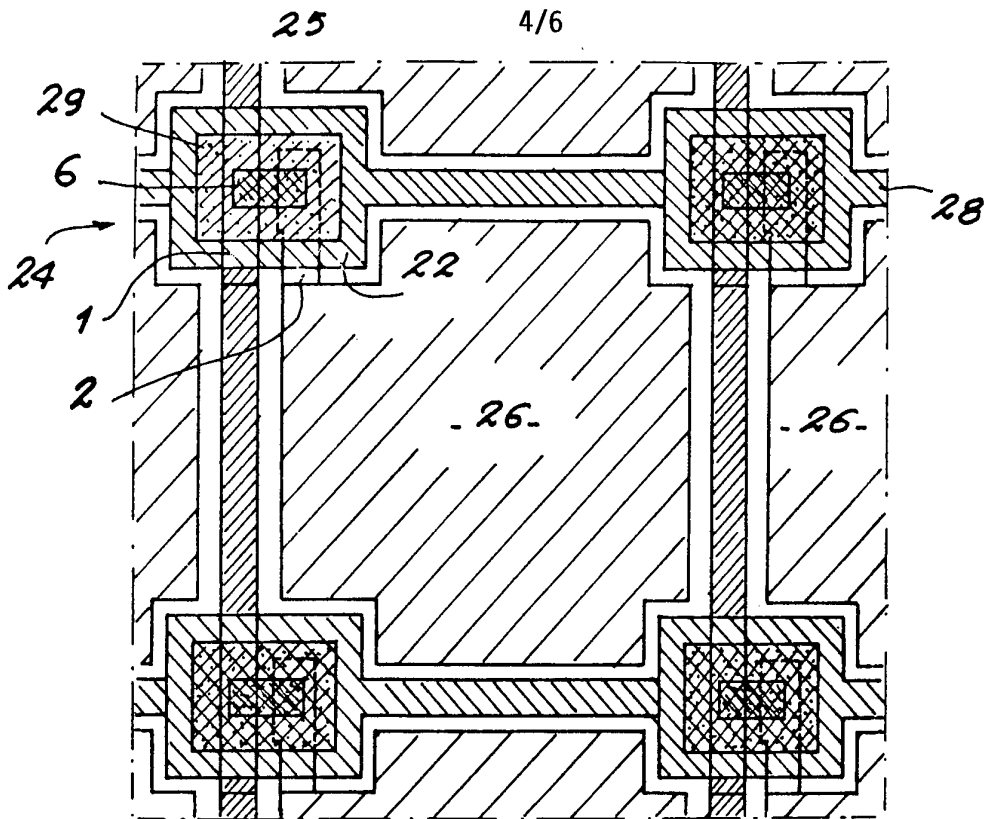


FIG. 2 f

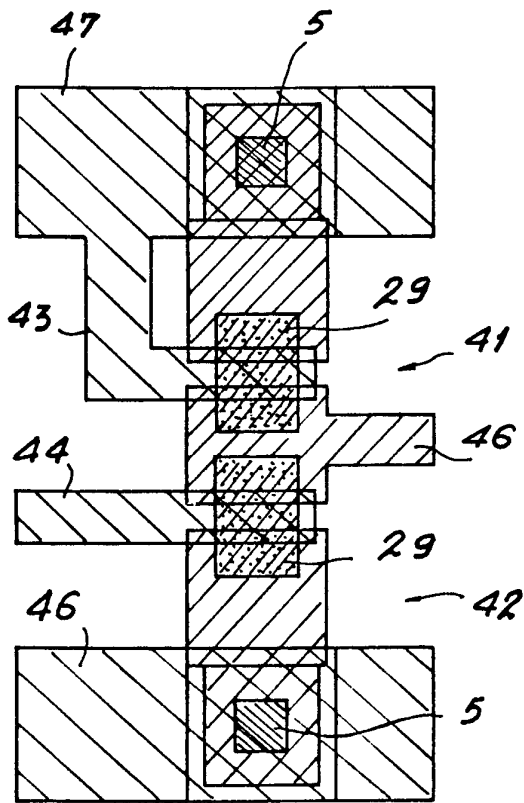


FIG. 2 g

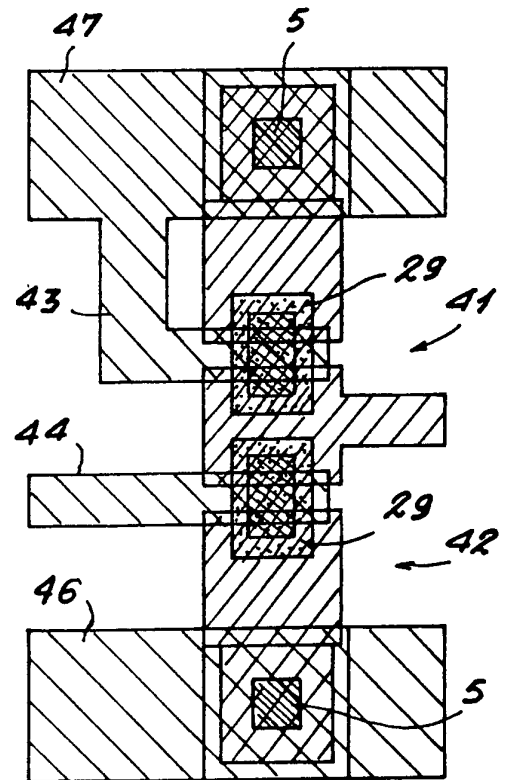


FIG. 2 h

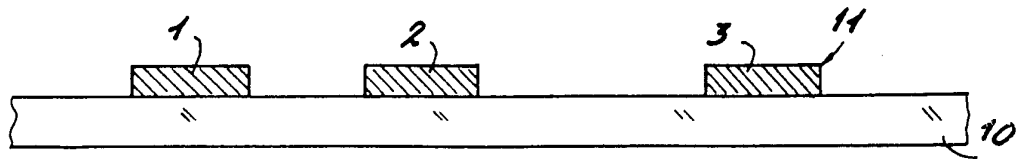


FIG. 3 a

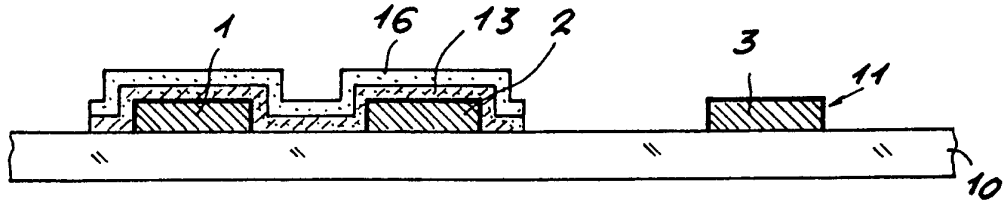


FIG. 3 b

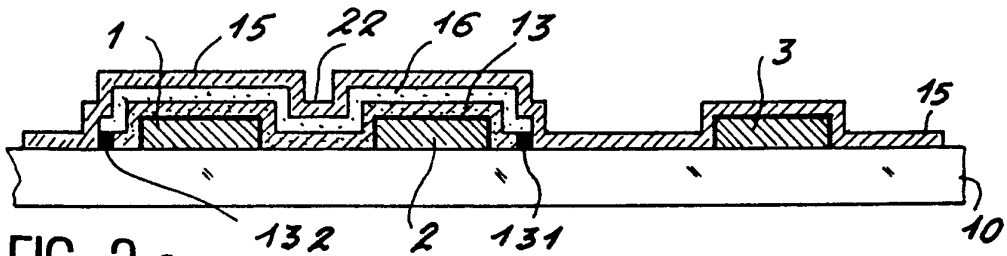


FIG. 3 c

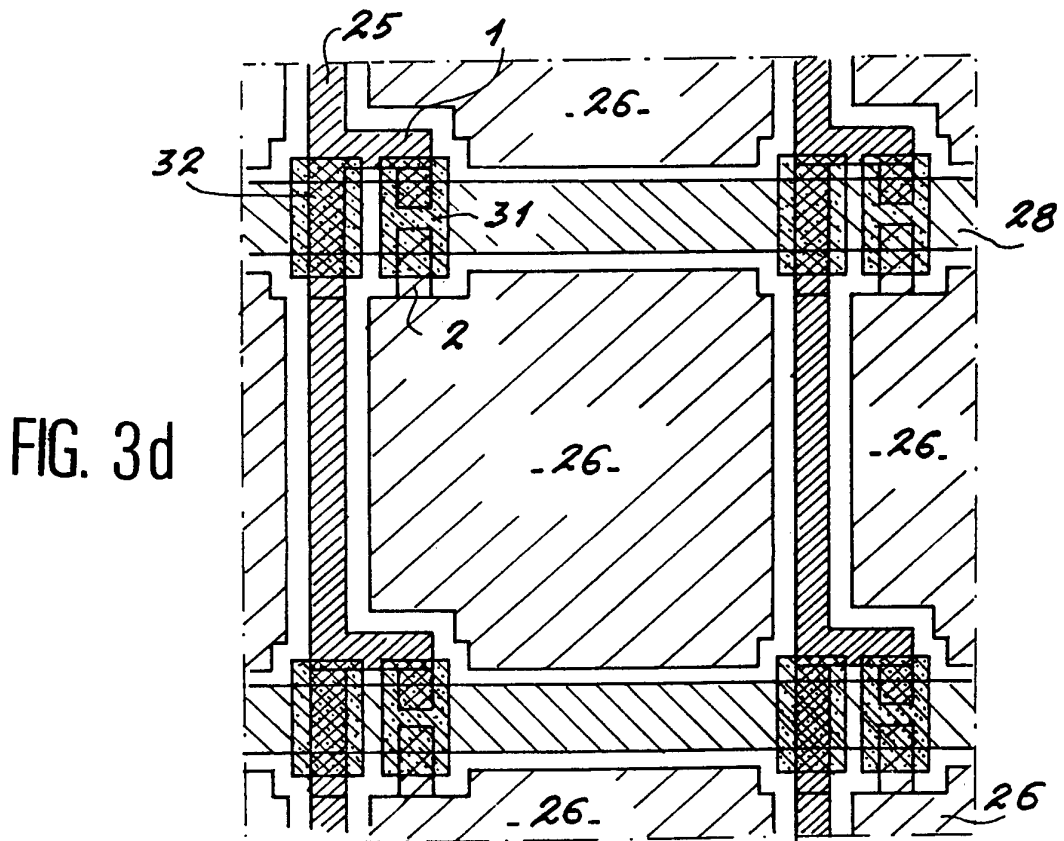


FIG. 3 d

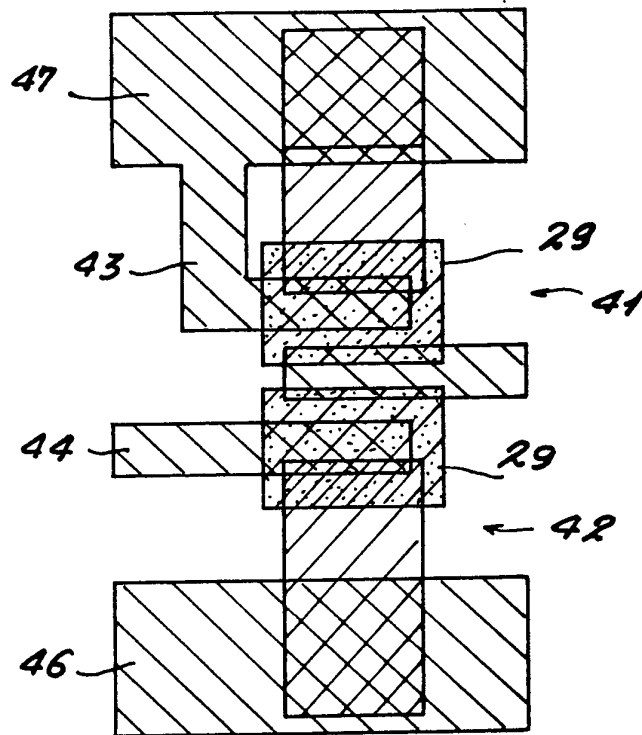


FIG. 3e