

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2017-143679

(P2017-143679A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int. Cl.  
**H02M 7/48**

F I  
HO2M 7/48

テーマコード (参考)  
5H770

審査請求 未請求 請求項の数 11 O L (全 12 頁)

(21) 出願番号 特願2016-24419 (P2016-24419)  
(22) 出願日 平成28年2月12日 (2016. 2. 12)

(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目7番3号

(74) 代理人 100088672  
弁理士 吉竹 英俊

(74) 代理人 100088845  
弁理士 有田 貴弘

(72) 発明者 角田 哲次郎  
東京都千代田区丸の内二丁目7番3号 三  
菱電機株式会社内

Fターム(参考) 5H770 AA05 BA01 DA03 DA41 JA10X  
KA05X QA01 QA06 QA22 QA25

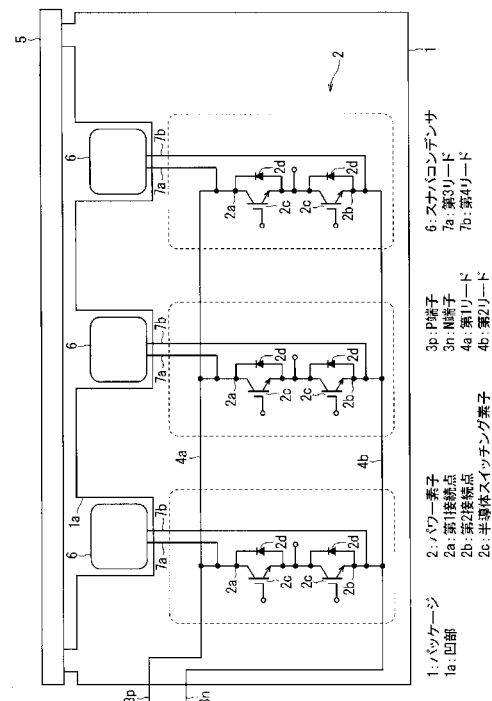
(54) 【発明の名称】 パワーモジュール

(57) 【要約】

【課題】適切な容量のスナバコンデンサを使用可能な技術を提供することを目的とする。

【解決手段】パワーモジュールは、一端が第 1 接続点 2 a に電氣的に接続され、他端がパッケージ 1 から露出された、第 1 リード 4 a よりも短い第 3 リード 7 a と、一端が第 2 接続点 2 b に電氣的に接続され、他端がパッケージ 1 から露出された、第 2 リード 4 b よりも短い第 4 リード 7 b とを備える。第 3 リード 7 a の他端及び第 4 リード 7 b の他端に、スナバコンデンサ 6 が着脱可能である。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

パッケージと、

前記パッケージ内に設けられ、第 1 接続点及び第 2 接続点の間にて上アーム及び下アームを構成する複数の半導体スイッチング素子を含むパワー素子と、

前記パワー素子の前記第 1 接続点を、第 1 リードを介して外部に導出する P 端子と、

前記パワー素子の前記第 2 接続点を、第 2 リードを介して外部に導出する N 端子と、

一端が前記第 1 接続点に電氣的に接続され、他端が前記パッケージから露出された、前記第 1 リードよりも短い第 3 リードと、

一端が前記第 2 接続点に電氣的に接続され、他端が前記パッケージから露出された、前記第 2 リードよりも短い第 4 リードと

を備え、

前記第 3 リードの前記他端及び前記第 4 リードの前記他端に、スナバコンデンサが着脱可能である、パワーモジュール。

**【請求項 2】**

請求項 1 に記載のパワーモジュールであって、

前記複数の半導体スイッチング素子で構成される前記上アーム及び前記下アームを、相ごとに複数有する、パワーモジュール。

**【請求項 3】**

請求項 1 に記載のパワーモジュールであって、

前記パワー素子は、

並列接続された第 1 群の前記半導体スイッチング素子と、並列接続された第 2 群の前記半導体スイッチング素子とをブロック単位で含み、

前記第 1 群の半導体スイッチング素子と、前記第 2 群の半導体スイッチング素子とが前記第 1 接続点及び前記第 2 接続点の間にて上アーム及び下アームを構成する、パワーモジュール。

**【請求項 4】**

請求項 3 に記載のパワーモジュールであって、

前記ブロック単位は、前記半導体スイッチング素子の実装された絶縁基板の単位である、パワーモジュール。

**【請求項 5】**

請求項 1 から請求項 4 のうちのいずれか 1 項に記載のパワーモジュールであって、

一端が前記第 3 リードと接続され、他端が前記パッケージから露出された第 5 リードと

、

一端が前記第 4 リードと接続され、他端が前記パッケージから露出された第 6 リードとをさらに備える、パワーモジュール。

**【請求項 6】**

請求項 1 から請求項 5 のうちのいずれか 1 項に記載のパワーモジュールであって、

前記第 1 リードと前記第 2 リードとが互いに近接して配設されている、パワーモジュール。

**【請求項 7】**

請求項 6 に記載のパワーモジュールであって、

前記第 1 リードと前記第 2 リードとの間に配設された誘電体層をさらに備える、パワーモジュール。

**【請求項 8】**

請求項 1 から請求項 7 のうちのいずれか 1 項に記載のパワーモジュールであって、

前記第 3 リードの前記他端及び前記第 4 リードの前記他端のそれぞれには、前記スナバコンデンサの端子を着脱可能なソケット部が設けられた、パワーモジュール。

**【請求項 9】**

請求項 1 から請求項 8 のうちのいずれか 1 項に記載のパワーモジュールであって、

10

20

30

40

50

前記スナバコンデンサが、前記第３リードの前記他端及び前記第４リードの前記他端に取り付けられた場合に、当該スナバコンデンサを収容する凹部が、前記パッケージの表面に設けられた、パワーモジュール。

【請求項１０】

請求項１から請求項８のうちのいずれか１項に記載のパワーモジュールであって、

前記スナバコンデンサが、前記第３リードの前記他端及び前記第４リードの前記他端に取り付けられた場合に、当該スナバコンデンサと並行して突出する凸部が、前記パッケージの表面に設けられた、パワーモジュール。

【請求項１１】

請求項１から請求項１０のうちのいずれか１項に記載のパワーモジュールであって、

前記パワー素子は、ワイドバンドギャップ半導体からなる、パワーモジュール。

10

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、パッケージを備えるパワーモジュールに関する。

【背景技術】

【０００２】

大電流を高速スイッチ可能なパワーモジュールに関して、様々な技術が提案されている。例えば特許文献１の技術では、モジュール内にコンデンサを埋め込んだパワーモジュールが提案されている。このような構成によれば、各組の半導体スイッチング素子（上下アーム）の近傍に、サージ電圧抑制用のスナバコンデンサを接続するので、サージ電圧を適切に低減することが可能となっている。

20

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００９－２２５６１２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

しかしながら、サージ電圧はモジュールのユーザ側の使用条件によって異なることから、サージ電圧を十分に低減するためには、スナバコンデンサの容量をユーザの使用条件ごとに最適化する必要があった。また、コンデンサの容量が温度変化に応じて変化しやすいことから、コンデンサを内部に設けたモジュールでは、チップの発熱の影響によって容量がばらつく傾向にある。特に、高誘電率材料（高誘電体）を使用したコンデンサでは、温度変化に対する容量の変化依存性が大きいので、その傾向が顕著になる。このため、サージ電圧を十分に低減するのに適切な容量を維持することができず、この結果、サージ電圧が、素子耐圧を超える程度まで大きくなる可能性があるという問題があった。

30

【０００５】

なお、上記問題を解決するために、温度変化によるコンデンサ容量のばらつきを考慮して、予め大きな容量のコンデンサを内蔵することも考えられる。しかしながら、この場合には、必要以上に大きなスペースをモジュール内部に設けることが必要になり、コスト及び装置のサイズが必要以上に大きくなるという別の問題が生じる。

40

【０００６】

さらに、コンデンサに使用される高誘電体は焼結体であるが、リードと一緒にコンデンサの誘電体を高温で焼結することが困難である。このため、サージ電圧を低減するのに適切な容量のスナバコンデンサを用いることができず、素子耐圧を超える可能性があるという問題があった。

【０００７】

そこで、本発明は、上記のような問題点を鑑みてなされたものであり、適切な容量のスナバコンデンサを使用可能な技術を提供することを目的とする。

50

## 【課題を解決するための手段】

## 【0008】

本発明に係るパワーモジュールは、パッケージと、前記パッケージ内に設けられ、第1接続点及び第2接続点の間にて上アーム及び下アームを構成する複数の半導体スイッチング素子を含むパワー素子と、前記パワー素子の前記第1接続点を、第1リードを介して外部に導出するP端子と、前記パワー素子の前記第2接続点を、第2リードを介して外部に導出するN端子と、一端が前記第1接続点に電氣的に接続され、他端が前記パッケージから露出された、前記第1リードよりも短い第3リードと、一端が前記第2接続点に電氣的に接続され、他端が前記パッケージから露出された、前記第2リードよりも短い第4リードとを備え、前記第3リードの前記他端及び前記第4リードの前記他端に、スナバコンデンサが着脱可能である。

10

## 【発明の効果】

## 【0009】

本発明によれば、一端が第1接続点に電氣的に接続され、他端がパッケージから露出された、第1リードよりも短い第3リードと、一端が第2接続点に電氣的に接続され、他端がパッケージから露出された、第2リードよりも短い第4リードとを備え、第3リードの他端及び第4リードの他端に、スナバコンデンサが着脱可能である。これにより、適切な容量のスナバコンデンサを使用することができる。

## 【図面の簡単な説明】

## 【0010】

20

【図1】関連パワーモジュールの構成を示す断面図である。

【図2】実施の形態1に係るパワーモジュールの構成を示す断面図である。

【図3】実施の形態2に係るパワーモジュールの構成を示す断面図である。

【図4】実施の形態3に係るパワーモジュールの構成を示す断面図である。

【図5】実施の形態4に係るパワーモジュールの構成を示す断面図である。

【図6】実施の形態5に係るパワーモジュールの構成を示す断面図である。

【図7】実施の形態6に係るパワーモジュールの構成を示す断面図である。

【図8】実施の形態7に係るパワーモジュールの構成を示す断面図である。

【図9】実施の形態8に係るパワーモジュールの構成を示す断面図である。

【図10】実施の形態9に係るパワーモジュールの構成を示す断面図である。

30

## 【発明を実施するための形態】

## 【0011】

以下、添付される図面を参照しながら実施の形態について説明する。なお、図面は概略的に示されるものであり、異なる図面にそれぞれ示される構成要素の大きさと位置との相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得るものである。

## 【0012】

## &lt; 関連パワーモジュール &gt;

まず、本発明の実施の形態に係るパワーモジュールについて説明する前に、これと関連するパワーモジュール（以下、「関連パワーモジュール」と記す）について説明する。

## 【0013】

40

図1は、関連パワーモジュールの構成を示す断面図である。図1の関連パワーモジュールは、パッケージ1と、パワー素子2と、P端子3pと、N端子3nと、第1リード4aと、第2リード4bと、プリント回路板（Printed Circuit Board）5と、スナバコンデンサ6とを備えている。

## 【0014】

パワー素子2は、パッケージ1内に設けられている。なお図示しないが、パッケージ1内には、他の素子及び他の回路なども設けられてもよい。

## 【0015】

図1のパワー素子2は、第1接続点2a及び第2接続点2bの間にて上アーム及び下アームを構成する複数の半導体スイッチング素子2cと、複数の半導体スイッチング素子2

50

cとそれぞれ並列接続された複数のダイオード2dとを含んでいる。図1の例では、上アームの半導体スイッチング素子2cのエミッタと、下アームの半導体スイッチング素子2cのコレクタとが接続され、上アームの半導体スイッチング素子2cのコレクタは第1接続点2aと接続され、下アームの半導体スイッチング素子2cのエミッタは第2接続点2bと接続されている。

【0016】

また本実施の形態1では、複数の半導体スイッチング素子2cで構成される上アーム及び下アームは、相ごとに複数用意されている。図1の例では、パワー素子2は、6回路の半導体スイッチング素子2c(3個の上下アーム)を内蔵した3相モータ駆動用のパワー素子であり、P電位及びN電位は、3個の上下アームに共通となっている。

10

【0017】

なお、半導体スイッチング素子2cは、IGBT(Insulated Gate Bipolar Transistor)でもよいし、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)でもよい。ダイオード2dは、SBD(Schottky Barrier Diode)でもよいし、PNダイオードでもよい。そして、パワー素子2は、珪素(Si)から構成されてもよいし、例えば、炭化珪素(SiC)、窒化ガリウム(GaN)、ダイヤモンドなどのワイドバンドギャップ半導体から構成されてもよい。このように構成された関連パワーモジュールでは、高温下においても安定して動作すること、及び、SW速度を高速化することが可能となる。

【0018】

20

P端子3pは、パワー素子2の第1接続点2a(P電位)を、第1リード4aを介してパッケージ1外部に導出する。N端子3nは、パワー素子2の第2接続点2b(N電位)を、第2リード4bを介してパッケージ1外部に導出する。なお、図1のように、P端子3p及びN端子3nに、それぞれ第1リード4aの一端及び第2リード4bの一端が適用されてもよい。

【0019】

プリント回路板5には、例えば、図示しない制御回路、駆動回路または保護回路などの回路が配設されている。なお図示しないが、プリント回路板5に配設された回路は、パワー素子2などと電氣的に接続されてもよい。

【0020】

30

スナバコンデンサ6は、パワー素子2のサージ電圧を抑制することが可能なコンデンサである。ここで、関連パワーモジュールでは、スナバコンデンサ6は、P端子3p及びN端子3nと固定的に接続されている。このような関連パワーモジュールでは、P端子3p及びN端子3nから遠い位置に設けられているアームは、スナバコンデンサ6までの距離が長いので、サージ電圧を十分に低減できないという問題があった。この問題に対して、サージ電圧を低減するために、パワーモジュール内にスナバコンデンサを埋め込んだパワーモジュール(例えば特許文献1など)が提案されている。

【0021】

しかしながら、コンデンサの容量が温度変化に応じて変化しやすいことから、スナバコンデンサを内部に設けたパワーモジュールでは、チップの発熱の影響によって容量がばらつきやすい。このため、サージ電圧を十分に低減するのに適切な容量を維持することができず、結果として、サージ電圧が、素子耐圧を超える程度まで大きくなることがあるという問題などがあった。これに対して、以下で説明する本発明の実施の形態1~9に係るパワーモジュールによれば、そのような問題を解決することが可能となっている。

40

【0022】

<実施の形態1>

図2は、本実施の形態1に係るパワーモジュールの構成を示す断面図である。なお、本実施の形態1で説明する構成要素のうち、関連パワーモジュールと同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0023】

50

図 2 のパワーモジュールは、関連パワーモジュールと同様のパッケージ 1、パワー素子 2、P 端子 3 p、N 端子 3 n、第 1 リード 4 a、第 2 リード 4 b、及び、プリント回路板 5 を備えている。

【 0 0 2 4 】

また、図 2 のパワー素子 2 は、関連パワーモジュールと同様の複数の半導体スイッチング素子 2 c 及び複数のダイオード 2 d を含んでおり、複数の半導体スイッチング素子 2 c で構成される上アーム及び下アームは、相ごとに複数用意されている。また、P 端子 3 p は、パワー素子 2 の第 1 接続点 2 a ( P 電位 ) を、第 1 リード 4 a を介してパッケージ 1 外部に導出し、N 端子 3 n は、パワー素子 2 の第 2 接続点 2 b ( N 電位 ) を、第 2 リード 4 b を介してパッケージ 1 外部に導出する。

10

【 0 0 2 5 】

ここで、図 2 のパワーモジュールは、上述の構成要素に加えて、接続用リードである第 3 リード 7 a 及び第 4 リード 7 b を備えている。

【 0 0 2 6 】

第 3 リード 7 a の一端は第 1 接続点 2 a に電氣的に接続され、第 3 リード 7 a の他端はパッケージ 1 から露出されており、第 3 リード 7 a は第 1 リード 4 a よりも短い。同様に、第 4 リード 7 b の一端は第 2 接続点 2 b に電氣的に接続され、第 4 リード 7 b の他端はパッケージ 1 から露出されており、第 4 リード 7 b は第 2 リード 4 b よりも短い。なお、図 2 の例では、第 3 リード 7 a の一端は、第 1 接続点 2 a と直接接続されていないが、直接接続されてもよい。同様に、第 4 リード 7 b の一端は、第 2 接続点 2 b と直接接続されていないが、直接接続されてもよい。

20

【 0 0 2 7 】

そして、本実施の形態 1 では、第 3 リード 7 a のパッケージ 1 から露出された他端、及び、第 4 リード 7 b のパッケージ 1 から露出された他端に、スナバコンデンサ 6 が着脱可能となっている。着脱構造としては、例えば、後の実施の形態 9 で説明するソケットや、図示しないネジ止めなど、様々な構造を適用することができる。

【 0 0 2 8 】

以上のような本実施の形態 1 に係るパワーモジュールによれば、第 3 リード 7 a 及び第 4 リード 7 b が比較的短いので、半導体スイッチング素子 2 c の近傍に、サージ電圧抑制用のスナバコンデンサ 6 を接続することができる。これにより、サージ電圧を適切に低減することが可能となっている。また、本実施の形態 1 では、第 3 リード 7 a の他端、及び、第 4 リード 7 b の他端に、スナバコンデンサ 6 が着脱可能となっている。これにより、適切な容量及びサイズのスナバコンデンサ 6 に必要に応じて付替えることができるので、サージ電圧を適切に抑制することができるとともに、コスト及び装置のサイズを抑制することができる。

30

【 0 0 2 9 】

また本実施の形態 1 では、第 1 接続点 2 a 及び第 2 接続点 2 b の間に複数の半導体スイッチング素子 2 c で構成される上アーム及び下アームは、相ごとに複数用意されている。これにより、相ごとに半導体スイッチング素子 2 c をスナバコンデンサ 6 に接続することができるので、各相のサージ電圧を抑制することができる。

40

【 0 0 3 0 】

また、本実施の形態 1 では、図 2 に示すように、スナバコンデンサ 6 が、第 3 リード 7 a の他端及び第 4 リード 7 b の他端に取り付けられた場合に、当該スナバコンデンサ 6 を収容する凹部 1 a が、パッケージ 1 の表面に設けられている。これにより、スナバコンデンサ 6 を、より半導体スイッチング素子 2 c に近傍して接続することができるので、サージ電圧をより低減することができる。また、スナバコンデンサ 6 が邪魔になることなく、プリント回路板 5 をパッケージ 1 上に配設することができる。

【 0 0 3 1 】

< 実施の形態 2 >

図 3 は、本実施の形態 2 に係るパワーモジュールの構成を示す断面図である。なお、本

50

実施の形態 2 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0032】

本実施の形態 2 では、凹部 1 a の代わりに、凸部 1 b がパッケージ 1 の表面に設けられている。ここで凸部 1 b は、スナバコンデンサ 6 が、第 3 リード 7 a の他端及び第 4 リード 7 b の他端に取り付けられた場合に、当該スナバコンデンサ 6 と並行して突出する。

【0033】

このような本実施の形態 2 に係るパワーモジュールによれば、実施の形態 1 と同様の効果を得ることができる。また本実施の形態 2 では、上述の凸部 1 b により、スタンドオフの高さを所望の高さに維持することができるので、スナバコンデンサ 6 を収容するスペースを、パワーモジュール内部に設けることができる。これにより、スナバコンデンサ 6 を、より半導体スイッチング素子 2 c に近傍して接続することができるので、サージ電圧をより低減することができる。また、スナバコンデンサ 6 が邪魔になることなく、プリント回路板 5 をパッケージ 1 上に配設することができる。

10

【0034】

< 実施の形態 3 >

図 4 は、本実施の形態 3 に係るパワーモジュールの構成を示す断面図である。なお、本実施の形態 3 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0035】

本実施の形態 3 に係るパワーモジュールは、実施の形態 1 の構成要素（図 2）に加えて、サージモニタ用のリードである第 5 リード 8 a 及び第 6 リード 8 b を備えている。

20

【0036】

第 5 リード 8 a の一端は、第 3 リード 7 a と接続され、第 5 リード 8 a の他端は、パッケージ 1 から露出されている。同様に、第 6 リード 8 b の一端は、第 4 リード 7 b と接続され、第 6 リード 8 b の他端は、パッケージ 1 から露出されている。そして、第 5 リード 8 a のパッケージ 1 から露出された他端、及び、第 6 リード 8 b のパッケージ 1 から露出された他端に、サージ電圧をモニタ可能なモニタ装置が着脱可能となっている。

【0037】

このような本実施の形態 3 に係るパワーモジュールによれば、実施の形態 1 と同様の効果を得ることができる。また本実施の形態 3 では、第 5 リード 8 a 及び第 6 リード 8 b によって、各アームのサージ電圧をモニタすることが可能となるため、各アームのサージ電圧が確実に低減できているかなどを容易に確認することができる。

30

【0038】

< 実施の形態 4 >

図 5 は、本実施の形態 4 に係るパワーモジュールの構成を示す断面図である。なお、本実施の形態 4 で説明する構成要素のうち、実施の形態 2, 3 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0039】

本実施の形態 4 に係るパワーモジュールは、実施の形態 2 の構成要素（図 3）に加えて、実施の形態 3 と同様の第 5 リード 8 a 及び第 6 リード 8 b（図 4）を備えている。

40

【0040】

このような本実施の形態 4 に係るパワーモジュールによれば、実施の形態 2 と同様の効果を得ることができる。また本実施の形態 4 では、実施の形態 3 と同様に、第 5 リード 8 a 及び第 6 リード 8 b によって、各アームのサージ電圧をモニタすることが可能となるため、各アームのサージ電圧が確実に低減できているかなどを容易に確認することができる。

【0041】

< 実施の形態 5 >

図 6 は、本実施の形態 5 に係るパワーモジュールの構成を示す断面図である。なお、本

50

実施の形態 5 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0042】

本実施の形態 5 に係るパワー素子 2 は、実施の形態 1 のパワー素子 2 (図 2) と異なり、2 回路の半導体スイッチング素子 2 c (1 個の上下アーム) を内蔵した大電力対応のパワー素子である。図 6 の例では、パワー素子 2 は、並列接続された 3 つ (第 1 群) の半導体スイッチング素子 2 c と、並列接続された 3 つ (第 2 群) の半導体スイッチング素子 2 c とを、ブロック 2 e の単位 (ブロック単位) で含んでいる。なお、本実施の形態 5 では、ブロック 2 e の単位は、6 つの半導体スイッチング素子 2 c が実装された絶縁基板 (図示せず) の単位である。

10

【0043】

そして本実施の形態 5 では、第 1 群の半導体スイッチング素子 2 c と、第 2 群の半導体スイッチング素子 2 c とが、第 1 接続点 2 a 及び第 2 接続点 2 b の間に上アーム及び下アームを構成している。

【0044】

このような本実施の形態 5 に係るパワーモジュールによれば、複数チップを並列接続した大電力素子であっても、実施の形態 1 と同様の効果を得ることができる。特に、本実施の形態 5 のようなパワー素子 2 では、例えば図 6 の左端のチップの位置と、図 6 の右端のチップの位置との間の距離が比較的長く、サージ電圧を十分に低減しにくいことから、実施の形態 1 で説明した効果 (サージ電圧の低減) は有効である。

20

【0045】

また本実施の形態 5 では、ブロック単位が、チップを実装する絶縁基板の単位である。このため、サージ電圧を低減する効果に関して、絶縁基板間の差を低減することができる。

【0046】

< 実施の形態 6 >

図 7 は、本実施の形態 6 に係るパワーモジュールの構成を示す断面図である。なお、本実施の形態 6 で説明する構成要素のうち、実施の形態 3, 5 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0047】

本実施の形態 6 に係るパワーモジュールは、実施の形態 5 の構成要素 (図 6) に加えて、実施の形態 3 と同様の第 5 リード 8 a 及び第 6 リード 8 b (図 4) を備えている。

30

【0048】

このような本実施の形態 6 に係るパワーモジュールによれば、実施の形態 5 と同様の効果を得ることができる。また本実施の形態 6 では、実施の形態 3 と同様に、第 5 リード 8 a 及び第 6 リード 8 b によって、各アームのサージ電圧をモニタすることが可能となるため、各アームのサージ電圧が確実に低減できているかなどを容易に確認することができる。

【0049】

< 実施の形態 7 >

図 8 は、本実施の形態 7 に係るパワーモジュールの構成を示す断面図である。なお、本実施の形態 7 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

40

【0050】

本実施の形態 7 に係るパワーモジュールは、実施の形態 1 の構成要素に加えて、誘電体層 9 を備えている。ここで、本実施の形態 7 では、第 1 リード 4 a と第 2 リード 4 b とが互いに近接して配設されている。そして、第 1 リード 4 a と第 2 リード 4 b との間に、上述した誘電体層 9 が配設されている。

【0051】

なお、図 8 の例では、第 1 リード 4 a の第 1 部分 4 a 1 と、第 2 リード 4 b の第 2 部分

50



4 b 1 とが近接して配設されている。ここで、第 1 部分 4 a 1 は、第 1 リード 4 a と第 3 リード 7 a とが接続された第 3 接続点 4 a 2 と、第 1 接続点 2 a との間の部分である。同様に、第 2 部分 4 b 1 は、第 2 リード 4 b と第 4 リード 7 b とが接続された第 4 接続点 4 b 2 と、第 2 接続点 2 b との間の部分である。そして、上述の誘電体層 9 は、第 1 リード 4 a の第 1 部分 4 a 1 と、第 2 リード 4 b の第 2 部分 4 b 1 との間に配設されている。

【0052】

以上のような本実施の形態 7 に係るパワーモジュールによれば、実施の形態 1 と同様の効果を得ることができる。また本実施の形態 7 では、第 1 リード 4 a と第 2 リード 4 b とが近接して配設されている。このような構成によれば、第 1 リード 4 a 及び第 2 リード 4 b によって、パワー素子 2 近傍にコンデンサを実質的に形成することができる。この結果、スナバコンデンサ 6 の容量を小さくすること、または、サージ電圧の抑制を高めることなどが可能となる。

10

【0053】

また本実施の形態 7 では、誘電体層 9 によって、パワー素子 2 近傍に形成された上記コンデンサの容量を大きくすることができる。これにより、スナバコンデンサ 6 の容量をより小さくすること、または、サージ電圧の抑制をより高めることなどが可能となる。

【0054】

なお本実施の形態 7 において、第 3 リード 7 a と第 4 リード 7 b とが近接して配設されてもよい。また、第 3 リード 7 a と第 4 リード 7 b との間に誘電体層が配設されてもよい。このような構成であっても、上述と同様の効果を得ることができる。また、以上の説明では実施の形態 1 に本実施の形態 7 を適用したが、これに限ったものではなく、例えば、実施の形態 2 , 5 に本実施の形態 7 を適用してもよい。

20

【0055】

< 実施の形態 8 >

図 9 は、本実施の形態 8 に係るパワーモジュールの構成を示す断面図である。なお、本実施の形態 8 で説明する構成要素のうち、実施の形態 3 , 7 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0056】

本実施の形態 8 に係るパワーモジュールは、実施の形態 7 の構成要素（図 8 ）に加えて、実施の形態 3 と同様の第 5 リード 8 a 及び第 6 リード 8 b （図 4 ）を備えている。

30

【0057】

このような本実施の形態 8 に係るパワーモジュールによれば、実施の形態 3 と同様に、第 5 リード 8 a 及び第 6 リード 8 b によって、各アームのサージ電圧をモニタすることが可能となるため、各アームのサージ電圧が確実に低減できているかなどを容易に確認することができる。また本実施の形態 8 では、実施の形態 7 と同様に、スナバコンデンサ 6 の容量を小さくすること、または、サージ電圧の抑制を高めることが可能となる。

【0058】

< 実施の形態 9 >

図 10 は、本実施の形態 9 に係るパワーモジュールの構成を示す断面図である。なお、本実施の形態 9 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

40

【0059】

本実施の形態 9 では、第 3 リード 7 a の他端には、スナバコンデンサ 6 の端子 6 a （オス）を着脱可能なソケット部 7 a 1 （メス）が設けられ、第 4 リード 7 b の他端には、スナバコンデンサ 6 の端子 6 a （オス）を着脱可能なソケット部 7 b 1 （メス）が設けられている。

【0060】

このような本実施の形態 9 に係るパワーモジュールによれば、スナバコンデンサ 6 の端子 6 a を、ソケット部 7 a 1 , 7 b 1 に挿入することにより、第 3 リード 7 a 及び第 4 リード 7 b にスナバコンデンサ 6 を接続することができる。したがって、はんだがなくても

50

、スナバコンデンサ 6 の付替えを容易に行うことができ、使い勝手の良いパワーモジュールを実現することができる。

【0061】

なお、以上の説明では実施の形態 1 に本実施の形態 9 を適用したが、これに限ったものではなく、例えば、実施の形態 2 ～ 8 に本実施の形態 9 を適用してもよい。

【0062】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

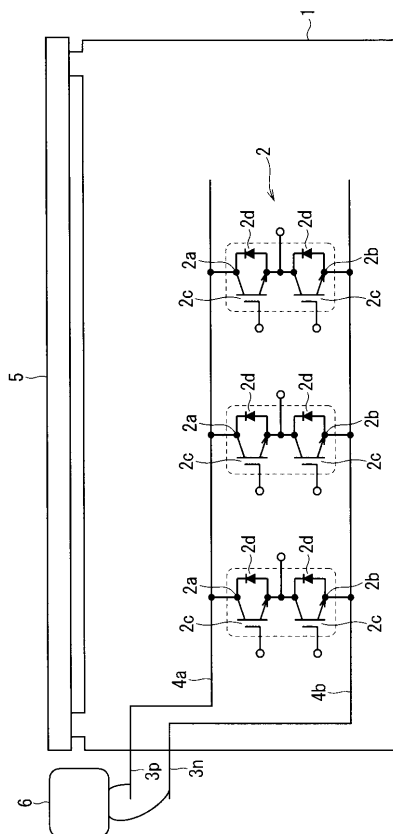
【符号の説明】

【0063】

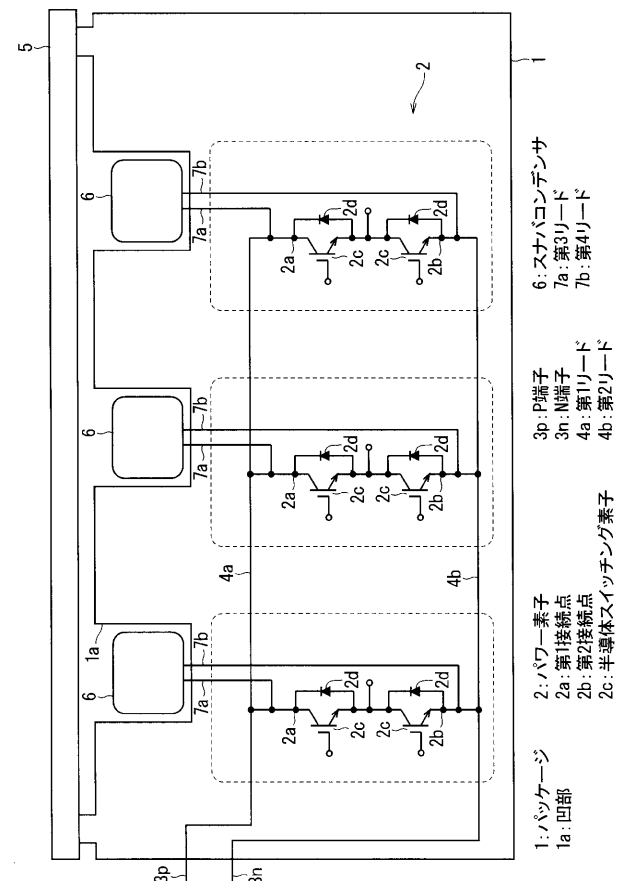
1 パッケージ、1 a 凹部、1 b 凸部、2 パワー素子、2 a 第 1 接続点、2 b 第 2 接続点、2 c 半導体スイッチング素子、2 e ブロック、3 p P 端子、3 n N 端子、4 a 第 1 リード、4 b 第 2 リード、6 スナバコンデンサ、6 a 端子、7 a 第 3 リード、7 a 1 , 7 b 1 ソケット部、7 b 第 4 リード、8 a 第 5 リード、8 b 第 6 リード、9 誘電体層。

10

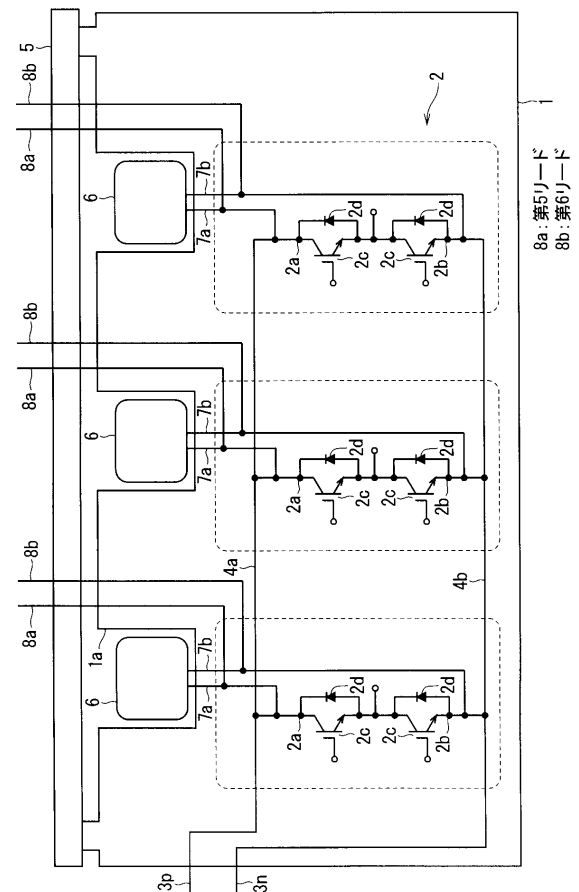
【図 1】



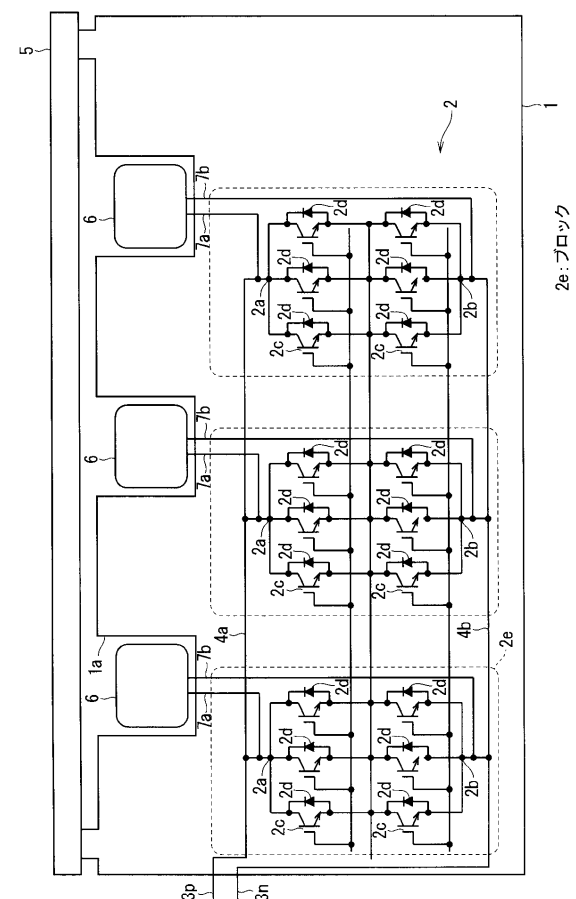
【図 2】



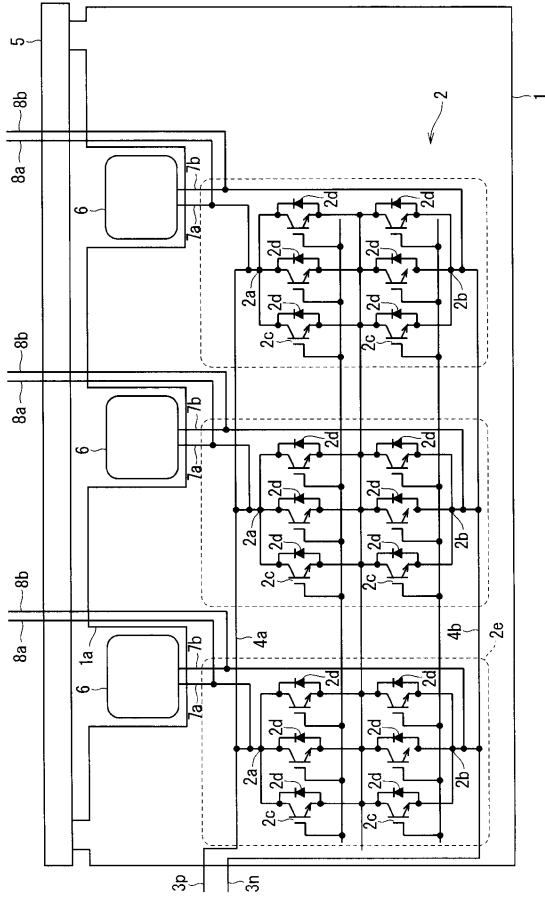
【 図 4 】



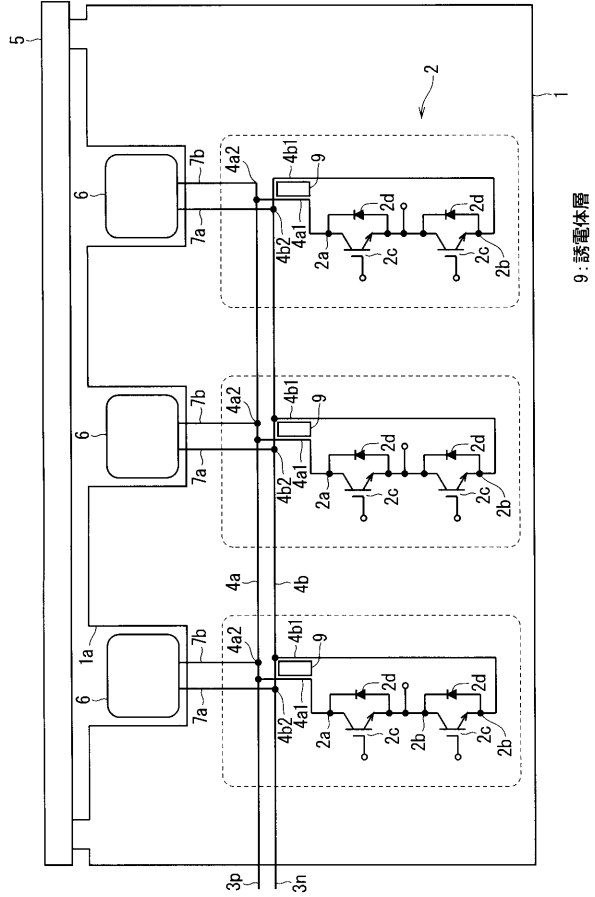
【 図 6 】



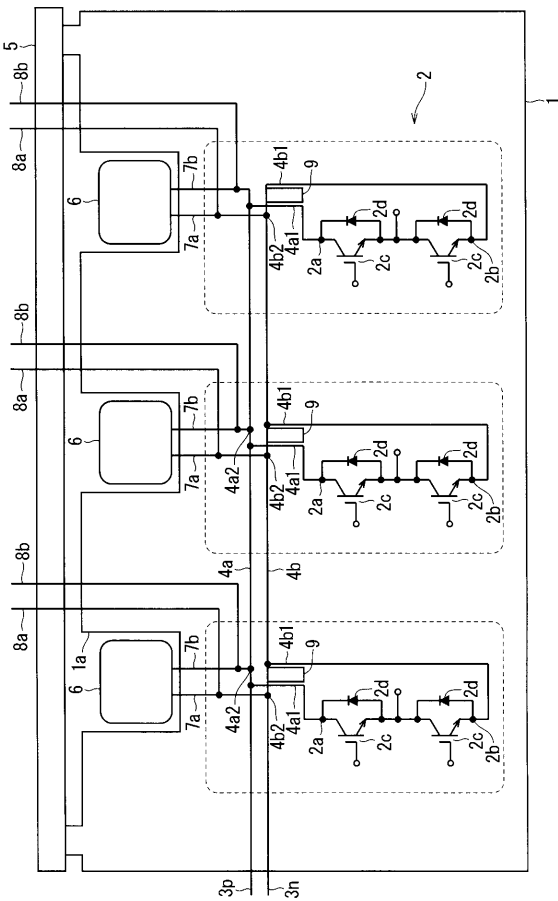
【 図 7 】



【 図 8 】



【 図 9 】



【 図 1 0 】

