

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5425461号
(P5425461)

(45) 発行日 平成26年2月26日(2014.2.26)

(24) 登録日 平成25年12月6日(2013.12.6)

(51) Int.Cl.	F I
HO 1 L 23/00 (2006.01)	HO 1 L 23/00 C
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 7
HO 1 L 27/105 (2006.01)	HO 1 L 43/08 Z
HO 1 L 43/08 (2006.01)	HO 1 L 43/02 Z
HO 1 L 43/02 (2006.01)	

請求項の数 16 (全 37 頁)

(21) 出願番号	特願2008-333247 (P2008-333247)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年12月26日(2008.12.26)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-153760 (P2010-153760A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成22年7月8日(2010.7.8)	(72) 発明者	板東 晃司 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成23年11月7日(2011.11.7)	(72) 発明者	三角 和幸 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		(72) 発明者	秋山 龍彦 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

- (a) ダイパッドと、
 - (b) 前記ダイパッドの周囲に配置された複数のリードと、
 - (c) 主面および前記主面と反対側の裏面を有し、前記主面側に複数の磁気記憶素子および複数のボンディングパッドとを有する半導体チップであって、前記ダイパッド上に配置された前記半導体チップと、
 - (d) 前記ダイパッドと前記半導体チップの前記裏面との間に配置された第1磁気シールド材と、
 - (e) 前記半導体チップの前記主面上に配置され、前記複数の磁気記憶素子が形成された領域を覆うように配置された第2磁気シールド材と、
 - (f) 前記複数のボンディングパッドと前記複数のリードとをそれぞれ電氣的に接続する複数のボンディングワイヤと、
 - (g) 前記複数のリードのそれぞれの一部、前記複数のボンディングワイヤ、前記ダイパッド、前記半導体チップ、前記第1磁気シールド材および前記第2磁気シールド材を封止する樹脂体とを有し、
- 前記第2磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも小さく形成され、
- 前記第2磁気シールド材の厚さは、前記第1磁気シールド材の厚さよりも厚く形成され

10

20

前記第 1 磁気シールド材および前記第 2 磁気シールド材のそれぞれは、金属から成ることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、

前記第 2 磁気シールド材の表面には、複数のディンプル加工が施されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置であって、

前記ダイパッドの面積は、前記第 1 磁気シールド材の面積よりも小さく形成され、前記ダイパッドから露出する前記第 1 磁気シールド材の表面には、複数のディンプル加工が施されていることを特徴とする半導体装置。

10

【請求項 4】

請求項 2 記載の半導体装置であって、前記第 2 磁気シールド材の表面に形成された複数のディンプル加工は、エッチングにより形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 3 記載の半導体装置であって、前記第 1 磁気シールド材の表面に形成された複数のディンプル加工は、エッチングにより形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置であって、

前記第 1 磁気シールド材および前記第 2 磁気シールド材は、ニッケルと鉄の合金から形成されていることを特徴とする半導体装置。

20

【請求項 7】

請求項 1 記載の半導体装置であって、

前記第 1 磁気シールド材の面積は、前記半導体チップの前記主面の面積より大きく形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 1 記載の半導体装置であって、

前記第 1 磁気シールド材の面積は、前記半導体チップの前記主面の面積と同一に形成されていることを特徴とする半導体装置。

【請求項 9】

請求項 1 記載の半導体装置であって、

前記複数のボンディングパッドは、前記半導体チップの前記主面の周囲に配置され、前記第 2 磁気シールド材は、前記複数のボンディングパッドの内側に配置されていることを特徴とする半導体装置。

30

【請求項 10】

(a) ダイパッドと、

(b) 前記ダイパッドの周囲に配置され、かつ、複数の信号用リードおよび複数の固定電位用リードを含む複数のリードと、

(c) 主面および前記主面と反対側の裏面を有し、前記主面側に、プログラムに従ってデータ処理を実行するマイクロプロセッサユニットと、複数の磁気記憶素子からなるメモリユニットと、複数の信号用ボンディングパッドと、複数の固定電位用ボンディングパッドとを有する半導体チップであって、前記ダイパッド上に配置された前記半導体チップと

40

(d) 前記複数の信号用ボンディングパッドと前記複数の信号用リードとをそれぞれ電氣的に接続する複数の信号用ボンディングワイヤと、

(e) 前記複数の固定電位用ボンディングパッドの第 1 群と、前記複数の固定電位用リードの第 1 群とをそれぞれ電氣的に接続する第 1 固定電位用ボンディングワイヤと、

(f) 前記ダイパッドと前記半導体チップの裏面との間に配置された第 1 磁気シールド材と、

(g) 前記半導体チップの前記主面上に配置され、少なくとも前記メモリユニットが形

50

成された領域を覆うように配置された第2磁気シールド材と、

(h) 前記複数の固定電位用ボンディングパッドの第2群と、前記第1磁気シールド材とをそれぞれ電氣的に接続する複数の第2固定電位用ボンディングワイヤと、

(i) 前記複数の信号用ボンディングワイヤ、前記複数の第1固定電位用ボンディングワイヤ、前記複数の第2固定電位用ボンディングワイヤ、前記複数のリードのそれぞれの一部、前記ダイパッド、前記半導体チップ、前記第1磁気シールド材および前記第2磁気シールド材を封止する樹脂体とを有し、

前記ダイパッドの面積は、前記第1磁気シールド材の面積よりも小さく形成され、

前記第1磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも大きく形成され、

前記複数の固定電位用ボンディングパッドの第2群のそれぞれは、前記半導体チップから平面視で露出する領域の前記第1磁気シールド材に接続されており、

前記第2磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも小さく形成され、

前記第2磁気シールド材の面積は、前記第1磁気シールド材の面積よりも小さく形成され、

前記第2磁気シールド材の厚さは、前記第1磁気シールド材の厚さよりも厚く形成され、

前記第1磁気シールド材および前記第2磁気シールド材のそれぞれは、金属から成ることを特徴とする半導体装置。

【請求項11】

(a) ダイパッドと、

(b) 前記ダイパッドの周囲に配置された複数のリードと、

(c) 主面および前記主面と反対側の裏面を有し、前記主面側に複数の磁気記憶素子および複数のボンディングパッドとを有する半導体チップであって、前記ダイパッド上に配置された前記半導体チップと、

(d) 前記ダイパッドと前記半導体チップの前記裏面との間に配置された第1磁気シールド材と、

(e) 前記半導体チップの前記主面上に配置され、前記複数の磁気記憶素子が形成された領域を覆うように配置された第2磁気シールド材と、

(f) 前記複数のボンディングパッドと前記複数のリードとをそれぞれ電氣的に接続する複数のボンディングワイヤと、

(g) 前記複数のリードのそれぞれの一部、前記複数のボンディングワイヤ、前記ダイパッド、前記半導体チップ、前記第1磁気シールド材および前記第2磁気シールド材を封止する樹脂体とを有し、

前記第1磁気シールド材の面積は、前記半導体チップの面積よりも大きく形成され、

前記第1磁気シールド材は、前記半導体チップの側面側に、その端部が位置するように折り曲げ加工が施されており、

前記第2磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも小さく形成され、

前記第2磁気シールド材の面積は、前記第1磁気シールド材の面積よりも小さく形成され、

前記第2磁気シールド材の厚さは、前記第1磁気シールド材の厚さよりも厚く形成され、

前記第1磁気シールド材および前記第2磁気シールド材のそれぞれは、金属から成ることを特徴とする半導体装置。

【請求項12】

(a) ダイパッドと、

(b) 前記ダイパッドの周囲に配置された複数のリードと、

(c) 平面視において、前記ダイパッドと前記複数のリードとの間に配置された固定電

10

20

30

40

50

位用リードと、

(d) 主面および前記主面と反対側の裏面を有し、前記主面側に複数の磁気記憶素子および複数のボンディングパッドとを有する半導体チップであって、前記ダイパッド上に配置された前記半導体チップと、

(e) 前記ダイパッドと前記半導体チップの前記裏面との間に配置された第1磁気シールド材と、

(f) 前記半導体チップの前記主面上に配置され、前記複数の磁気記憶素子が形成された領域を覆うように配置された第2磁気シールド材と、

(g) 前記固定電位用リードの表面に配置された第3磁気シールド材と、

(h) 前記複数のボンディングパッドと前記複数のリード、前記複数のボンディングパッドと前記固定電位用リードとをそれぞれ電氣的に接続する複数のボンディングワイヤと、

10

(i) 前記複数のリードのそれぞれの一部、前記固定電位用リード、前記複数のボンディングワイヤ、前記ダイパッド、前記半導体チップ、前記第1磁気シールド材、前記第2磁気シールド材および前記第3磁気シールド材を封止する樹脂体とを有し、

前記固定電位用リードおよび前記第3磁気シールド材は、断面視において、前記半導体チップの側面にその一部が位置するように配置されており、

前記第2磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも小さく形成され、

前記第2磁気シールド材の面積は、前記第1磁気シールド材の面積よりも小さく形成され、

20

前記第2磁気シールド材の厚さは、前記第1磁気シールド材の厚さよりも厚く形成され、

前記第1磁気シールド材および前記第2磁気シールド材のそれぞれは、金属から成ることを特徴とする半導体装置。

【請求項13】

(a) ダイパッドと、前記ダイパッドの周囲に配置された複数のリードとを有するリードフレームを準備する工程と、

(b) 主面および前記主面と反対側の裏面を有し、前記主面側に複数の磁気記憶素子および複数のボンディングパッドが形成されたチップ領域を複数有する半導体ウェハを準備する工程と、

30

(c) 前記半導体ウェハの前記裏面に接着性を有する第1フィルム材を貼り付ける工程と、

(d) 前記(c)工程後、前記半導体ウェハの前記裏面に前記第1フィルム材を介して第1磁気シールド材を貼り付ける工程と、

(e) 前記(d)工程後、前記第1磁気シールド材の裏面に接着性を有する第2フィルム材を貼り付ける工程と、

(f) 前記(e)工程後、前記半導体ウェハと前記半導体ウェハの前記裏面に貼り付いている前記第1磁気シールド材を一体的にダイシングすることにより、個片化された前記第1磁気シールド材が貼り付いている半導体チップを複数形成する工程と、

40

(g) 前記(f)工程後、前記第1磁気シールド材が前記半導体チップと前記ダイパッドの間に挟まれるように、前記第1磁気シールド材が貼り付いている前記半導体チップを前記ダイパッド上に搭載する工程と、

(h) 前記半導体チップの主面上に、前記複数の磁気記憶素子が形成された領域を覆うように第2磁気シールド材を配置する工程と、

(i) 前記複数のリードと前記複数のボンディングパッドとを複数のボンディングワイヤで電氣的に接続する工程と、

(j) 前記複数のリードの一部、前記複数のボンディングワイヤ、前記ダイパッド、前記半導体チップ、前記第1磁気シールド材および前記第2磁気シールド材を樹脂体で封止する工程とを有し、

50

前記第2磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも小さく形成し、

前記第2磁気シールド材の厚さは、前記第1磁気シールド材の厚さよりも厚く形成し、前記第1磁気シールド材および前記第2磁気シールド材のそれぞれは、金属から成ることを特徴とする半導体装置の製造方法。

【請求項14】

請求項13記載の半導体装置の製造方法であって、

前記第2磁気シールド材の表面には、エッチングにより複数のディンプル加工が施されていることを特徴とする半導体装置の製造方法。

【請求項15】

請求項13記載の半導体装置の製造方法であって、

前記ダイパッドの面積は、前記第1磁気シールド材の面積よりも小さく形成されており、前記ダイパッドから露出する前記第1磁気シールド材の表面には、エッチングにより複数のディンプル加工が施されていることを特徴とする半導体装置の製造方法。

【請求項16】

請求項13記載の半導体装置の製造方法であって、

前記第1磁気シールド材および前記第2磁気シールド材は、ニッケルと鉄の合金から形成されていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、複数の磁気記憶素子を有する半導体装置およびその製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

特開2004-103071号公報(特許文献1)には、簡便に擾乱磁界の影響を受けないようにした磁気メモリ装置に関する技術が記載されている。具体的には、磁気メモリに接して或いはごく近接した位置に、高透磁率軟磁性材からなる磁気ガイドを配置して、磁気メモリへの擾乱磁界の影響を軽減するとしている。この特許文献1は、リードフレーム上への磁気メモリ(半導体チップ)のダイボンディングに関し、リードフレームを高透磁率材とし、かつ、このリードフレーム上に半導体チップをマウントする。その際、半導体チップの表面にも高透磁率材をコーティングして磁気シールドを形成することが記載されている。

【0003】

特開2003-115578号公報(特許文献2)には、MRAM(Magnetic Random Access Memory)を外部磁界から保護し、外部磁界による誤動作を防止すること、並びにメモリ素子の記録再生動作の安定性を高め、高速に記録再生可能な不揮発性メモリを実現する技術が記載されている。具体的には、MRAMチップは絶縁層で覆われ、外部とのインターフェースとなる電極パッドの部分を除き磁気遮蔽構造で周囲を覆われた構造とすることが記載されている。

【0004】

特開2004-193247号公報(特許文献3)には、大きな外部磁界に対しても十分にMRAM素子を磁氣的にシールドする技術が記載されている。MRAM素子を磁氣的にシールドすることにより、外部磁界に対して問題のない動作を保証することを可能とするとともに、電子機器の小型化、軽量化にも貢献できるとしている。具体的に、磁化方向が固定された磁化固定層と、磁化方向の変化が可能な記録層が積層されたTMR素子よりなるMRAM素子において、TMR素子が、1.8テスラ(T)以上の高飽和磁化を示す高飽和磁化材料層によって磁気シールドされているとしている。

【0005】

特開2004-47656号公報(特許文献4)には、外部磁界に対して十分な磁気シ

10

20

30

40

50

ールド効果を有するMRAM素子を効率的に製造する技術が記載されている。具体的には、MRAM素子の素子実装面側のトランジスタ部下面および素子実装面側と反対側のビット線上面に、軟磁性金属を用いて第1の磁気シールド層と第2の磁気シールド層とをそれぞれ形成し、第2の磁気シールド層上にはパッシベーション膜を形成する。これにより、外部磁界からの侵入磁束がMRAM素子の反転磁界強度以下に抑えられ、信頼性が向上する。さらに、第1の磁気シールド層と第2の磁気シールド層とに軟磁性金属を用いることによりスパッタリング法での形成が可能となり、この軟磁性金属をMRAM素子の各層を形成するターゲット元素と一部共通にすれば、第1の磁気シールド層と第2の磁気シールド層をMRAM素子の各層と同一スパッタリング装置で効率的に形成することができるとしている。この特許文献4によれば、MRAM素子を形成した半導体チップの表面と裏面の両方に、透磁率の高い磁気シールドを形成してリードフレームへ半導体チップを実装することができるとしている。

10

【0006】

特開2003-309196号公報(特許文献5)には、MRAM素子の記録保持特性を向上させる技術が記載されている。具体的に、MRAM素子が軟磁性の磁気シールド部材に囲まれて密閉された磁気シールドパッケージは、低周波磁界内では、磁気シールド部材に到達した磁束が、その透磁率の実部項の寄与により、磁気シールド部材の内部を進行して磁束の進路が変えられる。また、高周波磁界内では、透磁率の虚部項の寄与により、磁束が磁気シールド部材の内部で吸収される。さらに、MRAM素子は、磁気シールド部材により周囲を囲まれ、様々な方向からの磁束に対して保護される。したがって、MRAM素子に対する外部磁界の影響が抑制され、MRAM素子の記録保持信頼性を向上することができるとしている。

20

【0007】

特開2004-221463号公報(特許文献6)には、大きな外部磁界に対しても十分にMRAM素子を磁氣的にシールドし、外部磁界に対して問題のない動作を保証することを可能とする技術が記載されている。具体的には、磁化方向が固定された磁化固定層と、磁化方向の変化が可能な記録層が積層されたTMR素子よりなるMRAM素子において、MRAM素子が磁気シールド層によって磁気シールドされている。このとき、磁気シールド層が、少なくとも2層の軟磁性体層を含む積層構造からなり、この積層構造が高透磁率材料層と高飽和磁化材料層とを含んでいるとしている。

30

【特許文献1】特開2004-103071号公報

【特許文献2】特開2003-115578号公報

【特許文献3】特開2004-193247号公報

【特許文献4】特開2004-47656号公報

【特許文献5】特開2003-309196号公報

【特許文献6】特開2004-221463号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

近年、新世代の不揮発性記憶装置として、MRAM(Magnetic Random Access Memory)デバイスが注目されている。MRAMデバイスは、半導体集積回路に形成された複数のメモリセルを用いて不揮発性のデータ記憶を行ない、かつ、メモリセルのそれぞれに対してランダムアクセスが可能な不揮発性記憶装置である。

40

【0009】

一般的に、MRAMデバイスのメモリセル(磁気記憶素子)は、磁化方向が固定された強磁性層からなる固定層(ピン層)と、外部磁界に応じて、その磁化方向が変化する強磁性層からなる記録層(フリー層)とが、非磁性層を介して配置されたスピバルブ(Spin Valve)構造の磁気抵抗素子を含んでいる。そして、このスピバルブ構造の磁気抵抗素子は、記録層の磁化方向の変化に応じて電気抵抗が変化するので、この磁気抵抗素子の電気抵抗の変化に応じてデータを記憶することで磁気抵抗素子をメモリとして動作させるこ

50

とができる。

【0010】

言い換えれば、MRAMデバイスのメモリセルは、磁性膜からなる固定層と記録層の間に極めて薄いトンネル絶縁層が配置されている。この固定層と記録層の間にトンネル絶縁層を介在させた構造は、磁気トンネル接合構造と呼ばれる。この磁気トンネル接合構造は、TMR (Tunneling Magneto Resistance) と呼ばれる磁気抵抗素子から構成される。

【0011】

磁気抵抗素子において、固定層での磁化方向は、一定の方向に固定される。一方、記録層での磁化方向は外部からの磁界により制御可能となっている。固定層の磁化方向と記録層の磁化方向が同じ方向を向いた平行状態である場合、磁気抵抗素子の固定層と記録層間を流れる電流の抵抗値が低くなる。逆に、固定層の磁化方向と記録層の磁化方向が反対方向を向いた反平行状態の場合、磁気抵抗素子の固定層と記録層間を流れる電流の抵抗値は高くなる。したがって、磁化方向の平行状態または反平行状態をデジタル値の「0」または「1」に関連づけて、抵抗値の変化を読み取ることにより、メモリとして動作させることができる。

10

【0012】

上述したMRAMのメモリセルにおいては、半導体装置の外部磁場により磁気抵抗素子を構成する記録層の磁化方向が変化してデータの記録状態が変動するおそれがある。このため、MRAMデバイスに外部磁界に対する耐性をもたせる必要がある。

【0013】

例えば、外部磁界に対する耐性をもたせるために、MRAMを形成した半導体チップの上部と下部にパーマロイよりなる磁気シールド材を設ける構造がある。

20

【0014】

ここで、少なくとも半導体チップの上部(MRAM形成面側)に磁気シールド材を設ける構成、または、半導体チップの上部と下部に磁気シールド材を設ける構成を前提として、いかに、MRAMデバイスの外部磁界に対する耐性を効果的に向上させるかが重要となってくる。

【0015】

さらには、磁気シールド材を設けた状態で、半導体装置(半導体パッケージ)の全体的な大きさや厚さを所定のパッケージ規格内に収めることが重要となってくる。

30

【0016】

また、安定した磁気シールド特性を有する磁気シールド材を半導体パッケージに供給することが重要となってくる。

【0017】

本発明の目的は、MRAMデバイスを含む半導体装置において、外部磁界に対する耐性を向上させることにより、MRAMデバイスのデータ保持特性の向上を図ることができる技術を提供することにある。

【0018】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

40

【課題を解決するための手段】

【0019】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】

代表的な実施の形態による半導体装置は、(a)ダイパッドと、(b)前記ダイパッドの周囲に配置された複数のリードと、(c)主面および前記主面と反対側の裏面を有し、前記主面側に複数の磁気記憶素子および複数のボンディングパッドとを有する半導体チップであって、前記ダイパッド上に配置された前記半導体チップとを有する。そして、(d)前記ダイパッドと前記半導体チップの前記裏面との間に配置された第1磁気シールド材

50

と、(e)前記半導体チップの前記主面上に配置され、前記複数の磁気記憶素子が形成された領域を覆うように配置された第2磁気シールド材とを有する。さらに、(f)前記複数のボンディングパッドと前記複数のリードとをそれぞれ電氣的に接続する複数のボンディングワイヤと、(g)前記複数のリードのそれぞれの一部、前記複数のボンディングワイヤ、前記ダイパッド、前記半導体チップ、前記第1磁気シールド材および前記第2磁気シールド材を封止する樹脂体とを有する。このとき、前記第2磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも小さく形成され、前記第2磁気シールド材の厚さは、前記第1磁気シールド材の厚さよりも厚く形成されていることを特徴とするものである。

【0021】

また、代表的な実施の形態による半導体装置の製造方法は、(a)ダイパッドと、前記ダイパッドの周囲に配置された複数のリードとを有するリードフレームを準備する工程と、(b)主面および前記主面と反対側の裏面を有し、前記主面側に複数の磁気記憶素子および複数のボンディングパッドが形成されたチップ領域を複数有する半導体ウェハを準備する工程とを有する。次に、(c)前記半導体ウェハの前記裏面に接着性を有する第1フィルム材を貼り付ける工程と、(d)前記(c)工程後、前記半導体ウェハの前記裏面に前記第1フィルム材を介して第1磁気シールド材を貼り付ける工程とを有する。続いて、(e)前記(d)工程後、前記第1磁気シールド材の裏面に接着性を有する第2フィルム材を貼り付ける工程と、(f)前記(e)工程後、前記半導体ウェハと前記半導体ウェハの前記裏面に貼り付いている前記第1磁気シールド材を一体的にダイシングすることにより、個片化された前記第1磁気シールド材が貼り付いている半導体チップを複数形成する工程とを有する。さらに、(g)前記(f)工程後、前記第1磁気シールド材が前記半導体チップと前記ダイパッドの間に挟まれるように、前記第1磁気シールド材が貼り付いている前記半導体チップを前記ダイパッド上に搭載する工程と、(h)前記半導体チップの主面上に、前記複数の磁気記憶素子が形成された領域を覆うように第2磁気シールド材を配置する工程とを有する。そして、(i)前記複数のリードと前記複数のボンディングパッドとを複数のボンディングワイヤで電氣的に接続する工程と、(j)前記複数のリードの一部、前記複数のボンディングワイヤ、前記ダイパッド、前記半導体チップ、前記第1磁気シールド材および前記第2磁気シールド材を樹脂体で封止する工程とを有する。ここで、前記第2磁気シールド材の面積は、前記半導体チップの前記主面の面積よりも小さく形成し、前記第2磁気シールド材の厚さは、前記第1磁気シールド材の厚さよりも厚く形成することを特徴とするものである。

【発明の効果】

【0022】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0023】

MRAMデバイスを含む半導体装置において、外部磁界に対する耐性を向上させることができる。この結果、MRAMデバイスのデータ保持特性の向上を図ることができる。さらに、半導体装置(半導体パッケージ)の薄型化を達成することができる。

【発明を実施するための最良の形態】

【0024】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0025】

また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0026】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0027】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0028】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0029】

（実施の形態1）

図1は本実施の形態1における半導体チップのレイアウト例を示す平面図である。図1に示すように、本実施の形態1における半導体チップCHPには、CPU（中央演算処理装置、マイクロプロセッサユニット）1、MRAM（メモリユニット）2、周辺回路3、パワーライン4が形成されている。そして、半導体チップCHPの周辺部には、これらの回路と外部回路とを接続するための入出力用外部端子であるパッドPDが形成されている。

【0030】

CPU（回路）1は、中央演算処理部とも呼ばれ、コンピュータなどの心臓部にあたる。このCPU1は、記憶装置から命令を読み出して解読し、それに基づいて多種多様な演算や制御を行なうものであり、処理の高速性が要求される。したがって、CPU1を構成しているMISFET（Metal Insulator Semiconductor Field Effect Transistor）には、半導体チップCHPに形成されている素子の中で、相対的に大きな電流駆動力が必要とされる。すなわち低耐圧MISFETで形成される。

【0031】

MRAM（回路）2は、記憶情報をランダムに、すなわち随時記憶されている記憶情報を読み出したり、記憶情報を新たに書き込んだりすることができるメモリであり、随時書き込み読み出しができるメモリとも呼ばれる。ICメモリとしてのRAMには、例えば、ダイナミック回路を用いたDRAM（Dynamic RAM）とスタティック回路を用いたSRAM（Static RAM）の2種類があるが、本実施の形態1では次世代デバイスであるMRAMを使用している。MRAM2は、磁気を利用した記憶素子であり、電子のスピンをメモリ素子として使用している。MRAM2の構造はDRAMと似ており、DRAMにおけるキャパシタを磁気トンネル接合素子に置き換えたような構造をしている。MRAM2は、記憶に磁化状態を使用しているため不揮発性メモリであり、DRAMなどとは相違して電源を切っても記憶状態が保持されるという特徴がある。さらに、MRAM2は、SRAMと同様に高速なランダムアクセス機能（数ナノ秒）を有している。つまり、MRAM2は、不揮発性メモリとして機能するだけでなく高速なランダムアクセス機能も有しているメモリ素子ということになる。

【0032】

周辺回路3は、CPU1およびMRAM2とともにシステムを構成するための回路であり、例えば、電源回路、クロック回路やリセット回路などから構成されている。この周辺回路3には、デジタル信号の処理を行なうデジタル回路やアナログ信号を処理するアナログ回路を含んでいる。アナログ回路は、時間的に連続して変化する電圧や電流の信号、すなわちアナログ信号を扱う回路であり、例えば、増幅回路、変換回路、変調回路、発振回路、電源回路などから構成されている。

【0033】

パワーライン4は、CPU1、MRAM2および周辺回路3を動作させるための電圧を

10

20

30

40

50

供給するラインであり、電源ラインやグラウンドラインから構成されている。CPU 1、MRAM 2 および周辺回路 3 は、このパワーライン 4 と直接的あるいは間接的に接続されており、パワーライン 4 からの電源供給によって動作できるようになっている。

【0034】

パッド PD は、半導体チップ CHP の外部に接続される機器（回路）との入出力を行なうための外部接続端子として機能する。このパッド PD を介して半導体チップ CHP に形成されている CPU 1 などに入力信号が入力されたり、CPU 1 からの出力信号がこのパッド PD を介して半導体チップ CHP の外部に接続されている機器（回路）に出力されるようになっている。

【0035】

図 1 において、複数のパッド PD は、半導体チップ CHP の周辺部に沿って配置されており、この複数のパッド PD に近接してパワーライン 4 が配置されている。パワーライン 4 の内側領域には CPU 1、MRAM 2 および周辺回路 3 が配置されている。つまり、CPU 1、MRAM 2 および周辺回路 3 は、パワーライン 4 で囲まれた半導体チップ CHP の中央領域に配置されている。

【0036】

なお、図 1 は半導体チップ CHP のレイアウトの一例であり、例えば、図 2 に示すように半導体チップ CHP をレイアウトすることもできる。図 2 は、本実施の形態 1 における半導体チップ CHP の他のレイアウト例を示す図である。図 2 は、LOC (Lead on chip) の構成に有効なパッド配列および回路ブロック配列の一例を示すチップレイアウト図である。図 2 に示すように、複数のパッド PD は、半導体チップ CHP の中央領域（中心線）に沿って配置されており、この複数のパッド PD を挟む近接領域に 2 組のパワーライン 4 が配置されている。そして、パワーライン 4 の外側に CPU 1、MRAM 2 および周辺回路 3 が配置されている。具体的に、下側のパワーライン 4 の外側に MRAM 2 および周辺回路 3 の一部が配置されている一方、上側のパワーライン 4 の外側に、周辺回路 3 の一部、CPU 1 および MRAM 2 が形成されている。図 1 に示すようなレイアウト構成や図 2 に示すレイアウト構成のいずれの場合も、MRAM 2 は外部磁場の影響を受けやすいため、パワーライン 4 からは一定距離だけ離れるように配置することが望ましい。なぜなら、パワーライン 4 には、比較的大きな電流が流れるため、周囲に大きな外部磁場が発生するからである。つまり、この外部磁場の影響をなるべく受けないように MRAM 2 をパワーライン 4 から一定距離だけ離間するように配置することが望ましい。

【0037】

続いて、MRAM 2 の内部構成について説明する。図 3 は、MRAM 2 の回路構成を示す図である。図 3 において、MRAM 2 は、外部からの制御信号およびアドレス信号に基づいて、特定のメモリセルにランダムアクセスを行ない、その後、アクセスした特定のメモリセルに対して、入力データ Din の書き込みや出力データ Dout の読み出しを実行するように構成されている。以下に、この機能を実現する回路構成について説明する。

【0038】

図 3 において、MRAM 2 は、行方向（横方向）に n 行、列方向に（縦方向）に m 列のようにマトリクス状に複数のメモリセル MC が配置されている。つまり、MRAM 2 は、行列状に配置された複数のメモリセル MC からなるメモリセルアレイを構成している。

【0039】

メモリセルアレイの行に沿って、ワード線 WL 1 ~ WL m と、ソース線 SL 1 ~ SL m が互いに並行して延在するように配置されている。さらに、メモリセルアレイの行に沿って、デジタル線 DL 1 ~ DL m も並行して配置されている。一方、メモリセルアレイの列に沿って、ビット線 BL 1 ~ BL n が互いに並行して延在するように配置されている。すなわち、MRAM 2 を構成するメモリセルアレイにおいては、横方向（行方向）にワード線 WL 1 ~ WL m と、ソース線 SL 1 ~ SL m およびデジタル線 DL 1 ~ DL m が並行して配置される一方、横方向と直交する縦方向（列方向）にビット線 BL 1 ~ BL n が配置されている。

10

20

30

40

50

【0040】

次に、メモリセルアレイの行列状の交点にはそれぞれ各メモリセルMCが形成されている。各メモリセルMCは、磁気トンネル接合構造をした磁気抵抗素子（磁気トンネル接合素子、磁気記憶素子）TMRと、MISFET（Metal Insulator Semiconductor Field Effect Transistor）からなるアクセストランジスタATRとを有している。磁気抵抗素子TMRとアクセストランジスタATRとは、磁気抵抗素子TMRを流れるトンネル電流の経路と、アクセストランジスタATRを流れるチャネル電流の経路とが直列接続されるように連結されている。具体的に、各メモリセルMCでは、アクセストランジスタATRのドレイン領域と磁気抵抗素子TMRが接続されるように構成されている。

【0041】

各メモリセルMCにおいて、アクセストランジスタATRのソース領域は、メモリセルアレイを構成するソース線（ソース線SL1～SLmのいずれか）に接続されている。そして、アクセストランジスタATRのドレイン領域は、磁気抵抗素子TMRの一端に接続され、この磁気抵抗素子TMRの他端はメモリセルアレイを構成するビット線（ビット線BL1～BLnのいずれか）に接続されている。さらに、アクセストランジスタATRのゲート電極は、メモリセルアレイを構成するワード線（ワード線WL1～WLmのいずれか）に接続されている。

【0042】

続いて、MRAM2は、ワード線WL1～WLmと接続されているワード線ドライバ帯WDを有している。このワード線ドライバ帯WDは、データの読み出し時（データアクセス時とも称される）において、列選択結果に応じ、データアクセスの対象となる特定のメモリセルMCに対応するワード線（ワード線WL1～WLmのいずれか）を選択的に活性化する機能を有している。

【0043】

さらに、MRAM2は、読み出しデータを伝達するためのデータ線DWと、書き込みデータを伝達するための書き込みビット線WBLと、読み出しソース線RSLと、カラムデコーダCD1、CD2と、データ書込回路DWCと、データ読出回路DRCとを有している。

【0044】

読み出しソース線RSLは、ソース線SL1～SLmのそれぞれとデータ読出回路DRCとを電氣的に接続している。データ線DWは、ビット線BL1～BLnと選択トランジスタを介して接続されており、ビット線BL1～BLnとデータ書込回路DWCとを電氣的に接続している。書き込みビット線WBLは、デジット線DL1～DLmと選択トランジスタを介して接続されており、デジット線DL1～DLmとデータ書込回路DWCとを電氣的に接続している。

【0045】

データ書込回路DWCは、外部からライトイネーブル信号WEおよび入力データDinを入力すると、データ線DWおよび書き込みビット線WBLに所定の電圧を印加する機能を有している。データ読出回路DRCは、外部からリードイネーブル信号REを入力すると、読み出しソース線RSL上の電圧をセンスアンプで増幅し、図示しない参照抵抗の電圧値と比較する。そして、この比較結果に基づいて出力データDoutを出力する機能を有している。

【0046】

また、MRAM2は、メモリセルアレイのそれぞれの列に対応して選択トランジスタを有しており、この選択トランジスタのゲート電極がゲート電極CSG1～CSGnで示されている。同様に、MRAM2は、メモリセルアレイのそれぞれの行に対応して選択トランジスタを有しており、この選択トランジスタのゲート電極がゲート電極WCSG1～WCSGmで示されている。

【0047】

カラムデコーダCD1は、カラムアドレスCAをデコードした結果、この結果に基づい

10

20

30

40

50

て、データ書き込み時およびデータ読み出し時のそれぞれにおいて、ゲート電極 $C S G 1 \sim C S G n$ を選択的に活性化する機能を有している。活性化されたゲート電極 ($C S G 1 \sim C S G n$ のいずれか) は、データ線 $D W$ を、対応するビット線 (ビット線 $B L 1 \sim B L n$ のいずれか) と電氣的に接続する機能を有している。

【 0 0 4 8 】

同様に、カラムデコーダ $C D 2$ は、カラムアドレス $C A$ をデコードした結果、この結果に基づいて、データ書き込み時およびデータ読み出し時のそれぞれにおいて、ゲート電極 $W C S G 1 \sim W C S G m$ を選択的に活性化する機能を有している。活性化されたゲート電極 ($W C S G 1 \sim W C S G m$ のいずれか) は、書き込みビット線 $W B L$ を、対応するデジタル線 (デジタル線 $D L 1 \sim D L m$ のいずれか) と電氣的に接続する機能を有している。

10

【 0 0 4 9 】

本実施の形態 1 における $M R A M 2$ の回路は上記のように構成されており、以下では、 $M R A M 2$ のメモリセルの構造について説明する。

【 0 0 5 0 】

図 4 は、本実施の形態 1 における $M R A M$ のメモリセルを示す断面図である。図 4 に示すように、半導体基板 S の主面 (表面) には、アクセストランジスタ $A T R$ が形成されている。このアクセストランジスタ $A T R$ は、互いに離間して半導体基板 S 内に形成されたソース領域 $S R$ とドレイン領域 $D R$ とを有しており、このソース領域 $S R$ とドレイン領域 $D R$ で挟まれたチャンネル形成領域上に、例えば、酸化シリコン膜よりなるゲート絶縁膜 $G O X$ が形成されている。そして、ゲート絶縁膜 $G O X$ 上には、例えば、ポリシリコン膜よりなるゲート電極 G (ワード線 $W L$ に対応) が形成されている。

20

【 0 0 5 1 】

磁気抵抗素子 $T M R$ は、固定層 $F L$ と、トンネル絶縁層 $T I$ と、記録層 $R L$ が下から順に積層された構造をしている。固定層 $F L$ は、磁化方向が固定された強磁性層から形成されており、記録層 $R L$ は、外部磁界に応じてその磁化方向が変化する強磁性層から形成されている。トンネル絶縁層 $T I$ は非磁性層であり、固定層 $F L$ と記録層 $R L$ の間に配置される。

【 0 0 5 2 】

磁気抵抗素子 $T M R$ は、平面視において、ビット線 $B L$ とデジタル線 $D L$ との交差領域に配置されている。そして、デジタル線 $D L$ は、磁気抵抗素子 $T M R$ の構成要素である固定層 $F L$ の下方に、固定層 $F L$ と所定の間隔だけ離間して配置されている。一方、ビット線 $B L$ は、記録層 $R L$ と電氣的に接続するように記録層 $R L$ 上を延在している。

30

【 0 0 5 3 】

磁気抵抗素子 $T M R$ の構成要素である固定層 $F L$ は、配線であるストラップ $S T$ と電氣的に接続されており、このストラップ $S T$ は層間絶縁膜 $I L 1$ に形成されたプラグ $P L G 2$ を介して配線 $L 1$ と接続している。さらに、配線 $L 1$ は、層間絶縁膜 $I L 1$ に形成されたプラグ $P L G 1 b$ を介してアクセストランジスタ $A T R$ のドレイン領域 $D R$ と電氣的に接続されている。したがって、磁気抵抗素子 $T M R$ の固定層 $F L$ は、ストラップ $S T$ 、プラグ $P L G 2$ 、配線 $L 1$ およびプラグ $P L G 1 b$ を介してアクセストランジスタ $A T R$ のドレイン領域 $D R$ と接続されていることになる。一方、アクセストランジスタ $A T R$ のソース領域 $S R$ は、層間絶縁膜 $I L 1$ に形成されたプラグ $P L G 1 a$ を介してソース線 $S L$ と電氣的に接続されている。以上のことから、アクセストランジスタ $A T R$ と磁気抵抗素子 $T M R$ とはビット線 $B L$ とソース線 $S L$ の間に直列接続されていることがわかる。このようにして、本実施の形態 1 における $M R A M$ のメモリセルが構成されている。

40

【 0 0 5 4 】

続いて、 $M R A M$ の動作について図 4 を参照しながら説明する。まず、書き込み動作について説明する。ビット線の所定方向に電流が流れ、かつ、デジタル線 $D L$ に電流が流れると、両者の電流による第 1 合成磁界が磁気抵抗素子 $T M R$ に印加される。すると、磁気抵抗素子の記録層 $R L$ の磁化方向は第 1 合成磁界の方向 (第 1 方向) に揃うようになる。

【 0 0 5 5 】

50

一方、ビット線の上述した所定方向とは反対方向に電流が流れ、かつ、デジット線DLに電流が流れると、上述した第1合成磁界と異なる方向に第2合成磁界が発生する。すると、記録層RLの磁化方向は、この第2合成磁界の方向に揃うようになる。これにより、記録層RLの磁化方向は、上述した第1方向とは反対方向である第2方向に一致するようになる。

【0056】

このように、デジット線DLを通電するとともに、ビット線BLに流す電流の方向を制御することにより、記録層RLの磁化方向を第1方向と第2方向に制御することができる。このことは、記録層RLの磁化方向に対応づけて「0」および「1」の2値状態を記憶できることを意味している。その後、通電をオフにした状態であっても、記録層RLの磁化方向は保持される。なお、第1合成磁界や第2合成磁界が発生しても、固定層FLの磁化方向は変化しない。

10

【0057】

次に、読み出し動作について説明する。読み出し動作の場合、デジット線は関与せず、電流を以下のように流す。すなわち、アクセストランジスタATRをオン状態にした状態で、電流をビット線BL 磁気抵抗素子TMR ストラップST プラグPLG2 配線L1 プラグPLG1b ドレイン領域DR ソース領域SR プラグPLG1a ソース線SLの経路で供給する。これにより、磁気抵抗素子TMRを流れる電流の抵抗値の変化をセンスアンプ(図示せず)で検出する。このとき、記録層RLの磁化方向が固定層FLの磁化方向と平行であれば、磁気抵抗素子TMRの抵抗値は低くなる。一方、記録層RLの磁化方向が固定層FLの磁化方向と反平行であれば、磁気抵抗素子TMRの抵抗値は高くなる。したがって、記録層RLの2値状態は、磁気抵抗素子TMRの抵抗値の大小に反映されて外部に読み出される。このようにして、磁気抵抗素子TMRに記憶されている情報(データ)を読み出すことができる。このようなメモリセルをマトリクス状に配置することにより、大容量のMRAMを実現することができる。

20

【0058】

上記では本実施の形態1におけるMRAMを形成した半導体チップについて説明したが、このMRAMを形成した半導体チップはパッケージ化される。以下では、MRAMを形成した半導体チップの実装構成(パッケージ形態)について説明する。

【0059】

まず、図5は半導体チップを搭載するリードフレームLFの構成を示す図である。図5に示すように、リードフレームLFは、半導体チップを搭載するダイパッドDPと、枠部FPと、インナリードILと、アウトリードOLとを主に有している。そして、リードフレームLFのうち、モールドラインMLで囲まれた領域が樹脂体で封止される領域である。以下に、このように構成されているリードフレームLF上に半導体チップを搭載して形成されたパッケージについて説明する。図6は、本実施の形態1におけるパッケージ(半導体装置)の構成を示す断面図である。図6において、本実施の形態1におけるパッケージは、例えば、QFP(Quad Flat Package)タイプのパッケージである。パッケージ形状は、図7に示すようなリードフレームを用いたSOP(Small Outline Package)タイプのパッケージであってもよい。図6に示すように、本実施の形態1におけるパッケージは、ダイパッドDP上にダイアタッチフィルムDAF1を介して磁気シールド材PM1が配置されており、この磁気シールド材PM1上にダイアタッチフィルムDAF2を介して半導体チップCHPが配置されている。さらに、半導体チップCHP上にダイアタッチフィルムDAF3を介して磁気シールド材PM2が配置されている。

30

40

【0060】

半導体チップCHPにはMRAMが形成されており、この半導体チップCHPの主面(表面)には入出力端子であるパッドPDが形成されている。このパッドPDは、インナリードILとワイヤWによって電氣的に接続されている。

【0061】

ダイパッドDP、磁気シールド材PM1、PM2、半導体チップCHP、インナリード

50

I L、ワイヤWおよびダイアタッチフィルムD A F 1 ~ D A F 3は、樹脂体M Rによって封止されている。そして、この樹脂体M RからはアウトリードO Lが露出している。

【0062】

半導体チップC H Pは、主にシリコンを主成分としており、主面側に、複数のM R A MやM I S F E Tが形成された回路を有している。リードフレームを構成するダイパッドD P、枠部F P、インナリードI Lは、銅材や、ニッケルと鉄の合金の一種である42アロイ材などから形成されている。一方、磁気シールド材P M 1、P M 2は、ニッケルと鉄の合金の一種であるパーマロイから形成されている。パーマロイは、機械的物性の観点から、同じくニッケルと鉄の合金である42アロイに近い材料であるが、ニッケルと鉄の配合比や熱処理の条件変更などによって磁気特性を向上した材料である。ワイヤWは、例えば、金線が使用される。さらに、ダイアタッチフィルムD A F 1 ~ D A F 3は、熱可塑性樹脂を含む接着フィルムであり、例えば、ポリイミド樹脂（熱可塑性樹脂）に少量のエポキシ樹脂（熱硬化性樹脂）を含有させた材料からなっている。なお、ダイアタッチフィルムD A F 1 ~ D A F 3に代えて樹脂ペーストを使用してもよい。特に、半導体チップC H Pと、この半導体チップC H P上に搭載される磁気シールド材P M 2の接着には、ダイアタッチフィルムD A F 3が有利であるが、樹脂ペーストを使用することもできる。

【0063】

ここで、本実施の形態1では、ダイパッドD Pの面積を磁気シールド材P M 1や半導体チップC H Pの面積よりも小さくしている。つまり、本実施の形態1では、いわゆる小タブをダイパッドD Pとして使用している。これは以下に示す理由による。すなわち、ダイパッドD Pは、樹脂体M Rと直接接触しているが、このとき、ダイパッドD Pは、例えば、42アロイ材や銅材から形成されている。一方、樹脂体M Rは樹脂から形成されている。このため、ダイパッドD Pと樹脂体M Rとの密着性は線膨張係数の差からそれほど良好とはいえず、パッケージの成形性の観点から、なるべく、ダイパッドD Pと樹脂体M Rとの密着面積を小さくすることが望ましいのである。言い換えれば、ダイパッドD Pと樹脂体M Rとの密着性の低下を抑制してパッケージの信頼性を向上する観点から、ダイパッドD Pと樹脂体M Rとの密着面積を小さくすることが望ましい。

【0064】

さらに、樹脂体M Rは水分を含みやすい特性がある。このため、パッケージの実装時のリフロー処理などによって温度サイクルが加わると、樹脂体M Rに吸収されている水分が気化して水蒸気となる。この水蒸気は、樹脂体M RとダイパッドD Pの界面（密着性が低く平坦な場所）に集まりやすい。すると、水蒸気によって、樹脂体M RとダイパッドD Pの界面に気泡が生じ、樹脂体M RとダイパッドD Pの剥離が生じる。さらには、温度サイクルによって、気泡となった水蒸気が膨張し、樹脂体M Rに応力が加わる。この応力が加わると、樹脂体M Rにクラックが発生する。樹脂体M Rにクラックが発生すると、パッケージの信頼性が低下し不良となる。特に、水蒸気による樹脂体M RとダイパッドD Pとの剥離は、樹脂体M RとダイパッドD Pの接触面積が大きいほど顕著となる。なぜなら、樹脂体M RとダイパッドD Pとの界面に集まる水蒸気量は、樹脂体M RとダイパッドD Pとの接触面積が大きいほど多くなり、その水蒸気の膨張による応力の大きさも大きくなるからである。すなわち、ダイパッドD Pの面積が大きくなればなるほど、温度サイクルに起因したクラックの発生が起こりやすくなるのである。したがって、本実施の形態1では、ダイパッドD Pの大きさを磁気シールド材P M 1や半導体チップC H Pの面積よりも小さい小タブを採用して、パッケージの信頼性を向上させている。

【0065】

本実施の形態1におけるパッケージ（半導体装置）は上記のように構成されており、次に、本実施の形態1におけるパッケージの特徴について説明する。図6において、本実施の形態1における特徴の1つは、磁気シールド材P M 1の面積を半導体チップC H Pの主面の面積と同じか大きくするとともに、磁気シールド材P M 2の面積を半導体チップC H Pの主面の面積よりも小さくする構成を前提とした上で、磁気シールド材P M 2の厚さを磁気シールド材P M 1の厚さよりも厚く形成している点にある。つまり、半導体チップC

10

20

30

40

50

H Pの主面上に形成されている磁気シールド材P M 2の厚さを、半導体チップC H Pの裏面に形成されている磁気シールド材P M 1の厚さよりも厚く形成している点に本実施の形態1の特徴の1つがある。これにより、半導体チップC H Pの主面側において、外部磁場を効果的にシールドすることができる。つまり、磁気シールド材P M 2の厚さを厚くすることにより、外部磁場を磁気シールド材P M 2の内部に吸収させることができるので、厚さの厚い磁気シールドP M 2を半導体チップC H Pの主面上に配置することにより、半導体チップC H Pの主面側の領域を外部磁場から効果的にシールドすることができるのである。半導体チップC H Pの主面側を重点的にシールドすることにより、半導体チップC H Pの主面側に形成されているM R A Mに対して、外部磁場による影響を抑制することができる。このため、半導体チップC H Pの主面側に形成されているM R A Mのデータ保持特性を向上させることができる。

10

【0066】

本実施の形態1では、半導体チップC H PにM R A Mが形成されているが、このM R A Mは電子のスピンを磁場で制御することにより情報(データ)を記憶している。したがって、M R A Mを不用意に外部磁場の影響下にさらすと、M R A Mを構成する磁性体において、電子のスピン向きが変化してしまい情報が消失してしまう。つまり、M R A Mは、強い外部磁場の影響を受けるとデータ保持特性が劣化してしまう性質がある。このことから、M R A Mを形成した半導体チップC H Pは、外部磁場の影響をなるべく受けないようにすることが望ましい。

【0067】

20

そこで、M R A Mを形成した半導体チップC H Pを外部磁場から保護するため、M R A Mを形成した半導体チップC H Pに対して磁気シールドすることが行なわれている。半導体チップC H Pを外部磁場からシールドするには、まず、半導体チップC H Pの周囲全体を磁気シールド材で囲むことが考えられる。しかし、図6に示すように、半導体チップC H Pのパッケージでは、半導体チップC H PのパッドP DとインナリードI LとをワイヤWで電氣的に接続する必要があるので、半導体チップC H Pを3次的に囲むように磁気シールド材を配置することは困難である。

【0068】

このため、半導体チップC H Pを磁気シールド材で挟み込む構造が採用されている。例えば、図6に示すように、半導体チップC H Pの裏面に磁気シールド材P M 1を配置し、半導体チップC H Pの主面(表面、素子形成面)に磁気シールド材P M 2を配置する構造により、半導体チップC H Pを外部磁場からシールドしている。このように半導体チップC H Pを磁気シールド材でサンドイッチする構造でも、半導体チップC H Pを外部磁場からシールドする効果が得られる。

30

【0069】

図8は、図1に示す半導体チップC H P上に磁気シールド材P M 2を配置する一例を示す図である。図8に示すように、磁気シールド材P M 2の面積は、半導体チップC H Pの主面の面積よりも小さくなっている。つまり、磁気シールド材P M 2は、半導体チップC H Pの主面に形成されたパッドP Dとの電氣的短絡を回避する目的で、半導体チップC H Pの主面全体の面積よりも小さく形成している。このとき、磁気シールド材P M 2は、半導体チップC H Pの主面に形成されているM R A M 2の形成領域を少なくとも覆うように形成されていけばよい。したがって、例えば、図8に示すように、半導体チップC H Pに形成されているパッドP Dよりも内側に形成されているC P U 1、M R A M 2、周辺回路3およびパワーライン4のすべてを覆うように磁気シールド材P M 2を形成してもよいが、例えば、図9に示すように、少なくともM R A M 2の形成領域が覆われるように磁気シールド材P M 2を半導体チップC H P上に配置してもよい。

40

【0070】

一方、半導体チップC H Pの裏面に形成される磁気シールド材P M 1の面積は、半導体チップC H Pの面積と同じ大きさでよい(図6参照)。半導体チップC H Pの裏面にはパッドP Dが形成されていないからである。さらには、磁気シールド材P M 1の面積を半導

50

体チップＣＨＰの面積よりも大きく形成することもできる。

【 0 0 7 1 】

なお、図 1 0 は、図 2 に示す半導体チップＣＨＰ上に磁気シールド材 Ｐ Ｍ 2 を配置する一例を示す図である。図 1 0 に示す半導体チップＣＨＰでは、パッド Ｐ Ｄ が半導体チップＣＨＰの中央部に存在し、かつ、Ｍ Ｒ Ａ Ｍ 2 がこのパッド Ｐ Ｄ を挟んだ上下に形成されている。このため、Ｍ Ｒ Ａ Ｍ 2 を覆うように形成される磁気シールド材 Ｐ Ｍ 2 は、パッド Ｐ Ｄ との電氣的短絡を回避するために、それぞれ、パッド Ｐ Ｄ の上側に形成されている Ｍ Ｒ Ａ Ｍ 2 と、パッド Ｐ Ｄ の下側に形成されている Ｍ Ｒ Ａ Ｍ 2 とを別々に覆う必要がある。すなわち、図 1 0 に示す半導体チップＣＨＰでは、磁気シールド材 Ｐ Ｍ 2 は 2 つ必要となる。図 1 1 は、図 1 0 に示す半導体チップＣＨＰに形成されているパッド Ｐ Ｄ とリード Ｌ とを接続する様子を示す断面図である。図 1 1 に示すように、半導体チップＣＨＰの中央部にパッド Ｐ Ｄ が形成されており、このパッド Ｐ Ｄ を挟む両側に磁気シールド材 Ｐ Ｍ 2 が配置されている。そして、2 つの磁気シールド材 Ｐ Ｍ 2 上には、それぞれ、接着テープ Ｔ を介してリード Ｌ が形成されている。このリード Ｌ とパッド Ｐ Ｄ がワイヤ Ｗ を用いて接続されている。

10

【 0 0 7 2 】

以上のように、図 8 および図 9 に示すレイアウトの半導体チップＣＨＰや、図 1 0 に示すレイアウトの半導体チップＣＨＰでも、半導体チップＣＨＰの主面側に形成されている磁気シールド材 Ｐ Ｍ 2 は、半導体チップＣＨＰの主面の面積よりも小さくなっている。一方、図 8 および図 9 に示すレイアウトの半導体チップＣＨＰや、図 1 0 に示すレイアウトの半導体チップＣＨＰのいずれにおいても、半導体チップＣＨＰの裏面にはパッド Ｐ Ｄ が形成されていないことから、半導体チップＣＨＰの裏面に形成されている磁気シールド材 Ｐ Ｍ 1 の面積は、半導体チップＣＨＰの裏面の面積と同じか、あるいは、半導体チップＣＨＰの裏面の面積よりも大きくすることができる。つまり、半導体チップＣＨＰの裏面の全面に形成されている磁気シールド材 Ｐ Ｍ 1 の面積よりも、半導体チップＣＨＰの主面に形成されている磁気シールド材 Ｐ Ｍ 2 の面積は小さくなっている。

20

【 0 0 7 3 】

ここで、半導体チップＣＨＰを外部磁場からシールドする効果は、磁気シールド材 Ｐ Ｍ 1 の厚さおよび磁気シールド材 Ｐ Ｍ 2 の厚さを厚くすればするほど大きくなる。これは、磁気シールド材 Ｐ Ｍ 1、 Ｐ Ｍ 2 の厚さを厚くすればするほど、磁気シールド材 Ｐ Ｍ 1、 Ｐ Ｍ 2 に吸収される磁場（磁束）が大きくなるからである。つまり、磁気シールド材 Ｐ Ｍ 1、 Ｐ Ｍ 2 の厚さを厚くすれば、磁気シールド材 Ｐ Ｍ 1、 Ｐ Ｍ 2 の磁場を吸収する容量が大きくなるのである。このため、半導体チップＣＨＰを外部磁場から効果的にシールドする観点からは、磁気シールド材 Ｐ Ｍ 1、 Ｐ Ｍ 2 の厚さを厚くすることが望ましい。

30

【 0 0 7 4 】

しかし、磁気シールド材 Ｐ Ｍ 1 と磁気シールド材 Ｐ Ｍ 2 の両方を厚くすると、以下に示す問題点が発生する。すなわち、半導体チップＣＨＰは樹脂体 Ｍ Ｒ で封止されているが、半導体装置（パッケージ）の小型化および薄膜化の観点から、樹脂体 Ｍ Ｒ の厚さは一定値以下に制限されている。つまり、パッケージの全体的な大きさや厚さを所定のパッケージ規格（例えば、Ｑ Ｆ Ｐ、Ｔ Ｑ Ｆ Ｐ、Ｓ Ｏ Ｐ、Ｔ Ｓ Ｏ Ｐ 等）内に収めることが要求される。この状態で、半導体チップＣＨＰを挟む磁気シールド材 Ｐ Ｍ 1 と磁気シールド材 Ｐ Ｍ 2 の両方の厚さを厚くすると、樹脂体 Ｍ Ｒ の厚さよりも磁気シールド材 Ｐ Ｍ 1 と磁気シールド材 Ｐ Ｍ 2 を合わせた厚さのほうが厚くなり、樹脂体 Ｍ Ｒ の表面から磁気シールド材 Ｐ Ｍ 2 が露出してしまふ。この場合、樹脂体 Ｍ Ｒ と磁気シールド材 Ｐ Ｍ 2 の間に隙間が生じ、この隙間から水分や異物がパッケージの内部に侵入してしまふ。すると、パッケージの信頼性が著しく低下してしまふ。つまり、パッケージの薄膜化と信頼性向上を図る観点からは、むやみに磁気シールド材 Ｐ Ｍ 1 と磁気シールド材 Ｐ Ｍ 2 のトータルの厚さを一定値以上にすることは避けるべきである。以上のことから、半導体チップＣＨＰを外部磁場からシールドする観点からは、磁気シールド材 Ｐ Ｍ 1 と磁気シールド材 Ｐ Ｍ 2 のトータルの厚さを厚くすることが望ましいが、パッケージの薄膜化と信頼性向上の観点からは、磁気シ

40

50

ルド材PM1と磁気シールド材PM2のトータルの厚さを一定値以下にすることが望ましい。このことから、半導体チップCHPを外部磁場から効果的にシールドし、かつ、パッケージの信頼性を向上するためには、磁気シールド材PM1と磁気シールド材PM2の形成方法に工夫を施す必要がある。

【0075】

そこで、本実施の形態1では、まず、半導体チップCHPの主面側にMRAMなどの素子が形成されている点に着目している。すなわち、半導体チップCHPには厚みがあるが、半導体チップCHPの厚さ方向において一様に磁気シールドをする必要はないとしている。MRAMなど外部磁場の影響を受ける素子は、半導体チップCHPの主面側に形成されている。このことから、半導体チップCHPの主面側で外部磁場を効果的にシールドできる構成を実現できれば、MRAMのデータ保持特性を改善できると考えられるのである。つまり、半導体チップCHPを外部磁場からシールドする構成は、特に、MRAMが形成されている半導体チップCHPの主面側で効果的に外部磁場をシールドできればよいことになる。このことを考慮して、本実施の形態1では、図6に示すように、磁気シールド材PM2の厚さを磁気シールド材PM1の厚さよりも厚くなるように構成している。これにより、半導体チップCHPの主面側に配置される磁気シールド材PM2の厚さを厚くしているため、磁気シールド材PM2の磁場を吸収する容量を増加させることができ、効果的に、半導体チップCHPの主面側のMRAM形成領域を外部磁場からシールドすることができる。つまり、半導体チップCHPの主面側には外部磁場の影響を受けやすいMRAMが形成されているので、半導体チップCHPの主面上に配置される磁気シールド材PM2の厚さを厚くすることにより、半導体チップCHPの主面側の磁気シールド効果を向上させているのである。一方、半導体チップCHPの裏面にはMRAMなどの素子が形成されていないことから、磁気シールド材PM1の厚さを十分に厚くしなくてもよい。したがって、半導体チップCHPの裏面に配置されている磁気シールド材PM1の厚さは必要最小限の厚さで形成することができる。このように本実施の形態1の特徴的構成は、半導体チップCHPの主面上に配置される磁気シールド材PM2の面積が、半導体チップCHPの主面の面積よりも小さく、かつ、半導体チップCHPの裏面に配置される磁気シールド材PM1の面積を半導体チップCHPの裏面の面積と同等以上の大きさにすることを前提として、磁気シールド材PM2の厚さを磁気シールド材PM1の厚さよりも厚くしている。

【0076】

これにより、半導体チップCHPの主面側に形成されているMRAMに対して、効果的に外部磁場からシールドすることができるとともに、磁気シールド材PM1の厚さを磁気シールド材PM2の厚さに比べて薄くしているため、磁気シールド材PM1と磁気シールド材PM2を合わせたトータルの厚さを一定値以下に薄くすることができる。この結果、本実施の形態1における半導体装置によれば、半導体チップCHPを外部磁場からシールドすることができ、かつ、パッケージの信頼性を向上することができる。

【0077】

なお、半導体チップCHPの主面上に配置されている磁気シールド材PM2の面積はできるだけ大きい方が望ましいが、少なくとも、半導体チップCHPの主面のうち、MRAMが形成されている領域を覆うように形成されている必要がある。MRAMの形成領域において最も外部磁場をシールドする必要があるからである。

【0078】

以上のように本実施の形態1の特徴の1つは、磁気シールド材PM2の面積を磁気シールド材PM1の面積よりも小さくすることを前提として、磁気シールド材PM2の厚さを磁気シールド材PM1の厚さよりも厚くすることにあるが、さらに、磁気シールド材PM1、PM2の材質を工夫することにより、磁気シールド効果を向上している。すなわち、磁気シールド材PM1、PM2は、例えば、ニッケルと鉄の合金である42アロイを使用することができるが、42アロイでは十分に磁気シールド効果を向上させることができない。このため、本実施の形態1では、磁気シールド材PM1、PM2として、ニッケルと

鉄の合金であるパーマロイを使用している。パーマロイは、機械的物性の観点から、同じくニッケルと鉄の合金である42アロイに近い材料であるが、ニッケルと鉄の配合比や熱処理の条件変更などによって磁気特性を向上した材料である。このため、パーマロイを磁気シールド材PM1、PM2に使用することにより、外部磁場のシールド効果を向上することができる。

【0079】

さらに詳細には、磁気シールド材PM1、PM2として、PC系パーマロイ、PB系パーマロイ、パーメンダーや純鉄を使用することができる。PC系パーマロイとは鉄(Fe)17%、ニッケル(Ni)79%、モリブデン(Mo)4%からなる合金であり、PB系パーマロイとは鉄(Fe)54%、ニッケル(Ni)46%からなる合金である。一方、パーメンダーとは鉄(Fe)49%、コバルト(Co)49%、バナジウム(V)2%からなる合金である。PC系パーマロイと、PB系パーマロイと、パーメンダーと、純鉄とを比較すると、PC系パーマロイが最も低い磁場の強さ(例えば、磁場の強さ1H(A/m)程度以上)で磁化されやすい性質を有している。したがって、本実施の形態1では、弱い磁場に対する反応および感度が良く、組み立てレベルで問題となりそうな比較的弱い磁気をすばやく吸収してシールド効果を十分に発揮する観点から、PC系パーマロイやPB系パーマロイを磁気シールド材PM1、PM2に使用することが望ましい。このように本実施の形態1における磁気シールド材PM1、PM2では、PC系パーマロイやPB系パーマロイを使用している。一方、磁気シールド材PM1、PM2として、パーメンダーや純鉄を使用してもよいが、比較的弱い磁場では磁化されにくい性質を有している。このため、比較的強い磁場(10H~100H以上)に対するシールド効果を十分に得る観点からは、磁場の吸収容量の高いパーメンダーや純鉄を使用してもよい。

【0080】

図12は、磁気シールド材PM1および磁気シールド材PM2で半導体チップCHPを挟むことにより、半導体チップCHPを外部磁場からシールドしている様子を示す図である。図12では、わかりやすくするために、パッケージの右側半分だけを図示している。図12に示すように、水平方向から外部磁場Hが印加されているとする。この場合、外部磁場Hは、半導体チップCHPを通らずに、磁気シールド材PM1や磁気シールド材PM2の内部を通過していることがわかる。すなわち、磁気シールド材PM1、PM2によって、半導体チップCHPの内部を通過するはずの外部磁場Hが吸収されていることがわかる。特に、半導体チップCHPの主面側(上面側)に配置されている磁気シールド材PM2の厚さが、半導体チップCHPの裏面側に配置されている磁気シールド材PM1の厚さよりも厚くなっていることから、磁気シールド材PM2の内部により多くの外部磁場Hが吸収されていることがわかる。したがって、半導体チップCHPの主面側では効果的に外部磁場がシールドされているといえることができる。

【0081】

次に、磁気シールド材PM2の厚さを磁気シールド材PM1の厚さよりも厚く形成することにより磁気シールド効果が向上することについて説明する。図13は、半導体チップCHPの外部に発生している外部磁場と、半導体チップCHPの内部に入り込む内部磁場との関係を示すグラフである。図13において、外部磁場とは半導体チップCHPの外部で発生する磁場であり、内部磁場とは外部磁場によって半導体チップCHPの内部に発生している磁場である。したがって、磁気シールド効果が高くなるということは、同じ外部磁場が印加された場合であっても内部磁場が十分に低減されていることを意味している。

【0082】

図13において、横軸が外部磁場の大きさ(Oe)(エルステッド)を示しており、縦軸が内部磁場の大きさ(Oe)(エルステッド)を示している。まず、比較例のグラフについて説明する。比較例とは、半導体チップCHPを挟む磁気シールドPM1の厚さと磁気シールドPM2の厚さを同じ100μmとし、かつ、磁気シールド材PM1、PM2をともに42アロイ材から形成する場合を示している。図13では、比較例を白丸でプロットしている。例えば、比較例では、外部磁場の大きさが100(Oe)である場合、内部

10

20

30

40

50

磁場の大きさが約5(Oe)であることがわかる。

【0083】

続いて、本実施の形態1のグラフについて説明する。本実施の形態1とは、半導体チップCHPを挟む磁気シールド材PM1の厚さと磁気シールド材PM2の厚さとを変え、かつ、磁気シールド材PM1、PM2をパーマロイから形成する場合である。具体的に、半導体チップCHPの主面上に配置される磁気シールド材PM2の厚さを200 μ m、半導体チップCHPの裏面に配置される磁気シールド材PM1の厚さを100 μ mとしている。図13では、本実施の形態1を白三角でプロットしている。図13に示すように、本実施の形態1では、例えば、外部磁場の大きさが100(Oe)(エルステッド)である場合、内部磁場の大きさは約1(Oe)(エルステッド)となっている。

10

【0084】

このことから、本実施の形態1と比較例とを比較すると、例えば、同じ100(Oe)(エルステッド)の外部磁場が印加されている場合、比較例では内部磁場の大きさが5(Oe)(エルステッド)であるのに対し、本実施の形態1では内部磁場の大きさが1(Oe)(エルステッド)であることがわかる。つまり、本実施の形態1のほうが比較例よりも同じ外部磁場を印加しても内部磁場の大きさが非常に小さくなっていることがわかる。このことは、本実施の形態1のほうが比較例よりも外部磁場をシールドする効果が高いことを示している。したがって、本実施の形態1のように、半導体チップCHPの主面上に配置される磁気シールド材PM2の厚さを、半導体チップCHPの裏面に配置される磁気シールド材PM1よりも厚く形成し、かつ、磁気シールド材PM1、PM2をパーマロイから構成することにより、磁気シールド効果を向上させることができることがわかる。この結果、本実施の形態1におけるパッケージ(半導体装置)によれば、半導体チップCHPへの磁気シールド効果を高めることができるので、MRAMのデータ保持特性を向上させることができることがわかる。さらに、本実施の形態1によれば、半導体チップCHPの裏面に配置される磁気シールド材PM1の厚さを薄くできるので、パッケージの薄膜化および信頼性の向上も図ることができる。

20

【0085】

本実施の形態1における半導体装置(パッケージ)は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。まず、図14に示すように、半導体ウェハWFを用意する。この半導体ウェハWFの主面側(表面側)には、MRAMおよびMISFETと配線からなる集積回路が形成されている。半導体ウェハWFの主面上に集積回路を形成する方法は通常の半導体製造技術を使用することができる。この半導体ウェハWFには複数のチップ領域がアレイ状に形成されており、個々のチップ領域に図1や図2のレイアウトで示すマイコンが形成されている。

30

【0086】

続いて、図15に示すように、半導体ウェハWFの裏面をグラインダGDで研削する。これにより、半導体ウェハWFの厚さを薄くすることができる。半導体ウェハWFの主面にはMRAMを含む集積回路が形成されているので、研削は集積回路が形成されていない半導体ウェハWFの裏面で実施される。

【0087】

次に、半導体ウェハWFの薄板化を実施した後、図16に示すように、半導体ウェハWFの裏面に板状のダイアタッチフィルムDAF2を貼り付ける。そして、図17に示すように、板状のダイアタッチフィルムDAF2を半導体ウェハWFの形状に沿ってカットにより切断する。その後、図18に示すように、半導体ウェハWFと同一の平面形状をした磁気シールド材PM1を用意し、図19に示すように、ダイアタッチフィルムDAF2の半導体ウェハWFを貼り付けた面と反対側の面に、半導体ウェハWFと同じ形状をした磁気シールド材PM1を貼り付ける。この磁気シールド材PM1は、例えば、ニッケルと鉄の合金からなるパーマロイから形成されている。なお、本実施の形態1では、半導体WFと同一の平面形状をした磁気シールド材PM1を使用する例について説明したが、磁気シールド材PM1の平面形状はこれに限らず、例えば、四角形状をしていてもよい。

40

50

【0088】

続いて、図20に示すように、半導体ウェハWFにダイアタッチフィルムDAF2を介して貼り付けて磁気シールド材PM1の裏面に板状のダイアタッチフィルムDAF1を貼り付ける。その後、図21に示すように、半導体ウェハWFおよび磁気シールド材PM1を一体化してダイサーDによりダイシングする。これにより、図22に示すように、半導体ウェハWFのチップ領域が個片化されて半導体チップCHPを取得することができる。この半導体チップCHPには、ダイアタッチフィルムDAF2を介して磁気シールド材PM1が貼り付いており、さらに、磁気シールド材PM1にダイアタッチフィルムDAF1が貼り付けられている。ここでは、半導体ウェハWFに磁気シールド材PM1を貼り付けた状態でダイシングすることにより、磁気シールド材PM1の貼り付いた半導体チップCHPを取得するようにしているが、半導体ウェハWFの状態では磁気シールド材PM1を貼り付けずにダイシングすることにより、半導体チップCHPを取得し、この取得した半導体チップCHPに磁気シールド材PM1を貼り付けるようにしてもよい。

10

【0089】

次に、図23に示すように、リードフレームを用意する。リードフレームは、ダイパッドDPと枠体FPとインナリードILとを備えている。そして、図24に示すように、リードフレームのダイパッドDP上に、磁気シールド材PM1と一体化した半導体チップCHPを搭載する。このとき、磁気シールド材PM1の裏面に貼り付けられているダイアタッチフィルムDAF1によって、磁気シールド材PM1とダイパッドDPが接着する。

20

【0090】

続いて、図25に示すように、半導体チップCHPの主面上に磁気シールド材PM2を接着する。このとき、磁気シールド材PM2にはダイアタッチフィルムDAF3が貼り付けられており、このダイアタッチフィルムDAF3を介して磁気シールド材PM2が半導体チップCHPの主面上に接着する。この磁気シールド材PM2は半導体チップCHPの主面上に形成されるパッドPDと平面的に重ならないようになっている。したがって、磁気シールド材PM2の面積は、磁気シールド材PM1の面積よりも小さくなっている。そして、さらに、磁気シールド材PM2の厚さは、磁気シールド材PM1の厚さよりも厚くなっている。このため、MRAMが形成されている半導体チップCHPの主面側において、磁気シールド効果が大きくなり、MRAMの外部磁場からのシールドを効果的に行なうことができる。

30

【0091】

次に、図26に示すように、半導体チップCHPの主面上に形成されているパッドPDと、リードフレームのインナリードILとをワイヤWによって電氣的に接続する(ワイヤボンディング)。その後、図27に示すように、リードフレームを上金型UDと下金型LDとで挟み込み、半導体チップCHPを覆うように樹脂を注入して樹脂体MRを形成する。具体的に、インナリードIL、ダイパッドDP、ワイヤW、ダイアタッチフィルムDAF1~DAF3、磁気シールド材PM1、PM2および半導体チップCHPを樹脂体MRで封止し、図6に示すようなパッケージ(半導体装置)を製造することができる。

【0092】

(実施の形態2)

40

本実施の形態2における半導体装置(パッケージ)について図面を参照しながら説明する。図28は、本実施の形態2における半導体装置の構成を示す断面図である。図28に示す本実施の形態2における半導体装置の構成は、図6に示す前記実施の形態1における半導体装置の構成とほぼ同様である。すなわち、本実施の形態2でも、半導体チップCHPの主面上に配置される磁気シールド材PM2の厚さを、半導体チップCHPの裏面に配置される磁気シールド材PM1よりも厚く形成し、かつ、磁気シールド材PM1、PM2をパーマロイから構成している。これにより、磁気シールド効果を向上させることができる。

【0093】

一方、本実施の形態2と前記実施の形態1との間で相違する点は、本実施の形態2では

50

、磁気シールド材PM1および磁気シールド材PM2の表面に凹凸（ディンプル）が形成されている点である。磁気シールド材PM1、PM2は、例えば、ニッケルと鉄の合金であるパーマロイから構成されているが、このパーマロイも樹脂体MRとの密着性はそれほどよくない。このため、パッケージを製造した後、完成したパッケージを実装基板に半田で接着する工程において、リフロー処理が実施されるが、このリフロー処理で、パーマロイと封止している樹脂体MRが剥離する場合がある。そこで、本実施の形態2では、磁気シールド材PM1の表面に複数のディンプルDPL1を形成し、磁気シールド材PM2の表面に複数のディンプルDPL2を形成している。このように磁気シールド材PM1、PM2の表面に複数のディンプルDPL1、DPL2を形成することにより、このディンプルDPL1、DPL2の内部にまで樹脂体MRが注入されることになる。このため、ディンプルDPL1、DPL2の内部にまで入り込んだ樹脂体MRによるアンカー効果と、ディンプルDPL1、DPL2を形成したことにより、磁気シールド材PM1、PM2と、樹脂体MRとの接着面積（表面積）が増加する効果とにより、磁気シールド材PM1、PM2と樹脂体MRとの接着強度が向上するのである。このため、リフロー処理においても、磁気シールド材PM1、PM2と樹脂体MRとの剥離を抑制することができ、パッケージの信頼性を向上することができるのである。

10

【0094】

以上のように本実施の形態2でも、MRAMの外部磁場からのシールド効果を向上することができるのと同時に、パッケージのさらなる信頼性向上を図ることができる。

【0095】

20

本実施の形態2におけるパッケージは上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。まず、図29と図30を使用して磁気シールド材PM1を形成する方法の一例について説明する。図29に示すように、板状の磁気シールド材PM1を用意する。そして、この磁気シールド材PM1の上下にマスクを形成する。具体的に、磁気シールド材PM1の下部には穴のない遮光パターンであるマスクEMSK1を形成し、磁気シールド材PM1の上部には穴のあいたマスクEMSK2を配置する。このように磁気シールド材PM1の上下にマスクEMSK1、EMSK2を配置した後、このマスクEMSK1、EMSK2により磁気シールド材PM1をエッチングする。このエッチングは、例えば、エッチング液を用いたウエットエッチングである。これにより、図30に示すように、個片化された複数の磁気シールド材PM1が形成されるとともに、磁気シールド材PM1の表面に複数のディンプルDPL1が形成される。なお、磁気シールド材PM1の表面のうちダイパッドDPと密着する領域にはディンプルDPL1を形成しない。これは、磁気シールド材PM1とダイパッドDPとは平坦性が高い状態の方が密着性を向上することができるからである。

30

【0096】

同様に、図31および図32を参照しながら、磁気シールド材PM2の形成方法の一例について説明する。図31に示すように、板状の磁気シールド材PM2を用意する。そして、この磁気シールド材PM2の上下にマスクを形成する。具体的に、磁気シールド材PM2の下部には穴のない遮光パターンであるマスクEMSK1を形成し、磁気シールド材PM2の上部には穴のあいたマスクEMSK3を配置する。このように磁気シールド材PM2の上下にマスクEMSK1、EMSK3を配置した後、このマスクEMSK1、EMSK3により磁気シールド材PM2をエッチングする。このエッチングは、例えば、エッチング液を用いたウエットエッチングである。これにより、図32に示すように、個片化された複数の磁気シールド材PM2が形成されるとともに、磁気シールド材PM2の表面に複数のディンプルDPL2が形成される。

40

【0097】

以上のようにして複数のディンプルDPL1を形成した磁気シールド材PM1と、複数のディンプルDPL2を形成した磁気シールド材PM2とを形成することができる。ここで、磁気シールド材PM1、PM2に複数のディンプルDPL1、DPL2を形成しているが、複数のディンプルDPL1、DPL2の代わりに、複数の貫通孔（スルーホール）

50

を形成することが考えられる。つまり、磁気シールド材PM1、PM2に複数の貫通孔を形成しても、この貫通孔に樹脂体MRが入り込むため、アンカー効果と表面積の増加による密着性向上の効果を得ることができると考えられる。

【0098】

しかし、本実施の形態2では、磁気シールド材PM1、PM2に貫通孔を形成せずに、ディンプルDPL1、DPL2を形成している。この理由は、貫通孔を磁気シールド材PM1、PM2に形成すると、貫通孔の影響により磁気シールド材PM1、PM2において、磁場を吸収する容量が低下するのである。つまり、貫通孔を形成することにより、磁気シールド材PM1、PM2の一部が除去されるので、磁気シールド材PM1、PM2の磁場特性が劣化するのである。これに対し、本実施の形態2のように磁気シールド材PM1、PM2の表面にディンプルDPL1、DPL2を形成しても、ほとんど磁場特性に影響がないことが確かめられている。このような理由から、本実施の形態2では、磁気シールド材PM1、PM2の表面に複数のディンプルDPL1、DPL2を形成しているのである。これにより、本実施の形態2によれば、前記実施の形態1と同様の磁気シールド特性を実現でき、かつ、さらなるパッケージの信頼性向上を図ることができるのである。

10

【0099】

さらに、本実施の形態2では、個片化した磁気シールド材PM1、PM2を形成する方法としてエッチング液を用いたウエットエッチングを使用しているため、磁気シールド材PM1、PM2に応力による磁場特性の劣化を防止することができる。例えば、磁気シールド材PM1、PM2を個片化する際、プレスによる打ち抜き加工を使用することができるが、プレスによる打ち抜き加工で磁気シールド材PM1、PM2を形成すると、打ち抜く際に磁気シールド材PM1、PM2に応力がかかり、磁気シールド材PM1、PM2の磁場特性を劣化させる。これに対し、本実施の形態2のようにエッチング処理で磁気シールド材PM1、PM2を個片化する場合、エッチング処理は化学的処理であるため、磁気シールド材PM1、PM2に応力がかからない。このため、エッチング処理で磁気シールド材PM1、PM2を個片化する場合には、磁場特性の劣化を防止できるのである。この結果、優れた磁気シールド効果を実現することができる。

20

【0100】

以上のようにして形成された磁気シールド材PM1、PM2を使用してパッケージ（半導体装置）を製造する工程について説明する。図33に示すように、ダイパッドDP、枠体FPおよびインナリードILを備えるリードフレームを用意し、このリードフレームのダイパッドDP上にペーストPEを介して磁気シールド材PM1を搭載する。このとき、磁気シールド材PM1のうちディンプルDPL1を形成していない領域とダイパッドDPがペーストPEを介して接着するように配置する。さらに、磁気シールド材PM1に形成された複数のディンプルDPL1が磁気シールド材PM1の裏面にくるように配置する。

30

【0101】

続いて、図34に示すように、磁気シールド材PM1上に半導体チップCHPを搭載する。半導体チップCHPの裏面には予めダイアタッチフィルムDAF2が貼り付けられており、このダイアタッチフィルムDAF2を介して磁気シールド材PM1と半導体チップCHPが接着する。

40

【0102】

その後、図35に示すように、半導体チップCHP上に磁気シールド材PM2を配置する。このとき、磁気シールド材PM2の裏面にはダイアタッチフィルムDAF3が貼り付けられており、このダイアタッチフィルムDAF3を介して半導体チップCHPの主面上に磁気シールド材PM2が搭載される。この磁気シールド材PM2の表面には、複数のディンプルDPL2が形成されている。磁気シールド材PM2は半導体チップCHPの主面に形成されているパッドPD上には配置されない大きさで形成されている。すなわち、磁気シールド材PM2の面積は半導体チップCHPの大きさや磁気シールド材PM1の大きさよりも小さく形成されているが、磁気シールド材PM2の厚さは、磁気シールド材PM1の厚さよりも厚く形成されている。

50

【 0 1 0 3 】

次に、図 3 6 に示すように、半導体チップ C H P の主面上に形成されているパッド P D と、リードフレームのインナリード I L とをワイヤ W によって電氣的に接続する（ワイヤボンディング）。その後、図 3 7 に示すように、リードフレームを上金型 U D と下金型 L D とで挟み込み、半導体チップ C H P を覆うように樹脂を注入して樹脂体 M R を形成する。具体的に、インナリード I L、ダイパッド D P、ワイヤ W、ダイアタッチフィルム D A F 1 ~ D A F 3、磁気シールド材 P M 1、P M 2 および半導体チップ C H P を樹脂体 M R で封止する。このとき、樹脂体 M R はディンプル D P L 1、D P L 2 の内部にまで入り込むので、樹脂体 M R と磁気シールド材 P M 1、P M 2 との接着面積（表面積）が充分確保されるとともに、アンカー効果によって、樹脂体 M R と磁気シールド材 P M 1、P M 2 との接着強度が向上する。以上のようにして、図 2 8 に示すようなパッケージ（半導体装置）を製造することができる。

10

【 0 1 0 4 】

(実施の形態 3)

本実施の形態 3 における半導体装置（パッケージ）について図面を参照しながら説明する。図 3 8 は、本実施の形態 3 における半導体装置の構成を示す断面図である。図 3 8 に示す本実施の形態 3 における半導体装置の構成は、図 6 に示す前記実施の形態 1 における半導体装置の構成とほぼ同様である。すなわち、本実施の形態 3 でも、半導体チップ C H P の主面上に配置される磁気シールド材 P M 2 の厚さを、半導体チップ C H P の裏面に配置される磁気シールド材 P M 1 よりも厚く形成し、かつ、磁気シールド材 P M 1、P M 2 をパーマロイから構成している。これにより、磁気シールド効果を向上させることができる。

20

【 0 1 0 5 】

一方、本実施の形態 3 と前記実施の形態 1 との間で相違する点は、本実施の形態 3 では、半導体チップ C H P の裏面に配置される磁気シールド材 P M 1 の面積が半導体チップ C H P の面積よりも大きくなっていることである。これにより、本実施の形態 3 では、磁気シールド材 P M 1 に半導体チップ C H P のパッド P D からワイヤ W 1 で電氣的に接続することができる。つまり、本実施の形態 3 では、半導体チップ C H P のパッド P D から G N D（基準電位）に接続するために、ワイヤ W 1 で磁気シールド材 P M 1 に接続することができるのである。本実施の形態 3 では、磁気シールド材 P M 1 を外部磁場から半導体チップ C H P を磁気シールドする機能の他に基準電位を供給する G N D としても機能させているのである。一方、半導体チップ C H P のパッド（信号パッド）P D は、ワイヤ W 2 によってインナリード I L と電氣的に接続されている。

30

【 0 1 0 6 】

このように本実施の形態 3 では、磁気シールド材 P M 1 を基準電位の供給源としても使用している点に特徴がある。特に、本実施の形態 3 でも、ダイパッド D P を小タブで形成しているので、この小タブを基準電位の供給源として半導体チップ C H P と接続することは困難である。そこで、本実施の形態 3 では、ニッケルと鉄の合金（パーマロイ）である磁気シールド材 P M 1 を半導体チップ C H P の面積よりも大きく形成することにより、磁気シールド材 P M 1 と半導体チップ C H P のパッド P D とをワイヤ W 1 で接続しやすくし、基準電位の供給源として利用しているのである。さらに、半導体チップ C H P からはみ出している磁気シールド材 P M 1 のいずれの場所にもワイヤ W 1 を配置できる利点がある。さらに、半導体チップ C H P から複数のワイヤで基準電位を供給する磁気シールド材 P M 1 に接続することができるので、基準電位の安定性を向上させることができる。なお、本実施の形態 3 による構成は、半導体チップ C H P から基準電位用のインナリード I L へワイヤを接続する構成と併用することもできる。例えば、本実施の形態 3 では、半導体チップ C H P のパッド P D として、基準電位（固定電位）用のパッド P D が複数形成されており、この基準電位用のパッド P D の第 1 群は、インナリード I L と接続され、基準電位用のパッド P D の第 2 群は、磁気シールド材 P M 1 と接続されている。

40

【 0 1 0 7 】

50

本実施の形態3におけるパッケージ(半導体装置)の製造方法は、前記実施の形態1におけるパッケージの製造方法とほぼ同様であるので省略する。

【0108】

(実施の形態4)

本実施の形態4における半導体装置(パッケージ)について図面を参照しながら説明する。図39は、本実施の形態4における半導体装置の構成を示す断面図である。図39に示す本実施の形態4における半導体装置の構成は、図6に示す前記実施の形態1における半導体装置の構成とほぼ同様である。すなわち、本実施の形態4でも、半導体チップCHPの主面上に配置される磁気シールド材PM2の厚さを、半導体チップCHPの裏面に配置される磁気シールド材PM1よりも厚く形成し、かつ、磁気シールド材PM1、PM2をパーマロイから構成している。これにより、磁気シールド効果を向上させることができる。

10

【0109】

一方、本実施の形態4と前記実施の形態1との間で相違する点は、半導体チップCHPの裏面に配置される磁気シールド材PM1の面積が半導体チップCHPの面積よりも大きく、かつ、磁気シールド材PM1の端部が折り曲げられて半導体チップCHPの側面を覆うように形成されている点である。このように半導体チップCHPの側面にも磁気シールド材PM1が配置されることで、半導体チップCHPの上下だけでなく側面も磁気シールド材PM1で覆うことができる。この結果、半導体チップCHPの側面にも外部磁場を吸収する磁気シールド材PM1が配置されることになるので、さらに、半導体チップCHPを外部磁場から効果的にシールドすることができる。

20

【0110】

(実施の形態5)

本実施の形態5における半導体装置(パッケージ)について図面を参照しながら説明する。図40は、本実施の形態5における半導体装置の構成を示す断面図である。図40に示す本実施の形態5における半導体装置の構成は、図6に示す前記実施の形態1における半導体装置の構成とほぼ同様である。すなわち、本実施の形態5でも、半導体チップCHPの主面上に配置される磁気シールド材PM2の厚さを、半導体チップCHPの裏面に配置される磁気シールド材PM1よりも厚く形成し、かつ、磁気シールド材PM1、PM2をパーマロイから構成している。これにより、磁気シールド効果を向上させることができる。

30

【0111】

一方、本実施の形態5と前記実施の形態1との間で相違する点は、リードフレームにおいて、ダイパッドDPとインナリードILとの間に固定電位を供給するバスバーBが配置されていることである。そして、このバスバーB上に磁気シールド材PM3が配置されている。これにより、半導体チップCHPは、磁気シールドPM1、PM2だけでなく、側面も磁気シールドPM3で囲まれることになる。したがって、前記実施の形態4と同様に、半導体チップCHPの側面にも磁気シールド材PM3が配置されることで、半導体チップCHPの上下だけでなく側面も磁気シールド材PM3で覆うことができる。この結果、半導体チップCHPの側面にも外部磁場を吸収する磁気シールド材PM3が配置されることになるので、さらに、半導体チップCHPを外部磁場から効果的にシールドすることができる。

40

【0112】

(実施の形態6)

本実施の形態6における半導体装置(パッケージ)について図面を参照しながら説明する。図41は、本実施の形態6における半導体装置の構成を示す断面図である。図41に示す本実施の形態6における半導体装置の構成は、図6に示す前記実施の形態1における半導体装置の構成とほぼ同様である。すなわち、本実施の形態6でも、半導体チップCHPの主面上に配置される磁気シールド材PM2の厚さを、半導体チップCHPの裏面に配置される磁気シールド材PM1よりも厚く形成し、かつ、磁気シールド材PM1、PM2

50

をパーマロイから構成している。これにより、磁気シールド効果を向上させることができる。

【0113】

一方、本実施の形態6と前記実施の形態1との間で相違する点は、半導体チップCHPの主面にポリイミド膜PIが形成されている点である。このポリイミド膜PIは、半導体チップCHP上に配置される磁気シールド材PM2と接着させる際、半導体チップCHPの主面側に形成されているMRAMなどの集積回路を保護するために設けられている保護膜である。すなわち、本実施の形態6では、半導体チップCHPの主面上に磁気シールド材PM2を積層して形成するので、半導体チップCHPの主面を保護するために、ポリイミド膜PIからなる保護膜が設けられているのである。通常、半導体チップCHP上に積層して部材を配置する場合、半導体チップCHPの主面上にポリイミド膜PIが形成されるが、このポリイミド膜PIの形成温度は通常300～350程度である。

10

【0114】

しかし、本実施の形態6では、半導体チップCHPにMRAMが形成されており、このMRAMの磁気特性を考慮すると、ポリイミド膜PIの形成温度は通常の300～350よりも低くする必要がある。つまり、本実施の形態6では、半導体チップCHPにMRAMが形成されていることから、ポリイミド膜PIの形成温度を260程度以下にしている。これにより、半導体チップCHPに形成されているMRAMの磁気特性を確保することができる。

【0115】

以下では、本実施の形態6におけるパッケージ（半導体装置）の製造方法について図面を参照しながら説明する。図42に示すように、半導体ウェハWFを用意する。この半導体ウェハWFには複数のチップ領域が形成されており、個々のチップ領域にMRAMを含む集積回路が形成されている。図42では、個々のチップ領域に形成されているパッドPDが図示されている。

20

【0116】

続いて、図43に示すように、半導体ウェハWF上にポリイミド膜PIを形成する。具体的には、半導体ウェハWF上に半導体ウェハWFを回転させた状態で感光性のポリイミド膜PIを塗布する。そして、塗布した感光性のポリイミド膜PIに対してフォトリソグラフィ技術を使用することにより、パターニングする。ポリイミド膜PIのパターニングは、パッドPDの形成領域を開口するように実施される。そして、このポリイミド膜PIに対してキュアを実施する。本実施の形態6において、このキュアを実施する温度は、通常の温度よりも低く、260以下で実施する。これにより、半導体ウェハWFの個々のチップ領域に形成されているMRAMの磁気特性に影響を及ぼすことなく、ポリイミド膜PIに対してキュアを実施することができる。

30

【0117】

次に、図44に示すように、半導体ウェハWFをダイシングすることにより、個々のチップ領域を分離して半導体チップCHPを取得する。この半導体チップCHPの主面上にはポリイミド膜PIが形成されている。

【0118】

その後、図45に示すように、まず、リードフレームを構成するダイパッドDP上にペーストPEを介して磁気シールド材PM1を搭載する。そして、この磁気シールド材PM1上にダイアタッチフィルムDAF2を介して半導体チップCHPを搭載する。半導体チップCHPに予めダイアタッチフィルムDAF2が貼り付けられており、このダイアタッチフィルムDAF2を介して半導体チップCHPと磁気シールド材PM1が接着する。

40

【0119】

次に、半導体チップCHP上に磁気シールド材PM2を搭載する。このとき、磁気シールド材PM2の裏面にはダイアタッチフィルムDAF3が貼り付けられており、このダイアタッチフィルムDAF3を介して半導体チップCHPの主面上に磁気シールド材PM2が搭載される。この磁気シールド材PM2は半導体チップCHPの主面に形成されている

50

パッドPD上には配置されない大きさで形成されている。すなわち、磁気シールド材PM2の面積は半導体チップCHPの大きさや磁気シールド材PM1の大きさよりも小さく形成されているが、磁気シールド材PM2の厚さは、磁気シールド材PM1の厚さよりも厚く形成されている。ここで、半導体チップCHPにはポリイミド膜PIが形成されており、このポリイミド膜PI上にダイアタッチフィルムDAF3を介して磁気シールド材PM2が配置されているので、半導体チップCHP上に磁気シールド材PM2を配置しても、ポリイミド膜PIによって、半導体チップCHPの主面は保護される。

【0120】

次に、図46に示すように、半導体チップCHPの主面上に形成されているパッドPDと、リードフレームのインナリードILとをワイヤWによって電氣的に接続する（ワイヤボンディング）。その後、図47に示すように、リードフレームを上金型UDと下金型LDとで挟み込み、半導体チップCHPを覆うように樹脂を注入して樹脂体MRを形成する。具体的に、インナリードIL、ダイパッドDP、ワイヤW、ダイアタッチフィルムDAF1～DAF3、磁気シールド材PM1、PM2および半導体チップCHPを樹脂体MRで封止する。以上のようにして、図41に示すようなパッケージ（半導体装置）を製造することができる。

10

【0121】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

20

【産業上の利用可能性】

【0122】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0123】

【図1】本発明の実施の形態1における半導体チップの構成を示すブロック図である。

【図2】実施の形態1における半導体チップの他の構成を示すブロック図である。

【図3】MRAMを構成するメモリセルアレイの回路構成を示す図である。

【図4】MRAMのメモリセルの構成を示す断面図である。

【図5】実施の形態1で使用するリードフレームを示す図である。

30

【図6】実施の形態1におけるパッケージを示す断面図である。

【図7】リードフレームの他の例を示す図である。

【図8】図1に示す半導体チップ上に磁気シールド材を配置する一例を示す図である。

【図9】図1に示す半導体チップ上に磁気シールド材を配置する他の例を示す図である。

【図10】図2に示す半導体チップ上に磁気シールド材を配置する一例を示す図である。

【図11】図10に示す半導体チップに形成されているパッドとリードとを接続する様子を示す断面図である。

【図12】実施の形態1におけるパッケージにおいて、半導体チップが磁気シールド材によってシールドされている様子を示す模式図である。

【図13】半導体チップの外部に存在する外部磁場と、半導体チップの内部に入り込む内部磁場との関係を示すグラフであり、比較例によるシールド効果と実施の形態1におけるシールド効果を対比しているグラフである。

40

【図14】実施の形態1における半導体装置（パッケージ）の製造工程を示す斜視図である。

【図15】図14に続く半導体装置の製造工程を示す斜視図である。

【図16】図15に続く半導体装置の製造工程を示す斜視図である。

【図17】図16に続く半導体装置の製造工程を示す斜視図である。

【図18】図17に続く半導体装置の製造工程を示す斜視図である。

【図19】図18に続く半導体装置の製造工程を示す斜視図である。

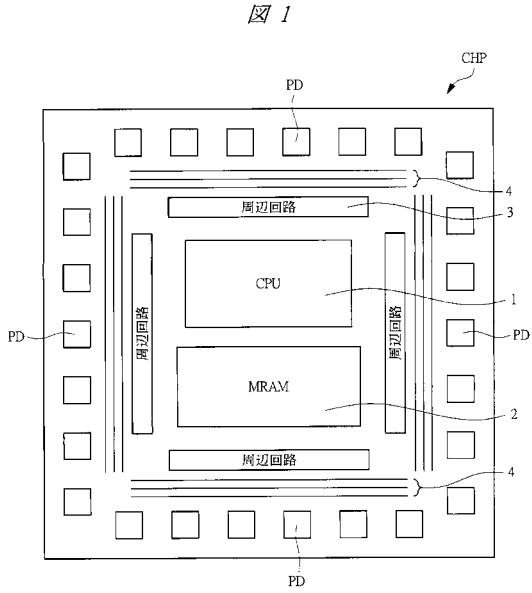
【図20】図19に続く半導体装置の製造工程を示す斜視図である。

50

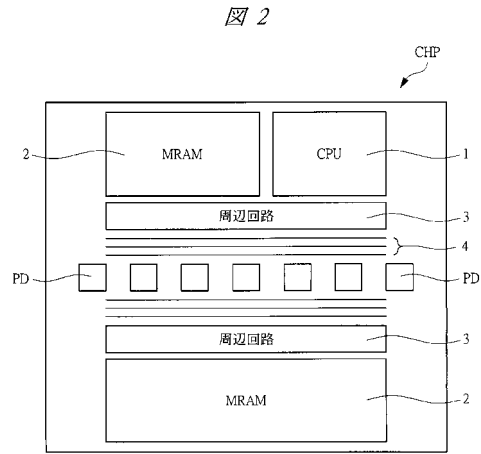
- 【図 2 1】図 2 0 に続く半導体装置の製造工程を示す斜視図である。
- 【図 2 2】図 2 1 に続く半導体装置の製造工程を示す斜視図である。
- 【図 2 3】図 2 2 に続く半導体装置の製造工程を示す断面図である。
- 【図 2 4】図 2 3 に続く半導体装置の製造工程を示す断面図である。
- 【図 2 5】図 2 4 に続く半導体装置の製造工程を示す断面図である。
- 【図 2 6】図 2 5 に続く半導体装置の製造工程を示す断面図である。
- 【図 2 7】図 2 6 に続く半導体装置の製造工程を示す断面図である。
- 【図 2 8】実施の形態 2 における半導体装置の構成を示す断面図である。
- 【図 2 9】磁気シールド材の製造工程を示す断面図である。
- 【図 3 0】図 2 9 に続く磁気シールド材の製造工程を示す断面図である。 10
- 【図 3 1】磁気シールド材の製造工程を示す断面図である。
- 【図 3 2】図 3 1 に続く磁気シールド材の製造工程を示す断面図である。
- 【図 3 3】実施の形態 2 における半導体装置の製造工程を示す断面図である。
- 【図 3 4】図 3 3 に続く半導体装置の製造工程を示す断面図である。
- 【図 3 5】図 3 4 に続く半導体装置の製造工程を示す断面図である。
- 【図 3 6】図 3 5 に続く半導体装置の製造工程を示す断面図である。
- 【図 3 7】図 3 6 に続く半導体装置の製造工程を示す断面図である。
- 【図 3 8】実施の形態 3 における半導体装置の構成を示す断面図である。
- 【図 3 9】実施の形態 4 における半導体装置の構成を示す断面図である。
- 【図 4 0】実施の形態 5 における半導体装置の構成を示す断面図である。 20
- 【図 4 1】実施の形態 6 における半導体装置の構成を示す断面図である。
- 【図 4 2】実施の形態 6 における半導体装置の製造工程を示す断面図である。
- 【図 4 3】図 4 2 に続く半導体装置の製造工程を示す断面図である。
- 【図 4 4】図 4 3 に続く半導体装置の製造工程を示す断面図である。
- 【図 4 5】図 4 4 に続く半導体装置の製造工程を示す断面図である。
- 【図 4 6】図 4 5 に続く半導体装置の製造工程を示す断面図である。
- 【図 4 7】図 4 6 に続く半導体装置の製造工程を示す断面図である。
- 【符号の説明】
- 【 0 1 2 4 】 30
- 1 CPU
- 2 MRAM
- 3 周辺回路
- 4 パワーライン
- A T R アクセストランジスタ
- B L 1 ~ B L n ビット線
- C A カラムアドレス
- C D 1 カラムデコーダ
- C D 2 カラムデコーダ
- C H P 半導体チップ
- C S G 1 ~ C S G n ゲート電極 40
- C U T カッタ
- D ダイサー
- D A F 1 ~ D A F 3 ダイアタッチフィルム
- D i n 入力データ
- D L 1 ~ D L m デジット線
- D o u t 出力データ
- D P ダイパッド
- D P L 1 ディンプル
- D P L 2 ディンプル
- D R ドレイン領域 50

DW	データ線	
DWC	データ書込回路	
DRC	データ読出回路	
EMSK1	マスク	
EMSK2	マスク	
EMSK3	マスク	
FL	固定層	
FP	枠部	
G	ゲート電極	
GD	グライнда	10
GOX	ゲート絶縁膜	
IL	インナリード	
IL1	層間絶縁膜	
L	リード	
L1	配線	
LD	下金型	
LF	リードフレーム	
MC	メモリセル	
ML	モールドライン	
MR	樹脂体	20
OL	アウトアリード	
PD	パッド	
PI	ポリイミド膜	
PLG1a	プラグ	
PLG1b	プラグ	
PLG2	プラグ	
PM1	磁気シールド材	
PM2	磁気シールド材	
RE	リードイネーブル信号	
RL	記録層	30
S	半導体基板	
SL1 ~ SLm	ソース線	
SR	ソース領域	
ST	ストラップ	
T	接着テープ	
TI	トンネル絶縁層	
TMR	磁気抵抗素子	
UD	上金型	
W	ワイヤ	
WBL	書き込みビット線	40
WCSG1 ~ WCSGm	ゲート電極	
WD	ワード線ドライバ帯	
WE	ライトイネーブル信号	
WF	半導体ウェハ	
WL1 ~ WLm	ワード線	

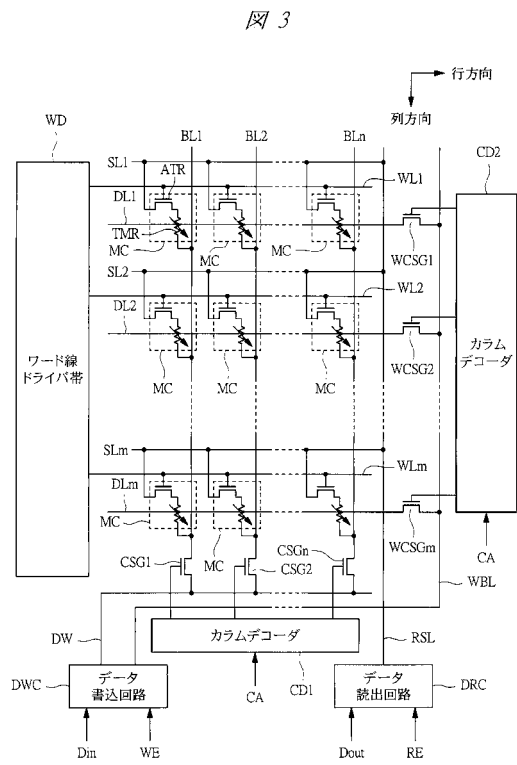
【図1】



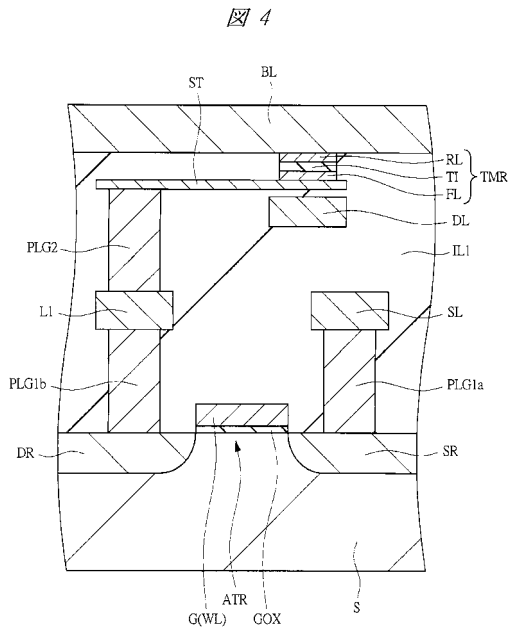
【図2】



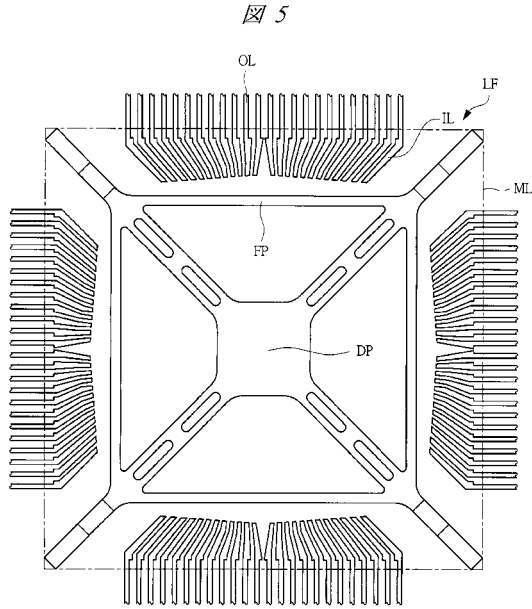
【図3】



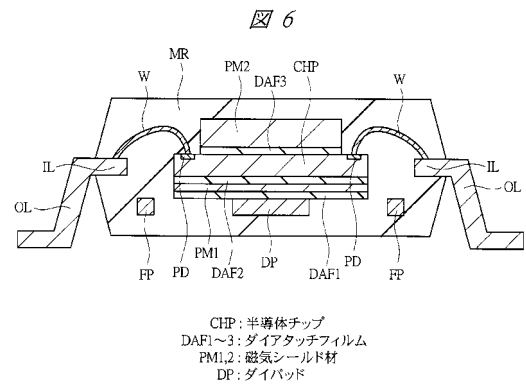
【図4】



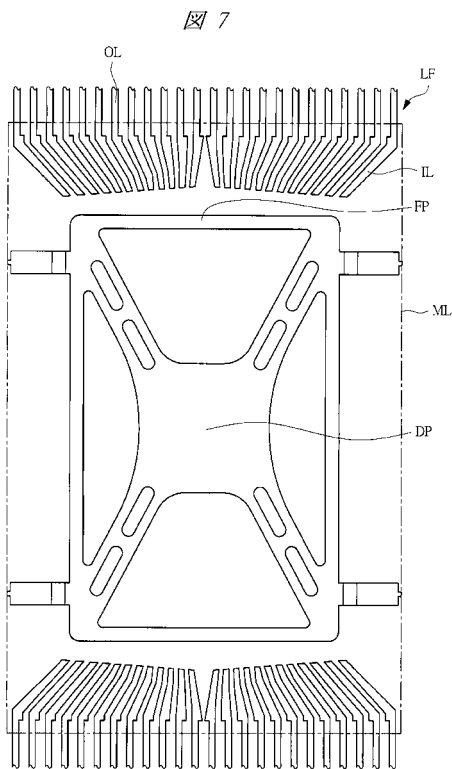
【図5】



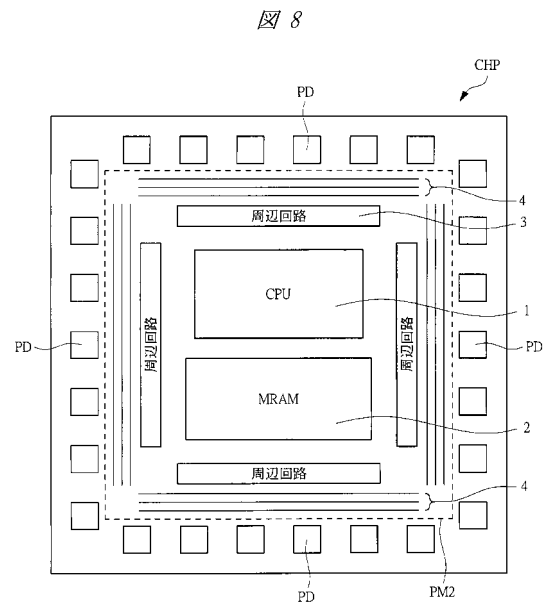
【図6】



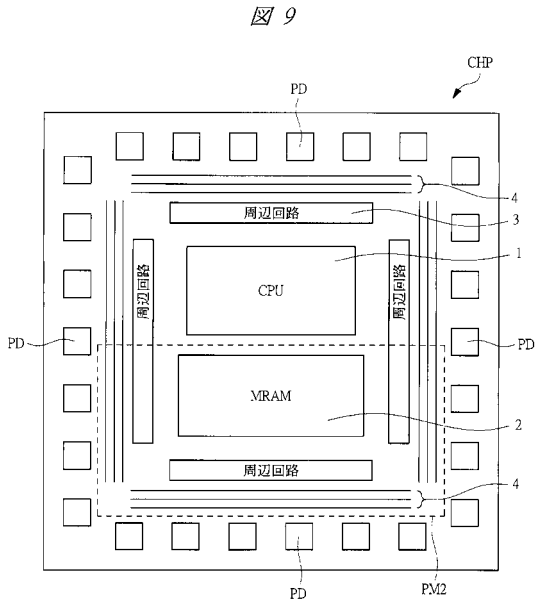
【図7】



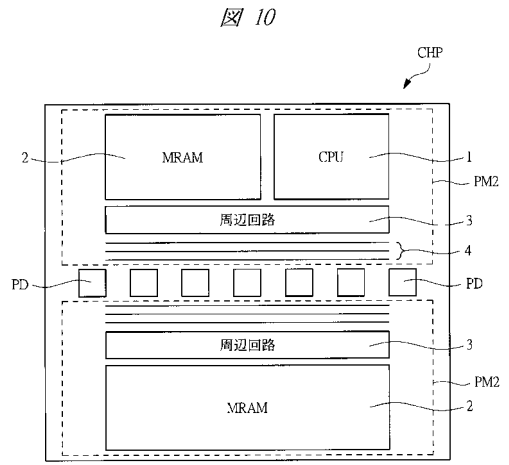
【図8】



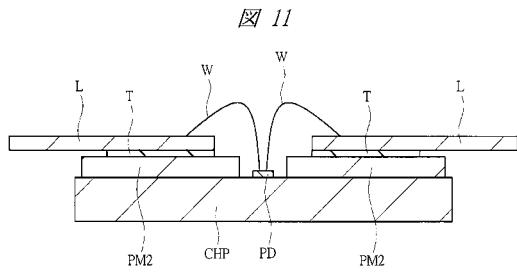
【図9】



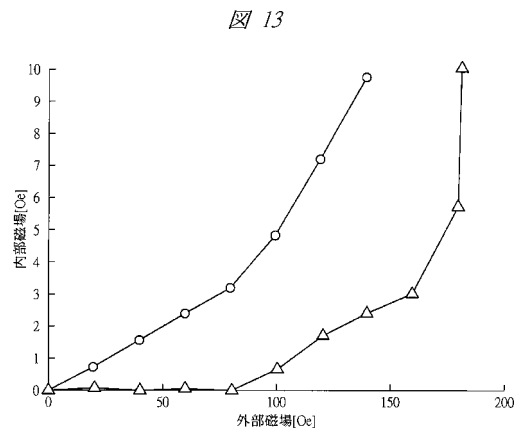
【図10】



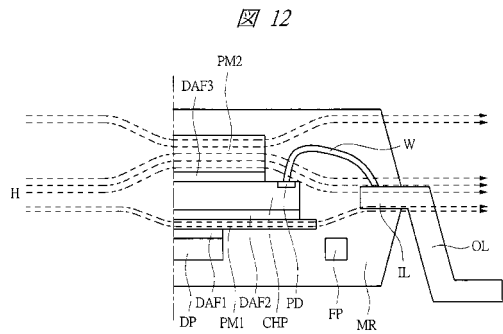
【図11】



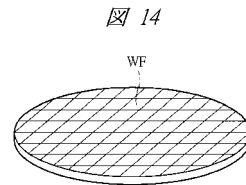
【図13】



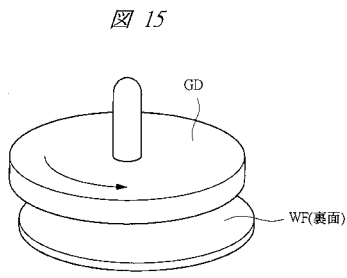
【図12】



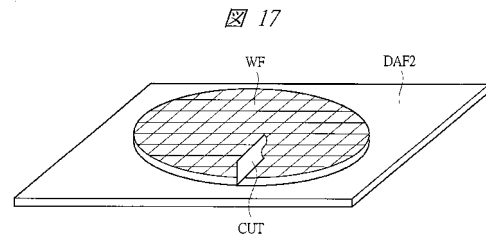
【図14】



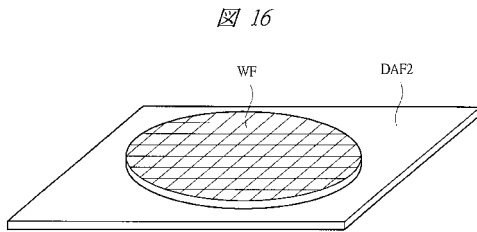
【図15】



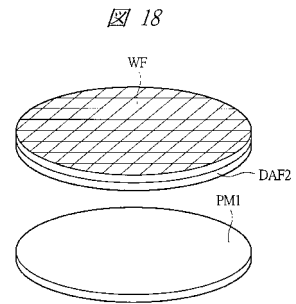
【図17】



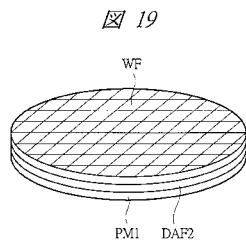
【図16】



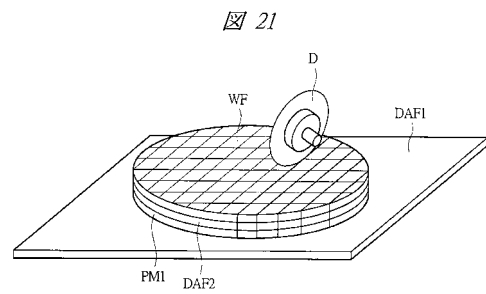
【図18】



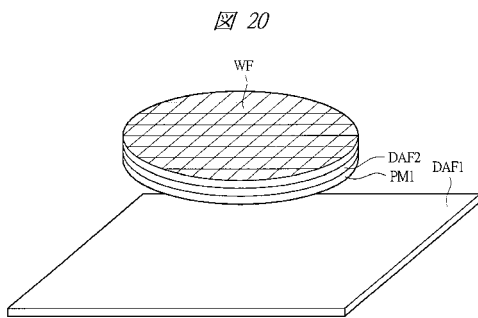
【図19】



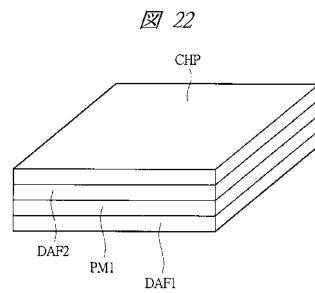
【図21】



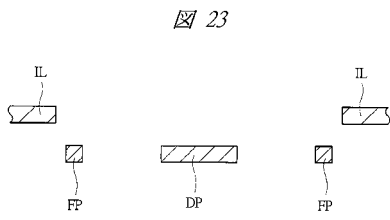
【図20】



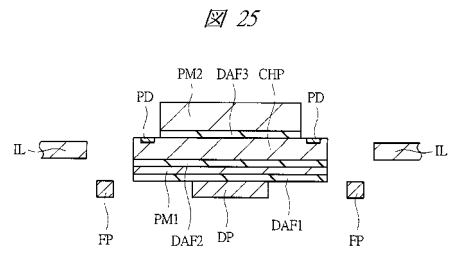
【図22】



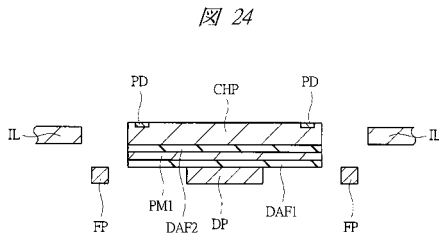
【図23】



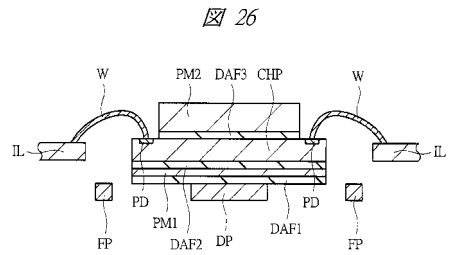
【図25】



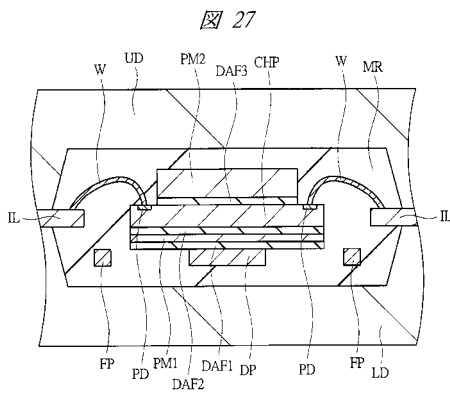
【図24】



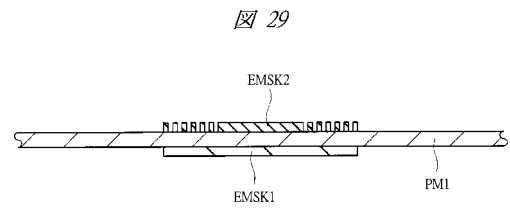
【図26】



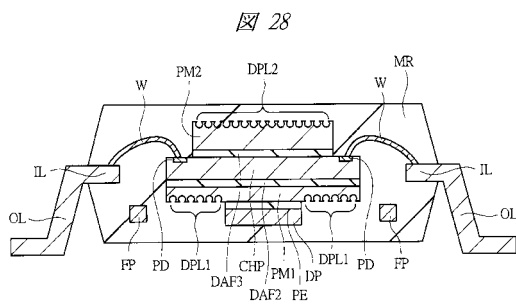
【図27】



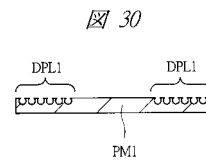
【図29】



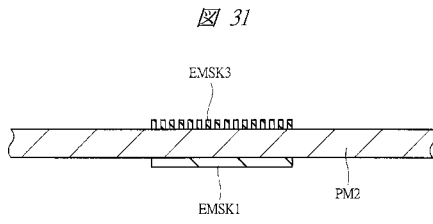
【図28】



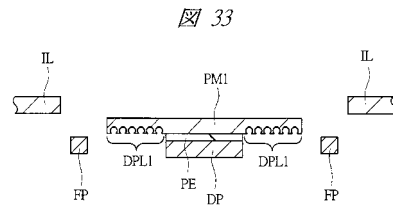
【図30】



【図 3 1】

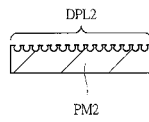


【図 3 3】



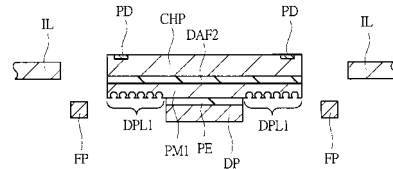
【図 3 2】

図 32



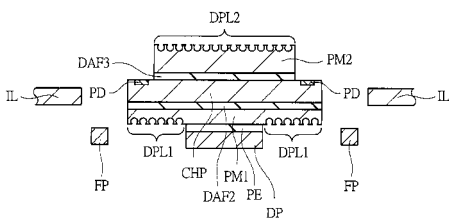
【図 3 4】

図 34



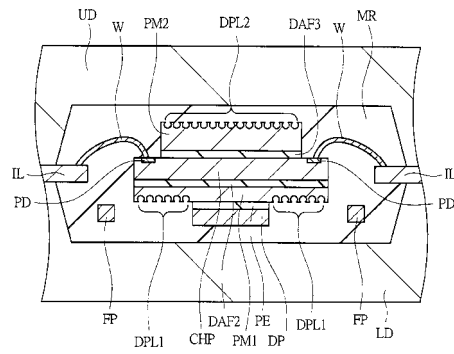
【図 3 5】

図 35



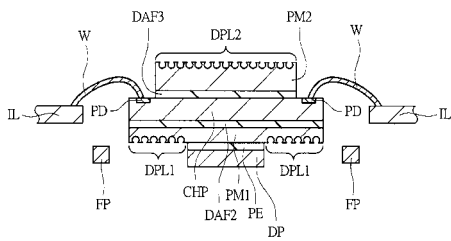
【図 3 7】

図 37

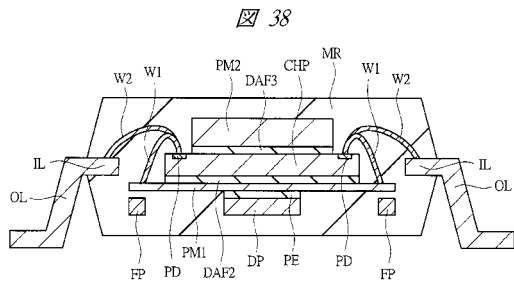


【図 3 6】

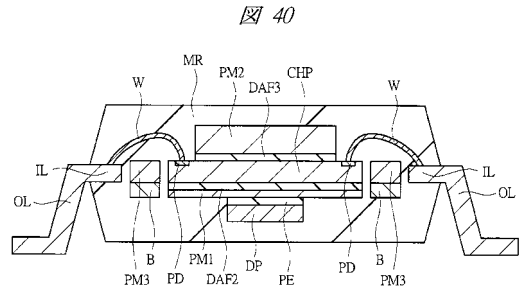
図 36



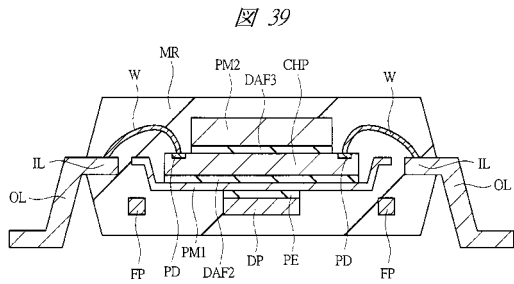
【図38】



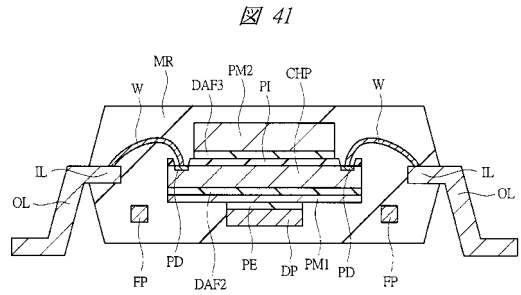
【図40】



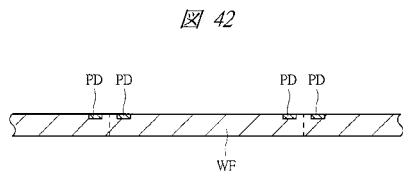
【図39】



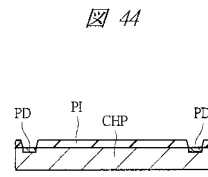
【図41】



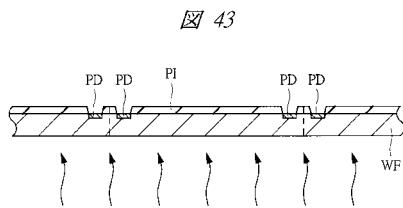
【図42】



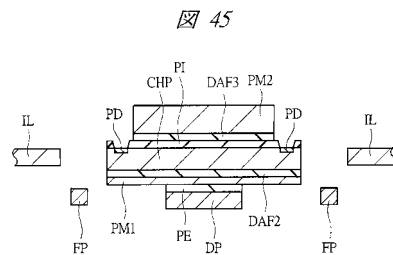
【図44】



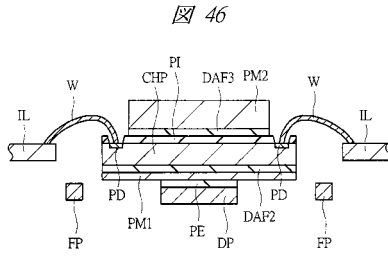
【図43】



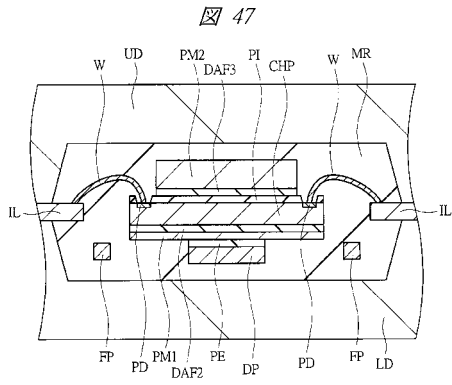
【図45】



【 46 】



【 47 】



フロントページの続き

- (72)発明者 和泉 直生
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
- (72)発明者 山崎 暁
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 山本 雄一

- (56)参考文献 国際公開第2008/105315(WO, A1)
特開2004-221288(JP, A)
特開平09-092778(JP, A)
特開昭63-239967(JP, A)
特開平06-216303(JP, A)
特開2006-319014(JP, A)
特開2009-141194(JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|---------------|
| H01L | 23/00 |
| H01L | 21/8246 |
| H01L | 27/105 |
| H01L | 43/00 - 43/14 |