

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

259838
(11) (B1)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 10 11 86
(21) (PV 8084-86.W)

(40) Zveřejněno 15 03 88

(45) Vydáno 15 03 89

(51) Int. Cl.⁴
G 06 G 7/20

(75)

Autor vynálezu

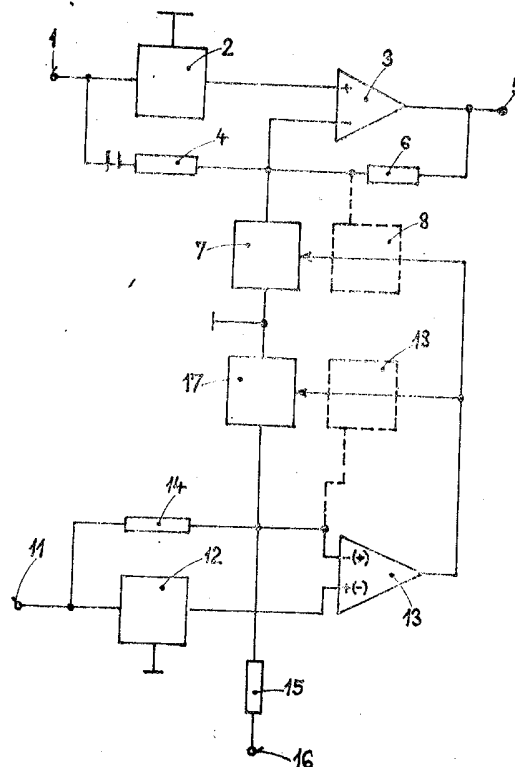
NEUMANN PŘEMEK ing. CSc., PRAHA

(54) Čtyřkvadrantová analogová násobička-dělička s řízenými odpory

1

Zapojení umožňuje současně násobit dvě vstupní veličiny libovolné polarity a součin dělit třetí veličinou jedné polarity. Násobicí vstup je spojen přes první dělič s neinvertujícím vstupem prvního operačního zesilovače a přes vstupní odpor s jeho invertujícím vstupem. Výstup prvního OZ je přes zpětnovazební odpor spojen s jeho invertujícím vstupem. Mezi invertujícím vstupem prvního OZ a zemí je zapojen hlavní řízený lineární odpor. Dělicí vstup je přes druhý dělič spojen s neinvertujícím, resp. invertujícím vstupem druhého OZ, přes dělicí odpor s jeho invertujícím, resp. neinvertujícím vstupem. Mezi invertujícím, resp. neinvertujícím vstupem druhého OZ a zemí je zapojen pomocný řízený lineární odpor. Výstup druhého OZ je připojen k řídicím vstupům řízených lineárních odporů. K invertujícímu, resp. neinvertujícímu vstupu druhého OZ je přes násobicí odpor připojen třetí násobicí vstup. Řídicí vstupy řízených lineárních odporů jsou ovládány řídicími děliči, zapojenými na výstupu druhého OZ. Čtyřkvadrantovou analogovou násobičku-děličku lze řešit formou modulů z diskrétních součástí nebo jako hybridně integrované.

2



Vynález se týká zapojení čtyřkvadrantové analogové násobičky-děličky, která umožňuje současně násobit dvě vstupní veličiny libovolné polaroty ve všech čtyřech kvadrantech a součin obou veličin dělit třetí veličinou jedné polaroty.

Elektronické analogové násobičky jsou realizovány podle jednoho ze tří známých principů; se zesilovacími prvky s řízenou strmostí, s řízenými odpory a s logaritmátory. Analogové násobičky první skupiny jsou realizovány především jako monolitické integrované obvody, mohou být poměrně rychlé a umožňují buď násobení ve čtyřech kvadrantech, nebo dělení ve dvou kvadrantech. Současně dělit i násobit lze jen u omezeném dynamickém rozsahu. Vybočení z úzce vymezeného rozsahu vede ke zhoršení přesnosti, případně ke zcela chybnému výsledku. Analogové násobičky s řízenými odpory sice umožňují současně násobit i dělit, avšak obě operace mohou probíhat jen ve dvou kvadrantech. Násobičky s logaritmátory umožňují současně násobit i dělit libovolný počet vstupních veličin, vyžadují však stejnou polaritu všech vstupních veličin, protože pracují jen v jednom kvadrantu. Realizace těchto násobiček vyžaduje nejméně jednu čtveřici shodných křemíkových bipolárních tranzistorů s nepatrnými zbytkovými proudy a mimořádnou péči při vyvažování chyb čtyř operačních zesilovačů a při omezování teplotní závislosti vybraného zapojení.

Z literatury jsou známy dva způsoby rozšíření počtu kvadrantů při násobení. První z nich využívá zesilovače absolutní hodnoty, který se předřadí před ten vstup, jehož činnost je potřeba rozšířit pro obě polaroty signálu. Jedním zesilovačem absolutní hodnoty lze rozšířit jednokvadrantovou násobičku na dvoukvadrantovou nebo dvoukvadrantovou na čtyřkvadrantovou. Dva zesilovače absolutní hodnoty rozšíří činnost jednokvadrantové násobičky na čtyřkvadrantovou. Aby výstupní napětí násobičky mělo správnou polaritu, je nutné zjistit polaroty všech vstupů a speciálním obvodem polaritu výstupu upravit. Takovéto úpravy jsou zpravidla příliš nákladné, protože každý zesilovač absolutní hodnoty se realizuje složitou nelineární operační sítí se dvěma operačními zesilovači.

Druhý způsob úprav je méně nákladný. Při něm se k jednomu vstupnímu signálu superponuje stejnosměrná složka, kterou je však nutné na výstupu kompenzovat lineárním přenosovým obvodem, zařazeným mezi druhý násobící vstup a výstup. Uvedená úprava vede k omezení dynamického rozsahu vstupních veličin a k výraznému zhoršení přesnosti a stálosti výstupních veličin. Hlavní příčinou zhoršení je to, že superpozici obvod se značně liší od obvodu kompenzačního, protože superponované napětí je nutné kompenzovat přenosem.

Výše uvedené nedostatky jsou z velké čás-

ti odstraněny zapojením čtyřkvadrantové analogové násobičky-děličky s řízenými lineárními odpory, podle vynálezu. Zapojení sestává z prvního děliče, který spojuje první vstup s neinvertujícím vstupem prvního operačního zesilovače. Vstup je zároveň přes vstupní odpor spojen s invertujícím vstupem prvního operačního zesilovače, jehož výstup je zároveň výstupem zařízení, zde násobičky a je spojen přes zpětnovazební odpor s invertujícím vstupem tohoto prvního operačního zesilovače. Druhý vstup je přes druhý dělič spojen s neinvertujícím, resp. invertujícím vstupem druhého operačního zesilovače a přes odpor s jeho invertujícím, resp. neinvertujícím vstupem. Mezi invertující vstup prvního operačního zesilovače a zem je zapojen hlavní řízený odpor a mezi invertující, resp. neinvertující vstup druhého operačního zesilovače a zem je zapojen pomocný řízený odpor. Výstup druhého operačního zesilovače je současně spojen s řídicím vstupem hlavního a pomocného řízeného odporu. Podstatou vynálezu je, že hlavní a pomocný řízený odpor jsou lineární a k invertujícímu, resp. neinvertujícímu vstupu druhého operačního zesilovače je přes násobící odpor připojen třetí vstup. Mezi výstup druhého operačního zesilovače a invertující vstup prvního operačního zesilovače lze připojit první řídicí dělič, jehož výstup je připojen k řídicímu vstupu hlavního řízeného odporu a současně lze mezi výstup druhého operačního zesilovače a jeho invertující, resp. neinvertující vstup připojit druhý řídicí dělič, jehož výstup je připojen k řídicímu vstupu pomocného řízeného odporu.

Pokrok zapojení podle vynálezu spočívá v tom, že k zabezpečení plné funkce čtyřkvadrantového násobení současně s dělením vystačí dvojice shodných řízených lineárních odporů se dvěma operačními zesilovači a dvěma shodnými lineárními odporovými sítěmi. Výhodou je i spojení obou řízených lineárních odporů se zemí a možnost jejich řízení přes řídicí děliče, které umožňují podstatně zlepšit linearitu řízených lineárních odporů, zvláště pak jsou-li řízené lineární odpory realizovány tranzistory řízenými elektrickým polem. Shodné provedení hlavní i pomocné operační sítě zlepší časovou i teplotní stálost funkce násobičky.

Na připojeném výkrese je schematicky znázorněn příklad zapojení analogové násobičky-děličky podle vynálezu.

První vstup 1 čtyřkvadrantové analogové násobícím vstupem, je spojen přes první dělič 2 s neinvertujícím vstupem prvního operačního zesilovače 3, který je násobícím a přes vstupní odpor 4 je spojen s invertujícím vstupem tohoto prvního operačního zesilovače 3. Výstup 5 prvního operačního zesilovače 3 je zároveň výstupem čtyřkvadrantové analogové násobičky-děličky a je přes zpětnovazební odpor 6 spojen s inver-

tující vstupem prvního operačního zesilovače 3. Mezi invertující vstup prvního operačního zesilovače 3 a zem je zapojen hlavní řízený odpor 7, který je lineární. Druhý vstup 11, který je dělicím vstupem, je přes druhý dělič 12 spojen s neinvertujícím, respektive invertujícím vstupem druhého operačního zesilovače 13, který je zde řídicím operačním zesilovačem a přes dělicí odpor 14 je spojen s invertujícím, resp. neinvertujícím vstupem druhého operačního zesilovače 13. Mezi invertující, resp. neinvertující vstup druhého operačního zesilovače 13 a zem je zapojen pomocný řízený odpor 17, který je lineární. Výstup druhého operačního zesilovače 13 je připojen současně na řídicí vstup hlavního a pomocného řízeného odporu 7, 17. K invertujícímu, resp. neinvertujícímu vstupu druhého operačního zesilovače 13 je přes násobící odpor 15 připojen třetí vstup 16, který je prvním násobícím vstupem. Čárkovaně je na výkrese vyznačeno připojení prvního a druhého řídicího děliče 8, 18. První řídicí dělič 8 je připojen mezi výstup druhého operačního zesilovače 13 a invertující vstup prvního operačního zesilovače 3. Výstup prvního řídicího děliče 8 je připojen k řídicímu vstupu lineárního hlavního řízeného odporu 7. Druhý řídicí dělič 18 je zapojen mezi výstup druhého operačního zesilovače 13 a jeho invertující, resp. neinvertující vstup. Výstup druhého řídicího děliče 18 je připojen k řídicímu vstupu lineárního pomocného řízeného odporu 17. Správná volba polarity vstupu řídicího prvního operačního zesilovače 13 záleží na polaritě napětí druhého, dělicího vstupu 11 a na charakteru řízení pomocného řízeného odporu 17. Je-li na druhém, dělicím vstupu 11, tedy na dělicím vstupu, napětí kladné a kladnou změnou řídicího napětí se pomocný řízený odpor 17, který je lineární, zmenšuje, například u FETů s n-kanálem, je nutné druhý dělič 12 připojit k neinvertujícímu vstupu druhého, tedy řídicího, operačního zesilovače 13. Při změně polarity napětí na druhém vstupu 11 nebo při změně charakteru řízení, kdy se kladnou změnou řídicího napětí odpor zvětšuje, například u FETů s p-kanálem, by bylo třeba polaritu vstupů druhého operačního zesilovače 13 obrátit. Při použití tranzistorů JFE je výhodnější používat původně uvedenou kombinaci, to je při kladné polaritě napětí na druhém vstupu 11 použít JFE tranzistorů s n-kanálem nebo při záporné polaritě napětí na druhém vstupu 11 pak JFE tranzistorů s p-kanálem.

Pro dlouhodobou stálost funkce analogové násobičky-děličky je účelné vytvořit elektricky shodné dvojice:

první dělič 2 — druhý dělič 12,
první operační zesilovač 3 — druhý operační zesilovač 13,
vstupní odpor 4 — dělicí odpor 14,
násobící odpor 15 — zpětnovazební odpor 6,

hlavní řízený odpor 7 — pomocný řízený odpor 17, oba lineární.

Čtyřkvadrantová analogová násobička-dělička s řízenými lineárními odpory v zapojení podle vynálezu je složitým zpětnovazebním systémem. Sestává ze dvou téměř shodných nelineárních operačních sítí — hlavní a pomocné. Každá operační síť působí vlivem velkého zesílení a prvního a druhého operačního zesilovače 3, 13 tak, aby se mezi jejich vstupními svorkami udrželo téměř nulové napětí. Čtyřkvadrantové násobení v podstatě zabezpečuje již hlavní operační síť samotnou funkcí lineárního hlavního řízeného odporu 7. Napětí na výstupu 5 násobičky je úměrné napětí na prvním vstupu 1, který je druhým násobícím vstupem a stejnosměrně posunutém napětí na řídicím vstupu lineárního hlavního řízeného odporu 7. Závislost napětí výstupu 5 násobičky na napětí na řídicím vstupu lineárního hlavního řízeného odporu 7 je však nelineární. K linearizaci této závislosti slouží pomocná operační síť, vybavená dvěma vstupy — druhým vstupem 11, který je dělicím, a třetím vstupem 16, který je násobícím. K druhému vstupu 11 je nutné připojovat konečné napětí jedné polarity — v žádném případě nelze dělit nulou. Je-li navržený obvod použit jen jako násobička, připojí se k druhému vstupu 11 konstantní stejnosměrné napětí, násobičky. Za těchto okolností lze ke třetímu vstupu 16 připojit libovolné napětí u_y v mezích hodnot daných uvedeným vztahem. Při $u_y = 0$ se působením záporné zpětné vazby v pomocné operační síti vytvoří na výstupu druhého operačního zesilovače 13 takové napětí, aby nastavilo hodnotu hlavního řízeného odporu 7 tak, že napětí na výstupu 5 násobičky bude nulové pro libovolnou hodnotu napětí u_x na prvním vstupu 1, který je též násobícím. Je-li například násobička způsobilá k provozu se záporným napětím, na druhém vstupu 11, tedy na dělicím, pak zvětšování kladného napětí na třetím vstupu 16, tedy na násobícím, vede k zvětšování hodnoty napětí na výstupu 5 násobičky, přičemž jeho polaritu určuje polarita napětí na prvním, násobícím vstupu 1. Změní-li se polarita napětí třetího vstupu 16, obrátí se polarita napětí výstupu 5 násobičky.

Správná funkce násobičky závisí na přesném vyvážení dvojic součástí a na vyrovnání napětového offsetu, případně kompenzaci vstupních proudů použitých operačních zesilovačů. Je výhodné použít operační zesilovače s FETovým vstupem pro jejich velmi malý vstupní proud. Pak stačí vyrovnat napětový offset prvního operačního zesilovače 3 při nulovém napětí u_x na prvním vstupu 1 a napětový offset druhého operačního zesilovače 13 při nenulovém u_x a u_z a nulovém napětí u_y na třetím vstupu 16.

První a druhý dělič 2, 12 umožňují připo-

jení napětí obojí polarity a tím zvyšují počet kvadrantů analogové násobičky-děličky ze dvou na čtyři.

Linearitu hlavního a pomocného řízení-

ho odporu 7, 17 lze podstatně zlepšit zařazením prvního a druhého řídicího děliče 8 a 18.

PŘEDMĚT VYNÁLEZU

Čtyřkvadrantová analogová násobička-dělička s řízenými odpory, kde první vstup je přes první dělič spojen s neinvertujícím vstupem prvního operačního zesilovače a přes vstupní odpor s invertujícím vstupem prvního operačního zesilovače, jehož výstup je zároveň výstupem zařízení a je spojen přes zpětnovazební odpor s invertujícím vstupem tohoto prvního operačního zesilovače, druhý vstup je přes druhý dělič spojen s neinvertujícím, resp. invertujícím vstupem druhého operačního zesilovače a přes odpor s invertujícím, resp. neinvertujícím vstupem tohoto druhého operačního zesilovače, mezi invertujícím vstupem prvního operačního zesilovače a zemí je zapojen hlavní řízený odpor, mezi invertujícím, resp. neinvertujícím vstupem druhého operačního zesilovače a zemí je zapojen pomocný řízený odpor a

výstup tohoto druhého operačního zesilovače je současně spojen s řídicím vstupem hlavního a pomocného řízeného odporu, vyznačující se tím, že hlavní řízený odpor (7) a pomocný řízený odpor (17) jsou lineární a k invertujícímu, resp. neinvertujícímu vstupu druhého operačního zesilovače (13) je přes násobící odpor (15) připojen třetí vstup (16), přičemž mezi výstupem druhého operačního zesilovače (13) a invertujícím vstupem prvního operačního zesilovače (3) je připojen první řídicí dělič (8), jehož výstup je připojen k řídicímu vstupu hlavního řízeného odporu (7) a současně mezi výstupem druhého operačního zesilovače (13) a jeho invertujícím, resp. neinvertujícím vstupem je připojen druhý řídicí dělič (18), jehož výstup je připojen k řídicímu vstupu pomocného řízeného odporu (17).

1 list výkresů

