(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年1 月22 日 (22.01.2009)

PCT

(10) 国際公開番号
WO 2009/011150 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号: PCT/JP2008/054856

(22) 国際出願日: 2008 年3 月17 日 (17.03.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-187067 2007 年7 月18 日 (18.07.2007) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 松川 年寿 (MATSUKAWA, Toshikazu).

(74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

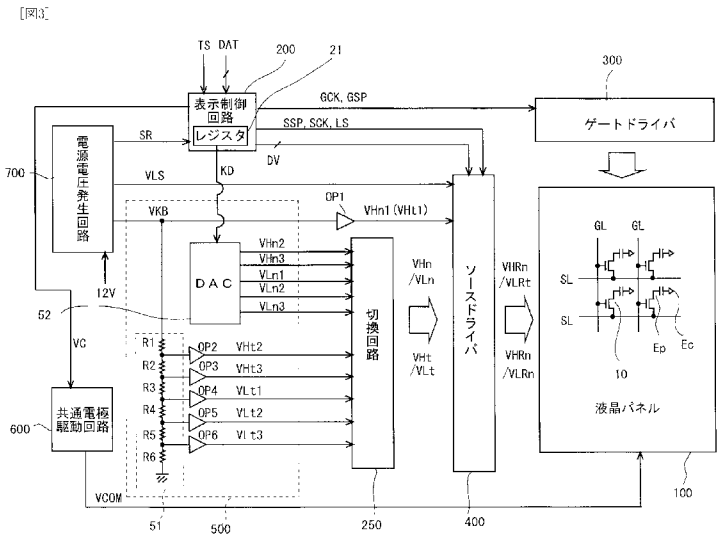
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

[続葉有]

(54) **Title:** DISPLAY DEVICE AND ITS DRIVING METHOD

(54) **発明の名称:** 表示装置およびその駆動方法



700 POWER VOLTAGE GENERATING CIRCUIT
600 COMMON ELECTRODE DRIVING CIRCUIT
200 DISPLAY CONTROL CIRCUIT
21 REGISTER

250 SWITCHING CIRCUIT
400 SOURCE DRIVER
300 GATE DRIVER
100 LIQUID CRYSTAL PANEL

(57) **Abstract:** A display device and a driving method of the display device, with which a gamma characteristic can easily and speedily be corrected when a display part is renewed, are provided. When power of a liquid crystal display device is turned on, provisional gradation reference voltage generated by a voltage dividing circuit where a plurality of resistors are connected in series is given to a source driver. Thus, the source driver generates a provisional gradation voltage group based on given provisional gradation reference voltage. When a power supply circuit is started, gradation voltage data given from a display control circuit is D/A-converted by a D/A converter and regular gradation reference voltage is generated. When regular gradation reference

[続葉有]

WO 2009/011150 A1

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

voltage is generated, regular gradation reference voltage is given to the source driver instead of provisional gradation reference voltage. The source driver generates regular gradation voltage based on regular gradation reference voltage instead of provisional gradation voltage.

(57) 要約: 本発明は、表示部をリニューアルしたとき、ガンマ特性の補正を簡易かつ迅速に行うことができる表示装置およびその駆動方法を提供することを目的とする。 液晶表示装置の電源がオンされると、まず複数の抵抗を直列接続した分圧回路によって生成された暫定階調基準電圧がソースドライバに与えられるので、ソースドライバは、与えられた暫定階調基準電圧に基づき暫定階調電圧群を生成する。次に、電源回路が立ち上がると、表示制御回路から与えられた階調電圧データをD／Aコンバータによって D／A変換して、正規階調基準電圧が生成される。正規階調基準電圧が生成されると、暫定階調基準電圧に代わって正規階調基準電圧がソースドライバに与えられる。そこで、ソースドライバは、暫定階調電圧の代わりに、正規階調基準電圧に基づいて正規階調電圧を生成する。

明 細 書

表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置およびその駆動方法に関し、特に、階層表示を行うアクティブマトリクス型表示装置およびその駆動方法に関する。

背景技術

[0002] アクティブマトリクス型液晶表示装置は、入力される映像信号に応じたカラーまたは白黒の階調表示が可能であるため、従来、ノートパソコン、コンピュータ用のモニタとして使用されてきた。しかし、近年、多階調化および高解像度化の進展に連れて、携帯電話、カーナビゲーションシステム、テレビジョン受像機などの電子機器にも使用されるようになってきた。

[0003] 図9は、このような電子機器に使用される従来のアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。図9に示すように、液晶表示装置は、マトリクス状に配置された多数の画素形成部を含む液晶パネル(表示部)100と、表示制御回路200と、ゲートドライバ(走査信号線駆動回路)300と、ソースドライバ(映像信号線駆動回路)400と、基準電圧発生回路500と、共通電極駆動回路600と、電源電圧発生回路700とを備えている。

[0004] 液晶パネル100は、互いに対向する2枚の絶縁性基板の間に液晶層を挟持する。一方の基板には、ゲートバスライン(走査信号線)GLとソースバスライン(映像信号線)SLとがマトリクス状に配置され、それぞれの交差点近傍に画素形成部が設けられている。画素形成部は、TFT(Thin Film Transistor)10を介してソースバスラインSLに接続された画素電極Epと、他方の基板上に配置された共通電極Ecとを備えている。

[0005] 液晶は、直流電圧が加わり続けると、一定方向に固まって動かなくなる焼きつき現象を起こす。このため、液晶が焼きつき現象を起こさないように、画素電極Epの電位を共通電極Ecの電圧VCOMよりも高くする場合と低くする場合とを、所定の周期で交互に繰り返す交流駆動を行う必要がある。

[0006] 表示制御回路200は、外部から送られてくる画像データDATおよびタイミング制御

信号TSに基づき、ゲートドライバ300、ソースドライバ400および共通電極駆動回路600を動作させるために、各種のタイミング制御信号およびデジタル映像信号DVを生成する。

[0007] 表示制御回路200がゲートドライバ300にタイミング制御信号GCK、GSPを出力すると、ゲートドライバ300は受け取ったタイミング制御信号GCK、GSPに基づいて、各ゲートバスラインGLを1水平期間ずつ順次選択し、選択されたゲートバスラインGLにアクティブな走査信号を出力する。また、表示制御回路200は、ソースドライバ400に、外部から送られてきた画像データDATを、表示すべき映像を表すデジタル映像信号DVとして出力するとともに、タイミング制御信号SCK、SSP、LSを出力する。

[0008] ソースドライバ400は、表示制御回路200から受け取ったデジタル映像信号DVを、セレクタ(「D／Aコンバータ」ともいう)によってアナログ映像信号である駆動用映像信号に変換する。具体的には、セレクタは、液晶層を交流駆動するために、基準電圧発生回路500から入力された2種類の階調基準電圧VH1～VH3、VL1～VL3に基づいて生成された階調表示のための2種類のアナログ電圧(以下「階調電圧」という)の中から、デジタル映像信号DVに相当する階調電圧を交互に選択し、駆動用映像信号とする。ソースドライバ400は、変換した駆動用映像信号を、タイミング制御信号SCK、SSP、LSによって決められたタイミングで、ソースバスラインSLを介して画素電極Epに与える。

[0009] 一方、共通電極Ecには、共通電極駆動回路600から共通電圧VCOMが与えられる。このため、この共通電圧VCOMと、画素電極Epに与えられた駆動用映像信号が示す電圧とによって、画素電極Epと共通電極Ecからなる画素容量が充電されて、所望の映像が液晶パネル100上に表示される。

[0010] 電源電圧発生回路700は、外部から12ボルトの基準電圧が与えられると、内蔵するDC／DCコンバータによって各回路の電源電圧を生成して出力する。なお、図9には、生成された電源電圧のうちアナログ電源電圧VLSおよび基本階調電圧VKBのみ記載し、他の電源電圧の記載は省略した。

[0011] 基準電圧発生回路500は、6個の抵抗R1～R6を直列に接続して、抵抗R1～R6の各節点から必要な電圧を引き出す分圧回路51と、分圧回路51の各節点にそれぞ

れ接続されたオペアンプOP1～OP6を含む。分圧回路51の一端には、電源電圧発生回路700から15．2Vの基本階調電圧VKBが与えられ、他端は接地されている。各抵抗R1～R6の抵抗値は、使用される液晶パネル100のガンマ特性（液晶パネルに印加される電圧と輝度との関係）に応じて決められる。階調基準電圧は、液晶層を交流駆動するため、共通電極VCOMよりも高い階調電圧（以下「VH側の階調電圧」という）を発生させるのに必要な第1階調基準電圧VH1～第3階調基準電圧VH3からなる3つの階調基準電圧（以下「VH側の階調基準電圧」という）と、共通電極VCOMよりも低い階調電圧（以下「VL側の階調電圧」という）を発生させるのに必要な第1階調基準電圧VL1～第3階調基準電圧VL3からなる3つの階調基準電圧（以下「VL側の階調基準電圧」という）とによって構成されている。

[0012] 分圧回路51で生成されたVH側の第1階調基準電圧VH1～第3階調基準電圧VH3、およびVL側の第1階調基準電圧VL1～第3階調基準電圧VL3は、分圧回路51の各抵抗R1～R6の節点からそれぞれ引き出された電圧で、各引出し線はそれぞれオペアンプOP1～OP6を介してソースドライバ400に出力されている。このオペアンプOP1～OP6は、抵抗R1～R6の各節点から入力された電圧を低インピーダンスの出力電圧に変換して出力するためのものである。

[0013] 液晶層を交流駆動するために、ソースドライバ400では、15．6Vのアナログ電源電圧VLSと、その1／2の大きさの電圧である耐圧基準電圧VBDと、VH側の階調基準電圧VH1～VH3と、VL側の階調基準電圧VL1～VL3との間には、「ドライバの規定」と呼ばれる次式（1）が成立することが必要とされている。

VLS＞VH1～VH3＞VBD＞VL1～VL3＞GND … （1）

この式（1）を満たさないソースドライバ400では、アナログ電源電圧VLSの端子と接地端子との間に過電流が流れるため、セレクタが正常に動作せず、液晶パネル100に映像が表示されないという問題が発生する。

[0014] そこで、この基準電圧発生回路500によって生成される、VH側およびVL側の各階調基準電圧VH1～VH3、VL1～VL3について、式（1）を満たすか否かを検討する。

[0015] 図10は、従来例における各階調基準電圧の時間変化を示す図である。図10には

、接地電圧GNDから所定の電圧値まで上昇する各階調基準電圧VH1～VH3、VL1～VL3が実線で、アナログ電源電圧VLSおよび耐圧基準電圧VBDが一点鎖線でそれぞれ記載されている。図10に示すように、VH側の各階調基準電圧VH1～VH3は、常にアナログ電源電圧VLSと耐圧基準電圧VBDとの間にあり、VL側の各階調基準電圧VL1～VL3は耐圧基準電圧VBDと接地電圧GNDとの間にあることがわかる。したがって、この基準電圧発生回路500で生成される各階調基準電圧VH1～VH3、VL1～VL3は、式(1)を常に満たしていることがわかる。

[0016] このため、基準電圧発生回路500で生成された階調基準電圧VH1～VH3、VL1～VL3がソースドライバ400に与えられても、ソースドライバ400のアナログ電源電圧VLSの端子と接地端子との間に過電流が流れることはない。なお、式(1)を満たさない場合に、過電流が流れるメカニズムについては後述する。

[0017] 日本の特開2003－84725号公報には、複数の抵抗が直列に接続された分圧回路で、電源電圧を抵抗分割することによって階調基準電圧を生成する基準電圧発生回路が開示されている。また、日本の特開2005－43435号公報には、インストラクションドライバと電源との間にシーケンサを設け、シーケンサがインストラクションドライバに設定値を書き込むタイミングを制御する液晶ドライバが開示されている。

特許文献1:日本の特開2003－84725号公報

特許文献2:日本の特開2005－43435号公報

発明の開示

発明が解決しようとする課題

[0018] しかし、ガンマ特性は液晶パネル100ごとに異なるので、液晶パネル100がリニューアルされれば、ガンマ特性を考慮して各階調電圧の電圧値を決め直す必要がある。この階調電圧の電圧値は、ソースドライバ400内の階調電圧発生回路に含まれる抵抗の抵抗値と、制御基板上に形成された分圧回路51を構成する抵抗R1～R6の抵抗値とによって決まる。この階調電圧の電圧値を変更する場合、階調電圧発生回路の抵抗の抵抗値を変更するよりも、制御基板上の抵抗R1～R6の抵抗値を変更して調整する方が容易である。

[0019] しかし、制御基板上の抵抗R1～R6の抵抗値を変更して調整しようとすれば、液晶

パネル100をリニューアルするたびに、制御基板を新たに作り直す必要がある。特に近年、液晶表示装置を搭載した電子機器の商品寿命が短くなるにつれて、液晶パネル100の寿命も短くなり、その結果制御基板の寿命も短くなっている。このため、新たに制御基板を作り直すのに要する時間とコストが増大し、液晶表示装置の生産性の向上が妨げられている。

[0020] これに対して、日本の特開2003－84725号公報には、抵抗分割を利用した分圧回路によって階調基準電圧を生成することが記載されているだけで、液晶パネルをリニューアルした場合に生じる上記課題については何も記載されていない。また、日本の特開2005－43435号公報には、シーケンサを用いた液晶ドライバの駆動について記載されているが、液晶パネルをリニューアルした場合については何も記載されていない。

[0021] そこで本発明は、液晶パネルをリニューアルした場合に、ガンマ特性の補正を簡易かつ迅速に行うことができ、生産性の向上を図ることができる表示装置およびその駆動方法を提供することを目的とする。

課題を解決するための手段

[0022] 本発明の第1の局面は、表示すべき映像を階調表示するアクティブマトリクス型の表示装置であって、

複数の走査信号線と、前記走査信号線と交差する複数の映像信号線と、前記走査信号線および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子とを含む表示部と、

前記走査信号線を選択的に活性化する走査信号線駆動回路と、

前記表示装置の電源が投入されると、電圧値が固定された第1の階調基準電圧を直ちに生成する第1の基準電圧発生回路と、

電圧値の変更が可能な第2の階調基準電圧を生成する第2の基準電圧発生発生回路と、

前記第2の階調基準電圧が生成された後に、前記第1の基準電圧発生回路から入力された前記第1の階調基準電圧を、前記第2の基準電圧発生回路から入力された前記第2の階調基準電圧に切り換えて出力する切換回路と、

前記切換回路から出力された前記第1の階調基準電圧および前記第2の階調基準電圧のいずれかに基づいて階調電圧を生成し、外部から与えられたデジタル映像信号に基づいて、前記階調電圧の中からいずれか1つを選択することによってアナログ映像信号を生成した後、前記アナログ映像信号を前記映像信号線に印加する映像信号線駆動回路とを備えることを特徴とする。

[0023] 本発明の第2の局面は、本発明の第1の局面において、

前記走査信号線駆動回路にタイミング制御信号を与え、前記映像信号線駆動回路にタイミング制御信号およびデジタル映像信号を与えるとともに、設定された階調電圧データを保持する表示制御回路をさらに備え、

前記第2の基準電圧発生回路は、前記表示制御回路から出力される前記階調電圧データをD／A変換することにより、前記第2の階調基準電圧を生成することを特徴とする。

[0024] 本発明の第3の局面は、本発明の第2の局面において、

前記映像信号線駆動回路の電源電圧を生成し、前記電源電圧の生成終了後に前記表示制御回路の動作の停止を解除する停止解除信号を出力する電源電圧発生回路をさらに備え、

前記表示制御回路は、前記停止解除信号が与えられると、保持された前記階調電圧データを前記第2の基準電圧発生回路に出力することを特徴とする。

[0025] 本発明の第4の局面は、本発明の第1の局面において、

前記映像信号線駆動回路の電源電圧を生成する電源電圧発生回路をさらに備え、

前記第1の基準電圧発生回路は、複数の抵抗を直列に接続することによって形成された複数の節点を有し、前記複数の節点のうち2個以上の節点に、前記電源電圧発生回路から与えられる前記基本階調電圧を抵抗分割して前記第1の階調基準電圧を生成することを特徴とする。

[0026] 本発明の第5の局面は、本発明の第4の局面において、

前記複数の抵抗の抵抗値は、前記表示部と同じ種類の表示部を駆動するために使用される表示装置に含まれる抵抗の抵抗値の平均値であることを特徴とする。

[0027] 本発明の第6の局面は、本発明の第4の局面において、

前記複数の抵抗の抵抗値は、既存の表示装置に含まれる抵抗の抵抗値と同じ抵抗値であることを特徴とする。

[0028] 本発明の第7の局面は、本発明の第1の局面において、

共通電圧を出力する共通電極駆動回路をさらに備え、

前記表示部は、複数の前記表示素子にそれぞれ設けられた複数の画素電極と、複数の前記画素電極に共通的に設けられた共通電極とを含み、

前記共通電極駆動回路は前記共通電極に共通電圧を与え、

前記第1の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第1の交流

用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第2の交流用階調基準電圧を含み、

前記第2の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第4の交流階調基準電圧を含み、

前記階調電圧は、前記第1の交流用階調基準電圧または前記第3の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して高い階調電圧である第1の交流用階調電圧と、前記第2の交流用階調基準電圧または前記第4の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して低い階調電圧である第2の交流用階調電圧とを含み、

前記表示素子は、前記第1の交流用階調電圧および前記第2の交流用階調電圧に基づいてそれぞれ生成された第1の交流用アナログ映像信号および第2の交流用アナログ映像信号のいずれかが印加される前記画素電極と、前記共通電圧が印加される前記共通電極とによって交流駆動されることを特徴とする。

[0029] 本発明の第8の局面は、本発明の第1の局面において、

少なくとも前記第1の基準電圧発生回路と、前記第2の基準電圧発生回路と、前記切換回路とが1つの半導体チップの中に形成されていることを特徴とする。

[0030] 本発明の第9の局面は、複数の走査信号線と、前記走査信号線と交差する複数の

映像信号線と、前記走査信号線および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子とを含む表示部を備え、表示すべき映像を階調表示するアクティブマトリクス型の表示装置の駆動方法であって、

前記表示装置の電源が投入されると、電圧値が固定された第1の階調基準電圧を直ちに生成する第1の基準電圧生成ステップと、

電圧値を変更できるとともに、前記第1の階調基準電圧に遅れて第2の階調基準電圧を生成する第2の基準電圧生成ステップと、

前記第2の階調基準電圧が生成された後に、前記第1の階調基準電圧を、前記第2の階調基準電圧に切り換えて出力する切換ステップと、

出力された前記第1の階調基準電圧および前記第2の階調基準電圧のいずれかに基づいて階調電圧を生成する階調電圧生成ステップと、

外部から与えられたデジタル映像信号に基づいて、前記階調電圧の中からいずれか1つを選択することによってアナログ映像信号を生成し、前記映像信号線に出力する映像信号出力ステップと、

前記走査信号線を選択的に活性化する走査信号線活性化ステップとを備えることを特徴とする。

[0031] 本発明の第10の局面は、本発明の第9の局面において、

設定された階調電圧データを所定のレジスタから出力する階調電圧データ出力ステップをさらに含み、

前記第2の基準電圧生成ステップは、出力された前記階調電圧データをD／A変換することを特徴とする。

[0032] 本発明の第11の局面は、本発明の第10の局面において、

前記アナログ映像信号を生成するために必要な電源電圧を生成した後に、前記階調電圧データの出力を可能にする停止解除信号を出力する解除信号出力ステップをさらに含み、

前記階調電圧データ出力ステップは、前記停止解除信号が出力された後に、前記階調電圧データを出力することを特徴とする。

[0033] 本発明の第12の局面は、本発明の第9の局面において、

前記表示素子に共通的に設けられた共通電極に共通電圧を出力する共通電圧出力ステップをさらに含み、

前記第1の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第1の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第2の交流用階調基準電圧とを生成し、

前記第2の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第4の交流用階調基準電圧とを生成し、

前記階調電圧生成ステップは、前記第1の交流用階調基準電圧または第3の交流用階調基準電圧に基づいて、前記共通電圧に対して高い階調電圧である第1の交流用階調電圧を生成するとともに、前記第3の交流用階調基準電圧または第4の交流用階調基準電圧に基づいて、前記共通電圧に対して低い階調電圧である第2の交流用階調電圧を生成し、

前記映像信号出力ステップは、前記第1の交流用階調電圧および前記第2の交流用階調電圧に基づいてそれぞれ生成された第1の交流用アナログ映像信号および第2の交流用アナログ映像信号のいずれかを前記映像信号線に出力し、前記共通電圧とともに前記表示素子を交流駆動することを特徴とする。

発明の効果

[0034] 本発明の第1の局面によれば、表示装置は、第1の基準電圧発生回路と第2の基準電圧発生回路とを有している。第2の基準電圧発生回路は、電圧値の変更が可能な第2の階調基準電圧を生成するので、表示部をリニューアルしたためにガンマ特性が変わった場合でも、リニューアル後のガンマ特性に合った電圧値の第2の階調基準電圧を簡易かつ迅速に生成することができる。また、表示装置の電源が投入されてから第2の階調基準電圧が生成されるまでの間に時間が必要な場合には、それまでの間、第1の基準電圧発生回路から、固定された電圧値の第1の階調基準電圧を出力させて、表示装置の起動時に一時的に使用する第1の階調電圧を生成する。そして、第2の階調基準電圧が生成されるようになると、第1の階調基準電圧を第2の階調基準電圧に切り換えて、第2の階調電圧を生成する。このように、第2の階調基準

電圧が生成されるまでに時間を要する場合であっても、第2の階調基準電圧が生成された後に、第1の階調基準電圧を第2の階調基準電圧に切り換えれば、表示部をリニューアルした場合であっても、リニューアル後の表示部に合わせたガンマ補正を簡易かつ迅速に行うことができ、ひいては表示装置の生産性を向上させることができる。

[0035] 本発明の第2の局面によれば、第2の基準電圧発生回路は、表示制御回路に保持されていた階調電圧データを受け取り、受け取った階調電圧データをD／A変換して第2の階調基準電圧を生成している。このため、表示部がリニューアルされても、階調電圧データを設定し直すだけで、第2の基準電圧発生回路は、リニューアル後の表示部のガンマ特性に合わせた第2の階調基準電圧を生成することができる。

[0036] 本発明の第3の局面によれば、表示制御回路は、電源電圧発生回路から動作の停止を解除する停止解除信号を受け取るまで動作を停止しているので、第2の基準電圧発生回路に階調電圧データを出力することができない。このため、階調電圧データをD／A変換して生成された第2の階調基準電圧は、表示装置の電源投入後直ちに生成される第1の階調基準電圧よりも遅れて出力される。したがって、第2の階調基準電圧が生成されるまでの間、第1の階調基準電圧を一時的に使用する。

[0037] 本発明の第4の局面によれば、第1の基準電圧発生回路は、複数の抵抗を直列に接続した分圧回路を含んでいる。この分圧回路には、表示装置の電源投入後直ちに電源電圧発生回路で生成される基本階調電圧が印加され、抵抗分割により第1の階調基準電圧が生成される。このため、第1の基準電圧発生回路は、表示装置の電源を投入した直後に、第1の階調基準電圧を生成することができる。

[0038] 本発明の第5の局面によれば、複数の抵抗の抵抗値を、表示部と同じ種類の表示部を駆動するために使用される表示装置に含まれる抵抗の抵抗値の平均値とする。また、本発明の第6の局面によれば、複数の抵抗の抵抗値を、既存の表示装置の表示部に含まれる抵抗の抵抗値と同じにする。このため、第1の階調基準電圧に基づいて生成される第1の階調電圧は、リニューアル後の表示部のガンマ特性に最適な階調電圧ではない。しかし、類似の表示部に対して一般的に使用されている階調電圧であるため、リニューアル後の表示部に最適な第2の階調基準電圧が生成される

までの間、暫定的に使用することによって第1のアナログ映像信号を生成することができる。

[0039] 本発明の第7の局面によれば、共通電極に対して高い第1の交流用階調基準電圧または第3の交流用階調基準電圧に基づいて生成された、共通電極に対して高い第1の交流用階調電圧と、共通電極に対して低い第2の交流用階調基準電圧または第4の交流用階調基準電圧に基づいて生成された、共通電極に対して低い第2の交流用階調電圧とが生成される。そして、第1の交流用階調電圧と第2の交流用階調電圧とに基づいてそれぞれ生成された第1の交流用アナログ映像信号および第2の交流用アナログ映像信号のいずれかを画素電極に、共通電圧を共通電極にそれぞれ印加することによって、表示装置を交流駆動することができる。

[0040] 本発明の第8の局面によれば、少なくとも第1の基準電圧発生回路と、第2の基準電圧発生回路と、切換回路とが1つの半導体チップの中に形成されているので、表示装置を小型化できるとともに製造コストを低く抑えることができる。

図面の簡単な説明

[0041] [図1]基礎検討に係る液晶表示装置の全体構成を示すブロック図である。

[図2]上記基礎検討において、各階調基準電圧の時間変化を示す図である。

[図3]本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

[図4]上記実施形態におけるソースドライバの構成を示すブロック図である。

[図5]上記実施形態において、基準電圧発生回路によって生成された、VH側およびVL側の各階調基準電圧の時間変化を示す図である。

[図6]上記実施形態における414出力のソースドライバ内に設けられた階調電圧発生回路およびセレクタの構成を示すブロック図である。

[図7]上記実施形態における第1分圧回路およびVH側セレクタの一部を示す回路図である。

[図8]上記実施形態に係る液晶表示装置の実装状態を示す概略図である。

[図9]従来例に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

[図10]従来例における各階調基準電圧の時間変化を示す図である。

符号の説明

[0042] 15…制御基板

44…階調電圧発生回路

44a…第1分圧回路

44b…第2分圧回路

45…セレクタ

45a…VH側セレクタ

45b…VL側セレクタ

48a～48g…アナログスイッチ

51…分圧回路

52…D／Aコンバータ

100…液晶パネル

200…表示制御回路

250…切換回路

300…ゲートドライバ(走査信号線駆動回路)

400…ソースドライバ(映像信号線駆動回路)

500…基準電圧発生回路

600…共通電極駆動回路

700…電源電圧発生回路

Ec…共通電極

Ep…画素電極

GL…ゲートバスライン(走査信号線)

KD…階調電圧データ

R1～R6…抵抗

SL…ソースバスライン(映像信号線)

SR…停止解除信号

VCOM…共通電圧

VKB…基本階調電圧

VH1～VH3…VH側の第1～第3階調基準電圧

VL1～VL3…VL側の第1～第3階調基準電圧

VHt1～VHt3…VH側の第1～第3暫定階調基準電圧

VLt1～VLt3…VL側の第1～第3暫定階調基準電圧

VHn1～VHn3…VH側の第1～第3世紀階調基準電圧

VLn1～VLn3…VL側の第1～第3世紀階調基準電圧

VHRt、VHRt…VH側の暫定階調電圧群、VL側の暫定階調電圧群

VHRn、VHRn…VH側の正規階調電圧群、VL側の正規階調電圧群

発明を実施するための最良の形態

[0043] ＜1．基礎検討＞

本発明の一実施形態に係る液晶表示装置の開発を行うにあたり、その問題点と解決策を明らかにするための基礎検討を行った。このため、まず添付図面を参照しつつ基礎検討に用いた液晶表示装置について説明する。

[0044] ＜1．1　全体構成および動作＞

図1は、基礎検討に用いた液晶表示装置の全体構成を示すブロック図である。図1に示すように、この液晶表示装置は、マトリクス状に配置された複数の画素形成部を含む液晶パネル100と、表示制御回路200と、ゲートドライバ（走査信号線駆動回路）300と、ソースドライバ（映像信号線駆動回路）400と、基準電圧発生回路として動作するD／Aコンバータ（DAC）52と、共通電極駆動回路600と、電源電圧発生回路700とを備え、256階調の階調表示を行うことができる。

[0045] 液晶パネル100には、複数本のソースバスライン（映像信号線）SLと、複数本のゲートバスライン（走査信号線）GLとがマトリクス状に配置され、ソースバスラインSLとゲートバスラインGLとの交差点近傍に画素形成部（表示素子）が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインGLにゲート電極が接続されるとともに、この交差点を通過するソースバスラインSLにソース電極が接続されたスイッチ素子としてのTFT10と、そのTFT10のドレイン電極に接続された画素電極Epと、各画素形成部に共通的に設けられた共通電極Ecとを含み、画素電極Epと共

通電極Ecとによって画素容量が形成されている。

[0046] 表示制御回路200は、外部から送られてくる画像データDATとタイミング制御信号TSとを受け取り、デジタル映像信号DVと、ソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストローブ信号LSとをソースドライバ400に出力する。また、表示制御回路200は、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKをゲートドライバ300に、共通電極制御信号VCを共通電極駆動回路600にそれぞれ出力する。

[0047] ソースドライバ400は、表示制御回路200から出力されたデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストローブ信号LSを受け取り、液晶パネル100内の各画素容量を充電するために駆動用映像信号を各ソースバスラインSLに印加する。ゲートドライバ300は、各ゲートバスラインGLを1水平走査期間ずつ順次選択するために、表示制御回路200から出力されたゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、アクティブな走査信号を各ゲートバスラインGLに順次印加する。このようにして、各ソースバスラインSLに駆動用映像信号が印加され、各ゲートバスラインGLに走査信号が印加されて、液晶パネル100に画像が表示される。

[0048] 電源電圧発生回路700は、外部から12ボルトの基準電圧が入力されると、内蔵するDC／DCコンバータによって各回路の電源電圧を生成して出力する。なお、図1には、生成される電源電圧のうち、本発明の実施形態を説明するために必要なアナログ電源電圧VLSおよび基本階調電圧VKBのみ記載し、他の電源電圧の記載は省略した。

[0049] ＜1．2 階調基準電圧および階調電圧の生成＞

次に、ソースドライバ400に与える階調基準電圧の生成について説明する。この液晶表示装置では、階調基準電圧は、共通電圧VCOMよりも高い階調電圧（以下「VH側の階調電圧」という）を発生させるために必要な第1階調基準電圧VH1～第3階調基準電圧VH3の3つの階調基準電圧（以下「VH側の階調基準電圧」という）と、共通電圧VCOMよりも低い階調電圧（以下「VL側の階調電圧」という）を発生させるために必要な第1階調基準電圧VL1～第3階調基準電圧VL3の3つの階調基準電

圧（以下「VL側の階調基準電圧」という）の合計6つの階調基準電圧VH1～VH3、VL1～VL3からなる。

[0050] これら6つの階調基準電圧VH1～VH3、VL1～VL3は、次のようにして生成される。具体的には、VH側の第1階調基準電圧VH1は、電源電圧発生回路700内で生成された15．2Vの基本階調電圧VKBが、オペアンプOP1を介してソースドライバ400に入力された電圧である。また、階調基準電圧を生成するために必要なデータ（以下「階調電圧データ」という）KDを、表示制御回路200内に設けられたレジスタ21に予め格納しておく。この階調電圧データKDは、生成したい階調基準電圧VH1～VH3、VL1～VL3の電圧値に応じて書き換えることができる。そして、表示制御回路200が動作を開始した時点で、D／Aコンバータ（DAC）52に出力する。

[0051] D／Aコンバータ52は、受け取った階調電圧データKDをD／A変換することによって、VH側の第2階調基準電圧VH2と第3階調基準電圧VH3、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3をそれぞれ生成し、ソースドライバ400に出力する。

[0052] ソースドライバ400に入力された6つの階調基準電圧VH1～VH3、VL1～VL3は、ソースドライバ400内に設けられた階調電圧発生回路に与えられる。階調電圧発生回路は、後述するように、それぞれ256個の抵抗を直列に接続したVH側の階調電圧群を発生させる第1分圧回路とVL側の階調電圧群を発生させる第2分圧回路とからなる。第1分圧回路は、VH側の第1階調基準電圧VH1～第3階調基準電圧VH3に基づいて256階調のVH側階調電圧群VHRを生成し、第2分圧回路は、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3に基づいて256階調のVL側階調電圧群VLRを生成する。

[0053] この液晶表示装置では、液晶パネル100をリニューアルしたり、そのパネルサイズを変更したりするために、液晶パネル100を取り替えた場合であっても、新たな液晶パネル100のガンマ特性に応じた階調電圧データKDを表示制御回路200のレジスタ21に書き込むだけでよく、制御基板を新たに準備する必要はない。このため、液晶パネル100を取り替えても、従来使用していた制御基板をそのまま使用できるので、制御基板を作り直すのに要するコストと時間を節約することができる。したがって、液

晶表示装置の生産性を向上させることができる。

[0054] ＜1．3 問題点＞

図2は、基礎検討に用いた液晶表示装置の各階調基準電圧の時間変化を示す図である 。図2を参照して、これらの関係を詳細に説明する。VH側の第1階調基準電圧VH1は、電源電圧発生回路700で生成された基本階調電圧VKBであるので、他の階調基準電圧よりも早く立ち上がって15．2Vまで上昇する。VH側の第1階調基準電圧VH1が立ち上がってから、所定の時間が経過した後にVH側の第2階調基準電圧VH2と第3階調基準電圧VH3、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3が同時に立ち上がって、それぞれ所定の電圧値まで上昇する。なお、VH側の第1階調基準電圧VH1が立ち上がってから、VH側の第2階調基準電圧VH2～VL側の第3階調基準電圧VL3が立ち上がるまでの間、VH側の第2階調基準電圧VH2～VL側の第3階調基準電圧VL3の端子はいずれもオープン状態にあり、立ち上がるときにそれぞれ一旦.接地電位GNDになってから立ち上がり始める。

[0055] また、図2には、アナログ電源電圧VLSおよび耐圧基準電圧VBDがそれぞれ一点鎖線で示されている。アナログ電源電圧VLSおよび耐圧基準電圧VBDは、VH側の第1階調基準電圧VH1と同時に接地電圧GNDから立ち上がり始め、VH側の第1階調基準電圧VH1が15．2Vになったときに、それぞれ15．6V、7．8Vになる。

[0056] 上述のように、VH側の第1階調基準電圧VH1と他の階調基準電圧VH2～VL3の立ち上がり時期が異なる理由について説明する。電源電圧発生回路700は、外部から基準電圧が与えられると、基準電圧からDC／DCコンバータにより各種の電源電圧を生成する。これらの電源電圧のうちの1つであるアナログ電源電圧VLSからレギュレータによって生成された基本階調電圧VKBが、VH側の第1階調基準電圧VH1となる。したがって、VH側の第1階調基準電圧VH1は、アナログ電源電圧VLSと同時に立ち上がる。

[0057] これに対して、VH側の第1階調基準電圧VH1が立ち上がったとき、電源電圧発生回路700は表示制御回路200に停止解除信号SRを出力していないので、表示制御回路200はその動作を停止している。その後、電源電圧発生回路700は、必要な各電源電圧を生成し終わると、表示制御回路200に停止解除信号SRを出力する。表

示制御回路200は、停止解除信号SRを受け取ると、動作の停止が解除されて、レジスタ21に格納されている階調電圧データKDをD／Aコンバータ52に出力する。D／Aコンバータ52は、与えられた階調電圧データKDをD／A変換して、VH側の第2階調基準電圧VH2～VL側の第3階調基準電圧VL3を生成する。このため、VH側の第1階調基準電圧VH1と、他の階調基準電圧VH2～VL3とではその生成開始時期が異なる。

[0058] 次に、上述のVH側の第1階調基準電圧VH1～第3階調基準電圧VH3およびVL側の第1階調基準電圧VL1～第3階調基準電圧VL3が、式(1)を満たしているか否かについて検討する。そこで、式(1)を再び記載する。

VLS＞VH1～VH3＞VBD＞VL1～VL3＞GND … (1)

[0059] 図2からわかるように、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3は、常に接地電圧GNDと耐圧基準電圧VBDとの間にあり、またVH側の第1階調基準電圧VH1は常にアナログ電源電圧VLSと耐圧基準電圧VBDとの間にあるので、いずれも常に式(1)を満たしていることがわかる。

[0060] 一方、VH側の第2階調基準電圧VH2および第3階調基準電圧VH3は、接地電圧GNDから立ち上がってから所定の期間が経過するまで、接地電圧GNDと耐圧基準電圧VBDとの間にあり、式(1)を満たしていない。しかし、さらに時間が経過すると、まず第2階調基準電圧VH2が耐圧基準電圧VBDよりも大きくなり、その後、第3階調基準電圧VH3も耐圧基準電圧VBDより大きくなる。このため、VH側の第2階調基準電圧VH2および第3階調基準電圧VH3も、最終的に式(1)を満たすようになる。

[0061] VH側の第2階調基準電圧VH2または第3階調基準電圧VH3が式(1)を満たしていない場合、VH側の第1階調基準電圧VH1の端子と、VH側の第2階調基準電圧VH2の端子または第3階調基準電圧VH3の端子との間、具体的には後述するようにソースドライバ400内のセレクタ(「D／Aコンバータ」ともいう)に過電流が流れる。このため、セレクタが正常に動作しなくなって、液晶パネル100に映像が表示されないという問題が生じる。

[0062] なお、VH側の第1階調基準電圧VH1は、アナログ電源電圧VLSから生成された基本階調電圧VKBであるので、過電流は、アナログ電源電圧VLSの端子と、VH側

の第2階調基準電圧VH2の端子または第3階調基準電圧VH3の端子との間に流れる。特に、VH側の第2階調基準電圧VH2または第3階調基準電圧VH3の立ち上がり時に、これらの端子はオープン状態から、一旦接地電圧GNDになった後に上昇するので、アナログ電源電圧VLSの端子と接地端子との間に過電流が流れる。過電流がセレクタに流れるメカニズムの詳細については後で説明する。

[0063] ＜2. 実施形態＞

以下、添付図面を参照しつつ本発明の一実施形態について説明する。

[0064] ＜2. 1 全体構成＞

図3は、本発明の一実施形態に係るアクティブマトリックス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、液晶パネル100と、表示制御回路200と、切換回路250と、ゲートドライバ300と、ソースドライバ400と、基準電圧発生回路500と、共通電極駆動回路600と、電源電圧発生回路700とを備え、256階調の階調表示をすることができる。上記回路のうち、基礎検討で用いた液晶表示装置の回路と同じ部分には同一の参照符号を付してその説明を省略し、異なる部分について説明する。

[0065] ＜2. 2 基準電圧発生回路＞

本実施形態における基準電圧発生回路500は、6個の抵抗R1～R6が直列に接続された分圧回路51と、D／Cコンバータ(DAC)52とを備えている。分圧回路51は6つの階調基準電圧VH1～VH3、VL1～VL3を、D／Cコンバータ52は5つの階調基準電圧VH2～VH3、VL1～VL3を発生させる。以下の説明では、分圧回路51によって生成された階調基準電圧を暫定階調基準電圧と呼び、D／Cコンバータ52によって生成された階調基準電圧を正規階調基準電圧と呼ぶ。

[0066] まず、分圧回路51によって、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3を生成する場合について説明する。分圧回路51の一端には、電源電圧発生回路700から15. 2Vの基本階調電圧VKBが与えられ、他端は接地されている。また、分圧回路51の抵抗R1～R6の各節点からは、分割された電圧を引き出す引出し線が延びている。このため、分圧回路51は、基本階調電圧VKBが与えられると、直ちにVH側の第1暫定階調基準電圧VHt1～VL側の第3暫定

階調基準電圧VLt3を生成することができる。

[0067] VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3は、共通電極Ecの共通電圧VCOMよりも高い暫定階調電圧群VHRtを生成するために必要なVH側の第1暫定階調基準電圧VHt1～第3暫定階調基準電圧VHt3と、共通電圧VCOMよりも低い暫定階調電圧群VLRtを生成するために必要なVL側の第1暫定階調基準電圧VLt1～第3暫定階調基準電圧VLt3とからなる。

[0068] VH側の第1暫定階調基準電圧VHt1は、分圧回路51の抵抗R1の上端の電圧であり、オペアンプOP1を介して直接ソースドライバ400に入力されている。このVH側の第1暫定階調基準電圧VHt1は、電源電圧発生回路700から出力された基本階調電圧VKBと同じ15．2Vの電圧であり、さらに後述する第1正規階調基準電圧VHn1も同じ電圧である。このため、図3には、VH側の第1暫定階調基準電圧VHt1に括弧をつけて記載している。

[0069] また、VH側の第2暫定階調基準電圧VHt2と第3暫定階調基準電圧VHt3はそれぞれ分圧回路51の抵抗R2および抵抗R3の上端の節点から引き出された電圧であり、VL側の第1暫定階調基準電圧VLt1～第3暫定階調基準電圧VLt3はそれぞれ分圧回路51の抵抗R4、抵抗R5および抵抗R6の上端の節点から引き出された電圧で、それぞれオペアンプOP2～OP6を介して切換回路250に出力されている。ここで、オペアンプOP1～OP6は、抵抗R1～R6の各節点から入力された電圧を低インピーダンスの出力電圧に変換して出力するためのものである。

[0070] なお、抵抗R1～R6の各抵抗値は、量産されている液晶パネル（前衛モデル）を駆動するために使用される分圧回路に含まれる抵抗の抵抗値と同じ値、または使用されている液晶パネル100と同じ種類の液晶パネルを駆動するために使用される分圧回路に含まれる抵抗の抵抗値の平均値とする。

[0071] また、この分圧回路51では、VH側の第1暫定階調基準電圧VHt1～第3暫定階調基準電圧VHt3、およびVL側の第1暫定階調基準電圧VLt1～第3暫定階調基準電圧VLt3を生成するために、抵抗の数をそれぞれ3個ずつとして説明したが、暫定階調基準電圧の数に応じて増減させてもよい。

[0072] 次に、D／Cコンバータ52によって、正規階調基準電圧を生成する場合について

説明する。正規階調基準電圧を生成するために必要なデータを、階調設定データKDとし、表示制御回路200内に設けられたレジスタ21に予め格納しておく。液晶表示装置の電源がオンされ、表示制御回路200が動作を開始すると、表示制御回路200はレジスタ21に格納されている階調設定データKDをD／Aコンバータ52に出力する。D／Aコンバータ52は、受け取った階調設定データKDをD／A変換してVH側の第2正規階調基準電圧VHn2と第3正規階調基準電圧VHn3、およびVL側の第1正規階調基準電圧VLn1～第3正規階調基準電圧VLn3をそれぞれ生成して、切換回路250に出力する。なお、階調設定データKDはレジスタに予め格納しておかなくても、必要なときに格納することができる。

[0073] 切換回路250には、最初に分圧回路51からのVH側の第2暫定階調基準電圧VHt2～VL側の第3暫定階調基準電圧VLt3のみが入力されるので、切換回路250はVH側の第2暫定階調基準電圧VHt2～VL側の第3暫定階調基準電圧VLt3をソースドライバ400に出力する。次に、D／Cコンバータ52がVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3を生成するようになると、生成されたVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3が切換回路250に入力される。このため、切換回路250は、VH側の第2暫定階調基準電圧VHt2～VL側の第3暫定階調基準電圧VLt3の代わりにVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3をソースドライバ400に出力する。

[0074] ＜2．3 電源電圧発生回路の動作＞

外部から12Vの基準電圧が与えられると、電源電圧発生回路700は、各回路の動作に必要な電源電圧を生成して出力する。電源電圧発生回路700が生成する電源電圧のうち、アナログ電源電圧VLSから電源電圧発生回路700内で生成された15．2Vの基本階調電圧VKBは、分圧回路51によってVH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3を生成するのに使用される。

[0075] 電源電圧発生回路700は、必要な電源電圧を生成し終わると、表示制御回路200に停止解除信号SRを出力する。表示制御回路200は、停止解除信号SRを受け取ると、レジスタ21内に格納された階調設定データKDをD／Cコンバータ52に出力す

る。この結果、D／Cコンバータ52は、受け取った階調電圧データKDをD／A変換して、VH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3を生成する。このため、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3が生成されてから、VH側の第1正規階調基準電圧VHn1～VL側の第3正規階調基準電圧VLn3が生成されるまでに時間のずれが生じる。

[0076] ＜2．4 ソースドライバ＞

図4は、本実施形態におけるソースドライバ400の構成を示すブロック図である。このソースドライバ400は、シフトレジスタ41と、第1ラッチ回路42と、第2ラッチ回路43と、階調電圧発生回路44と、セレクタ（「D／Aコンバータ」ともいう）45とを備えている。以下の説明では、ソースドライバ400は、256階調の階調表示が可能なソースドライバとして説明する。

[0077] シフトレジスタ41には、表示制御回路200から出力されたソーススタートパルス信号SSPとソースクロック信号SCKとが入力される。シフトレジスタ41は、これらの信号SSP、SCKに基づき、ソーススタートパルス信号SSPに含まれる各パルスを入力端から出力端に順次転送する。第1ラッチ回路42は、シフトレジスタ41から入力されるパルスに応じて、表示制御回路200から出力されたデジタル映像信号DVをサンプリングしてラッチし、ラッチしたデジタル映像信号DVを第2ラッチ回路43に転送する。1水平ラインの画素形成部のデジタル映像信号DVが第2ラッチ回路43に記憶されると、表示制御回路200から第2ラッチ回路43にラッチストローブ信号LSが与えられる。第2ラッチ回路43は、ラッチストローブ信号LSを受け取ると、1水平走査期間の間、デジタル映像信号DVをセレクタ45に出力する。その間、シフトレジスタ41および第1ラッチ回路42は、次の水平ラインのデジタル映像信号DVを順次記憶する。

[0078] 階調電圧発生回路44は、分圧回路51から切換回路250を介して入力されるVH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3に基づき、第2ラッチ回路43から出力された8ビットのデジタル映像信号DVによって表現され得る256の階調レベルにそれぞれ対応する256個のVH側の暫定階調電圧VHRt0～VHRt255、およびVL側の暫定階調電圧VLRt0～VLRt255を生成し、これらをそれぞれVH側の暫定階調電圧群VHRt、VL側の暫定階調電圧群VLRtとして出

力する。

[0079] セレクタ45は、階調電圧発生回路44によって生成されたVH側の暫定階調電圧群VHRtおよびVL側の暫定階調電圧群VLRtの中から、8ビットのデジタル映像信号DVに対応する1つの暫定階調電圧VHRt(n)、VLRt(n)を選択し、駆動用映像信号として各ソースバスラインSLに出力する。

[0080] 次に、D/Cコンバータ52が動作を開始すると、電源電圧発生回路700から直接入力されるVH側の第1暫定階調基準電圧VHt1すなわちVH側の第1正規階調基準電圧VHn1と、D/Cコンバータ52から入力され、切換回路250によって切り換えられたVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3とが、階調電圧発生回路44に出力される。階調電圧発生回路44は、与えられたVH側の第1正規階調基準電圧VHn1～VL側の第3正規階調基準電圧VLn3に基づき、第2ラッチ回路43から出力された8ビットのデジタル映像信号DVによって表現され得る256の階調レベルにそれぞれ対応する256個のVH側の正規階調電圧VHRn0～VHRn255、およびVL側の正規階調電圧VLRn0～VLRn255を生成し、これらをそれぞれVH側の正規階調電圧群VHRn、VL側の正規階調電圧群VLRnとして出力する。

[0081] セレクタ45は、階調電圧発生回路44によって生成されたVH側の正規階調電圧群VHRnおよびVL側の正規階調電圧群VLRnの中から、8ビットのデジタル映像信号DVに対応する1つの正規階調電圧VHRn(n)、VLRn(n)を選択し、駆動用映像信号として各ソースバスラインSLに出力する。

[0082] ＜2．5 階調基準電圧の時間変化＞

図5は、本実施形態において、基準電圧発生回路500によって生成された、各階調基準電圧の時間変化を示す図である。すでに説明したように、本実施形態の基準電圧発生回路500は、分圧回路51とD/Aコンバータ52とを含んでいる。このため、図5に示すように、この図には、分圧回路51によって生成されたVH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3と、D/Aコンバータ52によって生成されたVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3と、VH側の第1正規階調基準電圧VHn1とが記載されている。また、

図5には、アナログ電源電圧VLSおよび耐圧基準電圧VBDもそれぞれ一点鎖線で示されている。

[0083] アナログ電源電圧VLSおよび耐圧基準電圧VBDと同時に、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3も接地電圧GNDから立ち上がって上昇し、アナログ電源電圧VLSおよび耐圧基準電圧VBDがそれぞれ15.6V、7.8Vになったときに、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3も所定の電圧になる。これは、アナログ電源電圧VLSから基本階調電圧VKBが生成されると、生成された基本階調電圧VKBが分圧回路51の一端に与えられ、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3が接地電圧GNDから立ち上がって上昇し、所定の電圧になるからである。この段階では、分圧回路51に使用されている抵抗R1～R6の各抵抗値として、前衛モデルの液晶パネルに使用されている抵抗の抵抗値または液晶パネル100と同じ種類の液晶パネルに使用されている抵抗の抵抗値の平均値を使用しており、リニューアル後の液晶パネル100のガンマ特性を考慮したものではない。このため、生成されたVH側の第2暫定階調基準電圧VHt2～VL側の第3暫定階調基準電圧VLt3は、リニューアル後の液晶パネル100にも暫定的に使用できるが、最適なものではない。したがって、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3に基づいて変換されたアナログ映像信号も、概ね液晶パネル100のガンマ特性に合っているが、VH側の第1正規階調基準電圧VHn1～VL側の第3正規階調基準電圧VLn3に基づいて生成されたアナログ映像信号のような最適な信号ではない。そこで、液晶パネル100のガンマ特性に合ったアナログ映像信号が出力されるまでの間だけ、暫定的に分圧回路51で生成されたVH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3を使用することによって、液晶パネル100をリニューアルした後も、リニューアル前の分圧回路51が実装された制御基板をそのまま使用することができる。

[0084] 次に、D／Aコンバータ52によって、VH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3が生成されると、生成されたVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3は切換回路250に入力さ

れる。その結果、切換回路250は、VH側の第2暫定階調基準電圧VHt2～VL側の第3暫定階調基準電圧VLt3を、VH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3に切り換えて、ソースドライバ400に出力する。また、VH側の第1暫定階調基準電圧VHt1と同じ電圧値のVH側の第1正規階調基準電圧VHn1が、電源電圧発生回路700からソースドライバ400に直接入力される。このようにして得られたVH側の第1正規階調基準電圧VHn1～VL側の第3正規階調基準電圧VLn3は、使用されている液晶パネル100のガンマ特性に合ったものである。今まで、ソースドライバ400内では、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3に基づいて暫定階調電圧群VHRt、VLRtが生成されていたが、これ以後、VH側の第1正規階調基準電圧VHn1～VL側の第3正規階調基準電圧VLn3に基づいて正規階調電圧群VHRn、VLRnが生成される。

[0085] ＜2．6 式(1)との関係＞

まず、VH側の3つの第1暫定階調基準電圧VHt1～第3暫定階調基準電圧VHt3は、接地電圧GNDから立ち上がって所定の電圧値になるまで、常にアナログ電源電圧VLSと耐圧基準電圧VBDとの間にあり、またVL側の3つの第1暫定階調基準電圧VLt1～第3暫定階調基準電圧VLt3も同様に接地電圧GNDと耐圧基準電圧VBDとの間にある。このため、分圧回路51で生成されたVH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3は、式(1)を常に満たしている。

[0086] 次に、VH側の3つの第1正規階調基準電圧VHn1～第3正規階調基準電圧VHn3は、いずれもアナログ電源電圧VLSと耐圧基準電圧VBDとの間にあり、またVL側の3つの第1正規階調基準電圧VLn1～第3正規階調基準電圧VLn3は、いずれも耐圧基準電圧VBDと接地電圧GNDとの間にある。このため、D／Aコンバータ52で生成されたVH側の第1正規階調基準電圧VHn1～VL側の第3正規階調基準電圧VLn3も、式(1)を常に満たしている。

[0087] したがって、過電流が、アナログ電源電圧VLSの端子と、VH側の第2暫定階調基準電圧VHt2または第2正規階調基準電圧VHn2の端子との間、あるいはアナログ電源電圧VLSの端子と、VH側の第3暫定階調基準電圧VHt3または第3正規階調基準電圧VHn3の端子との間に流れることはない。

[0088] ＜2．7 階調電圧発生回路およびセレクタの動作＞

図6は、本実施形態における414出力のソースドライバ400内に設けられた階調電圧発生回路44およびセレクタ45の具体的な構成を示すブロック図である。なお、以下の説明では、暫定階調基準電圧と正規階調基準電圧とを区別することなく、階調基準電圧として説明する。

[0089] まず、階調電圧発生回路44について説明する。この階調電圧発生回路44は、VH側 に256階調の階調電圧群VHRを発生させる第1分圧回路44aと、VL側に256階調の階調電圧群VLRを発生させる第2分圧回路44bとを含む。第1分圧回路44aおよび第2分圧回路44bは、それぞれ255個の抵抗RH1～RH255、RL1～RL255が直列に接続され、抵抗分割によって階調電圧を発生させる、互いに独立した回路である。

[0090] 第1分圧回路44aの一端には、基準電圧発生回路500から入力されたVH側の第1階調基準電圧（15．2V）VH1が、他端にはVH側の第3階調基準電圧（約8V）VH3がそれぞれ入力されている。また、第1分圧回路44aのほぼ中央の抵抗RH128と抵抗RH127の節点には、VH側の第2階調基準電圧VH2が入力されている。このため、第1分圧回路44aは、その両端に印加された電圧15．2Vと約8Vとの間を255個の抵抗によって抵抗分割することによって、VH側の256階調の階調電圧群VHRを生成する。

[0091] ここで、第1分圧回路44aの両端に、それぞれVH側の第1階調基準電圧VH1およびVH側の第3階調基準電圧VH3を入力するだけでなく、抵抗RH128と抵抗RH127の節点にも、VH側の第2階調基準電圧VH2を入力する理由について説明する。本来、VH側の第2階調基準電圧VH2を第1分圧回路44aに入力しなくても、第1分圧回路44aを構成する255個の抵抗によって256個の階調電圧群VHRが生成される。しかし、抵抗RH0～RH255の数が多いため、第1分圧回路44aの中央付近から出力される階調電圧が目標としていた電圧値からずれてしまう場合がある。このため、第1分圧回路44aの中央付近の節点にもVH側の第2階調基準電圧VH2を入力して、その節点の電圧を強制的にVH側の第2階調基準電圧VH2とし、第1分圧回路44aから出力される階調電圧VHR128の電圧値が、目標とする電圧値からずれない

ようにしている。

[0092] 次に、第1分圧回路44aによって生成されたVH側の階調電圧群VHRは、VH側セレクタ45a内のH側セレクタ1～207の各々に入力される。一方、H側セレクタ1～207の各々には、第2ラッチ回路43から液晶パネル100の画素形成部の位置に対応する8ビットのデジタル映像信号DVが入力される。なお、以下の説明において、i番目のソースバスラインSLに接続された画素形成部の列をi番目の垂直ラインという。例えば、H側セレクタ1には、液晶パネル100の1番目の垂直ラインの画素形成部(R:赤色)に表示されるデジタル映像信号DVが入力され、H側セレクタ2には2番目の垂直ラインの画素形成部(G:緑色)に表示されるデジタル映像信号DVが入力され、H側セレクタ3には3番目の垂直ラインの画素形成部(B:青色)に表示されるデジタル映像信号DVが入力される。

[0093] そして、H側セレクタ1～3によって、256階調の表示が可能な階調電圧群VHRの中からデジタル映像信号DVに対応する1つの階調電圧VHR(n)をそれぞれ選択し、駆動用映像信号を生成する。生成された駆動用映像信号は、アンプ46aを介して第1番目～第3番目の垂直ラインの画素形成部にそれぞれ与えられる。

[0094] 同様にして、基準電圧発生回路500により生成されたVL側の階調基準電圧VL1～VL3は、第2分圧回路44bに与えられる。第2分圧回路44bの一端には、基準電圧発生回路500から入力されたVL側の第1階調基準電圧(約7V)VL1が、他端にはVL側の第3階調基準電圧(約0．2V)VL3がそれぞれ入力されている。また、第2分圧回路44bのほぼ中央の抵抗RL128と抵抗RL127の節点には、VL側の第2階調基準電圧VL2が入力されている。このため、第2分圧回路44bは、その両端に印加された電圧約7Vと約0．2Vとの間を255個の抵抗RL0～RL255を用いて抵抗分割することによって、VL側の256階調の階調電圧群VLRを生成する。

[0095] 次に、第2分圧回路44bによって生成されたVL側の第2階調電圧群VLRは、VL側セレクタ45b内のL側セレクタ1～207の各々に入力される。一方、L側セレクタ1～207の各々には、第2ラッチ回路43から液晶パネル100の画素形成部の位置に応じた8ビットのデジタル映像信号DVが入力される。例えば、L側セレクタ1には、液晶パネル100の4番目の垂直ラインの画素形成部(R:赤色)に表示されるデジタル映像

信号DVが入力され、L側セレクタ2には5番目の垂直ラインの画素形成部(G:緑色)に表示されるデジタル映像信号DVが入力され、L側セレクタ3には6番目の垂直ラインの画素形成部(B:青色)に表示されるデジタル映像信号DVが入力される。

[0096] そして、L側セレクタ1～3によって、256階調の表示が可能な階調電圧群VLRの中からデジタル映像信号DVに対応する1つの階調電圧VLR(n)をそれぞれ選択し、駆動用映像信号を生成する。生成された駆動用映像信号は、アンプ46bを介してそれぞれ4番目～6番目の垂直ラインの画素形成部に与えられる。

[0097] その結果、ある水平走査期間には、液晶パネル100の414本の垂直ラインのうち、Rの映像を表示する1番目の垂直ラインの画素形成部に、H側セレクタ1から駆動用映像信号が入力され、別のRの映像を表示する4番目の垂直ラインの画素形成部には、L側セレクタ1から駆動信号が入力される。次の水平走査期間には、切換スイッチ47によって切り換えることにより、4番目の垂直ラインの画素形成部にH側セレクタ1から駆動用映像信号が入力され、1番目の垂直ラインの画素形成部にL側セレクタ1から駆動用映像信号が入力される。Gの映像を表示する2番目と5番目の垂直ラインの画素形成部、Bの映像を表示する3番目と6番目の垂直ラインの画素形成部についても同様である。

[0098] ＜2．8 セレクタの動作＞

図7は、本実施形態における第1分圧回路44aおよびVH側セレクタ45aのH側セレクタ1の一部を示す回路図である。このH側セレクタ1は、図7に示すように、第1分圧回路44aから入力されたVH側の階調電圧VHR0～階調電圧VHR255の256階調の階調電圧群VHRに、スイッチ素子であるアナログスイッチをそれぞれ対応させている。

[0099] これらのアナログスイッチを2個ずつ1組とし、各組のアナログスイッチにデジタル映像信号DVを与える。各組のアナログスイッチは、対応するいずれかの階調電圧を選択することを順次繰り返す。そして、最終的に1つの階調電圧VHR(n)、VLR(n)を選択して、液晶パネル100の所定の画素形成部に出力する。ここで、アナログスイッチとは、P型MOSトランジスタとN型MOSトランジスタのソースとソース、ドレインとドレインとをそれぞれ接続したもので、ゲートに与えられる電圧に応じてソースからドレイ

ンにアナログ信号を伝達したり、遮断したりするスイッチ素子である。

[0100] VH側セレクタ45aのH側セレクタ1の動作について具体的に説明する。アナログスイッチ48aのソースおよびアナログスイッチ48bのソースを、階調電圧VH255の端子および階調電圧VH254の端子にそれぞれ接続する。アナログスイッチ48aのドレインおよびアナログスイッチ48bのドレインを、アナログスイッチ48cのソースに接続し、アナログスイッチ48aおよびアナログスイッチ48bのゲートに第2ラッチ回路43からのデジタル映像信号DVが印加されるようにして、アナログスイッチ48a、48bのいずれかがオンするようにする。

[0101] また、アナログスイッチ48dのソースおよびアナログスイッチ48eのソースを、階調電圧VH253の端子および階調電圧VH252の端子にそれぞれ接続する。アナログスイッチ48dのドレインとアナログスイッチ48eのドレインをアナログスイッチ48fのソースに接続し、アナログスイッチ48dおよびアナログスイッチ48eのゲートに第2ラッチ回路43からのデジタル映像信号DVが印加されるようにして、アナログスイッチ48d、48eのいずれかがオンするようにする。

[0102] そしてアナログスイッチ48cのドレインとアナログスイッチ48fのドレインとを、アナログスイッチ48gのソースに接続し、同様にして、アナログスイッチ48cとアナログスイッチ48fのいずれかがオンするようにする。

[0103] 以下同様にして、階調電圧VHR0の端子にいたるまで、2個のアナログスイッチを1対とする選択部を形成し、アナログスイッチのゲートに与えられるデジタル映像信号DVに応じて256階調の階調電圧群VHRの中から最終的に1つの階調電圧VHR(n)を選択して出力する。

[0104] ＜2．9 過電流発生のメカニズム＞

このようなVH側セレクタ45aのH側セレクタ1に、過電流Iexが流れるメカニズムを説明する。15．2Vの階調電圧VH255がアナログスイッチ48aのソースに入力された状態で、アナログスイッチ48aがオンしてドレインも15．2Vになると、アナログスイッチ48bのドレインも15．2Vとなる。このとき、アナログスイッチ48bのソースにも、定常状態では15．2Vに非常に近い階調電圧VH254が入力されている。このため、アナログスイッチ48bのソース／ドレイン間にかかる電圧は、非常に小さい電圧である。一方

、ソース／ドレイン間の耐圧は、製造コストを考慮して8V程度に設計されている。したがって、この場合、ソースおよびドレインのそれぞれの周囲に形成される空乏層が重なることはない。このため、ゲートに電圧が印加されない状態では、アナログスイッチ48bのドレインからソースに電流が流れることはない。

[0105] しかし、VH側の第2階調基準電圧VH2が立ち上がるとき、この電圧端子は、このオープン状態から一旦接地電圧GNDになった後、所定の電圧値まで上昇する。そこで、所定の電圧値までの過渡状態で、ドレインに15．2Vが印加されているアナログスイッチ48bのソースに、例えば5Vが印加されると、ソース／ドレイン間には約10Vの電圧がかかる。この電圧は、ソース／ドレイン間の設計耐圧値8Vを超えているので、アナログスイッチ48bのドレインとソースの空乏層が重なり、ドレインからソースに、すなわちVH側の第1階調基準電圧VH1の端子から第2階調基準電圧VH2の端子に過電流Iexが流れる。VH側の第1階調基準電圧VH1は、アナログ電源電圧VLSから生成されるので、過電流Iexは、アナログ電源電圧VLSの端子とVH側の第2階調基準電圧VH2の端子との間に流れる。

[0106] この過電流Iexは、流れ始めると、アナログスイッチ48bのソース／ドレイン間にかかる電圧が設計耐圧8V以下になるまで流れ続ける。その後、第2階調基準電圧VH2が時間とともに徐々に高くなって、耐圧基準電圧VBDを超えると、アナログスイッチ48bのソースとドレインとの間にかかる電圧が設計耐圧8Vよりも低くなる。このため、過電流Iexは流れなくなり、H側セレクタ1が正常に動作するようになる。つまり、VH側の第1階調基準電圧VH1～VL側の第3階調基準電圧VL3がいずれも式(1)を満たすようになれば、過電流Iexは流れなくなる。

[0107] なお、ここでは、VH側セレクタ45aのH側セレクタ1を例に挙げて過電流Iexが流れるメカニズムを説明したが、他のH側セレクタ2～207およびVL側セレクタ45bのL側セレクタ1～207に過電流Iexが流れるメカニズムについても同様である。

[0108] また、ここでは、VH側の第1階調基準電圧VH1の端子から第2階調基準電圧VH2の端子に流れる過電流Iexについて説明したが、VH側の第1階調基準電圧VH1の端子から第3階調基準電圧VH3の端子に流れる過電流Iexについても同様である。特に、VH側の第2階調基準電圧VH2および第3階調基準電圧VH3の端子は、立

ち上がり時に、一旦接地電圧GNDになるので、アナログ電源電圧VLSの端子と接地端子との間に過電流Iexが流れる場合がある。

[0109] ＜2．10　液晶表示装置の実装状態＞

図8は、本実施形態に係る液晶表示装置の実装状態を示す概略図である。図8に示すように、液晶パネル100の左右にはゲートドライバ300が3つずつ配置され、液晶パネル100の上部には、左右にそれぞれ4つずつソースドライバ400が配置されている。ソースドライバ400を挟んで液晶パネル100の上部に、液晶パネル100と対向するように、2枚のソース基板18が配置されている。ソースドライバ400はそれぞれソース基板18に接続されており、ソース基板18はFPC（Flexible Print Circuit）17を介して制御基板15に接続されている。制御基板15には、表示制御回路200と、切換回路250と、基準電圧発生回路500と、共通電極駆動回路600と、電源電圧発生回路700と、コネクタ16とが設けられている。外部からコネクタ16に与えられた、12Vの基準電圧は電源電圧発生回路700に、また画像データDATは表示制御回路200にそれぞれ入力される。電源電圧発生回路700で生成された各回路の電源電圧VLS、VKBと、表示制御回路200から出力されるゲートドライバ300およびソースドライバ400のタイミング制御信号GSP、GCK、SSP、SCK、LSとは、FPC17とソース基板18を介してソースドライバ400に与えられる。さらに、ゲートドライバ300のタイミング制御信号GSP、GCKは、液晶パネル100内の配線を介してゲートドライバ300に与えられる。同様に、表示制御回路200から出力されるデジタル映像信号DVは、FPC17およびソース基板18を介してソースドライバ400に与えられる。ゲートドライバ300およびソースドライバ400から出力されるタイミング制御信号GSP、GCK、SSP、SCK、LS、およびソースドライバ400でデジタル映像信号DVから生成された駆動用映像信号が液晶パネル100に与えられて、映像が画面に表示される。なお、図8では、横長に置かれた液晶パネル100の左右にゲートドライバ300を、液晶パネル100の上部にソースドライバ400をそれぞれ配置したが、液晶パネル100を縦長に置いた場合には、液晶パネル100の左側または右側にソースドライバ400を、液晶パネルの上下にゲートドライバ300をそれぞれ配置する。

[0110] ＜2．11　効果＞

本実施形態によると、階調基準電圧VH1～VL3を生成する基準電圧発生回路500 として、複数の抵抗を直列接続した分圧回路51と、D／Aコンバータ52とを備えてい る。液晶表示装置の電源がオンされると、直ちに分圧回路51によって暫定階調基準電圧 VHt1～VLt3が生成されて出力される。次に、D／Aコンバータ52が、表示制御 回路200から与えられる階調電圧データKDをD／A変換して正規階調基準電圧VHn 2～VLn3を生成するようになると、切換回路250によって、VH側の第2暫定階調 基準電圧VHt2～VL側の第3暫定階調基準電圧VLt3は、VH側の第2正規階調基 準電圧VHn2～VL側の第3正規階調基準電圧VLn3に切り換えられる。この基準電 圧発生回路500は、液晶パネル100をリニューアルしても、D／Aコンバータ52の レジスタ21に格納する階調電圧データKDを書き換えるだけでよいので、制御基板15 はリニューアル前と同じものを使用することができる。このため、制御基板15を作り直 す時間とコストを節約することができる。

[0111] また、基準電圧発生回路500としてD／Aコンバータ52のみを使用した場合、液晶表示装置の電源をオンしてからVH側の第2正規階調基準電圧VHn2および第3正規階 調基準電圧VHn3が耐圧基準電圧VBDになるまでの期間は、式(1)が満たされない 。そこで、VH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VL n3が立ち上がるまでは、分圧回路51によってVH側の第2暫定階調基準電圧VHt2 ～VL側の第3暫定階調基準電圧VLt3を生成して、VH側の暫定階調電圧群VHRt およびVL側の暫定階調電圧群VLRtを生成する。その後生成されたVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3が、耐圧基準電圧VBD よりも大きくなると、VH側の第2暫定階調基準電圧VHt2～VL側の第3暫定階調基 準電圧VLt3をVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電 圧VLn3に切り換えて、VH側の正規階調電圧群VHRnおよびVL側の正規階調電圧 群VLRnを生成する。このため、D／Aコンバータ52が正規階調基準電圧を生成するのに時間を要しても、とりあえず暫定階調基準電圧を使用し、正規階調電圧が生成された後に、暫定階調基準電圧を正規階調基準電圧に切り換えればよい。このため、液晶パネル100をリニューアルした場合であっても、リニューアル後の液晶パネル100に合わせたガンマ補正を簡易かつ迅速に

行うことができる。

[0112] ＜2．12 その他＞

本実施形態では、表示装置として液晶表示装置について説明したが、本発明は液晶表示 装置に限定されることはなく、他の表示装置にも適用することができる。また、本実施形 態では、交流駆動する液晶表示装置について説明したが、本発明は交流駆動に限定される ことなく、式(1)を満たさない期間が発生する階調基準電圧発生回路を備えた表示装置 であれば適用することができる。また、基準電圧発生回路500および切換回路250を 1つの半導体チップに形成することもできる。この場合、表示装置を小型化できるとも に、製造コストを低く抑えることができる。

産業上の利用可能性

[0113] 本発明は、階調表示を行うアクティブマトリクス型液晶表示装置等のような表示装置に適用される。

請求の範囲

[1] 表示すべき映像を階調表示するアクティブマトリクス型の表示装置であって、

複数の走査信号線と、前記走査信号線と交差する複数の映像信号線と、前記走査信号線および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子とを含む表示部と、

前記走査信号線を選択的に活性化する走査信号線駆動回路と、

前記表示装置の電源が投入されると、電圧値が固定された第1の階調基準電圧を直ちに生成する第1の基準電圧発生回路と、

電圧値の変更が可能な第2の階調基準電圧を生成する第2の基準電圧発生発生回路と、

前記第2の階調基準電圧が生成された後に、前記第1の基準電圧発生回路から入力された前記第1の階調基準電圧を、前記第2の基準電圧発生回路から入力された前記第2の階調基準電圧に切り換えて出力する切換回路と、

前記切換回路から出力された前記第1の階調基準電圧および前記第2の階調基準電圧のいずれかに基づいて階調電圧を生成し、外部から与えられたデジタル映像信号に基づいて、前記階調電圧の中からいずれか1つを選択することによってアナログ映像信号を生成した後、前記アナログ映像信号を前記映像信号線に印加する映像信号線駆動回路とを備えることを特徴とする、表示装置。

[2] 前記走査信号線駆動回路にタイミング制御信号を与え、前記映像信号線駆動回路にタイミング制御信号およびデジタル映像信号を与えるとともに、設定された階調電圧データを保持する表示制御回路をさらに備え、

前記第2の基準電圧発生回路は、前記表示制御回路から出力される前記階調電圧データをD／A変換することにより、前記第2の階調基準電圧を生成することを特徴とする、請求項1に記載の表示装置。

[3] 前記映像信号線駆動回路の電源電圧を生成し、前記電源電圧の生成終了後に前記表示制御回路の動作の停止を解除する停止解除信号を出力する電源電圧発生回路をさらに備え、

前記表示制御回路は、前記停止解除信号が与えられると、保持された前記階調電

圧データを前記第2の基準電圧発生回路に出力することを特徴とする、請求項2に記載の表示装置。

[4] 前記映像信号線駆動回路の電源電圧を生成する電源電圧発生回路をさらに備え、

前記第1の基準電圧発生回路は、複数の抵抗を直列に接続することによって形成された複数の節点を有し、前記複数の節点のうち2個以上の節点に、前記電源電圧発生回路から与えられる前記基本階調電圧を抵抗分割して前記第1の階調基準電圧を生成することを特徴とする、請求項1に記載の表示装置。

[5] 前記複数の抵抗の抵抗値は、前記表示部と同じ種類の表示部を駆動するために使用される表示装置に含まれる抵抗の抵抗値の平均値であることを特徴とする、請求項4に記載の表示装置。

[6] 前記複数の抵抗の抵抗値は、既存の表示装置に含まれる抵抗の抵抗値と同じ抵抗値であることを特徴とする、請求項4に記載の表示装置。

[7] 共通電圧を出力する共通電極駆動回路をさらに備え、

前記表示部は、複数の前記表示素子にそれぞれ設けられた複数の画素電極と、複数の前記画素電極に共通的に設けられた共通電極とを含み、

前記共通電極駆動回路は前記共通電極に共通電圧を与え、

前記第1の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第1の交流

用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第2の交流用階調基準電圧を含み、

前記第2の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第4の交流階調基準電圧を含み、

前記階調電圧は、前記第1の交流用階調基準電圧または前記第3の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して高い階調電圧である第1の交流用階調電圧と、前記第2の交流用階調基準電圧または前記第4の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して低

い階調電圧である第2の交流用階調電圧とを含み、

前記表示素子は、前記第1の交流用階調電圧および前記第2の交流用階調電圧に基づいてそれぞれ生成された第1の交流用アナログ映像信号および第2の交流用アナログ映像信号のいずれかが印加される前記画素電極と、前記共通電圧が印加される前記共通電極とによって交流駆動されることを特徴とする、請求項1に記載の表示装置。

[8] 少なくとも前記第1の基準電圧発生回路と、前記第2の基準電圧発生回路と、前記切換回路とが1つの半導体チップの中に形成されていることを特徴とする、請求項1に記載の表示装置。

[9] 複数の走査信号線と、前記走査信号線と交差する複数の映像信号線と、前記走査信号線および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子とを含む表示部を備え、表示すべき映像を階調表示するアクティブマトリクス型の表示装置の駆動方法であって、

前記表示装置の電源が投入されると、電圧値が固定された第1の階調基準電圧を直ちに生成する第1の基準電圧生成ステップと、

電圧値を変更できるとともに、前記第1の階調基準電圧に遅れて第2の階調基準電圧を生成する第2の基準電圧生成ステップと、

前記第2の階調基準電圧が生成された後に、前記第1の階調基準電圧を、前記第2の階調基準電圧に切り換えて出力する切換ステップと、

出力された前記第1の階調基準電圧および前記第2の階調基準電圧のいずれかに基づいて階調電圧を生成する階調電圧生成ステップと、

外部から与えられたデジタル映像信号に基づいて、前記階調電圧の中からいずれか1つを選択することによってアナログ映像信号を生成し、前記映像信号線に出力する映像信号出力ステップと、

前記走査信号線を選択的に活性化する走査信号線活性化ステップとを備えることを特徴とする、表示装置の駆動方法。

[10] 設定された階調電圧データを所定のレジスタから出力する階調電圧データ出力ステップをさらに含み、

前記第2の基準電圧生成ステップは、出力された前記階調電圧データをD／A変換することを特徴とする、請求項9に記載の表示装置の駆動方法。

[11] 前記アナログ映像信号を生成するために必要な電源電圧を生成した後に、前記階調電圧データの出力を可能にする停止解除信号を出力する解除信号出力ステップをさらに含み、

前記階調電圧データ出力ステップは、前記停止解除信号が出力された後に、前記階調電圧データを出力することを特徴とする、請求項10に記載の表示装置の駆動方法。。

[12] 前記表示素子に共通的に設けられた共通電極に共通電圧を出力する共通電圧出力ステップをさらに含み、

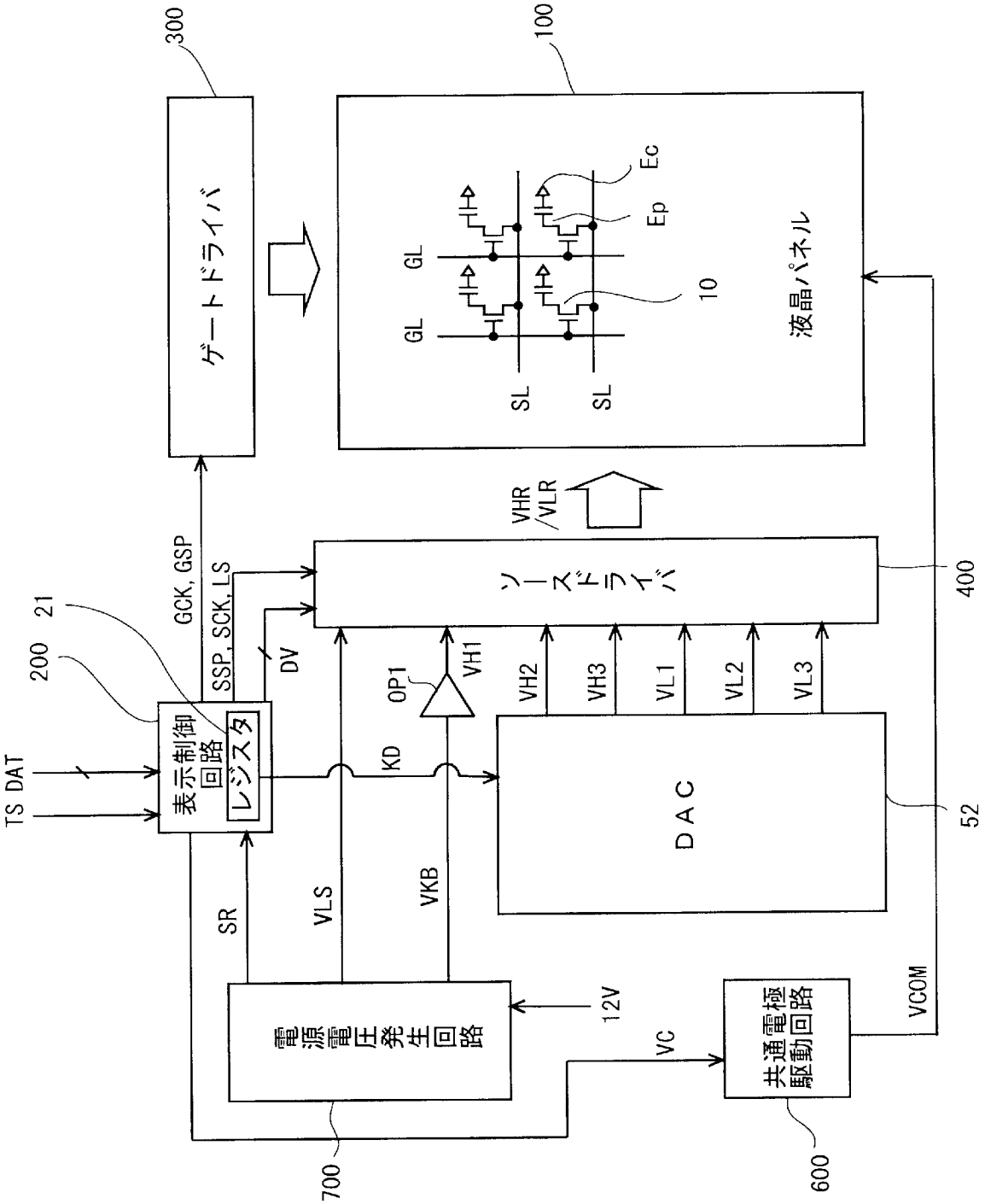
前記第1の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第1の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第2の交流用階調基準電圧とを生成し、

前記第2の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第4の交流用階調基準電圧とを生成し、

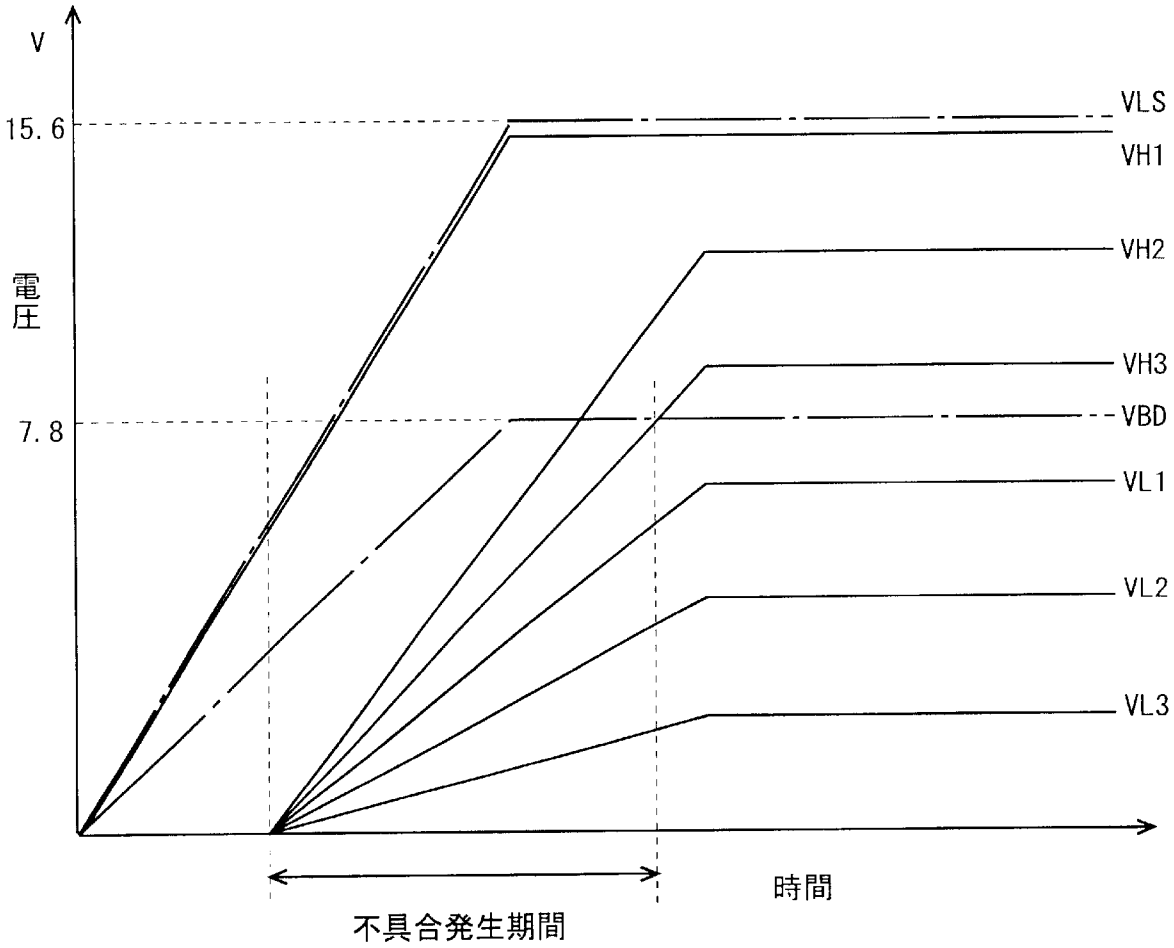
前記階調電圧生成ステップは、前記第1の交流用階調基準電圧または第3の交流用階調基準電圧に基づいて、前記共通電圧に対して高い階調電圧である第1の交流用階調電圧を生成するとともに、前記第3の交流用階調基準電圧または第4の交流用階調基準電圧に基づいて、前記共通電圧に対して低い階調電圧である第2の交流用階調電圧を生成し、

前記映像信号出力ステップは、前記第1の交流用階調電圧および前記第2の交流用階調電圧に基づいてそれぞれ生成された第1の交流用アナログ映像信号および第2の交流用アナログ映像信号のいずれかを前記映像信号線に出力し、前記共通電圧とともに前記表示素子を交流駆動することを特徴とする、請求項9に記載の表示装置の駆動方法。

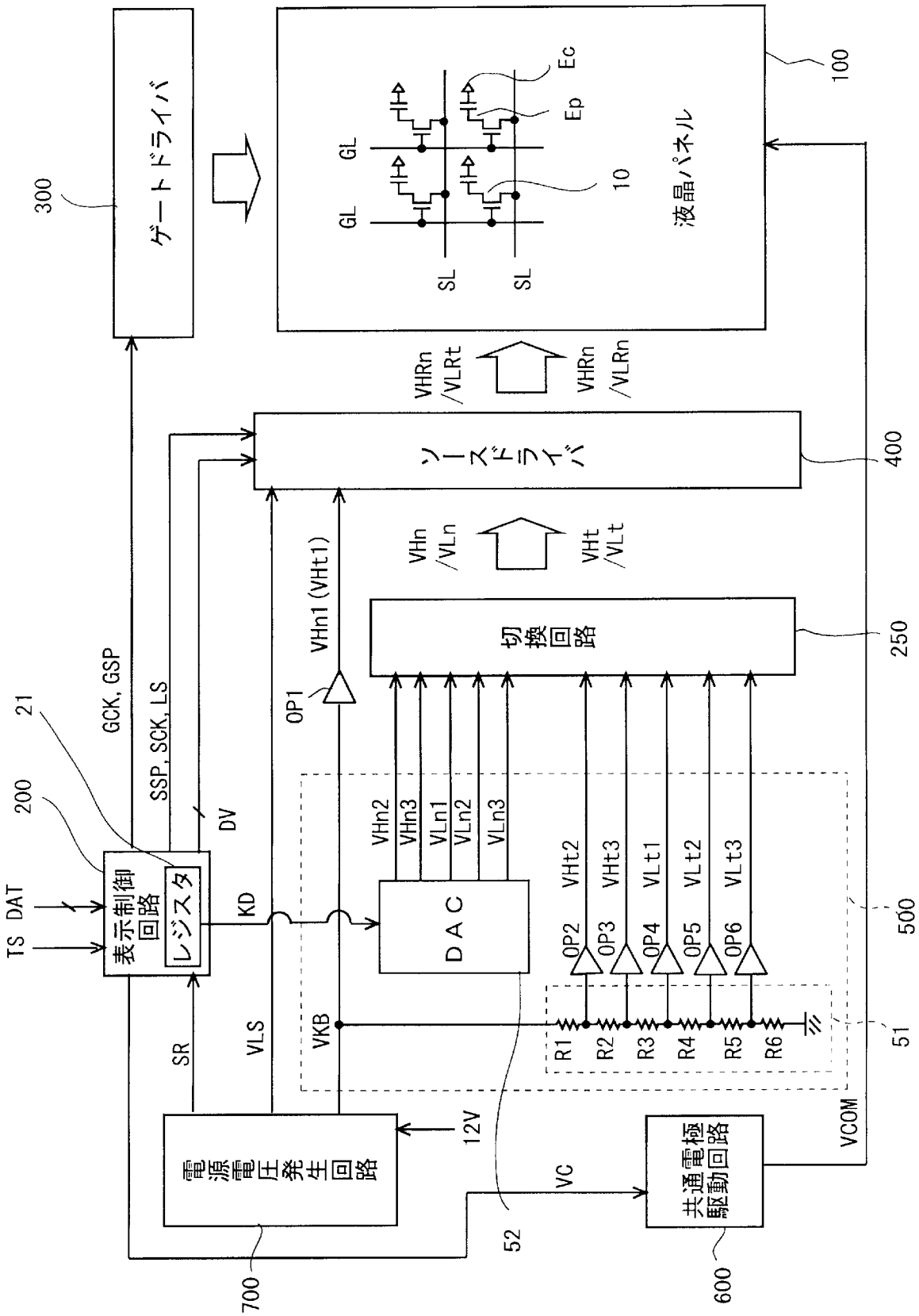
[図1]


300
ゲートドライバ
100
液晶パネル
GL
GL
GL
SL
SL
Ec
Ep
10
VHR
/VLR
ソースドライバ
400
GCK, GSP
SSP, SCK, LS
DV
OP1
VH1
VH2
VH3
VL1
VL2
VL3
200
21
表示制御回路
レジスタ
TS DAT
KD
DAC
52
SR
VLS
VKB
電源電圧発生回路
700
12V
VC
共通電極駆動回路
600
VCOM

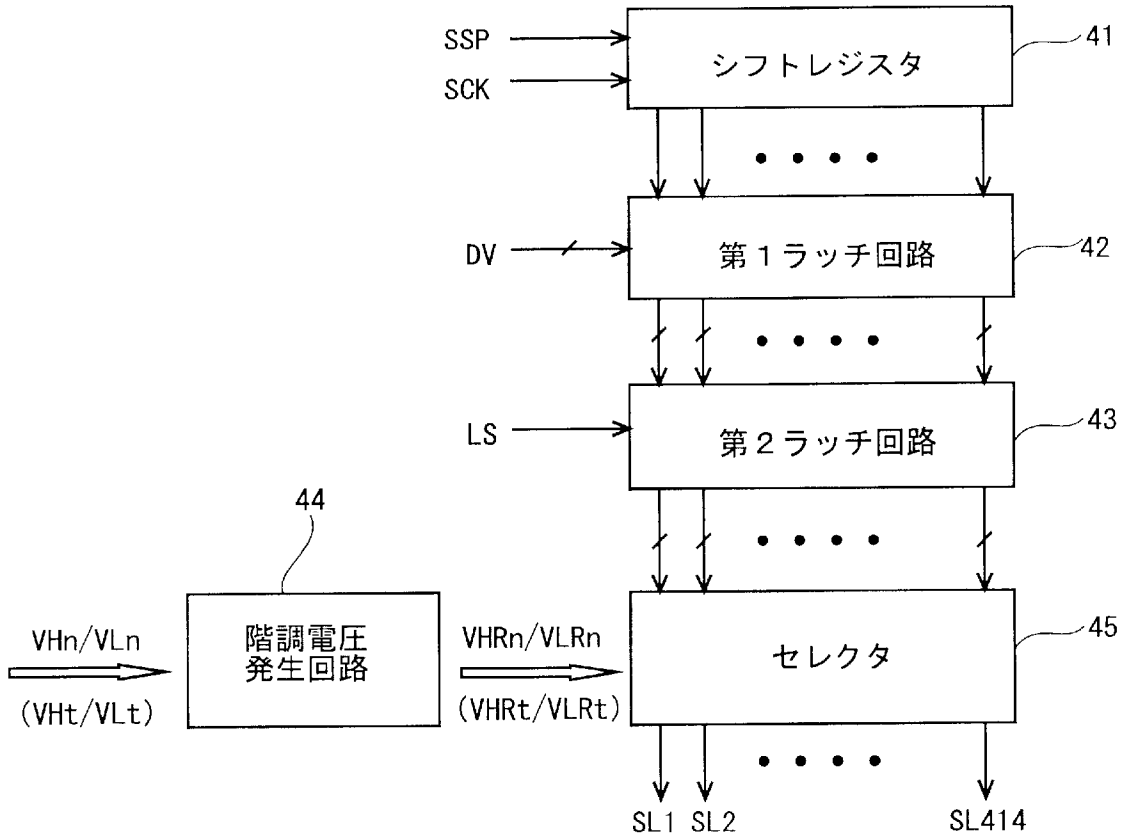
[図2]



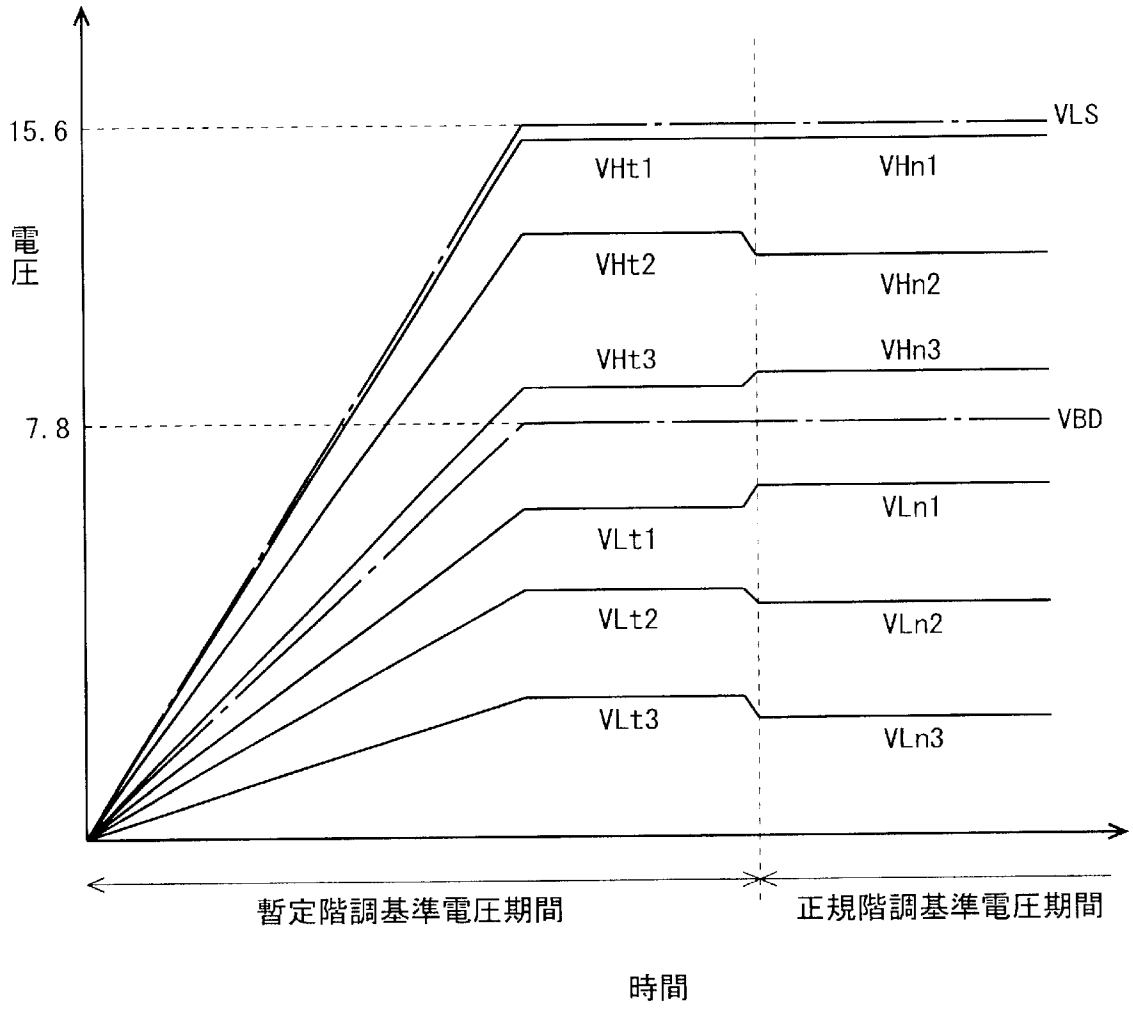
[図3]


300
ゲートドライバ
GL
SL
Ec
Ep
10
液晶パネル
100
VHRn
/VLRt
VHRn
/VLRn
ソースドライバ
400
VHn
/VLn
VHt
/VLt
切換回路
250
VHn1 (VHt1)
OP1
GCK, GSP
SSP, SCK, LS
DV
21
200
TS DAT
表示制御回路
レジスタ
KD
VHn2
VHn3
VLn1
VLn2
VLn3
D A C
VHt2
VHt3
VLt1
VLt2
VLt3
OP2
OP3
OP4
OP5
OP6
500
VKB
R1
R2
R3
R4
R5
R6
51
SR
VLS
12V
電源電圧発生回路
700
VC
52
共通電極駆動回路
600
VCOM

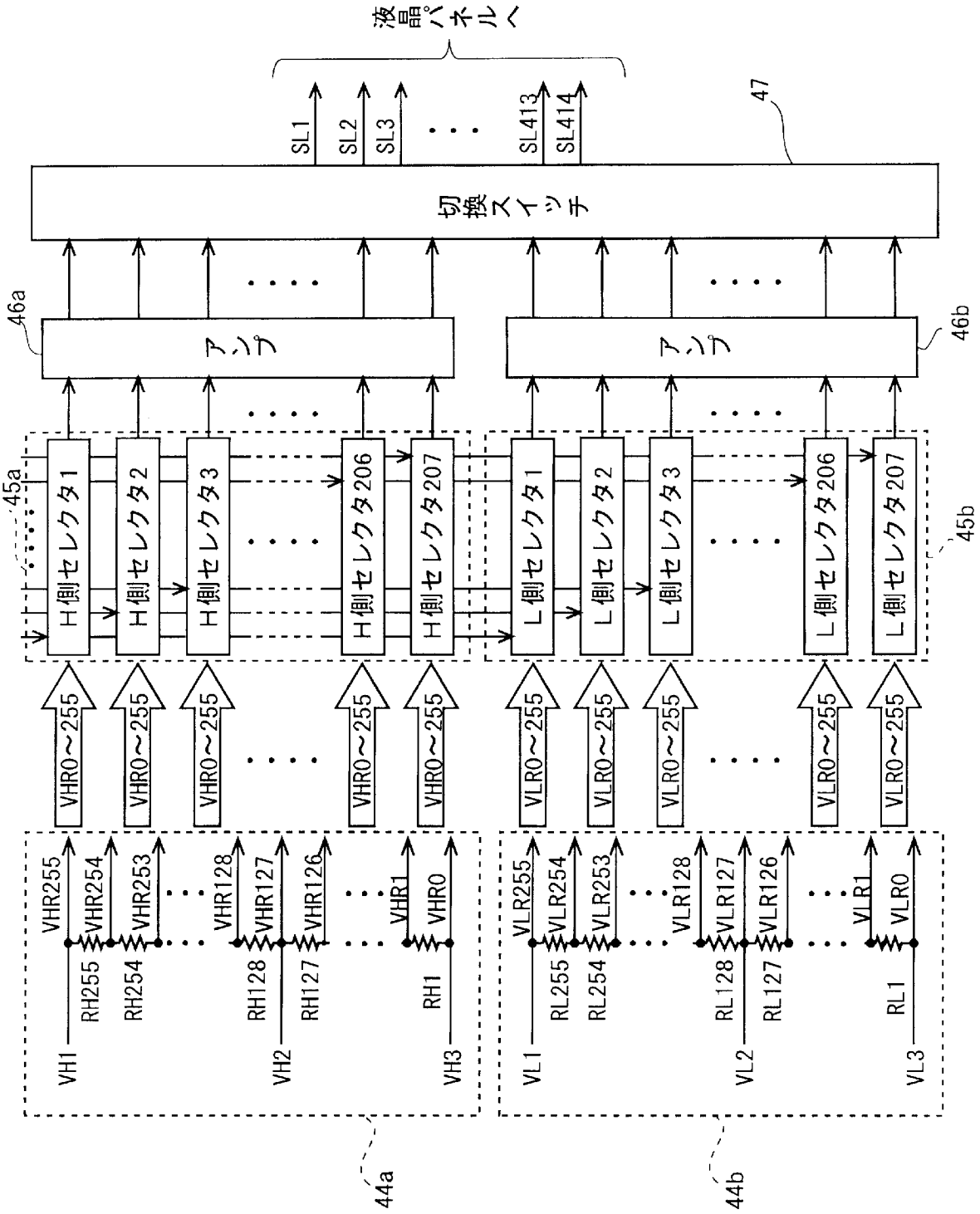
[図4]


SSP
SCK
シフトレジスタ
41
DV
第１ラッチ回路
42
LS
第２ラッチ回路
43
44
VHn/VLn
(VHt/VLt)
階調電圧
発生回路
VHRn/VLRn
(VHRt/VLRt)
セレクタ
45
SL1
SL2
SL414

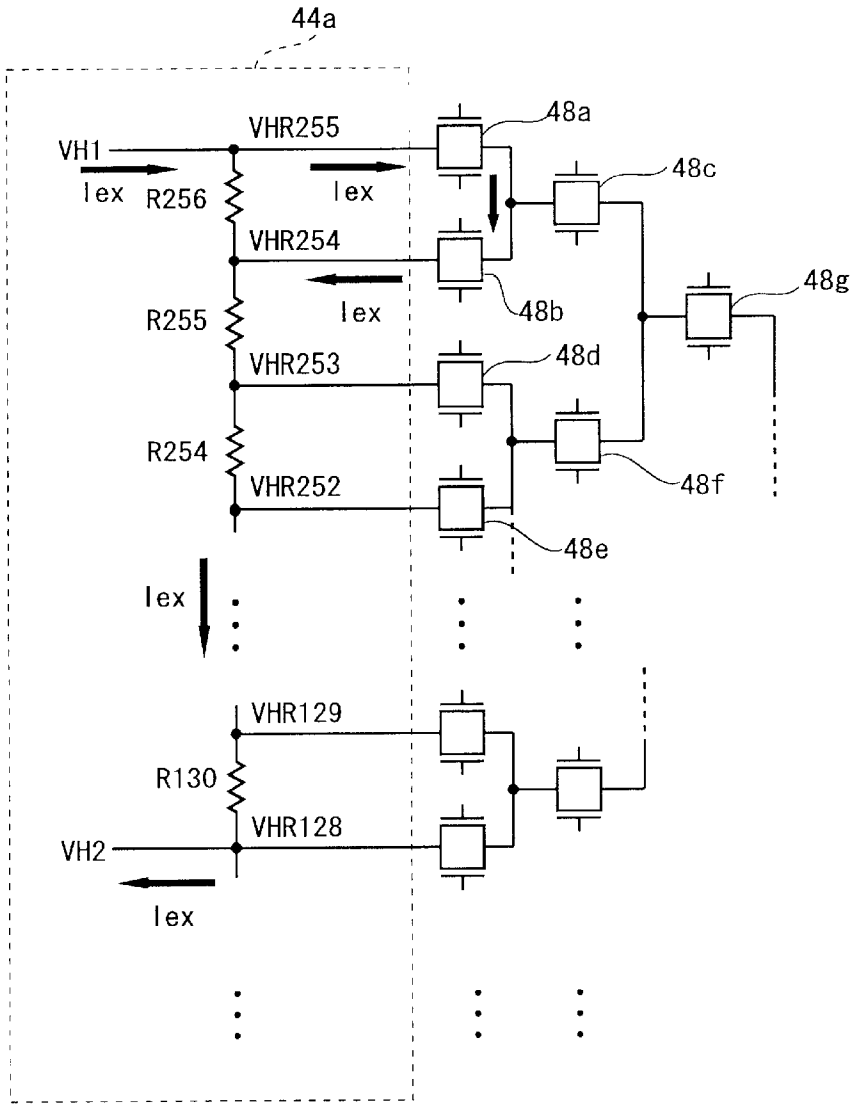
[図5]


15.6
7.8
電圧
VLS
VHt1
VHn1
VHt2
VHn2
VHt3
VHn3
VBD
VLn1
VLt1
VLt2
VLn2
VLt3
VLn3
暫定階調基準電圧期間
正規階調基準電圧期間
時間

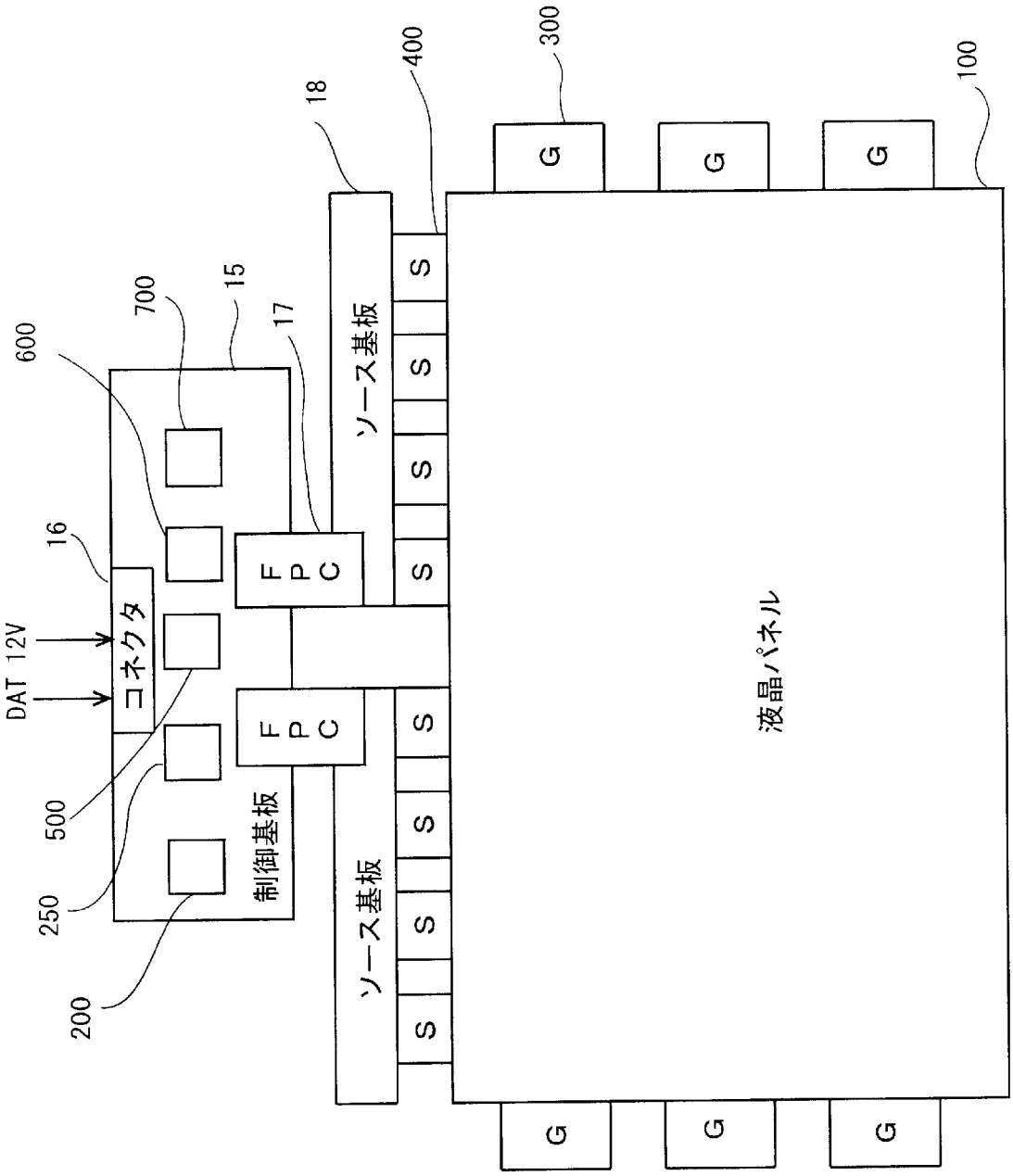
[図6]


液晶パネル
SL1
SL2
SL3
SL413
SL414
47
切換スイッチ
46a
アンプ
46b
アンプ
45a
H側セレクタ1
H側セレクタ2
H側セレクタ3
H側セレクタ206
H側セレクタ207
45b
L側セレクタ1
L側セレクタ2
L側セレクタ3
L側セレクタ206
L側セレクタ207
VHR0～255
VLR0～255
VHR255
VHR254
VHR253
VHR128
VHR127
VHR126
VHR1
VHR0
VLR255
VLR254
VLR253
VLR128
VLR127
VLR126
VLR1
VLR0
RH255
RH254
RH128
RH127
RH1
RL255
RL254
RL128
RL127
RL1
VH1
VH2
VH3
VL1
VL2
VL3
44a
44b

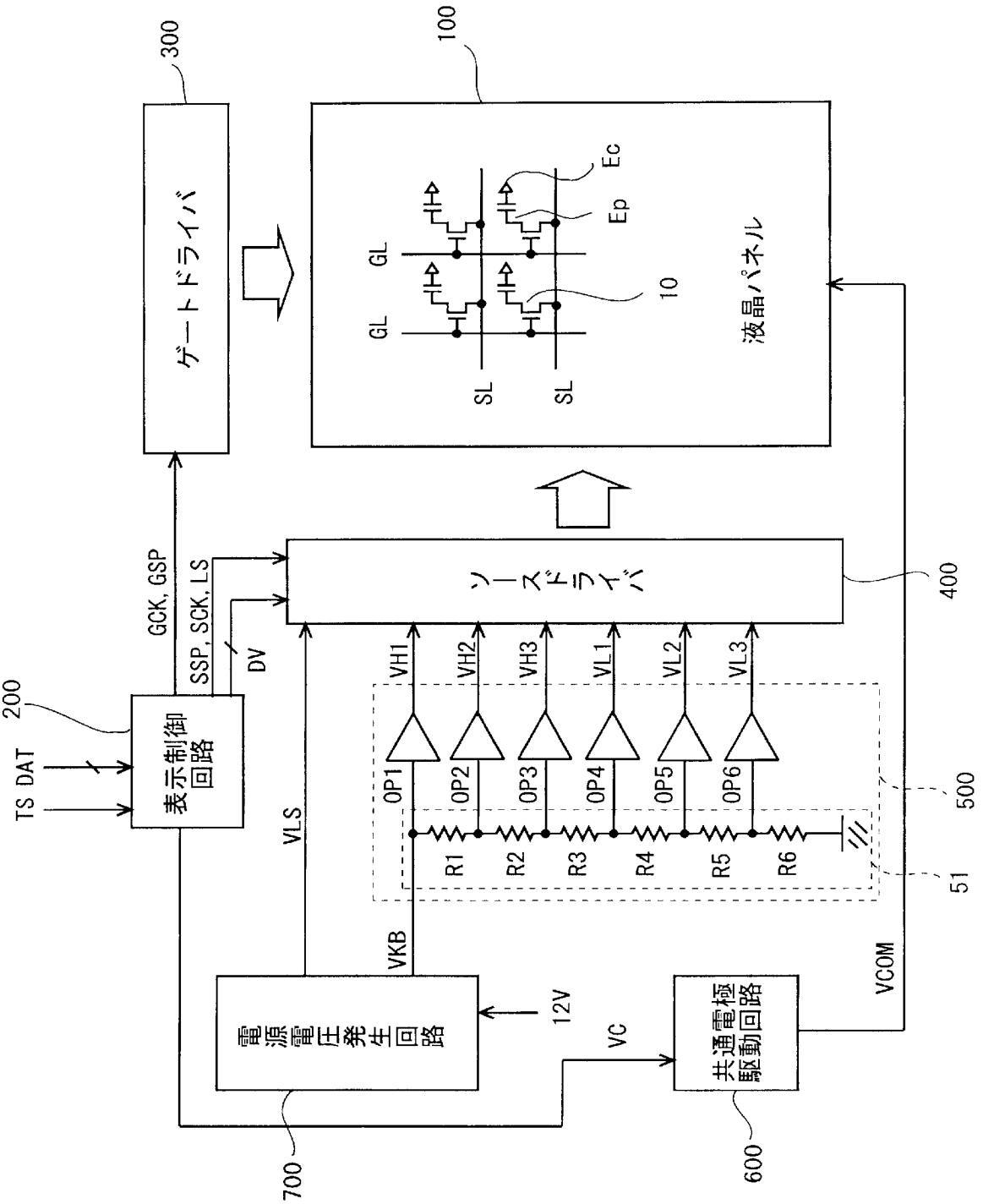
[図7]


44a
VHR255
VH1
Iex
R256
Iex
VHR254
R255
Iex
VHR253
R254
VHR252
Iex
VHR129
R130
VHR128
VH2
Iex
48a
48c
48b
48g
48d
48f
48e

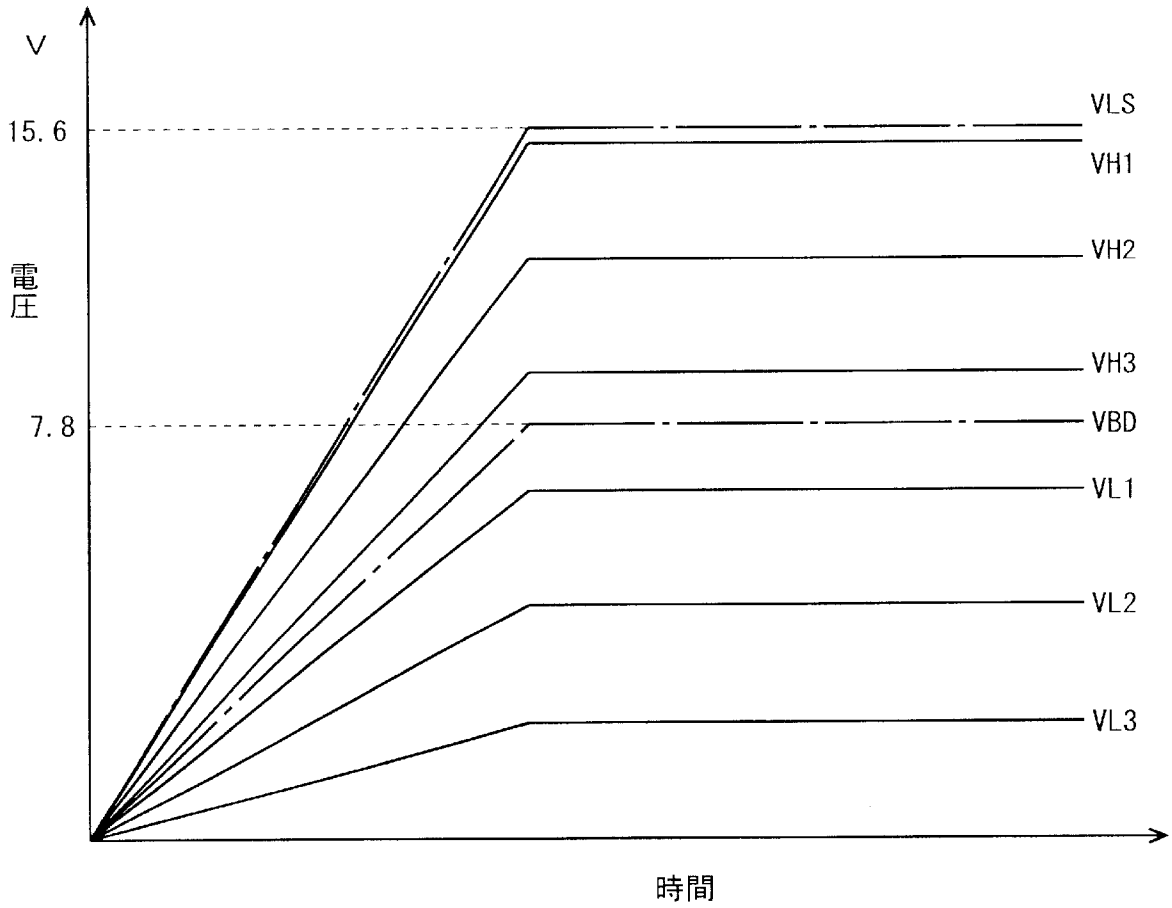
[図8]


液晶パネル
G
G
G
G
G
G
S
S
S
S
S
S
S
S
S
ソース基板
ソース基板
制御基板
FPC
FPC
コネクタ
DAT 12V
100
300
400
18
17
15
700
600
16
500
250
200

[図9]


300
100
ゲートドライバ
液晶パネル
GL
GL
GL
SL
SL
Ec
Ep
10
ソースドライバ
400
GCK, GSP
SSP, SCK, LS
DV
200
TS DAT
表示制御回路
VH1
VH2
VH3
VL1
VL2
VL3
OP1
OP2
OP3
OP4
OP5
OP6
R1
R2
R3
R4
R5
R6
500
51
VLS
VKB
電源電圧発生回路
12V
VC
共通電極駆動回路
VCOM
700
600

[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/054856

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-266154 A (Rohm Co., Ltd.), 29 September, 2005 (29.09.05), Full text; all drawings & WO 2005/088590 A1 & US 2007/0262972 A1	1-12
A	JP 2005-234495 A (Toshiba Matsushita Display Technology Co., Ltd.), 02 September, 2005 (02.09.05), Full text; all drawings & WO 2005/081218 A1 & US 2006/0279498 A1	1-12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 April, 2008 (07.04.08)	15 April, 2008 (15.04.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/054856

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-333648 A (Mitsubishi Electric Corp.), 18 December, 1998 (18.12.98), Full text; all drawings (Family: none)	1-12
A	JP 2002-99261 A (Rohm Co., Ltd.), 05 April, 2002 (05.04.02), Full text; all drawings & WO 2002/027703 A1	1-12

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０５４８５６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　２００５－２６６１５４　Ａ（ローム株式会社）２００５．０９．２９，全文全図　＆　ＷＯ　２００５／０８８５９０　Ａ１　＆　ＵＳ　２００７／０２６２９７２　Ａ１	1-12
Ａ	ＪＰ　２００５－２３４４９５　Ａ（東芝松下ディスプレイテクノロジー株式会社）２００５．０９．０２，全文全図　＆　ＷＯ　２００５／０８１２１８　Ａ１　＆　ＵＳ　２００６／０２７９４９８　Ａ１	1-12

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０７．０４．２００８	国際調査報告の発送日 １５．０４．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｇ　９５０９ 濱本　禎広 電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　１０－３３３６４８　Ａ（三菱電機株式会社）１９９８．１２．１８，全文全図（ファミリーなし）	1-12
Ａ	ＪＰ　２００２－９９２６１　Ａ（ローム株式会社）２００２．０４．０５，全文全図　＆　ＷＯ　２００２／０２７７０３　Ａ１	1-12