

公告本

299458

申請日期	84. 10. 20.
案 號	84111123
類 別	H01L ²¹ / ₃₀₂

Int.·Cl⁶

A4
C4

299458

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	藉由修正基質之構形而在基質上形成平面狀表面
	英 文	"FORMING A PLANAR SURFACE OVER A SUBSTRATE BY MODIFYING THE TOPOGRAPHY OF THE SUBSTRATE"
二、發明 創作人	姓 名	1. 彼得·K·莫恩 2. 亞納達·G·莎拉吉 3. 提莫司·L·狄特
	國 籍	1-3. 均美國
三、申請人	住、居所	1. 美國奧瑞崗州波特蘭市西南第26路4901號 2. 美國奧瑞崗州比佛頓市西南艾維格蘭街16795號 3. 美國奧瑞崗州波特蘭市西北第125廣場3359號
	姓 名 (名稱)	美商英特公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	F·湯姆士·當烈二世

裝

訂

線

299458

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期： 1994.11.10. 案號： 08/337,000 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明係有關一種半導體製程，尤係有關一種在半導體裝置中形成一平面狀表面之方法。

發明背景

爲了增加諸如家用電腦及其他消費電子產品等電子設備之速度及功能，必須在此內電子設備內所含的各半導體裝置中放入更多的電晶體。除了增加電子設備的速度及功能之外，消費者希望此類設備的尺寸能縮小。爲了支援消費者的需求，半導體裝置製造商已經開發出許多技術，將半導體裝置內所含的電晶體之尺寸縮小。

爲了縮小半導體裝置所含電晶體之尺寸，必須使形成電晶體的多結晶矽(polysilicon)線之線寬儘量減小。而這些多結晶矽線之線寬係取決於光雕印(photolithography)製程。在光雕印製程中，光雕印技術係用來將所需多結晶矽圖樣之影像轉移到半導體裝置內的一多結晶矽層表面。然後在蝕刻掉多結晶矽層的不需要部分之後，在多結晶矽材料內顯露出所需之多結晶矽圖樣。

因爲在光雕印製程中使用了光學原理，所以有關光學的考慮，例如聚焦之解析度及深度等在半導體裝置的製造中變成了重要的因素。例如，如果多結晶矽層並非是完全的平面時，則所要解析在多結晶矽表面上的多結晶矽圖樣影響將不會完全地對準焦點。如此將造成該影像所形成各多結晶矽線的線寬變化。

由於不斷地將多結晶矽線寬做得愈來愈小，以便配合同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

樣愈來愈小的電晶體之形成，所以縱使線寬有微小的變化，也會顯著影響到電晶體的工作。因此，爲了要減少或消除多結晶矽線寬的變化，平面化變得愈來愈重要。於消除此種變化時，所得到的電晶體可以在更有效率、更可靠、且更快的速度下工作。此外，消除多結晶矽線寬的變化時，將可讓電路設計工程師更正確地找出各電晶體工作的特徵，因而可提昇設計的效率。

圖 1a-c 示出一種在沈積多結晶矽層之前先準備一半導體基質之方法，其中將利用多結晶矽層形成半導體裝置之各電晶體。由於前述各項理由，所以在沈積多結晶矽之前，半導體基質的表面必須是相當平。在圖 1a 所示的第一步驟中，將溝道 (trenches) (11) 及 (13) 蝕刻到半導體基質 (10) 中。溝道區 (11) 及 (13) 係稱爲半導體裝置之隔離區 (isolation regions)，因爲這些溝道是用來使裝置的各主動元件在電氣上彼此隔離。例如，如半導體基質 (10) 的橫剖面圖 (20) 及表面圖 (21) 所示，隔離區 (11) 係用來使區域 (12) 與區域 (14) 隔離，而隔離區 (13) 係用來使區域 (14) 與區域 (15) 隔離。未蝕刻區域 (12)、(14)、及 (15) 係稱爲半導體裝置之作用區 (active regions)，因爲係在這些區域中形成諸如電晶體等半導體裝置之電氣主動元件。因爲隔離區係用來使各作用區相互隔離，所以可讓作用區 (12) 中所形成的各電晶體獨立於區域 (14) 中所形成的各電晶體而工作。同樣地，可讓區域 (14) 中所形成的各電晶體獨立於區域 (15) 中所形成的各電晶體而工作。一半導體裝置的各隔離區之寬度通常有顯著

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

的變化。如圖所示，隔離區(11)的寬度(16)遠小於隔離區(13)的寬度(17)。

在將各溝道蝕刻到半導體基質中之後，沈積如圖1b所示之介質材料。介質層(18)將塗佈在半導體基質(10)的表面上，填滿各溝道，並覆蓋各作用區。請注意由此溝道的較大寬度所造成的隔離區(13)上介質層(18)表面中的明顯凹陷處(19)。在使用一化學式機械拋光製程蝕刻掉介質層(18)之後，在此區域中介質層(18)的非平面狀構形、及介質層(18)與半導體基質(10)間之密度差將造成圖1c所示之橫剖面。

在將介質層(18)向下蝕刻到半導體基質(10)的表面時，在隔離區(13)上的介質層(18)表面中之凹陷區傳道到如圖1c所示隔離區(13)內的介質層(18)之凹陷區。此外，因為介質層(18)之密度低於半導體基質(10)，所以對介質層(18)拋光之速度快於對半導體基質(10)拋光之速度，這也是造成凹陷的原因之一。相反地，若比較較窄的溝道隔離區(11)時，諸如溝道隔離區(11)等較窄的隔離區所具有之構形通常比較寬的隔離區之構形更平面化。造成此現象的一個理由是因為通常在對蝕刻掉介質層所用的化學式機械拋光製程最佳化時，係使較窄的隔離區比較寬的隔離區更為平面化。此外，此區域中半導體基質材料的較高密度可改善化學式機械拋光製程的端部加工。

因此，在靠近隔離區(11)的作用區(12)及(14)中半導體基質(10)表面上所形成的多結晶矽線將大致平坦地伸展。因此，在這些區域中將不會有多結晶矽線寬的變化。然而

五、發明說明(4)

，由於在隔離區(13)上方角落的區域(19)中突變的構形，所以將會改變在這些區域之上的多結晶矽線寬[Ⓒ]。因此，靠近隔離區(13)的邊緣(19)之多結晶矽線寬變化將會損及作用區(14)及(15)中所形成的電晶體。

除了因隔離區(13)的非平面化表面引起的多結晶矽線寬變化之外，用來向下蝕刻介質層(18)所用的化學式機械拋光製程也會損及靠近隔離區邊緣(19)的半導體基質。半導體基質所受到的損害可能不利於受損作用區中所形成電晶體之工作。隔離區(11)並不會受到半導體基質損壞，因為隔離區(11)之平面化表面將可防止此種損害。

我們需要一種在一半導體基質中形成隔離區之方法，其中該基質之表面是大致平面化。利用此種方式，即可減輕或消除與多結晶矽線寬變化及半導體基質損壞有關的問題，而得到更可靠且性能更佳之半導體裝置。

發明概述

本發明說明了一種在一半導體基質的溝道隔離區上形成一大致平面狀表面之方法。在此溝道隔離區內形成若干潛在作用區(latent active region)。然後在半導體基質的表面上沈積一介質層。然後向下拋光此介質層，而形成一平面狀表面。

附圖簡述

圖1a是一基質被蝕刻之後的橫剖面圖及表面圖。

圖1b是在圖1a所示之基質上沈積一層之後的橫剖面圖。

圖1c是在向下蝕刻圖1b所示基質上的該層後之橫剖面圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

。

圖 2a 是根據本發明將一基質蝕刻之後的橫剖面圖及表面圖。

圖 2b 是在圖 2a 所示之基質上沈積一層之後的橫剖面圖。

圖 2c 是在向下蝕刻圖 2b 所示基質上的該層後之橫剖面圖。

。

圖 3a 是一基質被蝕刻之後的橫剖面圖。

圖 3b 是在圖 3a 所示之基質上沈積一層之後的橫剖面圖。

圖 3c 是在向下蝕刻圖 3b 所示基質上的該層後之橫剖面圖。

。

詳細說明

本發明說明了一種於製造一半導體裝置時形成一平面化區域之方法。在下列的說明中，述及諸如相對特性尺寸、製程順序、材料成分等各種特定細節，以便本發明可以被更徹底了解。然而，熟悉本門技術者當可了解，在不採用這些特定細節之情形下，亦可實施本發明。在其他的情形中，並不詳述習知的製程及處理步驟，以避免非必要地模糊了本發明。

雖然圖 2a-3c 中示出代表本發明各實施例之圖示，但是這些圖示並非在限制本發明。本文所述的這些特定製程只爲了有助於對本發明有清楚的了解，並爲了示出如何實施本發明之一些實施例，以便形成根據本發明的半導體裝置。爲了便於說明，所謂的半導體基質是一種包含任何用於製造一半導體裝置的材料之基質。所謂的基質是一種構造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

，而一種製程步驟可在此種構造上起作用，或可對此種構造起作用。

根據本發明，修改圖1a所示隔離區(13)之設計，而形成圖2a所示之隔離區(33)。在圖2a所示之隔離區(33)內形成了若干作用區(42)。由於修改了半導體裝置之設計，而在蝕刻半導體基質(30)之各溝道區之前，先以光雕印製程界定這些作用區(42)，所以在先前為較大的隔離區(13)內形成了這些作用區(42)。阻隔以各向異性之方式蝕刻溝道(31)及(33)，而以與作用區(32)、(34)、及(35)所用相同的製程步驟形成這些作用區(42)。因此以技術而言，只有各作用區(42)周圍的溝道隔離區(33)所留下的蝕刻過區域仍然是先前曾為該裝置的較寬溝道隔離區內的真正隔離區。然而，只要各作用區(42)可維持如同作用區(32)、(34)、及(35)之電晶體，則這些作用區(42)只是有作用。但根據本發明，與作用區(32)、(34)、及(35)不同處在於：各作用區(42)內並未形成電晶體或其他的半導體裝置元件。因此，將這些作用區(42)稱為潛在作用區(latent active region)。

本案申請人發現：在將潛在作用區加入溝道隔離區(33)時，如果適當地安排加入之位置，則不會明顯影響到隔離區之隔離特性。縱使因潛在作用區(42)的加入而減小了溝道隔離區(33)內的有效隔離面積，溝道隔離區(33)仍然可適當地使作用區(34)與作用區(35)隔離。因此，不會明顯妨礙根據本發明而修改的半導體裝置各隔離區之性能。因此，因為不須修改隔離區的尺寸、形狀、及形成方法，即可保留

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

其隔離特性，所以幾乎可在採用溝道隔離區的任何半導體裝置製造方法中輕易使用本發明。

若修改隔離區(33)之設計而形成各作用區(42)，則可將隔離區(33)內各作用區之密度增加為更近似半導體裝置中其他作用區之相對密度。此外，根據本發明，隔離區(33)內各潛在作用區(42)之尺寸、形狀、及配置都經過特別的選擇，足以獲致溝道內各作用區的特定密度。這些潛在作用區係經過設計，使溝道內作用區與隔離區之比例大約等於半導體裝置中其他最緊密配置的作用區及隔離區中作用區與隔離區之比例。然後使化學式機械拋光製程最佳化，以便在具有此特定作用區與隔離區比例的半導體基質區域上形成一平面化表面，因而將使半導體基質的整個表面平面化。

例如，假設作用區(32)與(34)以及隔離區(31)代表半導體基質(30)上最緊密配置的作用區及隔離區。如果此裝置是一微處理器，則半導體基質的此一區域可能是半導體基質的靜態隨機存取記憶體(SRAM)部分的記憶單元，此處的電晶體密度是最大的。如上文配合圖1a-c所述者，藉由使化學式機械拋光製程最佳化，已經適當地使此一區域平面化。因此，將各潛在作用區(42)加入溝道中，而使隔離區(33)更像SRAM，將可同樣改善隔離區(33)的平面化。

隔離區(33)內各潛在作用區(42)的位置係經選擇，使這些作用區的加入在實質上並不會改變半導體裝置之功能。爲了決定隔離區(33)內各潛在作用區(42)之位置，將界定其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

包含這些潛在作用區(42)的作用區圖樣，其中係根據上述的各考慮點而選擇這些潛在作用區的尺寸、形狀、及間隔。然後將識別一隔離區，並將其中包含各潛在作用區(42)的作用區圖樣放入此隔離區中。找出尺寸大到足以容納在其中形成的各作用區之一隔離區。即可完成上述的程序。例如，隔離區(31)的寬度(36)對於要在其中形成的各作用區是太窄了，但是隔離區(33)的寬度(37)大的足以容納這些小的潛在作用區(42)。請注意，因為用來向下蝕刻於後來沈積的介質層之化學式機械拋光製程係經最佳化，以便使一較窄的隔離區內所形成之介質層平面化，所以隔離區(31)內各作用區形成時無須改善其平面化。然而，在缺少這些潛在作用區(42)時，較寬的隔離區(33)將會出現與向下蝕刻於後來沈積的介質層時相關的平面化問題。

如上文所述，各潛在作用區(42)之尺寸及各潛在作用區(42)間之間隔系經選擇，以便使隔離區(33)內作用區之密度提高到接近半導體裝置中其他作用區之密度。然而，各潛在作用區(42)的尺寸及形狀、以及其間之間隔也必須遵守用來製造該半導體裝置的製程技術之設計規則。例如，隨著所採用製程技術而變的最小間隔及最小尺寸規則限制了這些潛在作用區的間隔及尺寸。

一旦識別了在其中加入潛在作用區的一隔離區之後，即以潛在作用區之圖樣填滿該隔離區，而修改半導體裝置之設計。然後選擇性地自該隔離區去掉可能干擾或改變半導體裝置功能的各潛在作用區。例如，如圖2a所示，必須將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

潛在作用區(42)置於離開相鄰作用區(34)一個安全距離(43)之處。此外，也必須將潛在作用區(42)置於離開作用區(35)一個安全距離(45)之處。工程師將決定此距離(43)及(45)，使各潛在作用區(42)不會違反最小尺寸之設計規則，也不會干擾到作用區(34)及(35)內諸如電晶體等任何半導體裝置元件之工作。

爲了避免在潛在作用區(42)中形成任何寄生電晶體，須去除隔離區(33)內在一多結晶矽線之下的任何潛在作用區。否則，使隔離區(33)中一多結晶矽線與一潛在作用區隔離的閘極氧化物之破壞，將可能使接近電晶體的這些閘極與基質短路，而破壞了半導體裝置的工作。此外，應去掉隔離區(33)內在一多結晶矽線之下的各潛在作用區，以避免產因該隔離區內反轉層所感應的多結晶矽電壓而產生一寄生導電通道，因而破壞了該迂遇的隔離特性。

最後，須去掉隔離區(33)內將導入作用區(34)與(35)間井形擴散區的井形邊界之任何潛在作用區(42)。執行此一程序之目的在於避免使相鄰井形區相互短路等問題。例如，如果導入一井形區的一潛在作用區之表面矽化，則矽化物可能在潛在作用區之表面使井形區在電氣上相互耦合。若以此種方式使井形區短路，則將破壞掉半導體裝置之工作。一般並不將各潛在作用區(42)置於隔離區(33)可能不利地改變半導體裝置功能之任何位置。

此外，亦可以工程師所採用設計法則適用的多種其他方法中之任何一種方法，將各潛在作用區設計於半導體裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

的其他較大隔離區之中。此外，工程師可能希望諸如避免將這些潛在作用區置於隔離區中在任何多結晶矽或其他層之下的任何部分，以顧及上文所述的一些相同考慮點。此外，甚至亦可將隔離區內的各潛在作用區置於該隔離區內不會改變半導體裝置功能的位置。在此種實施例中，工程師可能願意犧牲半導體裝置功能的某些改變，以交換更佳的平面性。最後請注意，用來在一隔離區中使各潛在作用區相互分離並使各潛在作用區與半導體裝置的其他區域分離的特定最小距離極度取決於製造半導體裝置所採用的製造技術。在新一代製程所採用之尺寸繼續縮小時，這些分離的最小距離也繼續縮小。

根據本發明，在形成隔離區(31)及(33)之後，如圖2b所示，在半導體基質(30)的表面上沈積一介質膜(38)。介質層(38)包含二氧化矽材料，且係利用可適當填滿區域(31)及(33)再加上足夠的額外二氧化矽之方法沈積此介質層(38)，以便在半導體基質(30)上形成一具有相當厚度且可向下蝕刻之表面。請注意，根據本發明如圖2b所示而形成的介質層並不會出現如圖1b所示在隔離區(13)上的介質層(18)中之凹陷。隔離區(33)內的各作用區(42)係用來提高該區域內的介質層(38)表面。若以此種方式修改半導體基質(30)的下層構形，而修改介質層(38)的表面構形時，將可改善後續化學式機械拋光製程的平面化效果。

圖2c示出在以化學機械方式將圖2b所示的半導體基質上之介質層(38)向下拋光到半導體基質(30)表面。請注意在圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

2c所示基質表面平面性之大幅改良，請比較圖1c所示基質之類似橫剖面。在圖1c所示隔離區(13)中形成的突變式角落區(19)，已經因圖2c所示隔離區(33)內設有的各潛在作用區(42)而克服了。尤其是，這些作用區(42)提高了在隔離區(33)之上形成的介質層(38)表面，因而消除了此區域之上所形成介質層中之任何凹陷。此外，在隔離區(33)內設有較高密度的各潛在作用區(42)時，可使化學式機械拋光製程不會過度蝕刻掉此隔離區內介質層(38)的較低密度氧化物材料。自半導體基質形成大致平面的作用區及隔離區時，後來形成的多結晶矽層也將會平面化。因此，整個多結晶矽層表面將位於用來界定多結晶矽線的光雕印技術的單一焦點平面內，因而可大幅減少或消除多結晶矽線寬的變化。因此，將可大幅降低或消除諸如設計效率的耗損、電晶體可靠性的降低、以及較慢電晶體切換速度等與多結晶矽線寬的變化相關之問題。

在一替代實施例中，並非在隔離區內形成數個小的區域，而是形成一個單一較大的潛在作用區，以便改善該隔離區表面上的平面性。此外，以其他的方式在半導體裝置的一較大溝道隔離區中所設計各潛在作用區之形狀亦可已是任何規則或不規則的多邊形、圓形、或各種形狀的混合。此外，這些潛在作用區可形成任何規則或不規則的圖樣或順序，或者甚至可隨機配置這些潛在作用區。一個重要的考慮點只在於：在一諸如溝道隔離區等基質的較大"低區域"部分中形成諸如該溝道本身中之潛在作用區等"高區域"。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

在本發明的一實施例中，用來填滿溝道隔離區之介質層包含諸如熱氧化物、硼矽酸鹽玻璃(Borosilicate Glass;簡稱BSG)、磷矽酸鹽玻璃(Phosphosilicate Glass;簡稱PSG)、硼磷矽酸鹽玻璃(Borophosphosilicate Glass;簡稱BPSG)、氮化矽、多結晶矽等大致未經摻雜之氧化物、或適於填滿溝道隔離區之其他材料。例如，在一實施例中，介質層包含一多層堆疊，其中係使矽基質的蝕刻後溝道區氧化，而形成可在其上沈積BPSG的熱氧化物薄層。此外，在本發明的一替代實施例中，可利用替代性蝕刻技術、或其中包括諸如純機械式拋光、濕式蝕刻、或乾式蝕刻等技術之組合，而將介質層向下蝕刻到半導體基質之表面。

最後，可在金屬鑲嵌(damascene)製程中實施根據本發明的方法，其中係設計若干較高區域，並在介質基質的較寬且較低區域中形成這些較高區域。然後在介質基質上沈積導電材料，使導電材料大致填滿任何間隙，並使導電材料塗佈在基質的各較高區域及較低區域上。在利用化學式機械拋光製程將導電材料向下蝕刻到介質基質的表面時，將在基質的各較低區域內使導電材料成為隔離狀態，而形成半導體裝置之連接線。在本實施例中，利用這些較高介質區的設置而防止諸如對較寬連接線表面的過度蝕刻。

可在需要有大致平面狀表面的半導體裝置之任何層上實施根據本發明的技術。例如，圖3a-c示出本發明的一實施例，其中係使一層間介質(Interlayer Dielectric;簡稱ILD)材料形成平面狀表面。在本實施例中，利用ILD使在ILD之下

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

所形成的整層連接線在實體上及電氣上與在ILD上表面上形成的另一層連接線隔離。此ILD又用來在半導體裝置的同一層金屬連接線內使一連接線與一相鄰的連接線隔離。

圖3a示出一半導體裝置的部分橫剖面，其中已經在基質(60)之上形成了該半導體裝置正確工作所需的若干金屬連接線(61)。基質(60)包含用來形成此半導體裝置較低層之各種元件之半導體材料。根據本發明，係將若干較高區域(62)設計於各金屬連接線(61)間之較寬且較低域區之中。自形成各金屬連接線(61)的同一金屬層設計、產生圖樣、並形成這些較高區域(62)。將這些較高區域(62)置於離開各相鄰連接線(61)足夠距離處，因而不會改變半導體裝置之功能。例如，必須將這些較高區域(62)置於離開各連接線(61)足夠遠之處，以便不但滿足所採用特定製程技術之最小間隔設計規則，而且防止各相鄰金屬線間不利的交叉電容效應。此外，已根據將各較高區域(62)置於半導體裝置圖示層之上或之下各連接層中諸連接線的附近，而考慮到這些較高區域(62)對半導體裝置功能的影響。而交叉電容效應在此實施例中仍然是一個重要的考慮點。

圖3b示出在圖3a所示基質表面上沈積一介質層(63)之後的情形。圖中示出介質層(63)表面中之凹下區(65)，而在沒有設置各較高區域(62)時將會形成此凹下區(65)。然而，在設有這些較高區域(62)時，介質層(63)的表面將呈現如虛線(64)所示之輪廓。請注意在利用增加這些較高區域(62)而修改介質層(63)下的基質之構形時，如何消除此區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

域上的介質層中之凹下區。

圖3c示出:在利用化學式機械拋光製程將圖3b所示基質上的介質層(63)向下蝕刻掉一部分之後,而形成次一連接層的ILD表面。在並未設置各較高區域(62)時,圖3b所示的凹下區(65)已經造成圖3c所示之非平面狀構形(67)。用來形成最終ILD表面的化學式機械拋光製程將使凹下區(65)向下傳播到該最終ILD表面,而形成凹下區(67)。如上文所述,凹下區(67)將引發與後來形成的連接層有關之問題,特別是在利用光雕印製程界定連接線之線寬時將有此問題。

然而,在設有各較高區域(62)時,如圖3b所示的介質層(63)之橫剖面輪廓(64)將會被更有效地平面化。圖3c中之虛線(66)示出於設有這些較高區域(62)時對介質層(63)實施化學式機械拋光製程所得到的結果。如圖所示,設有這些較高區域(62)時已改善了ILD層表面的平面性,使後來形成的金屬連接層的線寬變化減小,因而有助於半導體裝置微縮化的努力,請注意,在一替代實施例中,可利用機械式拋光、溼式蝕刻、乾式蝕刻、或各種技術之組合向下蝕刻介質層(63),而獲得類似的結果。

因而已經說明了一種在一基質區域上形成一平面狀表面之方法,修改下層基質之構形,即可獲得平面性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

85年11月29日 修正
補充

五、發明說明 (15)

圖式符號之說明

- 10、30、60 . . . 半導體基質；
- 11、13、31、33 . . . 溝道隔離區；
- 12、14、15、32、34、35 . . . 作用區；
- 16 . . . 隔離區11之寬度；
- 17 . . . 隔離區13之寬度；
- 18、63 . . . 介質層；
- 19 . . . 隔離區邊緣；
- 20 . . . 橫剖面圖；
- 21 . . . 表面圖；
- 36 . . . 隔離區31之寬度；
- 37 . . . 隔離區33之寬度；
- 38 . . . 介質膜；
- 42 . . . 潛在作用區；
- 43 . . . 離相鄰作用區34之安全距離；
- 44 . . . 潛在作用區之間之間隔；
- 61 . . . 金屬連接線；
- 62 . . . 較高區域；
- 64、66 . . . 虛線；
- 65、67 . . . 凹下區。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：藉由修正基質之構形而在基質上形成平面狀表面)

本發明揭露了一種在一半導體基質的一溝道隔離區上形成一大致平面狀表面之方法。係在該溝道隔離區內形成若干潛在作用區，然後在該半導體基質的表面上形成一介質層。然後向上拋光該介質層，而形成一平面狀表面。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： "FORMING A PLANAR SURFACE OVER A SUBSTRATE BY MODIFYING THE TOPOGRAPHY OF THE SUBSTRATE")

A method of forming a substantially planar surface over a trench isolation region of a semiconductor substrate. Latent active regions are formed within the trench isolation region. A dielectric layer is then deposited over the surface of the semiconductor substrate. Then, the dielectric layer is polished back to form a planar surface.

訂

線

六、申請專利範圍

1. 一種在一半導體裝置中之半導體基質的溝道隔離區上形成一大致平面狀表面之方法，該方法包含下列各步驟：
 - a) 在該溝道隔離區內形成一潛在作用區；
 - b) 在該半導體基質上形成一介質層；以及
 - c) 拋光該介質材料，而形成該大致平面狀表面。
2. 根據申請專利範圍第1項之方法，其中係在該溝道隔離區內形成複數個潛在作用區。
3. 根據申請專利範圍第1項之方法，其中該介質層包含一選自一群材料之材料，該群材料基本上包括氧化物、硼矽酸鹽玻璃(BSG)、磷矽酸鹽玻璃(PSG)、硼磷矽酸鹽玻璃(BPSG)、氮化物、及上述材料的任何組合。
4. 根據申請專利範圍第1項之方法，其中係利用化學式機械拋光技術完成對該介質材料的該拋光。
5. 根據申請專利範圍第1項之方法，其中係在該半導體裝置的溝道隔離區內藉由修改該溝道隔離區之設計而決定的位置上形成該潛在作用區。
6. 根據申請專利範圍第2項之方法，其中該半導體裝置之設計係經修改，使該溝道隔離區內的若干位置上形成該等複數個潛在作用區，且係利用在該溝道隔離區的一設計內設計該等潛在作用區之預定圖樣，而決定該等位置，並隨即去掉在所設計的該等潛在作用區中將會實質改變該半導體裝置功能的那些潛在作用區。
7. 根據申請專利範圍第6項之方法，其中係自該溝道隔離區的該設計內之若干位置去掉所設計的該等潛在作用區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- ，且該等位置係配置在該溝道隔離區的該設計各邊界之一預定鄰近處。
8. 根據申請專利範圍第7項之方法，其中係自該溝道隔離區的該設計內之若干位置去掉所設計的該等潛在作用區，且該等位置係配置在一多結晶矽線之下。
 9. 根據申請專利範圍第6項之方法，其中該等潛在作用區之該預定圖樣係經設計，使該圖樣的一特定區域中該等潛在作用區之密度接近該半導體裝置其他位置上具有相同尺寸的一區域內各作用區之密度。
 10. 根據申請專利範圍第1項之方法，其中該半導體裝置包含複數個溝道隔離區，該等複數個溝道隔離區的每一溝道隔離區都有一在其中形成的潛在作用區，且該潛在作用區形成之方式大致與該溝道隔離區形成之方式相同。
 11. 一種在一半導體裝置中之半導體基質的溝道隔離區上形成一大致平面狀表面之方法，該方法包含下列各步驟：
 - a) 修改該半導體裝置的該溝道隔離區之一設計，而^在_△該溝道隔離區內形成複數個潛在作用區；
 - b) 在該半導體基質上形成一介質層；以及
 - c) 拋光該介質材料，而形成該大致平面狀表面。
 12. 根據申請專利範圍第11項之方法，其中該介質層包含一選自一群材料之材料，該群材料基本上包括氧化物、硼矽酸鹽玻璃(BSG)、磷矽酸鹽玻璃(PSG)、硼磷矽酸鹽玻璃(BPSG)、氮化物、及上述材料的任何組合。
 13. 根據申請專利範圍第12項之方法，其中係利用化學式機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

械拋光技術完成對該介質材料的該拋光。

14. 根據申請專利範圍第11項之方法，其中係在該溝道隔離區內的若干位置上形成該等複數個潛在作用區，且係藉由設計該溝道隔離區的一設計內該等潛在作用區之一預定圖樣而決定該等位置，並隨即去掉將會實質改變該半導體裝置功能的所設計^之任何該等潛在作用區。
15. 根據申請專利範圍第13項之方法，其中係在該溝道隔離區內的若干位置上形成該等複數個潛在作用區，且係藉由設計該溝道隔離區的一設計內該等潛在作用區之一預定圖樣而決定該等位置，並隨即去掉將會實質改變該半導體裝置功能的所設計之任何該等潛在作用區。
16. 根據申請專利範圍第14項之方法，其中係自該溝道隔離區的該設計內之若干位置去掉所設計的該等潛在作用區，且該等位置係在該溝道隔離區內具有一井形邊界。
17. 根據申請專利範圍第15項之方法，其中係自該溝道隔離區的該設計內之若干位置去掉所設計的該等潛在作用區，且該等位置係配置在一多結晶矽線之下。
18. 根據申請專利範圍第17項之方法，其中該等潛在作用區之該預定圖樣係經設計，使該圖樣的一特定區域中該等潛在作用區之密度接近該半導體裝置其他位置上具有相同尺寸的一區域內各作用區之密度。
19. 根據申請專利範圍第13項之方法，其中該半導體裝置包含複數個溝道隔離區，該等複數個溝道隔離區的每一溝道隔離區都有若干在其中形成的潛在作用區，且該等潛

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

在作用區形成之方式大致與該溝道隔離區形成之方式相同。

20. 一種在一半導體裝置中之一連接層上形成一大致平面狀層間介質表面之方法，該方法包含下列各步驟：

- a) 在連接層中兩個連接線之間形成複數個較高區域，且係自形成該等連接線的同一層形成該等較高區域；
- b) 在該連接層上形成一介質層；以及
- c) 拋光該介質材料，而形成該大致平面狀表面。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

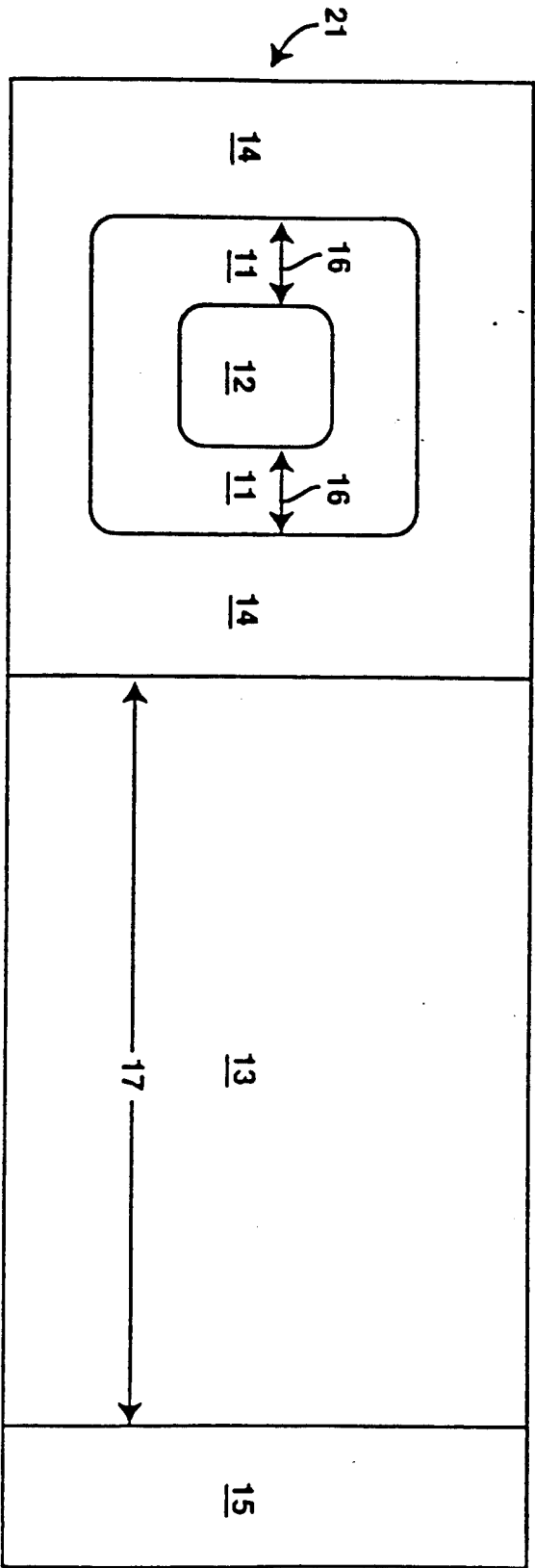
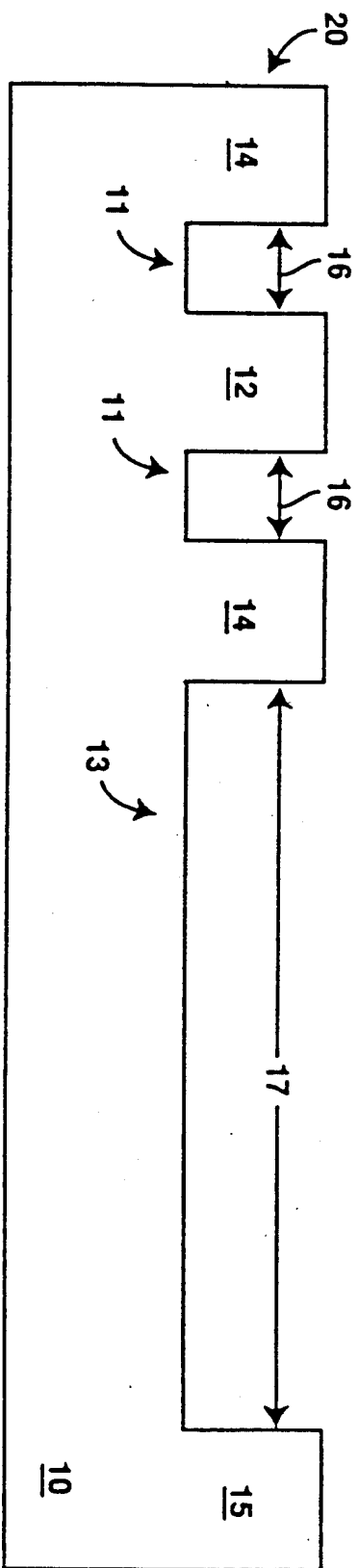


圖 1 a
(習用技術)

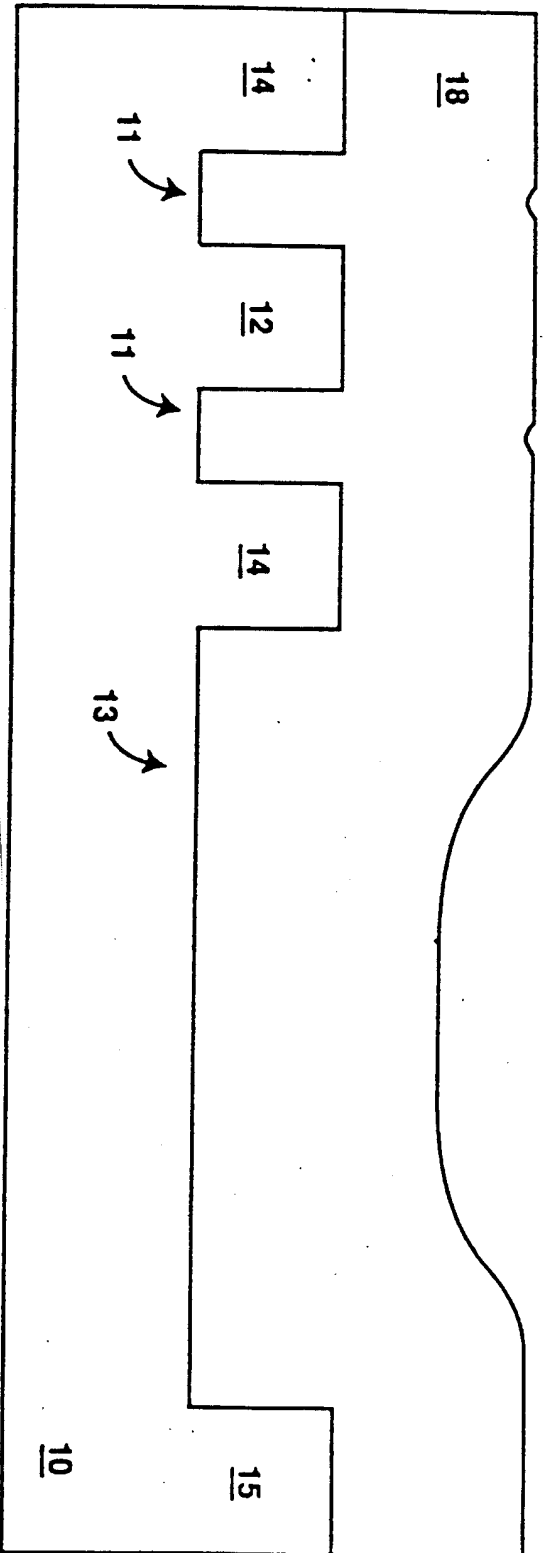


圖 1b

(習用技術)

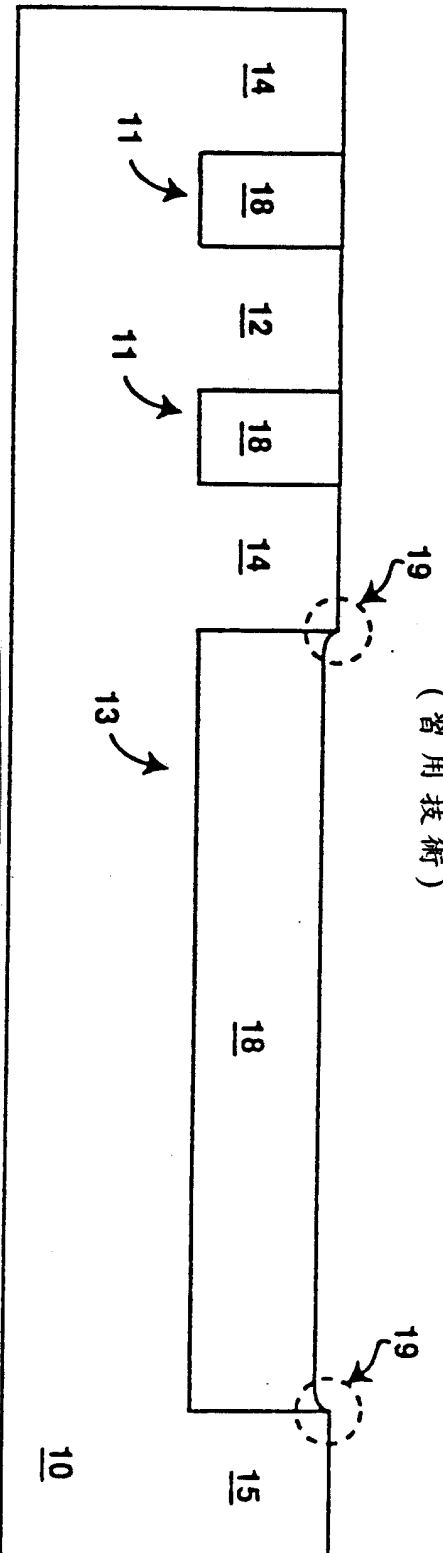


圖 1c

(習用技術)

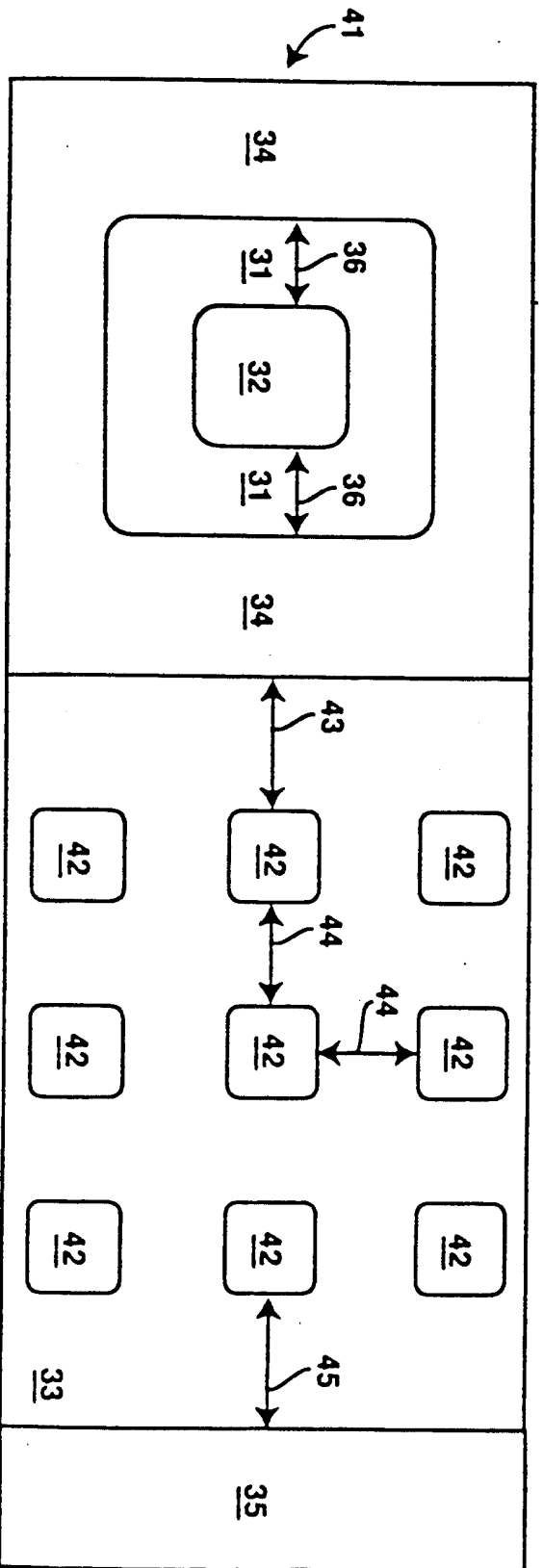
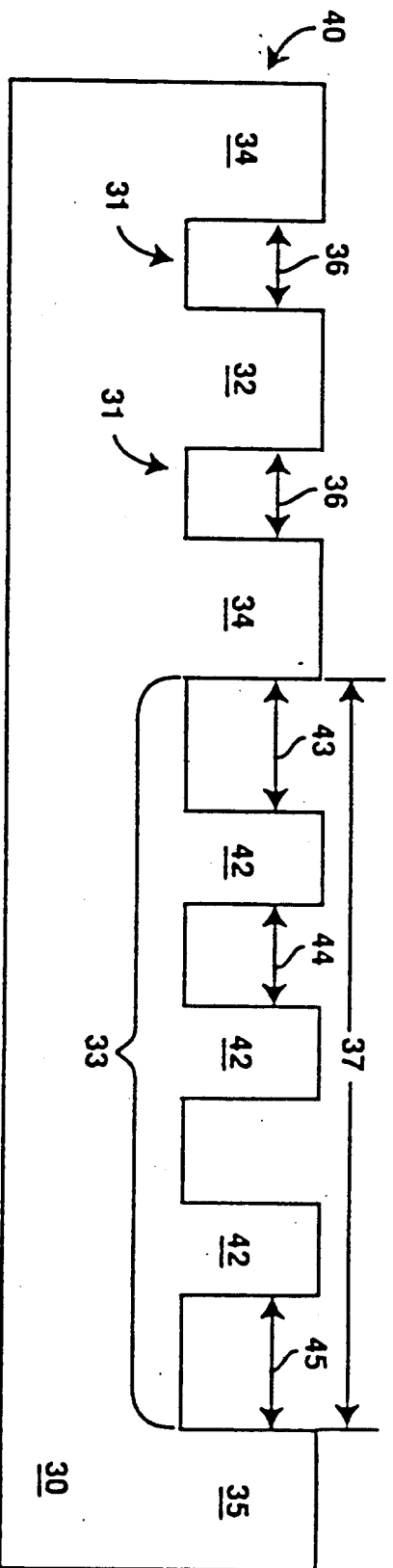


圖 2 a

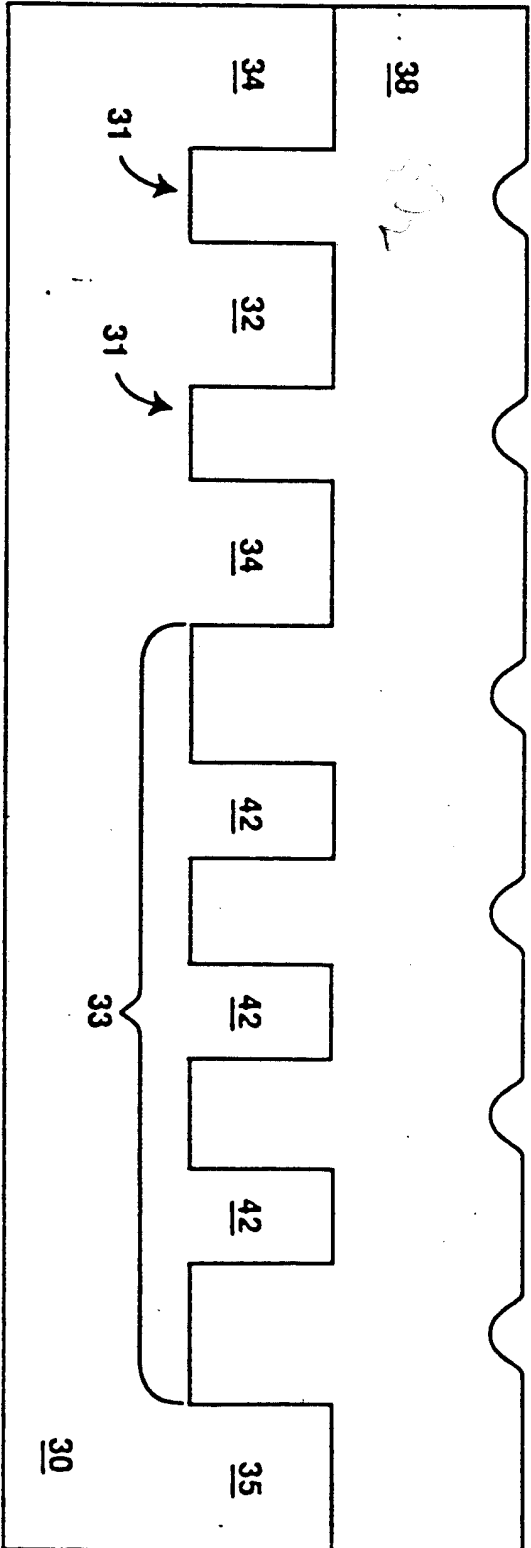


圖 2b

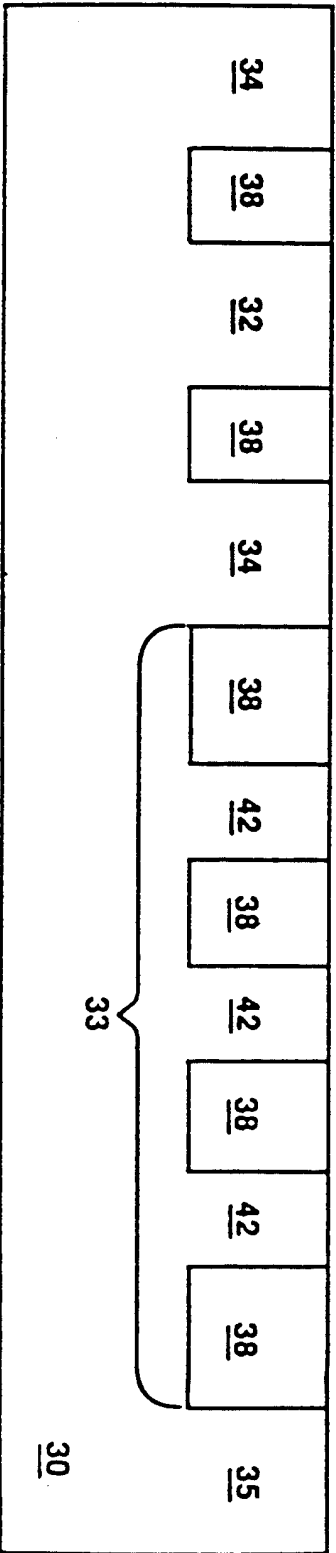


圖 2c

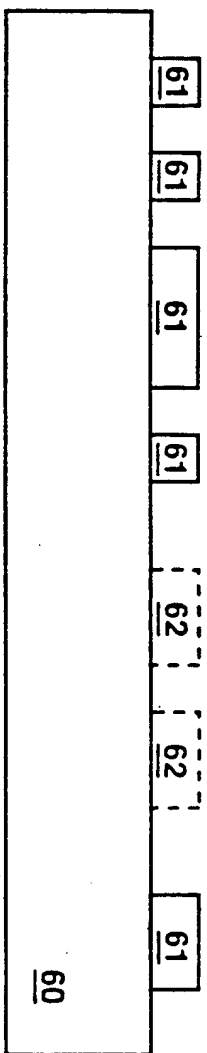


圖 3 a

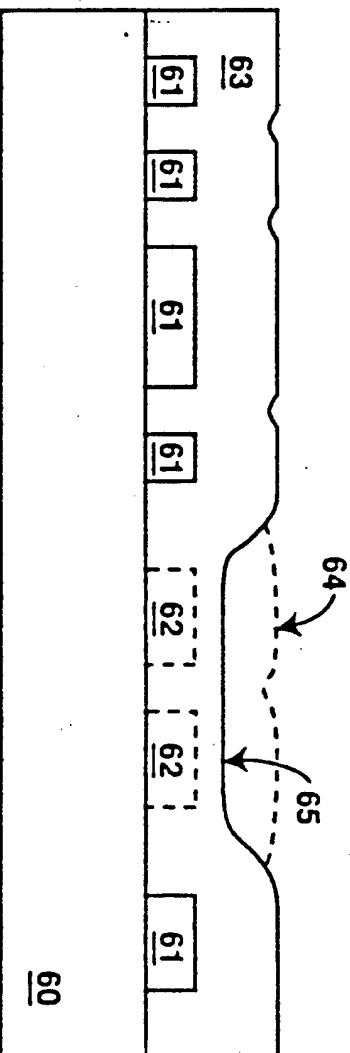


圖 3 b

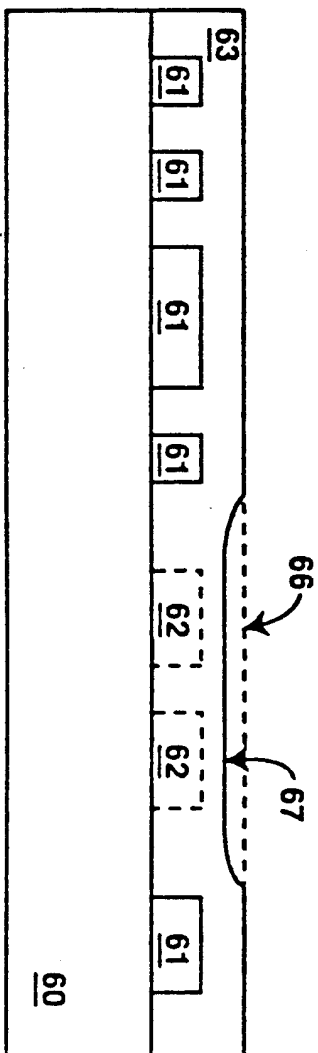


圖 3 c