

(21)申請案號：111118041

(22)申請日：中華民國 106 (2017) 年 12 月 20 日

(51)Int. Cl. : *H01L23/12 (2006.01)*
*H05K3/28 (2006.01)**H05K1/11 (2006.01)*(30)優先權：2016/12/21 日本 2016-248415
2017/03/01 日本 2017-038412
2017/05/22 日本 2017-100924(71)申請人：日商大日本印刷股份有限公司 (日本) DAI NIPPON PRINTING CO., LTD. (JP)
日本

(72)發明人：高野貴正 TAKANO, TAKAMASA (JP)；倉持悟 KURAMOCHI, SATORU (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：34 共 85 頁

(54)名稱

貫通電極基板、半導體裝置及貫通電極基板之製造方法

(57)摘要

一種貫通電極基板，其為具有：

具有第 1 面及與第 1 面對向之第 2 面的基板，與貫通基板的複數個貫通電極，與配置於基板的第 1 面側且與複數個貫通電極中至少 1 個形成電路連接的第 1 電容器；

第 1 電容器為含有：

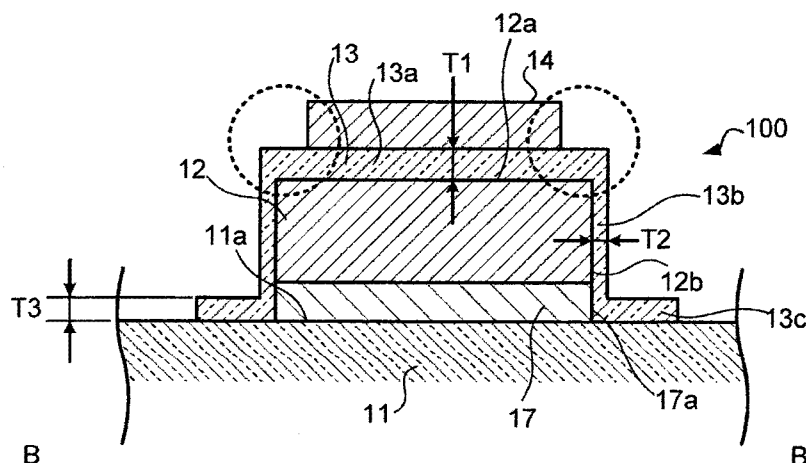
配置於基板的第 1 面側且與貫通電極形成電路連接的第 1 導電層，與配置於第 1 導電層上的絕緣層，與配置於絕緣層上的第 2 導電層；

絕緣層為具有：

配置於第 1 導電層與第 2 導電層間的第 1 部份，與覆蓋第 1 導電層側面之至少一部份的第 2 部份。

指定代表圖：

圖 3



符號簡單說明：

11:基板

11a:第 1 面

12:第 1 導電層

12a:上面

12b:側面

13:第 1 絕緣層

13a:第 1 部份

13b:第 2 部份

13c:第 3 部份

14:第 2 導電層

17:底部層

202234603

TW 202234603 A

17a:側面

100:電容器

T1, T2, T3:厚度

【發明摘要】

【中文發明名稱】

貫通電極基板、半導體裝置及貫通電極基板之製造方法

【中文】

一種貫通電極基板，其為具有：

具有第1面及與第1面對向之第2面的基板，與貫通基板的複數個貫通電極，與配置於基板的第1面側且與複數個貫通電極中至少1個形成電路連接的第1電容器；

第1電容器為含有：

配置於基板的第1面側且與貫通電極形成電路連接的第1導電層，與配置於第1導電層上的絕緣層，與配置於絕緣層上的第2導電層；

絕緣層為具有：

配置於第1導電層與第2導電層間的第1部份，與覆蓋第1導電層側面之至少一部份的第2部份。

【指定代表圖】圖3

【代表圖之符號簡單說明】

11：基板

11a：第1面

12：第1導電層

12a：上面

12b：側面

13：第1絕緣層

13a：第1部份

13b：第2部份

13c：第3部份

14：第2導電層

17：底部層

17a：側面

100：電容器

T1，T2，T3：厚度

【特徵化學式】無

【發明說明書】

【中文發明名稱】

貫通電極基板、半導體裝置及貫通電極基板之製造方法

【技術領域】

【0001】本發明為有關貫通電極基板、半導體裝置及貫通電極基板之製造方法。

【先前技術】

【0002】近年來的電子裝置，多使用於基板兩面形成配線之形態。專利文獻1中，已有揭示一種經由貫穿玻璃基板的電極，以連接基板兩面的配線之基板。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]WO2005／034594號

【發明內容】

[發明所欲解決之問題]

【0004】上述配線基板中，伴隨進行多功能化之情形中，已開始尋求可形成具有各式各樣機能的元件。但是，於具有貫通電極的基板中，形成該些元件的情形，會有產生無法預期之問題的情形。例如，於該基板上，導電層以

上下位置的關係形成配置之構成，例如，形成電容器之情形中，會有因2個導電層的構造而於導電層間發生短路之狀況。

【0005】 本發明目的之一，為於包含貫通電極之基板中，防止上下位置的導電層間發生短路者。

[解決問題之方法]

【0006】 依本發明之揭示內容，為提供一種貫通電極基板，其特徵為具有：

具有第1面與前述第1面對向之第2面的基板，與貫通前述基板的複數個貫通電極，與配置於前述基板的前述第1面側，且與複數的前述貫通電極中之至少1個形成電路連接的第1電容器；

前述第1電容器為含有：配置於前述基板的前述第1面側，且與前述貫通電極產生電路連接的第1導電層，與配置於前述第1導電層上的絕緣層，與配置於前述絕緣層上的第2導電層；

前述絕緣層為具有：配置於前述第1導電層與前述第2導電層之間的第1部份，與覆蓋前述第1導電層側面之至少一部份的第2部份。

【0007】 又，本發明之其他例示為，提供一種貫通電極基板之製造方法，其特徵為包含：

提供一種具有第1面與前述第1面對向之第2面，且具有貫通前述第1面與前述第2面之貫通孔的基板之步驟，與

於前述基板的前述貫通孔中，形成可導通前述第1面與前述第2面的貫通電極，與於前述基板的前述第1面上，形成與前述貫通電極產生電路連接的第1導電層之步驟，與

於前述第1導電層上面，形成第1絕緣層之步驟，與以覆蓋前述第1導電層之側面的至少一部份及前述第1絕緣層之方式，形成第2絕緣層之步驟，與

將前述第1導電層上方位置的前述第2絕緣層的一部份去除之步驟，與

於前述第2絕緣層被去除的部份，形成第2導電層之步驟。

【0008】又，本發明之其他例示為，提供一種貫通電極基板之製造方法，其特徵為包含：

提供具有第1面與前述第1面對向之第2面，且具有貫通前述第1面與前述第2面之貫通孔的基板之步驟，與

於前述第1面上形成第1阻劑之步驟，與

於前述基板的前述貫通孔中，形成可導通前述第1面與前述第2面的貫通電極，與於前述基板的前述第1面上，形成與前述貫通電極產生電路連接的第1導電層之步驟，與

於前述第1導電層上形成中間層之步驟，與

使用掀離(Lift-Off)(處理)去除前述第1阻劑之步驟，與

於前述第1導電層周圍形成第2阻劑之步驟，與

於前述中間層的上表面及側面，與前述第1導電層的側面，與前述第1面，與前述第2阻劑的上表面及側面，形成第1絕緣層之步驟，與

以殘留形成於前述第2阻劑的前述側面上之前述第1絕緣層的至少一部份之方式，使用掀離(處理)去除前述第2阻劑之步驟，與

於與前述中間層位置對應的前述第1絕緣層上，形成第2導電層之步驟。

【0009】又，其他例示如，提供一種貫通電極基板之製造方法，其特徵為包含：

提供具有第1面與前述第1面對向之第2面，且具有貫通前述第1面與前述第2面之貫通孔的基板之步驟，與

於前述第1面上形成第1阻劑之步驟，與

於前述基板的前述貫通孔中，形成可導通前述第1面與前述第2面的貫通電極，與於前述基板的前述第1面上，形成與前述貫通電極產生電路連接的第1導電層之步驟，與

於前述第1導電層的上表面及側面，與前述第1面，形成第1絕緣層之步驟，與

於與前述第1導電層的前述上表面位置對應之前述第1絕緣層上，形成第2導電層之步驟，與

以覆蓋前述第2導電層，且，覆蓋前述第1面上的前述第1絕緣層之一部份之方式，形成第2阻劑層之步驟，與

將未覆蓋前述第2阻劑層的前述第1絕緣層之部份去除

之步驟，與

去除前述第2阻劑層之步驟。

【0010】上述貫通電極基板，亦可作為內埋式載板 (Interposer)使用。

[發明之效果]

【0011】依本發明之內容，於含有貫通電極的基板中，可防止上下位置的導電層間之短路。本發明相關之其他特徵，亦可由本說明書之記載、附加圖式而瞭解。又，上述以外的目的、構成及效果，可經由以下實施形態之說明而更明確。

【圖式簡單說明】

【0012】

[圖1]本發明第1實施形態之內埋式載板的概略平面圖。

[圖2]本發明之第1實施形態中，內埋式載板的概略斷面圖(圖1之A-A線斷面圖)。

[圖3]本發明第1實施形態之內埋式載板中所包含的電容器100之概略斷面圖(圖1之B-B線斷面圖)。

[圖4A]本發明第1實施形態之內埋式載板的製造方法之說明圖。

[圖4B]本發明第1實施形態之內埋式載板的製造方法之說明圖。

[圖 4C]本發明第 1 實施形態之內埋式載板的製造方法之說明圖。

[圖 4D]本發明第 1 實施形態之內埋式載板的製造方法之說明圖。

[圖 4E]本發明第 1 實施形態之內埋式載板的製造方法之說明圖。

[圖 4F]本發明第 1 實施形態之內埋式載板的製造方法之其他例示之說明圖。

[圖 5]本發明第 2 實施形態之電容器的概略斷面圖。

[圖 6]本發明第 3 實施形態之電容器的概略斷面圖。

[圖 7]本發明第 4 實施形態之電容器的概略斷面圖。

[圖 8]本發明第 5 實施形態之電容器的概略斷面圖。

[圖 9]本發明第 6 實施形態之電容器的概略斷面圖。

[圖 10]本發明第 7 實施形態之電容器的概略斷面圖。

[圖 11]本發明第 8 實施形態之電容器的概略斷面圖。

[圖 12]本發明第 9 實施形態之電容器的概略斷面圖。

[圖 13]本發明第 10 實施形態之電容器的概略斷面圖。

[圖 14]本發明第 11 實施形態之電容器的概略斷面圖。

[圖 15A]本發明第 11 實施形態之電容器的製造方法之說明圖。

[圖 15B]本發明第 11 實施形態之電容器的製造方法之說明圖。

[圖 15C]本發明第 11 實施形態之電容器的製造方法之說明圖。

[圖 16]本發明第 12 實施形態之電容器的概略斷面圖。

[圖 17]本發明第 13 實施形態之電容器的概略斷面圖。

[圖 18A]本發明第 13 實施形態之電容器的製造方法之說明圖。

[圖 18B]本發明第 13 實施形態之電容器的製造方法之說明圖。

[圖 18C]本發明第 13 實施形態之電容器的製造方法之說明圖。

[圖 18D]本發明第 13 實施形態之電容器的製造方法之說明圖。

[圖 18E]本發明第 13 實施形態之電容器的製造方法之說明圖。

[圖 18F]本發明第 13 實施形態之電容器的製造方法之說明圖。

[圖 19]本發明第 13 實施形態之電容器的位置關係之說明圖。

[圖 20A]本發明第 1 實施形態之電容器的其他製造方法之說明圖。

[圖 20B]本發明第 1 實施形態之電容器的其他製造方法之說明圖。

[圖 20C]本發明第 1 實施形態之電容器的其他製造方法之說明圖。

[圖 20D]本發明第 1 實施形態之電容器的其他製造方法之說明圖。

[圖 20E]本發明第 1 實施形態之電容器的其他製造方法之說明圖。

[圖 21A]本發明第 14 實施形態之內埋式載板的概略平面圖。

[圖 21B]本發明第 14 實施形態中，內埋式載板所包含的環狀之導電層 29 的概略斷面圖(圖 21A 之 C-C 線斷面圖)。

[圖 22A]本發明第 15 實施形態之電容器的概略平面圖。

[圖 22B]本發明第 16 實施形態之電容器的概略平面圖。

[圖 23]本發明第 17 實施形態之電容器的概略平面圖。

[圖 24A]本發明第 18 實施形態之電容器的概略平面圖。

[圖 24B]本發明第 19 實施形態之電容器的概略平面圖。

[圖 25A]本發明第 20 實施形態之電容器的第 1 導電層與第 1 絕緣層之位置關係的概略平面圖。

[圖 25B]本發明第 21 實施形態之電容器的第 1 導電層與第 1 絕緣層之位置關係的概略平面圖。

[圖 25C]本發明第 22 實施形態之電容器的第 1 導電層與第 1 絕緣層之位置關係的概略平面圖。

[圖 26A]本發明第 1 實施形態之電容器為鄰接配置情形的概略斷面圖。

[圖 26B]本發明第 20 實施形態之電容器的第 2 導電層之

配置例的概略斷面圖。

[圖 26C]本發明第 20 實施形態之電容器的第 2 導電層的其他配置例之概略斷面圖。

[圖 27]本發明第 23 實施形態之電容器的概略斷面圖。

[圖 28]本發明第 24 實施形態之內埋式載板中，所含電容器及感應器的概略平面圖。

[圖 29]本發明第 24 實施形態之內埋式載板的概略斷面圖(圖 28 之 D-D 線斷面圖)。

[圖 30]本發明第 25 實施形態之電容器的概略平面圖。

[圖 31]本發明第 26 實施形態中，半導體裝置圖。

[圖 32]本發明第 26 實施形態中，半導體裝置之其他例示圖。

[圖 33]本發明第 26 實施形態中，半導體裝置之另一例示圖。

[圖 34]本發明第 26 實施形態中，使用半導體裝置的電子機器之例示圖。

【實施方式】

[發明之實施形態]

【0013】以下，將使用圖式對本發明之一實施形態進行說明。又，以下所示各實施形態為本發明實施形態之一例示，本發明並不受限於該些實施形態之解釋內容。本實施形態之圖式中，同一部份或具有相同機能的部份為標記相同符號或類似的符號(數字之後僅標記 A、B 等之符號)，

該重複部份會有省略說明之情形。又，圖式之尺寸比例於說明上會與上實際的比例有所差異，且一部份構成內容於圖式中會有省略之情形。本件說明書所附加的圖式中，就容易圖示與理解上，於變通上，其適當的縮比及縱橫的尺寸比等，會較實物擴大變更，且其一部份的構成內容會由圖式中省略之情形。

【0014】本說明書等之中，使用「～」表示之數值範圍，為分別包含「～」前後所記載的數值之下限值及上限值的範圍之意。例如，記載為10～30時，為包含10以上、30以下之意。

【0015】

< 第1實施形態 >

本發明之一實施形態之內埋式載板，為具有絕緣層挾夾於包含金屬等的導電層之構造。圖1為本發明第1實施形態之內埋式載板10的概略平面圖。圖2為本發明之第1實施形態中，內埋式載板10的概略斷面圖(圖1之A-A線斷面圖)。圖3為本發明第1實施形態之內埋式載板10所含的電容器100的概略斷面圖(圖1之B-B線斷面圖)。又，圖1及圖3中，為使基板11、第1導電層12、第1絕緣層13及第2導電層14之位置關係容易瞭解起見，構成內容有部份省略。內埋式載板10，例如，具有絕緣層挾夾於金屬的構造之MIM(Metal-Insulator-Metal)構造。以下，MIM構造，將使用作為介電體層的絕緣層挾夾於上部電極與下部電極而得的電容器100進行說明。該情形中，第1導電層12為作為下部電

極、第1絕緣層13作為介電體層、第2導電層14作為上部電極使用。

【0016】內埋式載板10為具備：具有第1面11a與相對於第1面11a為對向之第2面11b的基板11，與配置於基板11的第1面11a之第1導電層12，與配置於第1導電層12上的第1絕緣層13，與配置於第1絕緣層13上的第2導電層14。該例示中，第1導電層12與基板11之間，再配置有底部層17。又，底部層17，可直接配置於基板11的第1面11a上亦可，介由至少1層的導電性或絕緣性之層，再配置於基板11的第1面11a者亦可。例如，基板11的第1面11a上配置由環氧樹脂、聚醯亞胺、聚苯併噁唑、聚醯胺等所選出之絕緣性樹脂時，可緩和因第1導電層12與基板11的熱膨脹率之差異所發生的應力，而於隨後包含加熱之步驟中，可抑制基板發生龜裂之現象。

【0017】基板11，具有貫通第1面11a與第2面11b之貫通孔15。第1導電層12，為介由於貫通孔15上所形成的貫通電極20，與配置於第2面11b上的第3導電層21形成電路上的連接。貫通電極20與基板11之間及第3導電層21與基板11之間，亦配置有底部層17。貫通孔15之形態，並不侷限於圖示內容，貫通孔15，可為由基板11的第1面11a及第2面11b向基板11厚度方向的中央部形成寬度逐漸縮小的形狀亦可，貫通孔15的側壁，沿著基板11的第1面11a的法線方向逐漸擴大亦可，沿著基板11的第1面11a的法線方向逐漸狹窄亦可，又，側壁的一部份亦可具有彎曲的形狀。基

板 11，可經由蝕刻加工、雷射加工、雷射加工與蝕刻加工組合而成的加工、噴沙加工、放電加工、鑽孔加工等，而形成貫通孔 15。貫通電極 20，並不侷限於圖 2 所示之沿著貫通孔 15 的側面配置導電材料之形態，其亦可為於貫通孔 15 內填充導電材料之形態。又，亦可為第 1 導電層 12、貫通電極 20 及第 3 導電層形成一體的構造。圖 2 的內埋式載板 10 中，第 1 導電層 12、貫通電極 20 及第 3 導電層 21 為相同的構成內容。相同構成內容係指，例如，使用同一材料所形成的構成內容等。又，基板 11 的第 1 面 11a 上的第 1 導電層 12 與基板 11 的第 2 面 11b 上的第 3 導電層 21，可由同一材料所形成，且實質上為同一厚度亦可。該些情形時，形成電路連接之際，於連接部中之電阻值不易發生差異，而可減輕訊號的傳送損耗。

【0018】 又，貫通孔 15 的開口寬度，以 $40\mu\text{m} \sim 110\mu\text{m}$ 為佳。其中，貫通孔 15 的開口寬度係指，由平面觀察基板 11 的第 1 面 11a 至第 2 面 11b 之際，於貫通孔 15 外緣所形成的圖形中，該圖形外緣的任意 2 點之間的最大距離之意。又，外緣所形成的圖形為圓形時，上述之寬度，則為圓的直徑之意。

【0019】 基板 11 的第 1 面 11a 側與第 2 面 11b 側，形成具有絕緣性的樹脂層 22。樹脂層 22 中，於第 1 導電層 12、第 2 導電層 14 及第 3 導電層 21 的對應位置上，形成有通孔 (via hole) 23。各個通孔 23 上，分別配置由導電性材料所形成的連接部 24。連接部 24，與配置於通孔 23 底部的導電層形成

電路上的連接。

【0020】內埋式載板10，為介由連接部24，與半導體晶片50形成電路上的連接。又，內埋式載板10，介由連接部24及焊球(Solder balls)25，連接於配線基板40。半導體晶片50亦可介由焊球25連接連接部24。經由該構成內容，即可提供一種具有內埋式載板10，與配置於基板11的第1面11a側的與貫通電極20形成電路連接的半導體晶片50，與配置於基板11的第2面11b側的與貫通電極20形成電路連接的配線基板40的半導體裝置。本實施形態之內埋式載板10，可使具有狹窄端子間距的半導體晶片50，對大型配線基板40之實際裝設更為簡便化。配線基板40，例如，母板等。又，與半導體晶片50之連接方式，不僅可介由連接部42，亦可介由大型配線基板40予以實施。該情形中，本發明之貫通電極基板不僅為內埋式載板，亦可作為被動元件使用。

【0021】基板11，例如，可使用玻璃基板、玻璃陶瓷基板、石英基板、藍寶石基板、樹脂基板、玻璃環氧基板、矽基板、SOI(Silicon on Insulator)基板、SOS(Silicon on Sapphire)基板、碳化矽(SiC)基板、鎵砷(GaAs)基板、磷化銦(InP)基板、氧化鋁(Al_2O_3)基板、氮化鋁(AlN)基板、酸化鋯(ZrO_2)基板等，或該些層合而得之基板。又，基板11以具有絕緣性者為佳，至少表面具有絕緣性者。

【0022】基板11較佳為玻璃基板。一般內埋式載板，於越靠近邊緣的區域時，因熱變形而會增大變異性。使用

玻璃基板的內埋式載板之情形，於該區域中，具有可使用配置有內埋式載板上的矽基板的半導體晶片等，以降低其熱膨脹率的差異的優點。又，於基板11上使用玻璃時，因具有高絕緣性，故可消除於基板11表面形成的導電層間之漏電流(leakage current)的疑慮。

【0023】更佳為基板11使用無鹼玻璃。無鹼玻璃，與蘇打玻璃不同，並不含有Na、K等之鹼成份，故玻璃表面不會析出鹼成份。因此，於此態樣中，與內埋式載板連接的半導體晶片的端子理論上不會發生腐食，而具有不會造成信賴性劣化之優點。又，無鹼玻璃，因熱膨脹率與矽為相同程度之大小，故與連接半導體晶片的關係，就熱膨脹率之觀點，具有更佳的整合性。

【0024】基板11之厚度，例如，以 $50\mu\text{m} \sim 700\mu\text{m}$ 為佳。又，基板11的第1面11a之表面粗度(算術平均粗度Ra)，於基板11的第1面11a上所形成的第1導電層12及第2面11b上所形成的第3導電層21上，就防止高周波訊號發生傳送損耗之觀點，以越小者為佳，又以 $0.1\text{nm} \sim 10\text{nm}$ 為佳。又，其中算術平均粗度Ra，為依JIS規格JIS B 0601：2001之定義者。

【0025】第1導電層12及第2導電層14之材料，例如，可使用金(Au)、銀(Ag)、銅(Cu)、鐵(Fe)、鎳(Ni)、鉑(Pt)、鈀(Pd)、鈦(Ru)、鎢(W)等具有導電性的材料。其中，又以使用具有高導電性，且材料費用較低之Cu為佳。又，第1導電層12的厚度以 $0.5\mu\text{m} \sim 20\mu\text{m}$ 為佳，第2導電層

14之厚度以 $0.5\mu\text{m} \sim 5\mu\text{m}$ 為佳。配線圖型，除可使用金屬箔蝕刻的消去(Subtractive)製程形成以外，亦可使用塗佈導電性糊料，或再追加塗佈，或鍍敷處理而形成等追加形成處理。其中，金屬箔，例如，Cu等。又，導電性糊料，例如，金屬奈米糊料等。

【0026】底部層17，可含有1個以上之層。例如，底部層17，為至少含有密著層及種子層(seed layer)中之至少1個。該例示中，底部層17為以密著層及種子層所構成之例進行說明。又，密著層為，使基板11與第1導電層12及第2導電層14，或基板11與種子層不易發生剝離之層。又，種子層為，於使用電解鍍敷形成第1導電層12及第2導電層14之際，為進行通電而形成鍍敷膜之層。因此，若機能有所重複時，密著層與種子層亦可為相同者。密著層，例如，包含氧化鋅(ZnO)等的密著層。包含氧化鋅的密著層，例如，可以凝膠溶膠法而形成。又，種子層，例如，Ti、Cr、Cu等。包含Ti、Cr、Cu之種子層，例如，可以濺鍍法而形成。又，於同時形成第1導電層12與貫通電極20之際，就密著性之觀點而言，以對基板11之表面向厚度方向的深度進行的貫通孔15之全體表面，被底部層17被覆之狀態為佳。因此，形成底部層17之際的厚度，於基板11之表面中，以 $20\text{nm} \sim 300\text{nm}$ 為佳。又底部層17，雖可使用形成之際的厚度，但因貫通孔15之表面被底部層17充份覆蓋結果，會造成形成於基板11的底部層17之厚度過剩之情形。其結果，將會造成容易受到隨後步驟的藥液或電漿等

之選擇性傷害，或因底部層17本身脆性之原因，而會造成形成於底部層上的導電層發生剝離之情形。為防止該現象時，亦可於底部層形成後預先進行蝕刻，先降低底部層之厚度。例如，亦可於基板表面中，降低底部層的厚度至流存約莫1~10nm之層。

【0027】第1絕緣層13，例如，可使用無機材料，更具體而言，為氮化矽(Si_xN_y)、二氧化矽(SiO_2)、氧氮化矽(SiO_xN_y)、五氧化鉬(Ta_2O_5)、氧化鋁(Al_2O_3)，或氮化鋁(AlN)、氧化鈦(HfO_2)、添加鋁的氧化鈦等。第1絕緣層13，以相對介電係數較存在於電容器100周圍的絕緣層(例如，樹脂層22)為高者為佳。第1絕緣層13的相對介電係數，例如為2.0~9.0，更佳為5.0~8.0之範圍。其中，就相對介電係數與絕緣破壞電壓之觀點，以使用氮化矽(Si_xN_y)、氧氮化矽(SiO_xN_y)為更佳。第1絕緣層13之厚度(後述之T1)，可為50nm~800nm。

【0028】本發明之實施形態中，上述的第1導電層12、第2導電層14及第1絕緣層13的成膜製程，可使用化學蒸鍍(CVD)、物理蒸鍍(PVD)，或電氣鍍敷製程。化學蒸鍍，例如，電漿CVD、原子層堆疊(ALD)等。物理蒸鍍，例如，濺鍍或蒸鍍製程等。又，為形成導電層及絕緣層之圖型等目的，亦可使用光微影技術。又，導電層及絕緣層之平坦化製程，可使用深蝕刻、化學性機械研磨(CMP)等方法。

【0029】其次，將說明本實施形態之電容器100的構

造。如圖1所示般，第1絕緣層13為形成於第1導電層12的上面12a中，配置第2導電層14的位置。如圖3所示般，第1絕緣層13為具有第1部份13a、第2部份13b及第3部份13c。第1部份13a，為配置於第1導電層12與第2導電層14之間。第2部份13b，為由第1部份13a連續延展，覆蓋至第1導電層12的側面12b的至少一部份及底部層17的側面17a的至少一部份。第3部份13c，為由第2部份13b連續地延展而覆蓋基板11的第1面11a的至少一部份。本實施形態中，第1部份13a、第2部份13b，及第3部份13c為使用相同材料所形成者。

【0030】本實施形態中，第1絕緣層13的第2部份13b，為被覆第1導電層12的側面12b及底部層17的側面17a，又，第1絕緣層13的第3部份13c為被覆基板11的第1面11a的一部份。例如，第1絕緣層13僅由第1部份13a所構成之情形，於圖3中之點線的圈圈位置，於第1導電層12與第2導電層14之間，將容易發生短路現象。又，第1絕緣層13的端部位於第2導電層14的端部更內側的位置之情形，於第1導電層12與第2導電層14之間，將會產生不存在第1絕緣層13之區域。於該區域中形成空間時，為因壓力等而使第1導電層12與第2導電層14接觸而造成短路之主要原因。又，樹脂層22流入該空間時，也會造成相對介電係數較第1絕緣層13為更低的樹脂層22之電容器100的容量降低之主要原因。

【0031】對於此點，本實施形態中，因第1絕緣層13

的第2部份13b，為連續延展第1部份13a，而覆蓋第1導電層12的側面12b，故可防止第1導電層12與第2導電層14之間發生短路現象。又，受到圖型形成(Patterning)中精確度的影響，於第2導電層14的位置於圖3上會有左右偏移之情形，但第1絕緣層13，因經由第2部份13b覆蓋第1導電層12的側面12b及底部層17的側面17a的同時，也經由第3部份13c覆蓋至基板11的第1面11a為止。因此，即使第2導電層14的位置發生偏移，也可防止第1導電層12及底部層17，與第2導電層14發生短路現象。又，第1絕緣層13的第3部份13c，經由與基板11的第1面11a接觸，故可提高第1絕緣層13之耐剝離性。

【0032】又，為使第1絕緣層13的第2部份13b可有效地具有作為絕緣膜之機能時，第1絕緣層13的第2部份13b之厚度T2，以第1絕緣層13的第1部份13a的厚度T1之 $1/4$ 以上為佳。第1絕緣層13的第2部份13b的厚度T2之上限並未有特別的限制，例如，可為第1絕緣層13的第1部份13a的厚度T1以下亦可、厚度T1之 $1/2$ 以下亦可。又，第1絕緣層13的第2部份13b的厚度T2，以25nm以上為佳。於考量上述內容時，第1絕緣層13的第1部份13a的厚度T1，以50nm～400nm為佳，第1絕緣層13的第2部份13b的厚度T2，以25nm～200nm為佳。又，第1絕緣層13的第3部份13c的長度(第1導電層12至第3部份13c的端部為止的距離)L1，以10 μ m～200 μ m為佳，第1絕緣層13的第3部份13c的厚度T3，以50nm～200nm為佳。

【0033】又，第1導電層12的上面12a之表面粗度(算術平均粗度Ra)，就電容器100的產率之觀點，以越小者為佳，又以0.5nm~100nm為佳。又，第1導電層12的側面12b只要為不作為電容器100之機能的部份時，亦可為具有某種程度粗度的粗面，例如，第1導電層12的側面12b之表面粗度(算術平均粗度Ra)，可為20nm~200nm亦可。具有該些表面粗度時，可提高第1導電層12(側面12b)與第1絕緣層13之密著性。

【0034】其次，將說明內埋式載板10之製造方法，特別是說明形成電容器100(第1導電層12、第1絕緣層13，及第2導電層14)之例示。圖4A至圖4F，為說明本發明第1實施形態之內埋式載板10的製造方法圖。以下內容中，將說明於形成第1導電層12同時，於第1導電層12上形成電路連接的貫通電極20，及介由貫通電極20於第1導電層12上形成電路連接的第3導電層21之例示。

【0035】準備具有第1面11a與第2面11b，且貫通第1面11a與第2面11b的貫通孔15之基板11。隨後，如圖4A所示般，於基板11的第1面11a、第2面11b，及貫通孔15之側壁15a上，形成底部層17。以下，將說明密著層及種子層構成底部層17之例。首先，使用蒸鍍法或濺鍍法等物理成膜法形成密著層。隨後，依相同的物理成膜法於密著層上形成種子層。隨後，亦可對密著層及種子層施以回火(annealing)之步驟。

【0036】又，形成密著層及種子層之方法，並不僅限

定於上述之方法。例如，可先形成包含氧化鋅 (ZnO) 等的密著層，隨後，於密著層上使用無電解鍍敷法形成種子層亦可。包含氧化鋅的密著層，例如，可使用凝膠溶膠法而形成。又，如上所述般，可使用蒸鍍法或濺鍍法等物理成膜法形成密著層及種子層等二者亦可、凝膠溶膠法或無電解鍍敷法、物理成膜法等組合使用亦可。

【0037】其次，如圖4B所示般，於底部層17上形成部份的第1阻劑層31。隨後，經由電解鍍敷處理，於未被第1阻劑層31所未覆蓋的底部層17上，形成鍍敷層。並經由該鍍敷層，可形成基板11的第1面11a上的第1導電層12、貫通孔15的貫通電極20，及基板11的第2面11b上的第3導電層21。如上所述般，分別於基板11(第1面11a)與第1導電層12之間、基板11(貫通孔15之側壁15a)與貫通電極20之間、基板11(第2面11b)與第3導電層21之間，配置底部層17。

【0038】隨後，如圖4C所示般，去除第1阻劑層31。此外，底部層17中，被第1阻劑層31所覆蓋的部份(未形成第1導電層12之部份)，可使用例如濕式蝕刻處理予以去除。如此，亦可構成具備有基板11的第1面11a上的第1導電層12，與貫通孔15的貫通電極20，基板11的第2面11b上的第3導電層21的感應器。感應器，將於第24實施形態中詳細敘述。又，導電層亦可實施回火步驟。又，形成填充有導電材料的貫通電極之情形，亦可再進行電解鍍敷，將導電材料填充於貫通孔15內。

【0039】其次，可使第1導電層12之表面曝曬於NH₃

電漿等電漿以實施表面處理步驟。依此方式，即可去除第1導電層12之表面的氧化物。依此方式，可提高第1導電層12與第1絕緣層13之間的密著性。

【0040】其次，形成第1絕緣層13。首先，於第1導電層12及基板11的第1面11a上，形成部份的阻劑層(圖示省略)。隨後，於第1導電層12及基板11的第1面11a中，未被阻劑層所覆蓋的部份與被阻劑層所覆蓋的部份，形成第1絕緣層13。此時，以覆蓋第1導電層12的上面12a、第1導電層12的側面12b、底部層17的側面17a，及基板11的第1面11a之方式形成第1絕緣層13。依此方式，而形成具有上述的第1部份13a、第2部份13b，及第3部份13c的第1絕緣層13。

【0041】形成第1絕緣層13之方法，例如，可使用電漿CVD、濺鍍等方法。又，濺鍍因具有極高的方向依存性，而會有不容易於第1導電層12的側面12b上形成第1絕緣層13之情形，故以使用電漿CVD法為佳。形成第1絕緣層13之後，例如可使用濕式蝕刻去除阻劑層。此時，阻劑層上所形成的第1絕緣層13，可使用掀離(處理)予以去除。圖4D為表示去除阻劑層之後的狀態。又，形成阻劑層之前，可形成第1絕緣層13，僅於殘留於第1絕緣層13的部份形成阻劑層後，再對第1絕緣層13進行蝕刻亦可。即，可使用光微影技術，依圖4D所示步驟，形成第1絕緣層13亦可。

【0042】其次，如圖4E所示般，於第1絕緣層13上形

成第2導電層14。依此方式，則可構成具備有第1導電層12，與第1導電層12上的第1絕緣層13，與第1絕緣層13上的第2導電層14的電容器。形成第2導電層14之步驟，與第1導電層12中，例如，形成鍍敷層之步驟相同，故此省略該說明。又，於第2導電層14上形成鍍敷層之情形中，於第2導電層14與第1絕緣層13之間，亦可形成種子層等。又，第2導電層14，如上所述般，可經由金屬箔之蝕刻而形成亦可，塗佈導電性糊料之方式而形成亦可。

【0043】隨後，則依形成樹脂層22、形成通孔23、形成連接部24之方式，而實現圖2所示之構成內容。又，樹脂層22的厚度(圖2之例為，由基板11的第1面11a至樹脂層22之表面為止的距離)，就使表面中的電容器100等的凹凸達成平坦化之觀點，以底部層17、第1導電層12、第1絕緣層13及第2導電層14之合計厚度以上、該厚度的2倍以下之範圍為佳。又，因於電容器100之附近，第1導電層12與連接部24之間會發生容量成份，故於設計上以越小者為佳。因此，於第1導電層12與連接部24之間，以較大厚度形成相對介電係數較第1絕緣層13為低的樹脂層22者為佳。又，樹脂層22的厚度為第1絕緣層13之表面至樹脂層22之表面為止的距離時，例如，以第1絕緣層13的厚度的10倍以上為宜。

【0044】圖4F為製造本發明第1實施形態之內埋式載板10之方法的其他例示圖。圖4E為，第1絕緣層13未形成於貫通孔15周圍之例示，但第1絕緣層13則以延展至貫通

孔15的貫通電極20為止之方式形成。圖4F所示般，第1絕緣層13，亦可由基板11的第1面11a側延展而覆蓋貫通電極20的至少一部份之方式形成。圖4F之例中，第1絕緣層13，為具有由第1部份13a起連續地延展，而覆蓋貫通電極20的至少一部份的部份13h。經具有該構成時，例如，於形成第1絕緣層13之後，經由蝕刻去除種子層之際，因貫通電極20的一部份，或位於貫通孔15角部的導電層(第1導電層12與貫通電極20之境界部份)受第1絕緣層13所保護，故可防止貫通電極20及其周圍的導電層受到蝕刻處理而薄化等的影響。又，形成第1絕緣層13之後，經蝕刻去除的種子層，例如，可使用鍍敷層形成第2導電層14時所使用的種子層。

【0045】

< 第2實施形態 >

圖5為本發明第2實施形態之電容器100A的概略斷面圖。本實施形態中，第1絕緣層13A的第3部份13Ac，並未擴散延展至基板11的第1面11a上，而覆蓋底部層17的側面17a。依此構成內容，第1絕緣層13A的第2部份13b覆蓋第1導電層12的側面12b及底部層17的側面17a，且，第2部份13b至接觸基板11為止，為延展至第1絕緣層13A的第3部份13Ac為止。因此，第1導電層12及底部層17，可防止與第2導電層14發生短路。

【0046】

< 第3實施形態 >

圖6為本發明第3實施形態之電容器100B的概略斷面圖。本實施形態中，第1絕緣層13B的第2部份13Bb，為由第1部份13a延展至第1導電層12的側面12b之上端12c與下端12d之間的位置。如此，第1絕緣層13B的第2部份13b，並無須覆蓋第1導電層12的側面12b全面，而僅需具有覆蓋第1導電層12的側面12b的至少一部份之構成即可。依該構成內容，第1絕緣層13B的第2部份13Bb，為由第1部份13a連續地延展而覆蓋第1導電層12的側面12b之一部份。因此，第1導電層12，可防止與第2導電層14之短路。

【0047】又，圖6所示之第1絕緣層13B，例如，可使用阻劑層進行掀離(處理)之方式形成。例如，於第1導電層12以外的部份形成較第1導電層12為更薄的阻劑層，再於第1導電層12及阻劑層上形成第1絕緣層13B。隨後，經去除阻劑層後，而形成覆蓋側面12b的一部份之第1絕緣層13B的第2部份13Bb。

【0048】

<第4實施形態>

圖7為本發明第4實施形態之電容器100C的概略斷面圖。本實施形態中，底部層17C的平面尺寸較第1導電層12的平面尺寸為大。即，底部層17C，僅較第1導電層12的側面12b外側擴張距離D1，故相較於第1導電層12的側面12b，底部層17C的側面17Ca為存在於外側。即，底部層17C的端部上，出現於未覆蓋第1導電層12之上面17Cf。第1絕緣層13C的第2部份13Cb覆蓋第1導電層12的側面12b、

底部層 17 之一部份(端部)的上面 17Cf 及側面 17Ca，且，第 2 部份 12Cb 延展至第 1 絕緣層 13C 的第 3 部份 13Cc 為止而與基板 11 接觸。因此，第 1 導電層 12 及底部層 17C，可防止與第 2 導電層 14 之短路現象。又，距離 D1，以 20nm ~ 1000nm 為佳。

【0049】

< 第 5 實施形態 >

圖 8 為本發明第 5 實施形態之電容器 100D 的概略斷面圖。本實施形態中，底部層 17D 的平面尺寸較第 1 導電層 12 的平面尺寸為更小。即，底部層 17D 具有較第 1 導電層 12 的側面 12b 減少距離 D2 而深入內側的側面 17Da。如此，經由第 1 導電層 12、基板 11 及底部層 17D 而形成凹部 17Db。經由該凹部 17Db 與第 1 絕緣層 13，而於第 1 導電層 12 的下方形成空間 18。第 1 絕緣層 13 的第 2 部份 13b 及第 3 部份 13c，以殘留空間 18 的至少一部份之方式配置。如此，空間 18 的至少一部份為殘留空隙之狀態，經由第 1 絕緣層 13 的第 3 部份 13c 之絕緣效果，而可防止第 1 導電層 12 及底部層 17，與第 2 導電層 14 發生短路現象。

【0050】

< 第 6 實施形態 >

圖 9 為本發明第 6 實施形態之電容器 100E 的概略斷面圖。本實施形態中，第 1 絕緣層 13E 的第 2 部份 13Eb 及第 3 部份 13Ec，為以填充凹部 17Db(參照圖 8)之方式配置。經由構成內容，使第 1 絕緣層 13E 的第 2 部份 13Eb 及第 3 部份

13Ec，埋入第1導電層12的下方之凹部17Db。因此，與圖8之構成相比較時，可更有效地防止第1導電層12及底部層17D與第2導電層14發生短路現象。又，因第1絕緣層13E深入凹部17Db，故亦可提高第1導電層12與底部層17D之密著性。就該些防止短路及提高密著性之觀點，底部層17D的凹部17Db之尺寸，即，第1絕緣層13至底部層17的側面17Da為止的距離D2，以20nm~1000nm為佳。

【0051】

<第7實施形態>

圖10為本發明第7實施形態之電容器100F的概略斷面圖。本實施形態為，於圖9的構成中，第2導電層14F為跨第1絕緣層13E的第1部份13a、第2部份13Eb及第3部份13Ec之方式配置。經具有該構成內容，因第2導電層14F與第1絕緣層13E的密著面積更大，故接著性較佳。又，該構成中，雖第2導電層14F與第1導電層12及底部層17D之間的距離較近，但因第1絕緣層13E的第2部份13Eb及第3部份13Ec埋入第1導電層12下方的凹部17Db中，故第1導電層12及底部層17D，可防止與第2導電層14F發生短路現象。

【0052】

<第8實施形態>

圖11為本發明第8實施形態之電容器100G的概略斷面圖。本實施形態，為對應於圖3所示的第1實施形態之電容器100中，不使用底部層17而形成第1導電層12G之情形。經由該構成內容，第1絕緣層13於經由第2部份13b覆蓋第1

導電層 12G 的側面 12Gb 的同時，第 3 部份 13c 也覆蓋至基板 11 的第 1 面 11a。因此，即使第 2 導電層 14 的位置產生偏疑的情形時，第 1 導電層 12G，也可防止與第 2 導電層 14 發生短路現象。又，第 1 絕緣層 13 的第 3 部份 13c，因與基板 11 的第 1 面 11a 接觸，故可提高第 1 絕緣層 13 之耐剝離性。

【0053】

< 第 9 實施形態 >

圖 12 為本發明第 9 實施形態之電容器 100H 的概略斷面圖。本實施形態，為對應於圖 5 所示的第 2 實施形態之電容器 100A 中，不使用底部層 17 而形成第 1 導電層 12G 之情形。即，第 1 絕緣層 13A 的第 2 部份 13b 為覆蓋第 1 導電層 12G 的側面 12Gb 之上端 12Gc 與下端 12Gd 之間的全體範圍。經具有該構成內容，首先，第 1 絕緣層 13A 的第 2 部份 13b，為由第 1 部份 13a 起連續地延展覆蓋第 1 導電層 12G 的側面 12Gb 全體。因此，第 1 導電層 12G，可防止與第 2 導電層 14 發生短路現象。

【0054】

< 第 10 實施形態 >

圖 13 為本發明第 10 實施形態之電容器 100I 的概略斷面圖。本實施形態，為對應圖 6 所示第 3 實施形態之電容器 100B 中，不使用底部層 17 而形成第 1 導電層 12G 之情形。即，第 1 絕緣層 13B 的第 2 部份 13Bb，為覆蓋至第 1 導電層 12G 的側面 12Gb 之上端 12Gc 與下端 12Gd 之間的位置為止。經具有該構成內容，第 1 絕緣層 13B 的第 2 部份 13Bb，為由

第1部份13a起連續地延展覆蓋至第1導電層12G的側面12Gb的一部份。因此，第1導電層12G，可防止與第2導電層14發生短路現象。

【0055】

<第11實施形態>

圖14為本發明第11實施形態之電容器100J的概略斷面圖。如電容器100J所示，覆蓋第1導電層12的側面12b及底部層17的側面17a之絕緣層，可使用與第1絕緣層13相異之材料所形成的第2絕緣層19。本實施形態中，第1絕緣層13J，為由配置於第1導電層12與第2導電層14之間的第1部份13a所構成。即，第1絕緣層13J，僅配置於第1導電層12之上面12a。第2絕緣層19，為具有第1部份19a、第2部份19b及第3部份19c。第1部份19a，為配置於第1絕緣層13J之上面。第2部份19b，為由第1部份19a起連續地延展覆蓋第1導電層12的側面12b及底部層17的側面17a。第3部份19c，為由第2部份19b起連續地延展覆蓋基板11的第1面11a的至少一部份。

【0056】第2絕緣層19，可使用有機材料或無機材料。存在如圖9所示之第6實施形態之凹部17Db的情形時，第2絕緣層19為由樹脂所構成時，可利用樹脂之變形而埋入第1導電層12之下方的凹部17Db。更佳為第2絕緣層19，為可經由光線進行圖型形成之感光性樹脂，例如，感光性聚醯亞胺。又，第2絕緣層19，亦可為經由雷射而形成開口的樹脂，例如，環氧樹脂。經具有該構成內容，因第2

絕緣層 19 可覆蓋第 1 導電層 12 的側面 12b、底部層 17 的側面 17a 及基板 11 的第 1 面 11a，故第 1 導電層 12 及底部層 17，可防止第 2 導電層 14 發生短路現象。又，於該實施形態中，以第 2 絕緣層 19 的第 2 部份 19b 的厚度為 T2、第 3 部份 19c 的厚度為 T3 之方式，而可適用於上述有關厚度的實施形態之內容。

【0057】圖 15A～圖 15C 為本發明第 11 實施形態之電容器的製造方法之說明圖。該方法可對應於第 1 實施形態中，圖 4D 之步驟實施。首先，如圖 15A 所示般，於第 1 導電層 12 之上面 12a 形成第 1 絕緣層 13J。其次，如圖 15B 所示般，將乾薄膜狀的感光性樹脂，經真空層合成形方式，形成覆蓋第 1 絕緣層 13J 之上、第 1 導電層 12 的側面 12b，及基板 11 的第 1 面 11a 的一部份。其中，感光性樹脂，例如，可使用感光性聚醯亞胺。依此方式，則形成具有覆蓋配置於第 1 絕緣層 13 之上的第 1 部份 19a，與第 1 導電層 12 的側面 12b 的第 2 部份 19b，與覆蓋基板 11 的第 1 面 11a 的至少一部份的第 3 部份 19c 之第 2 絕緣層 19。隨後，將層合的感光性樹脂置於大氣壓下。依此方式，如圖 8 所示般，形成有空間 18 的第 5 實施形態中，空間 18 的內壓受到層合成型時之壓力。因此，放置於大氣壓下時，因壓力差的影響而使空間 18 崩潰，其結果，如圖 9 所示第 6 實施形態般，使感光性樹脂深入第 1 導電層 12 之下方的凹部 17Db 中。其次，如圖 15C 所示般，經光微影技術，去除第 2 絕緣層 19 的第 1 部份 19a 之一部份及第 3 部份 19c 之一部份。第 1 部份 19a 之一部

份，係指於第1絕緣層13J上形成有第2導電層14之部份。經由去除該部份，而使第1絕緣層13J的第1部份13a露出。第3部份19c之一部份，係指距離第2部份19b為特定距離的部份。又，亦可將乾薄膜狀之非感光性樹脂，經由真空層合成形法，形成覆蓋第1絕緣層13之上、第1導電層12的側面12b，及基板11的第1面11a之一部份之後，經照射UV雷射、碳酸氣體雷射，或準分子雷射結果，而去除上述第2絕緣層19的第1部份19a之一部份及第3部份19c之一部份。乾薄膜狀的非感光性樹脂，例如，可使用環氧樹脂。其次，如圖14所示般，於去除第2絕緣層19的部份中，露出第1絕緣層13J之部份，形成第2導電層14。此時，於第2絕緣層19上之一部份亦形成第2導電層14。

【0058】圖15A～圖15C所示之方法中，如上述圖9所示第6實施形態般，以於第1導電層12之下方所形成的凹部17Db中，配置絕緣層之構成內容，為有利者。於第1個壓力下層合感光性或非感光性樹脂之後，因放置於較層合時之第1個壓力為更高之第2個壓力下，感光性或非感光性樹脂極容易深入第1導電層12之下方凹部17Db中，其結果，將使凹部17Db更容易被樹脂所掩埋。又，上述例示中，該第1個壓力為真空，第2個壓力為大氣壓，但並不僅限定於此。即，第2個壓力只要較第1個壓力為高即可。又，只要為不存在凹部17Db之構成，或凹部17Db中可殘留空間18之構成時，第2個壓力，可較第1個壓力為低亦可、與第1個壓力相同者亦可。

【0059】

< 第12實施形態 >

圖16為本發明第12實施形態之電容器100K的概略斷面圖。如電容器100K所示般，其亦可區分為複數個區域。例如，圖16中，於基板11上，為配置電容器100K-1、100K-2、100K-3。圖16中，為顯示為3個複數的區域之情形，但並不僅限定該複數的區域為3個。電容器100K-1與電容器100K-2之間，為配置空間SP1。電容器100K-2與電容器100K-3之間，配置空間SP2。即，電容器100K-2，為配置於電容器100K-1與電容器100K-3之間。

【0060】 電容器100K-1，為具有底部層17K-1、第1導電層12K-1、第1絕緣層13K-1及第2導電層14K-1。電容器100K-2，為具有底部層17K-2、第1導電層12K-2、第1絕緣層13K-2及第2導電層14K-2。電容器100K-3為具有底部層17K-3、第1導電層12K-3、第1絕緣層13K-3及第2導電層14K-3。又，亦可無須形成底部層17K-1、17K-2、17K-3。

【0061】 第1導電層12K-1與第1導電層12K-2之間間隙SP1過於狹窄時，即，第1導電層12K-1與第1導電層12K-2過於接近時，於形成絕緣層時，於面向間隙SP1之區域，將不易形成堆積。其結果，於第1導電層12K-1及第1導電層12K-2的側面中，面向間隙SP1的側面之一部份，將不形成第1絕緣層13K-1、13K-2。相同地，於第1導電層12K-2及第1導電層12K-3的側面中，面向間隙SP2的側面之一部份，將不形成第1絕緣層13K-2、13K-3。為此種構成內容

時，於間隙SP1、SP2中，將不易形成第2導電層，故第1導電層12K-1、12K-2、12K-3及底部層17K-1、17K-2、17K-3，可防止與第2導電層14K-1、14K-2、14K-3發生短路現象。

【0062】

< 第13實施形態 >

圖17為本發明第13實施形態之電容器100L的概略斷面圖。本實施形態之電容器100L，於第1導電層12L與第1絕緣層13L之間，又具備有中間層26。中間層26，以使用可提高第1導電層12L與第1絕緣層13L之間的密著性之導電材料為佳，例如，可使用鈦(Ti)、氮化鈦(TiN)、鎳(Ni)、鎳-金合金(Ni-Au)等。中間層26的厚度，較佳為20nm~200nm。又，亦可省略中間層26。中間層26，於使用可提高密著性的導電材料時，於以下說明之使用掀離(處理)去除第2阻劑層32(參照圖18E)時，將使第1絕緣層13L不易剝離。

【0063】本實施形態中，第1絕緣層13L的第1部份13a，為配置於中間層26與第1導電層12L之間。第1絕緣層13L的第1部份13a為覆蓋於中間層26之上表面26a，又，第1絕緣層13L的第2部份13b為覆蓋中間層26的側面26b及第1導電層12L的側面12b，此外，第1絕緣層13L的第3部份13c，為覆蓋基板11的第1面11a。本實施形態中，第3部份13c的厚度T4，以50nm~200nm為佳。

【0064】又，第1絕緣層13L，為具有連接第3部份

13c，而向基板11的第1面11a形成交叉之方向延展的第4部份13d。換言之，第4部份13d，亦可稱為相對於基板11，向外方延展者。圖17之例示中，第4部份13d，為由第3部份13c起連續地延展，且，由基板11的第1面11a起向上立起之方式形成。第4部份13d，具有前端的寬度較其底部的寬度為更小的前端纖細形狀(前端薄化形狀)。又，第4部份13d之高度H1，以25 μm 以上為佳。本實施形態具有以下之優點。例如，圖10所示，第7實施形態之第2導電層14F的構造，為形成經由第4部份13d而阻斷第2導電層14F之形狀，故可更提高相鄰的MIM構造，例如，可更提高對電容器之絕緣性。

【0065】又，本實施形態中，第3部份13c的長度(第1導電層12L至第3部份13c的端部為止的距離)L2，以20 μm 以上為佳。第3部份13c的長度L2設定於上述之範圍時，於使用以下說明的掀離(處理)去除第2阻劑層32(參照圖18E)時，將不易使第1絕緣層13剝離。

【0066】圖18A～圖18F，為說明製造本發明第13實施形態之電容器100L之方法圖。圖18A～圖18F中，為表示第1導電層12L於基板11的第1面11a上形成之後的步驟。圖18A為圖4B之狀態的第1面11a側之擴大圖。

【0067】如圖18A所示般，基板11的第1面11a上形成第1導電層12L。其次，如圖18B所示般，於經使用物理蒸鍍(PVD)等，覆蓋第1導電層12L之上面12a及第1阻劑層31之上面31a之方式，而形成例如鈦等導電材料之層(對應於

中間層26)。其中，物理蒸鍍，例如，濺鍍或蒸鍍等。其次，如圖18C所示般，經由掀離(處理)去除第1阻劑層31。掀離(處理)，係指將阻劑剝離，僅殘留目的圖型之方法。於進行掀離(處理)之際，於第1阻劑層31之上面所形成的導電材料之層，可與第1阻劑層31同時被去除。依此方式，第1導電層12L之上面12a則為形成中間層26之狀態。又，底部層17中，被第1阻劑層31所覆蓋的部份(未形成第1導電層12L之部份)，例如可使用濕式蝕刻予以去除。又，去除第1阻劑層31之後，可進行使用乾式表面處理去除阻劑殘渣之處理。依此方式，可提高隨後步驟所生成的第1絕緣層13L之密著性。

【0068】其次，如圖18D所示般，於第1導電層12L之周圍，以與第1導電層12L相隔特定間隔(對應於上述距離L2)之方式形成第2阻劑層32。其次，如圖18E所示般，以覆蓋中間層26之上面26a及側面26b、第1導電層12L的側面12b、基板11的第1面11a，及第2阻劑層32之上面32a及側面32b之方式，形成第1絕緣層13L。其次，如圖18F所示般，經由掀離(處理)去除第2阻劑層32。本實施形態中，以殘留第2阻劑層32的側面32b所形成的第1絕緣層13L的至少一部份之方式，使用掀離(處理)去除第2阻劑層32。於進行掀離(處理)之際，第2阻劑層32之上面32a所形成的第1絕緣層13L，可同時與第2阻劑層32被去除。掀離(處理)之際，因第2阻劑層32以向上方拉伸方式去除，故會形成先端纖細形狀(前端薄化形狀)的第4部份13d。依此方式，則

形成具有配置於中間層26之上的第1部份13a，與覆蓋中間層26的側面26b及第1導電層12L的側面12b之第2部份13b，與覆蓋基板11的第1面11a的至少一部份之第3部份13c，與形成由基板11的第1面11a上立起的第4部份13d之第1絕緣層13L。隨後，如圖17所示般，於對應於中間層26的位置，於第1絕緣層13L之上形成第2導電層14。

【0069】如上述圖18A～圖18F之製造方法，其以盡可能不使用蝕刻之方式，實施導電層之形成步驟與阻劑之剝離(即，掀離(處理))，將可減少實施的步驟數目。又，玻璃基板等之透明基板被使用作為基板11時，相較於使用多次蝕刻之情形，其可確保玻璃基板的透明性，故對於影響玻璃基板透明性的光學要素，於近距離配置電容器等的MIM構造為有利者。

【0070】圖19為本發明第13實施形態之電容器100L的位置關係說明圖。使用掀離(處理)所製造的電容器等的MIM構造中，鄰接的MIM構造間之距離(由某一MIM構造的第1絕緣層13L的端部，至相鄰接的MIM構造的第1絕緣層13L的端部為止的距離)L3，以 $10\mu\text{m} \sim 1\text{mm}$ 為佳。上述L3之範圍，可經由調整圖18D中之第2阻劑層32的寬度之方式予以設定。經由設定上述L3之範圍時，可大幅縮短掀離(處理)步驟所花費的時間，而為適用掀離(處理)之構造。

【0071】

< 第14實施形態 >

圖 20A ~ 圖 20E 為製造第 1 實施形態之電容器 100 的其他方法之說明圖。因製造方法不同，故以第 14 實施形態方式表示。圖 20A 為圖 4C 之狀態的第 1 面 11a 側之擴大圖。如圖 20A 所示般，於基板 11 的第 1 面 11a，形成第 1 導電層 12。其次，如圖 20B 所示般，於第 1 導電層 12 之上面 12a 及側面 12b，與基板 11 的第 1 面 11a，形成第 1 絕緣層 13。其次，如圖 20C 所示般，於第 1 導電層 12 之上面 12a，對應第 1 絕緣層 13 之部份，形成第 2 導電層 14。其次，如圖 20D 所示般，以覆蓋第 2 導電層 14，且，覆蓋由第 1 絕緣層 13 的第 2 部份 13b 至基板 11 的第 1 面 11a 上延展的第 3 部份 13c 之一部份(即，第 1 絕緣層 13 的裙邊部份)的方式，形成阻劑層 33。其次，如圖 20E 所示般，對未覆蓋阻劑層 33 的第 1 絕緣層 13，施以蝕刻或研磨處理等方式去除。隨後，去除阻劑層 33。依此方式，即可製得圖 3 所示之電容器 100。其中，蝕刻方法，例如，反應性離子蝕刻(RIE)等。又，研磨處理，例如，Ar 研磨處理等。

【0072】圖 21A 為本發明第 14 實施形態之內埋式載板 10 的概略平面圖。更具體而言，可列舉如，圖 21A 為包含依上述圖 20A ~ 圖 20E 之方法所製得的電容器 100 之內埋式載板 10 的概略平面圖。圖 21A 中，就說明之簡便上，將省略多數的構成要素，於電容器 100 中，僅顯示於基板 11 的第 1 面 11a 側所形成的第 1 絕緣層 13 及第 2 導電層 14 之一部份。基板 11 的第 1 面 11a，為以覆蓋電容器 100(MIM 構造)之方式，形成樹脂層 22。於配置電容器 100 之區域的周圍，

沿著樹脂層22的端部，形成環狀的導電層29及第1絕緣層13。

【0073】圖21B為本發明第14實施形態中，內埋式載板所含的環狀導電層29的概略斷面圖(圖21A之C-C線斷面圖)。導電層29，為配置於同樣地形成環狀的第1絕緣層13之上。較佳為，第1絕緣層13之寬度，為較導電層29之寬度為更大。導電層29，可於圖20C之製造方法之際形成。例如，導電層29，可與形成第2導電層14之步驟同時形成。圖20C之步驟中，形成第2導電層14之際，沿著預定形成樹脂層22的端部的位置，於第1絕緣層13上亦形成環狀之導電層29。隨後，於圖20D之步驟中，如圖21B之二點虛線所示般，形成較導電層29的寬度為更廣寬度的阻劑層33。依此方式，於進行去除第1絕緣層13之步驟時，較導電層29寬度為更廣的第1絕緣層13將被成殘留。經具有該構成內容時，於樹脂層22的端部位置中，因導電層29與基板11之間，配置有較導電層29之寬度為更廣寬度的第1絕緣層13，故經由該第1絕緣層13，而可提高樹脂層22的端部之密著性。

【0074】

<第15實施形態～第19實施形態>

其次，使用圖22～圖24，說明第15實施形態～第19實施形態之電容器(第1導電層、第1絕緣層及第2導電層)之構成內容。該些圖式所說明之構成內容，皆可適用於上述全部實施形態中，電容器之構成內容。

【0075】圖22A為本發明第15實施形態之電容器100M1的概略平面圖。圖22B為本發明第16實施形態之電容器100M2的概略平面圖。該些概略平面圖，為由基板11的第1面11a上方觀察時的平面圖。第1絕緣層13M所具有複數個角落(consor)部13e中，至少1個可具有圓角(round)形狀。如圖22A所示般，較佳為第1絕緣層13M的4個角落部13e全部具有圓角形狀。較佳為角落部13e的曲率半徑為5 μ m以上。經具有該構成內容，可緩和應力集中於角落部13e，而可防止第1絕緣層13M之剝離。

【0076】如圖22B所示般，第1導電層12M之複數個角落部12e中，至少1個可具有圓角形狀。較佳為第1導電層12M之4個角落部12e全部具有圓角形狀。又，亦可為第2導電層14M之複數個角落部14e中，至少1個具有圓角形狀。較佳為第2導電層14M之4個角落部14e全部具有圓角形狀。經具有該構成內容時，於第1導電層12M及第2導電層14M中，可緩和對角落部之應力，而提高電容器(MIM構造)全體之耐剝離性。又，第1導電層12M與第2導電層14M中至少一者的角落部為圓角形狀時，即可對上述之剝離，得到有效的耐性。第1導電層12M與第2導電層14M之角落部的曲率半徑，較佳為5 μ m以上。

【0077】圖23為本發明第17實施形態之電容器100N的概略平面圖。該概略平面圖，為由基板11的第1面11a上方觀察時的平面圖。該防止剝離之構成，並不限定為圓角形狀。例如，第1絕緣層13N之複數個角落部13e，可具有補

強部 13f。圖 23 之例示中，角落部 13e，於平面觀察下具有四角形狀的補強部 13f。通常尖端形狀的角落部 13e 被寬廣的補強部 13f 所補強，而可防止由角落部 13e 發生的剝離。又，補強部 13f 之形狀，並不限定為四角形狀，只要為可防止剝離之構造時，亦可為其他的形狀。例如，其他的形狀，可為由角落部 13e 擴大至周圍之形狀，亦可被本實施形態所例示之直線所包圍之形狀，亦可為圓形等的曲線所包圍的形狀亦可，由直線與曲線組合所包圍的形狀亦可。

【0078】圖 24A 為本發明第 18 實施形態之電容器 100P 的概略平面圖。圖 24B 為本發明第 19 實施形態之電容器 100Q 的概略平面圖。該些概略平面圖，為由基板 11 的第 1 面 11a 上方觀察時的平面圖。其於第 1 絕緣層 13P 上，可形成互相獨立形成圖型 (Patterning) 之複數的第 2 導電層 14P。於圖 24A 之例示中，第 1 絕緣層 13P 上的第 2 導電層 14P，為由 4 個導電部份所構成。如圖所示般，4 個導電部份的各個角落部可具有圓角形狀。

【0079】又，如圖 24B 所示般，第 2 導電層 14Q，亦可具有由角落部 14e 延展至內側之方式所形成的縫隙部 14g。如圖 24A 及圖 24B 的構成例示般，其可適當地變更第 2 導電層 14 之圖型，而提高設計的自由度。例如，可提高第 2 導電層 14 與鄰接的電容器 (MIM 構造) 之導電層連接時，及第 2 導電層 14 連接於半導體晶片 50 或配線基板 40 時的設計自由度。

【0080】

< 第20實施形態～第22實施形態 >

其次，將對複數個電容器(MIM構造)形成鄰接配置方式之構成內容進行說明。以下說明之構成內容，可適用於上述全部的實施形態。圖25A為本發明第20實施形態之電容器100R的第1導電層12-1、12-2與第1絕緣層13R之位置關係的概略平面圖。圖25B為本發明第21實施形態之電容器100S的第1導電層12-1、12-2與第1絕緣層13S之位置關係的概略平面圖。圖25C為本發明第22實施形態之電容器100T的第1導電層12-1、12-2與第1絕緣層13T之位置關係的概略平面圖。該些概略平面圖，為由基板11的第1面11a上方觀察時的平面圖。圖25A～圖25C中，則省略第2導電層14之圖示。

【0081】如圖25A所示之電容器100R，第1絕緣層13R可跨鄰接的第1導電層12-1、12-2予以配置。即，第1絕緣層13R，具有覆蓋相鄰接的各個第1導電層12-1、12-2的一部份之部份，及具有基板11的第1面11a上，連接該些部份的第3部份13Rc。如此，第3部份13Rc，於相鄰接的第1導電層12-1、12-2間形成連接狀態。該例示中，第1絕緣層13R，於平面觀察下為長方形。於內埋式載板10之製造步驟中，相鄰接的電容器(MIM構造)間之距離(更詳細而言，為第1導電層12-1、12-2間的距離D3)越小時，因達阻劑的解析界限，使膜的形狀形成不安定狀態，而會有發生異物的疑慮。該些狀態，將會造成膜剝離的發生源。特別是，第1導電層12-1、12-2，與貫通電極20同時形成之情形，

與實現作為電容器機能所必要的厚度相比較時，將會形成非常厚的狀態。因此，縮小距離D3時，將會增大第1導電層12-1、12-2間所形成的縫隙之長徑比，而不易控制縫隙內的阻劑之厚度。其結果，將會使控制第1絕緣層13R的形狀變得困難。

【0082】相鄰接的第1導電層12-1、12-2間，可使第1絕緣層13R於不會造成各個電容器分離狀態下連接，而可降低對於阻劑的解析界限之疑慮，提供設計的自由度。又，可使膜的形狀安定化，也可防止異物的發生。又，因可消除上述製造步驟所產生的問題點，故與相鄰接的第1導電層12-1、12-2，分別被第1絕緣層13覆蓋之情形相比較時，可縮小相鄰接的第1導電層12-1、12-2間之距離。因此，可使配線形成高密度化。

【0083】又，上述構成內容中，距離D3較佳為 $10\mu\text{m}$ ～ $100\mu\text{m}$ 。

【0084】第1絕緣層13R之形狀，亦可使用其他形狀。如圖25B所示電容器100S般，相鄰接的第1導電層12-1、12-2上的第1絕緣層13S，可以部份連接之方式形成。即，基板11的第1面11a上的第1絕緣層13S的第3部份13Sc，可於相鄰接的第1導電層12-1、12-2之間形成狹窄的寬度，或於相鄰接的第1導電層12-1、12-2間形成連接。又，如圖25C所示之電容器100T般，基板11的第1面11a上的第1絕緣層13的第3部份13Tc，可具有縫隙部13g。

【0085】又，圖25A～圖25C中，為形成跨相鄰接的2

個第1導電層12-1、12-2而形成第1絕緣層13R、13S、13T之例示，第1絕緣層13R、13S、13T，可為分別跨3個以上與圖25A～圖25C為相同形狀(各第1導電層間的第3部份13Rc、13Sc、13Tc)的第1導電層12之方式配置。又，第1絕緣層13R、13S、13T之形狀，於平面觀察下，其外周邊為具有直線方式之構成，但於考慮設計的自由度或阻劑的解析性、與第1面11a的密著性等觀點，亦可以曲線方式構成外周邊。

【0086】圖26A為本發明第1實施形態之電容器100為鄰接配置之情形的概略斷面圖。圖26B為本發明第20實施形態之電容器100R的第2導電層14之配置例的概略斷面圖。圖26C為本發明第20實施形態之電容器100R的第2導電層14R之其他配置例的概略斷面圖。該些概略斷面圖，為相鄰接的電容器(MIM構造)之概略斷面圖。圖26A為使圖3所示之第1實施形態之電容器100形成相鄰接配置方式之構成圖。即，第1導電層12-1之一部份與基板11的第1面11a之一部份被第1絕緣層13-1所覆蓋，第1絕緣層13-1上形成第2導電層14-1。又，第1導電層12-2之一部份與基板11的第1面11a之一部份被第1絕緣層13-2所覆蓋，第1絕緣層13-2上形成第2導電層14-2。

【0087】圖26B為圖25A～圖25C所示之構成例示。其中，圖26B將以圖25A為例示之情形進行說明。第1絕緣層13R，如上所述般，為跨相鄰接的第1導電層12-1、12-2之方式形成。第1絕緣層13R，以於相鄰接的第1導電層12-

1、12-2間，於基板11的第1面11a上配置第3部份13Rc，而連接第1導電層12-1上的第1絕緣層13R，與第1導電層12-2上的第1絕緣層13R之方式形成。第2導電層14-1，於第1絕緣層13R中，為形成於對應第1導電層12-1的部份之上方，第2導電層14-2，為形成於第1絕緣層13R中，對應於第1導電層12-2的部份之上方。

【0088】圖26C為圖25A～圖25C所示構成的其他例示。其中，圖26C將以圖25A為例示之情形進行說明。第1絕緣層13R，為跨相鄰接的第1導電層12-1、12-2之方式形成。第2導電層14R亦為相同之形成方式。具體而言，第2導電層14R，為跨第1絕緣層13R中，對應於第1導電層12-1之部份、相鄰接的第1導電層12-1、12-2間的第1絕緣層13R的第3部份13Rc，及第1絕緣層13R中，對應於第1導電層12-2之部份而形成。

【0089】

<第23實施形態>

圖27為本發明第23實施形態之電容器100P形成鄰接配置之情形的概略斷面圖。該例示為圖24A之構成的變形例。第1絕緣層13P-1上的第2導電層14P-1，可為由互相分離的複數個導電部份(第1導電部份14P-1a及第2導電部份14P-1b)所構成。又，第1絕緣層13P-2上的第2導電層14P-2，可由複數個導電部份(第1導電部份14P-2a及第2導電部份14P-2b)所構成亦可。於該些構成中，第2導電層14P-1之一部份與第2導電層14P-2之一部份可形成電路上的連

接。圖 27 之例中，第 2 導電層 14P-1 的第 2 導電部份 14P-1b 與第 2 導電層 14P-2 的第 1 導電部份 14P-2a，為介由連接部 24 進行連接。

【0090】

< 第 24 實施形態 >

圖 28 為本發明第 24 實施形態之內埋式載板 10U 所含的電容器 100U 及感應器 27 之概略平面圖。該概略平面圖為表示基板 11 的第 1 面 11a 側的第 1 導電層 12U 之平面圖。圖 28 中，省略連接部 24 等一部份的構成要素。圖 29 為本發明第 24 實施形態之內埋式載板的概略斷面圖(圖 28 之 D-D 線斷面圖)。

【0091】如圖 28 所示般，內埋式載板 10U 中，只要至少具備感應器 27 與電容器 100U 即可。內埋式載板 10U，亦可至少具備與第 1 導電層 12U 形成電路上的連接之貫通電極 20a，與構成感應器 27 之複數的貫通電極 20b。貫通電極 20a，為形成於感應器 27 與電容器 100U (第 1 導電層 12U、第 1 絕緣層 13U 及第 2 導電層 14U) 之間的貫通孔 15-1。又，複數的貫通電極 20b，分別形成於感應器 27 的點線所包圍的範圍內之複數個貫通孔 15-2 中。

【0092】如圖 29 所示般，基板 11 的第 1 面 11a 側的第 1 導電層 12U 之一部份為構成感應器 27，第 1 導電層 12U 之其他部份為構成電容器 100U 之下部電極。基板 11 的第 1 面 11a 側中，構成感應器 27 的第 1 導電層 12U 的厚度 Th_1 ，實質上可與構成電容器 100U 之下部電極的第 1 導電層 12U 的厚度

Th2為相同。又，兩者的厚度滿足以下關係時，則視為實質為相同。

$$-10\% \leq (Th1-Th2)/Th1 \leq +10\%$$

【0093】第1導電層12U的厚度，可為前述之 $0.5\mu\text{m} \sim 20\mu\text{m}$ 亦可，更佳為 $5\mu\text{m} \sim 20\mu\text{m}$ 亦可。就可提高感應器27之性能的觀點，貫通電極20a、20b的厚度，於基板11的第1面11a，亦可為第1導電層12U的厚度之 $50\% \sim 100\%$ 亦可。

【0094】

< 第25實施形態 >

圖30為表示本發明第25實施形態之電容器100V的概略平面圖。本實施形態中，第1實施形態，為表示電容器100的第2導電層14，與連接部24共用之例。樹脂層22所形成的通孔23V，為使第1導電層12等的導電層露出之通孔23，例如，可與圖2之通孔23為不同之設置方式，以露出第1絕緣層13的第1部份13a之方式形成。該例中，於形成通孔23時，亦形成通孔23V。又，可於形成對應於通孔23的連接部24時，亦於通孔23V中形成連接部24V。又，亦可分別形成通孔23與通孔23V。又，連接部24與連接部24V亦可分別形成。依該構造內容，連接部24V之下部14V，於第1實施形態中，具有與第2導電層14相同之機能。又，下部14V，為包含連接於第1絕緣層13之部份。

【0095】

< 第26實施形態 >

第26實施形態為說明第1實施形態中，使用內埋式載

板10所製得之半導體裝置。

【0096】圖31為表示本發明第26實施形態中，半導體裝置之圖。半導體裝置1000為具有層合的3個內埋式載板10(10-1、10-2、10-3)，其為連接LSI基板70。內埋式載板10-1，例如，具有DRAM等的半導體元件，又，具有由連接部24等所形成的連接端子81-1、82-1。該些內埋式載板10(10-1、10-2、10-3)亦可為不使用玻璃基板者，一部份的內埋式載板10，亦可使用與其他內埋式載板10為相異材料的基板。連接端子81-1，為相對於LSI基板70的連接端子80，介由凸點90-1連接。連接端子82-1，為相對於內埋式載板10-2的連接端子81-2，介由凸點90-2連接。內埋式載板10-2的連接端子82-2，與內埋式載板10-3的連接端子83-1，亦介由凸點90-3連接。凸點90(90-1、90-2、90-3)，例如，可使用銻、銅、金等的金屬。

【0097】又，層合內埋式載板10之情形，並不僅限定為3層，亦可為2層，或4層以上亦可。又，內埋式載板10與其他基板之連接，並不僅限定經由凸點連接，亦可使用共晶接合等其他接合技術。又，亦可使用塗佈、燒成聚醯亞胺、環氧樹脂等，使內埋式載板10接著於其他基板。

【0098】圖32為本發明第26實施形態中，半導體裝置的其他例示圖。圖32所示之半導體裝置1000，為具有層合MEMS裝置、CPU、記憶體等半導體線路基板(半導體晶片)71-1、71-2，及內埋式載板10的層合構造體，其係連接於LSI基板70。

【0099】內埋式載板10為配置於半導體線路基板71-1與半導體線路基板71-2之間，介由凸點90-1、90-2，分別連接上述基板。LSI基板70上為載置半導體線路基板71-1。LSI基板70與半導體線路基板71-2為經由導線95而連接。該例示中，內埋式載板10為作為層合複數個半導體線路基板以實際製作三次元物件使用的內埋式載板。內埋式載板10與各個機能相異的複數個半導體線路基板連接，而可實現多功能的半導體裝置。例如，半導體線路基板71-1可作為3軸加速度感測器，經半導體線路基板71-2作為2軸磁感測器時，可實現一使5軸動作感測器以1個模組實現的半導體裝置。

【0100】半導體線路基板為由MEMS裝置所形成的感測器等之情形中，其感測(sensing)結果可經由類比訊號而輸出。該情形中，低通濾波器、擴大器等亦可形成於半導體線路基板或內埋式載板10上。

【0101】圖33為本發明第26實施形態中，半導體裝置的另一例示圖。上述2個例示(圖31、圖32)為三次元物件，本例示，則適用於2.5次元之實裝例。圖33之例示中，LSI基板70，為層合6個內埋式載板10(10-1~10-6)之方式連接。但，其並非全部為層合內埋式載板10之配置方式，其亦可於基板面內方向排列配置。

【0102】圖33之例示中，LSI基板70上為連接內埋式載板10-1、10-5，內埋式載板10-1上為連接內埋式載板10-2、10-4，內埋式載板10-2上為連接內埋式載板10-3，內埋

式載板 10-5 上為連接內埋式載板 10-6。又，如圖 33 所示之例般，內埋式載板 10 為作為連接複數個半導體線路基板的內埋式載板使用，如此則可進行 2.5 次元之實裝。例如，內埋式載板 10-3、10-4、10-6 等可被半導體線路基板所取代。

【0103】依上述方式製造的半導體裝置 1000，例如，可搭載於攜帶式末端機、資訊處理裝置、家電等各式各樣的電子機器。攜帶式末端機，更具體而言，可列舉如，手提電話、智慧型手機及筆記型個人電腦等。資訊處理裝置，更具體而言，可列舉如，桌上型個人電腦、伺服器、汽車導航機等。又，電子機器之例，可列舉如，無線區域網路 (LAN) 裝置、機上盒、音樂播放機、影音播放機、娛樂設備、導航裝置、通信裝置、手提資訊末端機 (PDA)、固定位置數據裝置亦可。

【0104】圖 34 為本發明第 26 實施形態中，使用半導體裝置的電子機器之例示圖。

【0105】半導體裝置 1000 所搭載的電子機器之例，例如，智慧型手機 500 及筆記型個人電腦 600。該些電子機器，具有由實行應用程式而實現各種機能的 CPU 等所構成之控制部 1100。各種機能中，為包含使用由半導體裝置 1000 輸出之訊號的機能。又，半導體裝置 1000 亦可具有控制部 1100 之機能。

【0106】

< 變形例 >

本發明並不僅限定於上述之實施形態，亦包含各式各樣的變形例。例如，上述實施形態為就可使本發明容易瞭解之方式所進行之詳細說明，但並非必須限定於具備有說明的全部構成內容者。又，某一實施形態之構成內容的一部份可被其他實施形態之構成內容所取代，又，某一實施形態之構成內容中，亦可再加入其他實施形態之構成內容。又，各實施形態之構成內容的一部份，可被其他構成內容所追加・削除・取代。以下，將說明一部份的變形例。

【0107】(1)以形成有上述貫通電極20的基板11，配置於配線基板與半導體晶片等之間，作為內埋式載板使用之情形為例示進行說明，但並不僅限定於該些內容。即，形成上述貫通電極20的基板11，可作為貫通電極基板使用。其中，貫通電極基板不僅為配置於配線基板與半導體晶片等之間的內埋式載板，亦包含未設置半導體晶片等的IPD(Integrated Passive Device)等。該情形中，為形成上側及下側的配線基板中之一者，與貫通電極形成電路上的連接之方式存在的態樣。另一方面，半導體晶片等，於配線基板上，可以與貫通電極基板配置於不同之位置，而與配線基板形成電路上的連接亦可。

【0108】(2)上述各實施形態中，電容器中，例如，圖示中之電容器100，為第1絕緣層13於第1導電層12的側面12b上，於圖上形成左右對稱之配置的態樣，但並不僅限定於此。例如，第1導電層12的左側的側面12b及基板11

的第1面11a，如圖3所示的第1實施形態之電容器100般，被第1絕緣層13的第2部份13b及第3部份13c所覆蓋。另一方面，第1導電層12的右側的側面12b，如圖5所示的第2實施形態般，可被第1絕緣層13A所覆蓋，或如圖6所示第3實施形態般，被第1絕緣層13B所覆蓋亦可。

【0109】(3)上述各實施形態中，電容器中，於基板11與第1導電層12之間、第1導電層12與第1絕緣層13之間、第1絕緣層13與第2導電層14之間，亦可形成未標記於圖示之層。

【0110】(4)依本發明之內容，亦可提供以下之貫通電極基板。

【0111】依本發明之內容，可提供一種具有第1面與相對於前述第1面為對向之第2面的基板，與貫通前述基板之貫通電極，與配置於前述基板的前述第1面，且與前述貫通電極形成電路連接的第1導電層，與配置於前述第1導電層上的絕緣層，與配置於前述絕緣層上的第2導電層之貫通電極基板，前述絕緣層為具有：配置於前述第1導電層與前述第2導電層之間的第1部份，與覆蓋前述第1導電層側面之至少一部份的第2部份。

【0112】依本發明之內容，為提供一種貫通電極基板，其中，前述絕緣層之前述第1部份的厚度，為200nm～400nm，前述絕緣層之前述第2部份的厚度，為50nm～100nm。

【0113】依本發明之內容，為提供一種貫通電極基

板，其中，前述絕緣層尚具有由前述第2部份延展而覆蓋前述基板的前述第1面的至少一部份之第3部份。

【0114】依本發明之內容，為提供一種貫通電極基板，其中，前述絕緣層的前述第3部份的厚度為50nm～200nm。

【0115】依本發明之內容，為提供一種貫通電極基板，其中，尚具備有配置於前述基板與前述第1導電層之間的底部層，前述底部層，具有較前述第1導電層的前述側面更深入內側的凹部。

【0116】依本發明之內容，為提供一種貫通電極基板，其中，前述絕緣層之前述第3部份，為以填充前述凹部之方式配置。

【0117】依本發明之內容，為提供一種貫通電極基板，其中，前述絕緣層之前述第3部份，為以於前述凹部殘留空間之方式配置。

【0118】依本發明之內容，為提供一種貫通電極基板，其中，前述絕緣層，尚具有連接前述第3部份，且向前述基板的前述第1面形成交叉之方向延展的第4部份。

【0119】依本發明之內容，為提供一種貫通電極基板，其中，前述第1導電層與前述絕緣層之間尚具備有中間層。

【0120】依本發明之內容，為提供一種貫通電極基板，其中，前述第3部份的長度為20 μ m以上。

【0121】依本發明之內容，為提供一種貫通電極基

板，其中，前述第4部份之高度為 $25\mu\text{m}$ 以上。

【0122】依本發明之內容，為提供一種貫通電極基板，其中，前述第1導電層、前述絕緣層，及前述第2導電層中之至少1個，於平面觀察下具有圓角形狀的角落部。

【0123】依本發明之內容，為提供一種貫通電極基板，其中，前述絕緣層的前述第2部份，為由與前述第1部份不同之材料所形成。

【0124】依本發明之內容，為提供一種貫通電極基板，其中，前述第2部份之材料為絕緣性樹脂。

【0125】依本發明之內容，為提供一種貫通電極基板，其尚具備有，配置於前述第1面之樹脂層，與沿著前述樹脂層的端部而形成的環狀之導電層，與配置於前述環狀的導電層與前述第1面之間，且寬度較前述環狀的導電層為更廣的環狀之絕緣層。

【0126】依本發明之內容，為提供一種貫通電極基板之製造方法，其特徵為包含，

提供一種具有第1面與前述第1面對向之第2面，且具有貫通前述第1面與前述第2面之貫通孔的基板之步驟，與

於前述基板的前述貫通孔中，形成可導通前述第1面與前述第2面的貫通電極，與於前述基板的前述第1面上，形成與前述貫通電極產生電路連接的第1導電層之步驟，與

於前述第1導電層上面，形成第1絕緣層之步驟，與

以覆蓋前述第1導電層之側面的至少一部份及前述第1

絕緣層之方式，形成第2絕緣層之步驟，與

將前述第1導電層上方位置的前述第2絕緣層的一部份去除之步驟，與

於前述第2絕緣層被去除的部份，形成第2導電層之步驟。

【0127】 依本發明之內容，為提供一種貫通電極基板之製造方法，其中，前述第2絕緣層為感光性樹脂，前述去除步驟為使用光微影技術實施者。

【0128】 依本發明之內容，為提供一種貫通電極基板之製造方法，其中，於形成前述第2絕緣層之步驟中，為包含，於第1個壓力下塗佈前述第2絕緣層之後，於較前述第1個壓力為更高的第2個壓力下，配置前述基板者。

【0129】 依本發明之內容，為提供一種貫通電極基板之製造方法，其特徵為包含，

提供具有第1面與前述第1面對向之第2面，且具有貫通前述第1面與前述第2面之貫通孔的基板之步驟，與

於前述第1面上形成第1阻劑之步驟，與

於前述基板的前述貫通孔中，形成可導通前述第1面與前述第2面的貫通電極，與於前述基板的前述第1面上，形成與前述貫通電極產生電路連接的第1導電層之步驟，與

於前述第1導電層上形成中間層之步驟，與

使用掀離(處理)去除前述第1阻劑之步驟，與

於前述第1導電層周圍形成第2阻劑之步驟，與

於前述中間層的上表面及側面，與前述第1導電層的側面，與前述第1面，與前述第2阻劑的上表面及側面，形成第1絕緣層之步驟，與

以殘留形成於前述第2阻劑的前述側面上之前述第1絕緣層的至少一部份之方式，使用掀離(處理)去除前述第2阻劑之步驟，與

於與前述中間層位置對應的前述第1絕緣層上，形成第2導電層之步驟。

【0130】 依本發明之內容，為提供一種貫通電極基板之製造方法，其特徵為包含，

提供具有第1面與前述第1面對向之第2面，且具有貫通前述第1面與前述第2面之貫通孔的基板之步驟，與

於前述第1面上形成第1阻劑之步驟，與

於前述基板的前述貫通孔中，形成可導通前述第1面與前述第2面的貫通電極，與於前述基板的前述第1面上，形成與前述貫通電極產生電路連接的第1導電層之步驟，與

於前述第1導電層的上表面及側面，與前述第1面，形成第1絕緣層之步驟，與

於與前述第1導電層的前述上表面位置對應之前述第1絕緣層上，形成第2導電層之步驟，與

以覆蓋前述第2導電層，且，覆蓋前述第1面上的前述第1絕緣層之一部份之方式，形成第2阻劑層之步驟，與

將未覆蓋前述第2阻劑層的前述第1絕緣層之部份去除

之步驟，與

去除前述第2阻劑層之步驟。

【0131】依本發明之內容，為提供一種貫通電極基板之製造方法，其特徵為，

再包含於前述第1面上形成樹脂層之步驟，

形成前述第2導電層之步驟為包含，沿著前述樹脂層的端部所形成的位置，於前述第1絕緣層上形成環狀之導電層，

形成前述第2阻劑層之步驟為包含，形成較前述環狀之導電層的寬度為更廣寬度的前述第2阻劑層。

【0132】又，上述貫通電極基板，亦可作為內埋式載板使用。

【符號說明】

【0133】

10，10U：內埋式載板

11：基板

12，12G，12K，12L，12M，12U：第1導電層

13，13A，13B，13C，13E，13J，13K，13L，13M，

13N，13P，13R，13S，13T，13U：第1絕緣層

14，14F，14K，14M，14P，14Q，14R，14U：第2導電層

15：貫通孔

17：底部層

18：空間

- 19：第2絕緣層
- 20：貫通電極
- 21：第3導電層
- 22：樹脂層
- 23，23V：通孔
- 24，24V：連接部
- 25：球狀焊點
- 26：中間層
- 27：感應器
- 29：導電層
- 31：第1阻劑層
- 32：第2阻劑層
- 33：阻劑層
- 40：配線基板
- 50：半導體晶片
- 70：基板
- 71：半導體線路基板
- 80，81，82，83：連接端子
- 90：凸點
- 95：導線
- 100，100A，100B，100C，100D，100E，100F，100G，
100H，100I，100J，100K，100L，100M1，100M2，
100N，100P，100Q，100R，100S，100T，100U：電容器
- 100V：電容器

500：智慧型手機

600：筆記型個人電腦

1000：半導體裝置

1100：控制部

【發明申請專利範圍】

【請求項1】一種貫通電極基板，其特徵為，具有第1面與前述第1面對向之第2面的基板，與貫通前述基板的複數個貫通電極，與具有配置於前述基板的前述第1面側，且與複數的前述貫通電極中之至少1個形成電路連接的第1電容器；前述第1電容器為包含，配置於前述基板的前述第1面側，且與前述貫通電極形成電路連接的第1導電層，與配置於前述第1導電層上的絕緣層，與配置於前述絕緣層上的第2導電層；前述絕緣層為具有，配置於前述第1導電層與前述第2導電層之間的第1部份，與覆蓋前述第1導電層側面之至少一部份的第2部份；前述貫通電極之至少一部份與前述第1導電層為一體化，前述第2部份為由前述第1部份連續地延展者。

【請求項2】如請求項1之貫通電極基板，其中，前述絕緣層之前述第2部份的厚度為，前述絕緣層之前述第1部份的厚度之1/4以上、1/2以下。

【請求項3】如請求項1之貫通電極基板，其中，前述絕緣層之前述第2部份的厚度為，50nm以上、100nm以下。

【請求項4】如請求項1之貫通電極基板，其中，前述絕緣層尚具有由前述第2部份延展而覆蓋前述基板的前述第1面的至少一部份之第3部份。

【請求項5】如請求項4之貫通電極基板，其中，前述第2導電層，為跨前述絕緣層之前述第1部份、前述第2部份，及前述第3部份之方式配置。

【請求項6】如請求項4之貫通電極基板，其中，前述絕緣層尚具有連接前述第3部份，且延展至前述基板外側的第4部份。

【請求項7】如請求項1之貫通電極基板，其中，前述絕緣層之前述第2部份為使用與前述第1部份相同之材料所形成，且由前述第1部份連續地延展者。

【請求項8】如請求項1之貫通電極基板，其中，前述基板為玻璃基板。

【請求項9】如請求項1之貫通電極基板，其中，前述絕緣層為具有連接前述第2部份，且覆蓋前述貫通電極的至少一部份之部份。

【請求項10】如請求項1之貫通電極基板，其中，前述第2導電層為由互相分離的複數個導電部份所構成。

【請求項11】如請求項1之貫通電極基板，其中，前述第1導電層，為於前述第1面上形成有複數個，

前述絕緣層為，以覆蓋前述第1導電層之一部份，與覆蓋與該第1導電層相鄰接的其他的第1導電層之一部份，且，連接前述第1導電層與前述其他的第1導電層之間之方

式形成。

【請求項12】如請求項11之貫通電極基板，其中，前述第2導電層，於前述絕緣層上，為以由前述第1導電層跨前述其他的第1導電層之方式形成。

【請求項13】如請求項1之貫通電極基板，其中，前述貫通電極基板，尚具有與前述第1電容器形成電路連接的感應器，

前述感應器，為由包含複數個前述貫通電極中之1個以上之方式而構成。

【請求項14】如請求項13之貫通電極基板，其中，前述第1導電層的厚度為 $5\mu\text{m}\sim 20\mu\text{m}$ ，構成前述感應器之前述貫通電極的厚度為 $5\mu\text{m}\sim 20\mu\text{m}$ 。

【請求項15】如請求項1之貫通電極基板，其尚具有覆蓋前述第1電容器之樹脂層，

前述絕緣層之相對介電係數較前述樹脂層為更高。

【請求項16】如請求項1之貫通電極基板，其中，具有與前述第1電容器相鄰接的第2電容器，

前述第2電容器包含，前述第1導電層、前述絕緣層及前述第2導電層，

前述第1電容器之前述絕緣層與前述第2電容器之前述絕緣層為分離之狀態。

【請求項17】如請求項4之貫通電極基板，其中，具有與前述第1電容器相鄰接的第2電容器，

前述第2電容器包含，前述第1面上的底部層、前述底

部層上的前述第1導電層、前述絕緣層及前述第2導電層，

前述第1電容器之前述第1導電層與前述第2電容器之前述第1導電層為分離狀態，

前述第1電容器之前述絕緣層與前述第2電容器之前述絕緣層為連接狀態，

前述第3部份在前述第1面上連接前述第1電容器之前述第1導電層與前述第2電容器之前述第1導電層。

【請求項18】如請求項17之貫通電極基板，其中，前述第1電容器之前述第2導電層與前述第2電容器之前述第2導電層為分離狀態。

【請求項19】如請求項17之貫通電極基板，其中，前述第1電容器之前述第2導電層與前述第2電容器之前述第2導電層為連接狀態。

【請求項20】如請求項1之貫通電極基板，其中，前述絕緣層為由前述第1部份連續地延展，且覆蓋前述貫通電極的內側的至少一部份。

【發明圖式】

圖 1

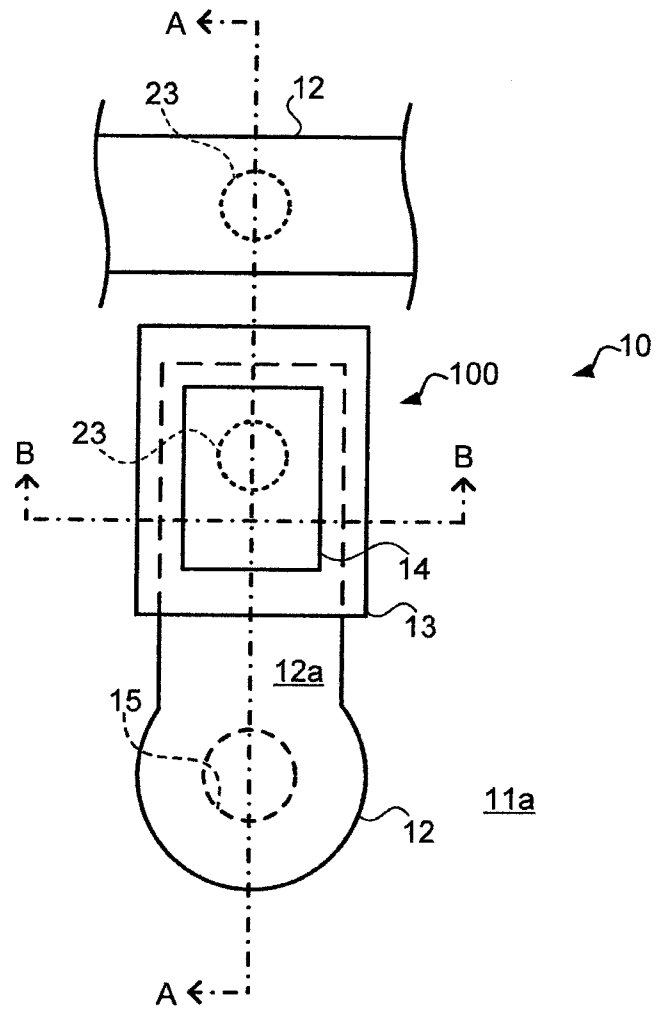


圖 2

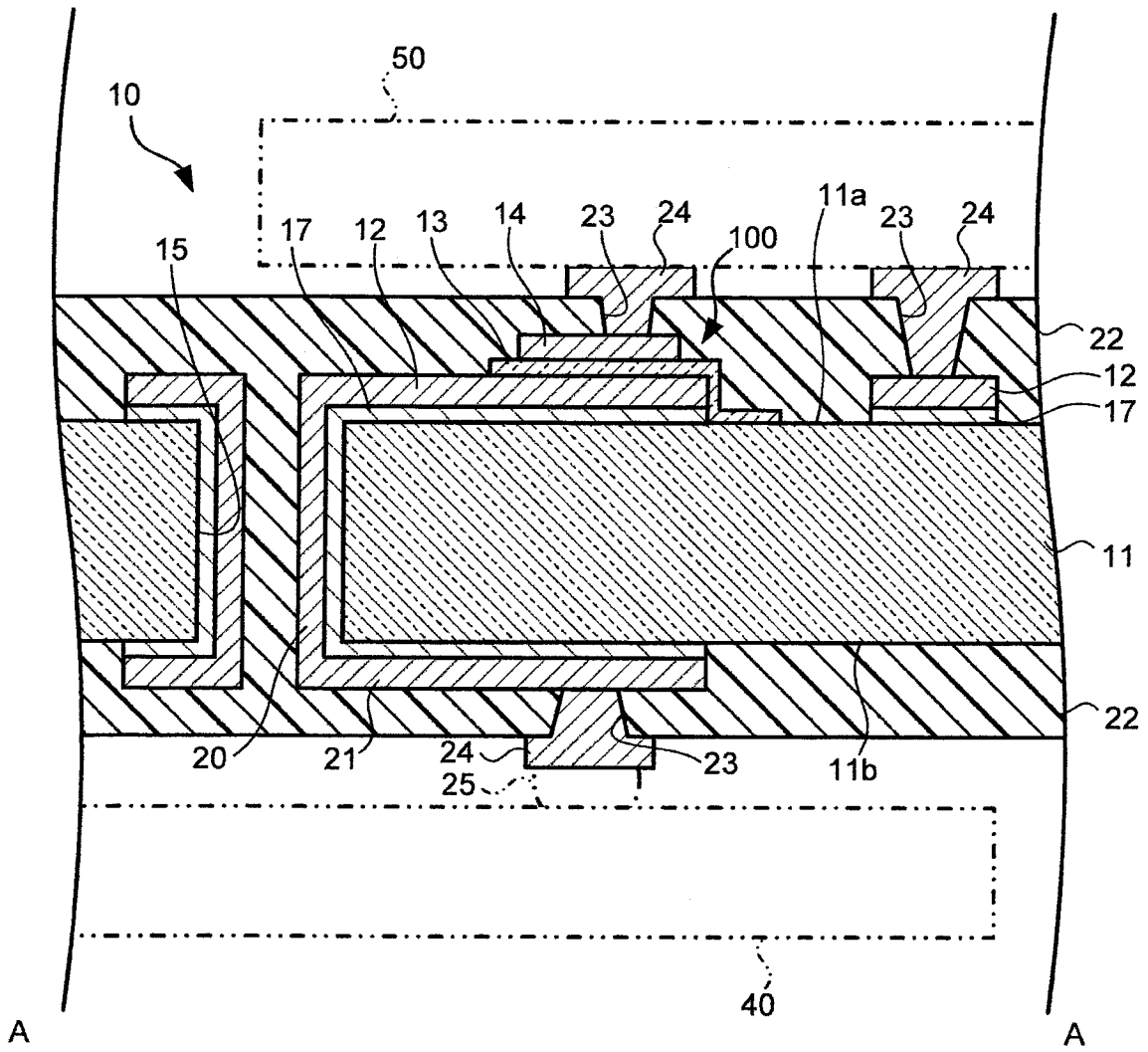


圖 3

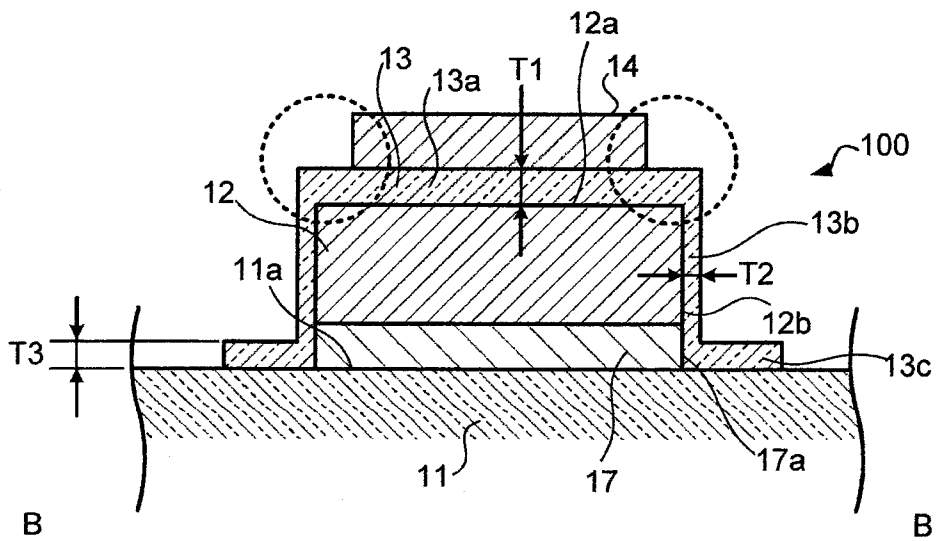


圖 4A

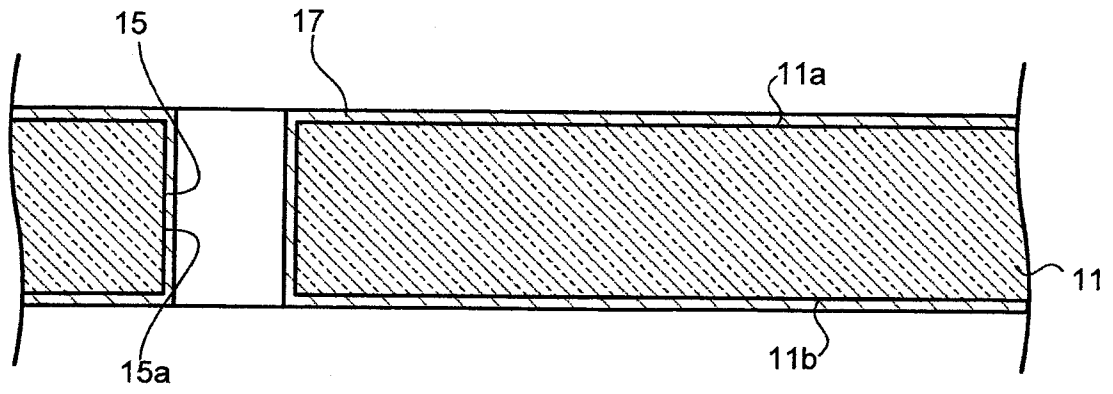


圖 4B

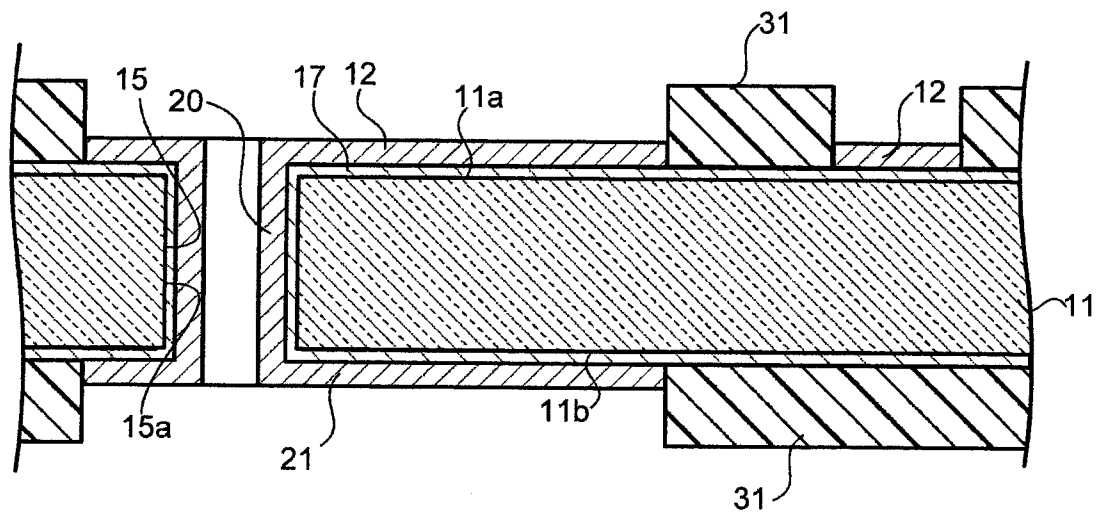


圖 4C

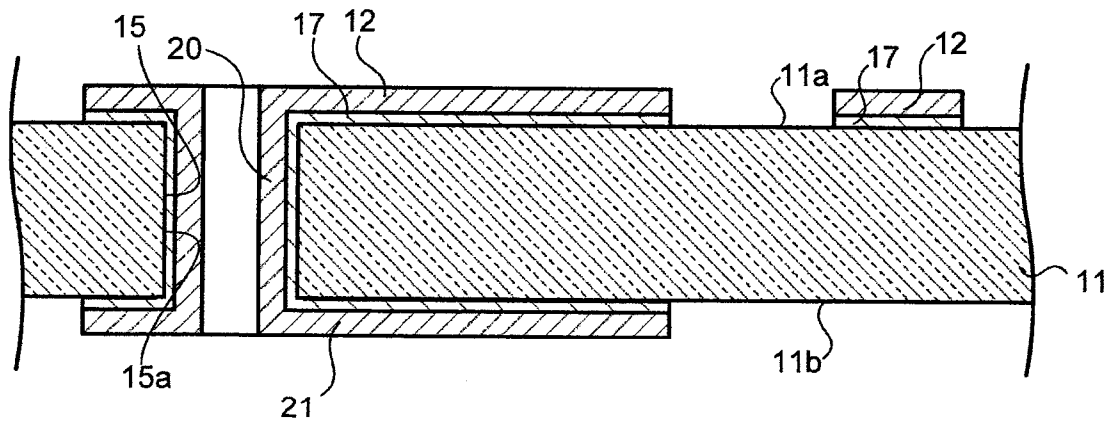


圖 4D

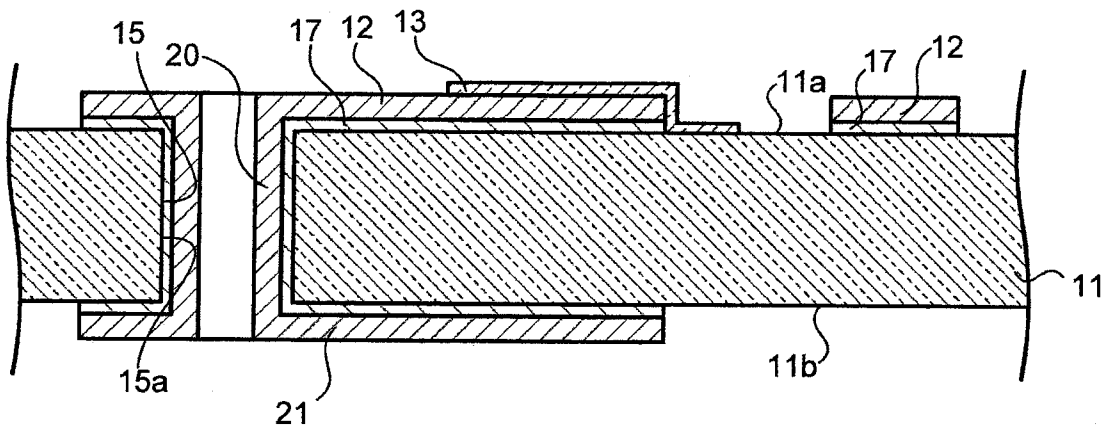


圖 4E

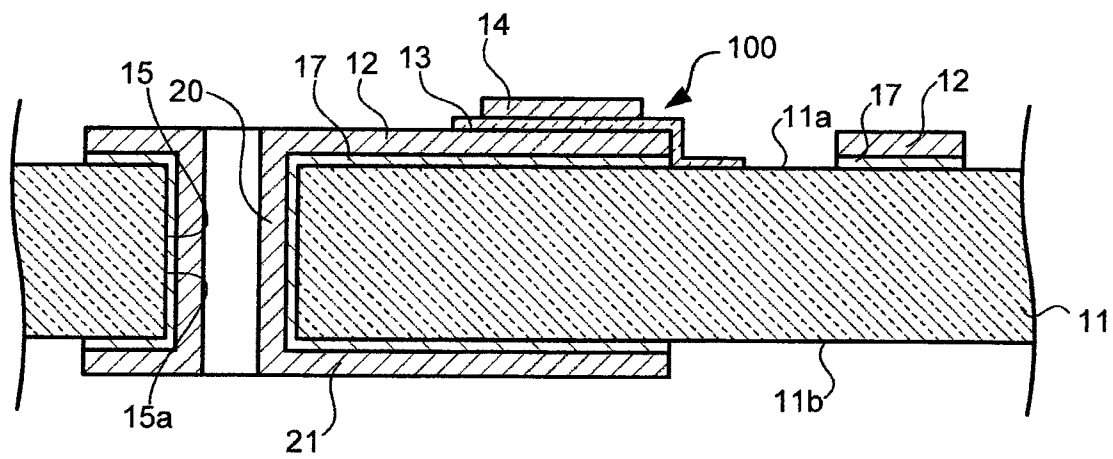


圖 4F

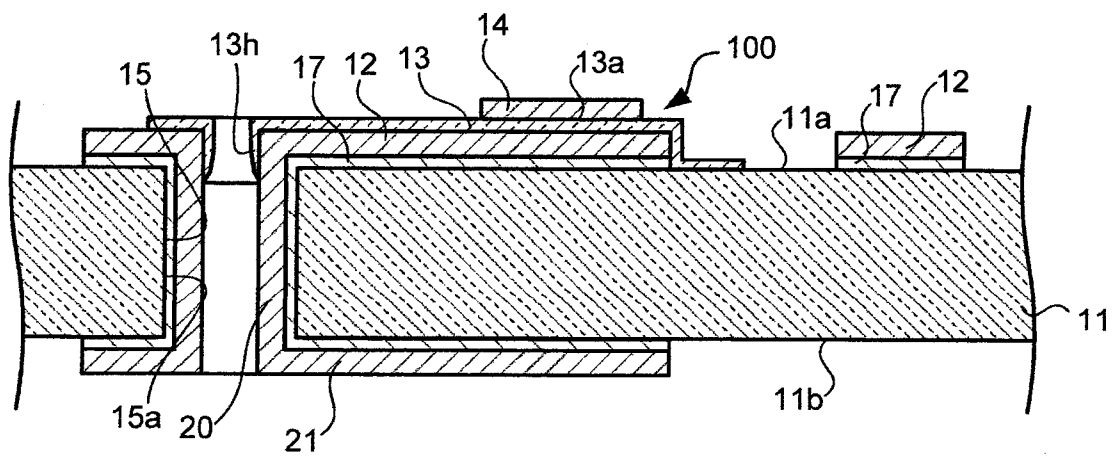


圖 5

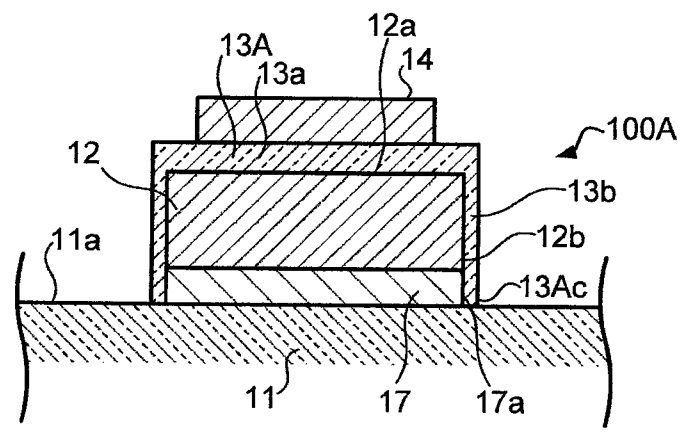


圖 6

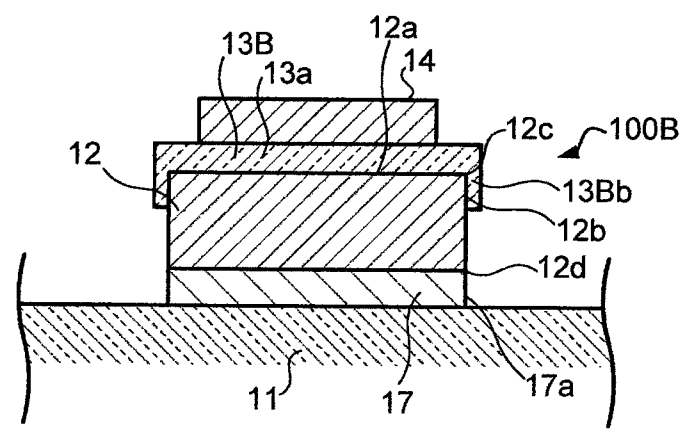


圖 7

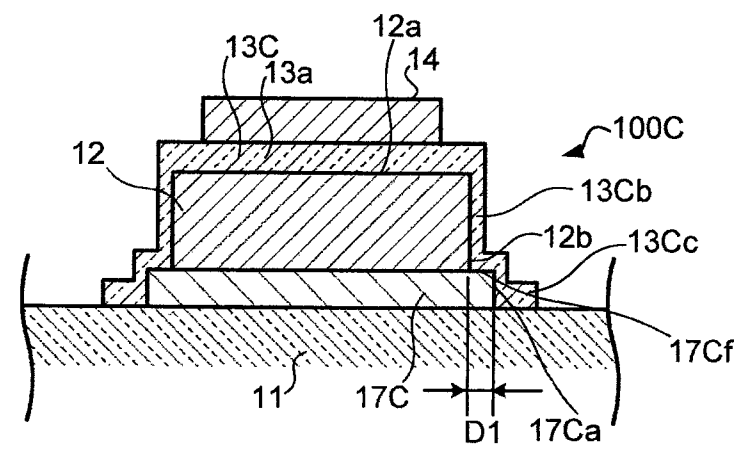


圖 8

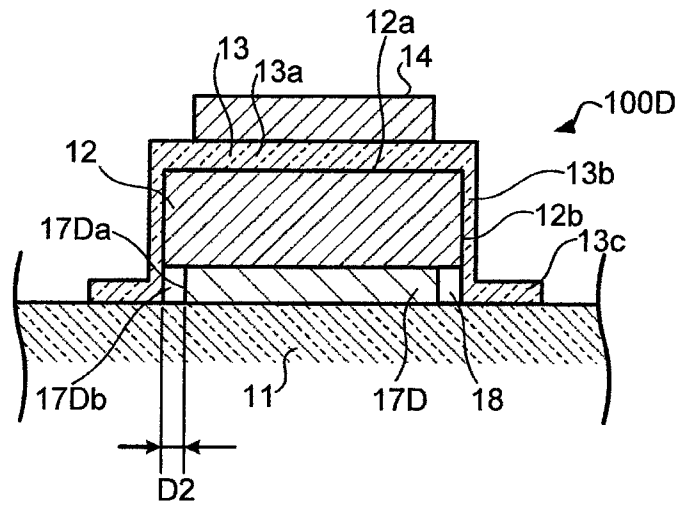


圖 9

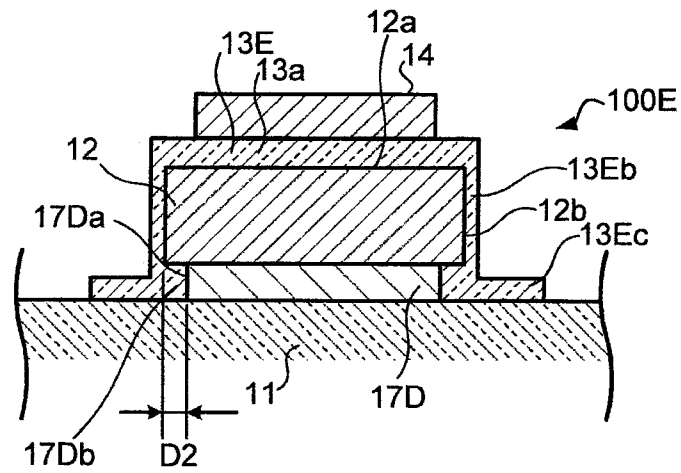


圖 10

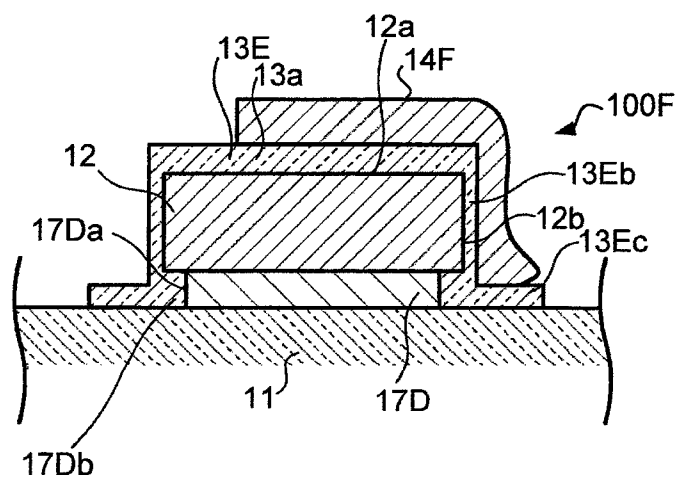


圖 11

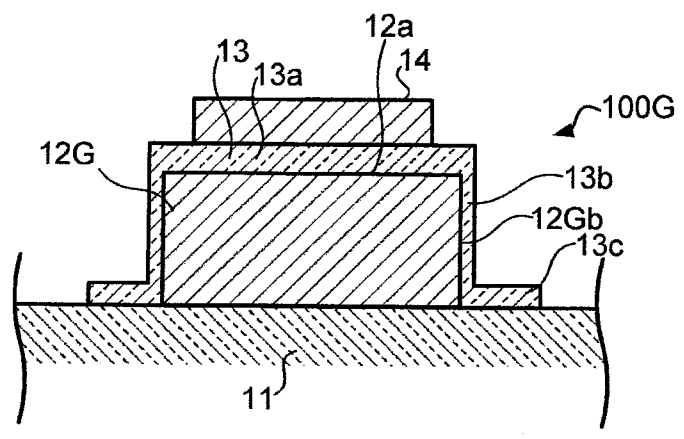


圖 12

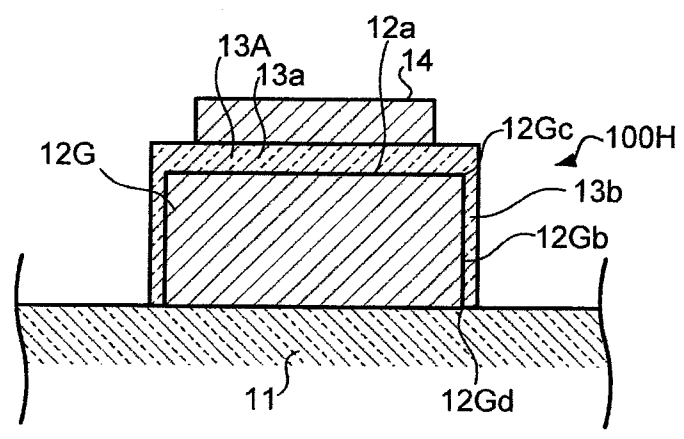


圖 13

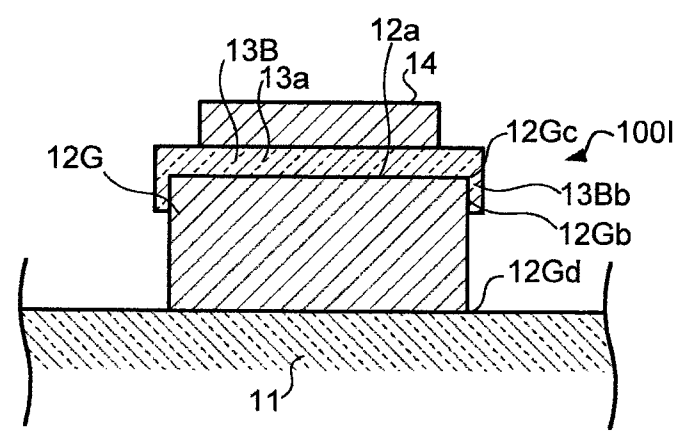


圖 14

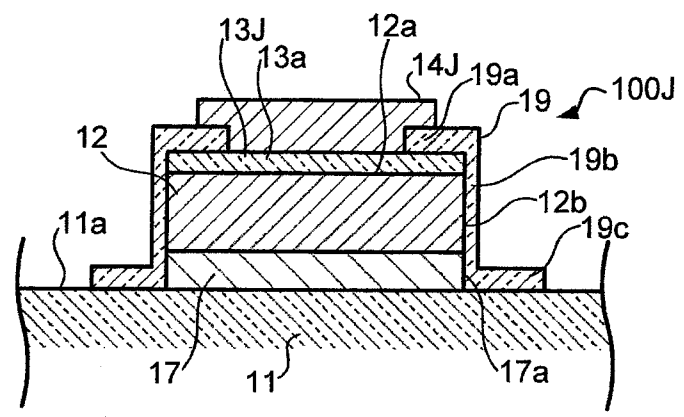


圖 15A

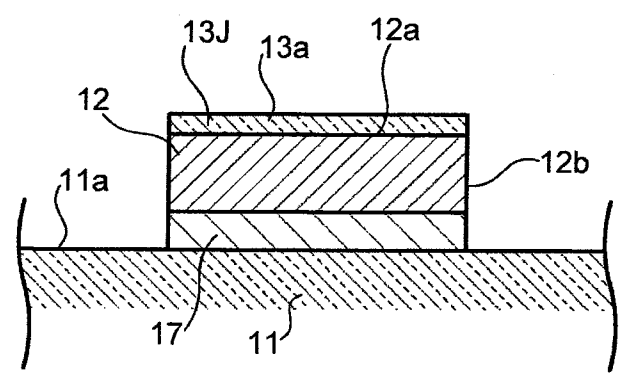


圖 15B

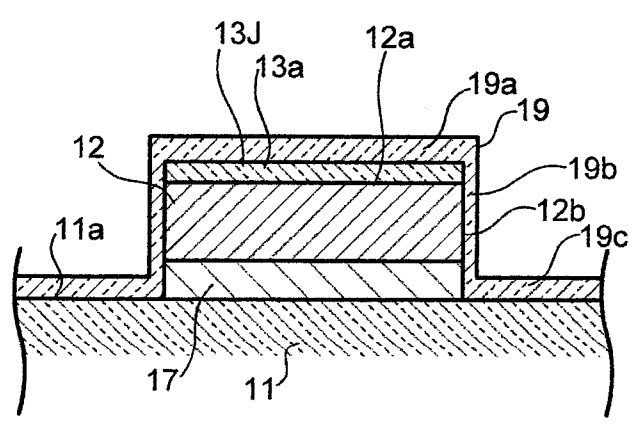


圖 15C

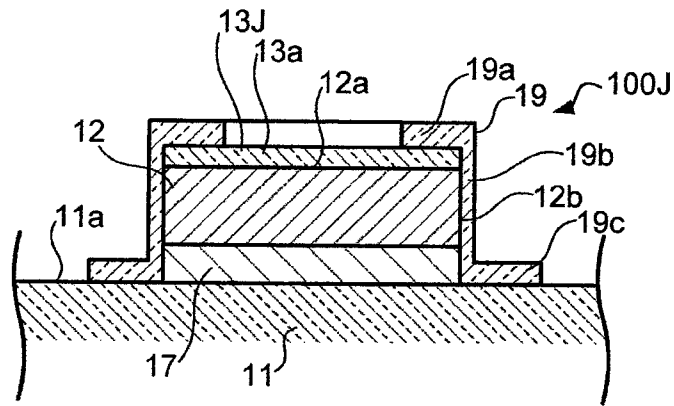


圖 16

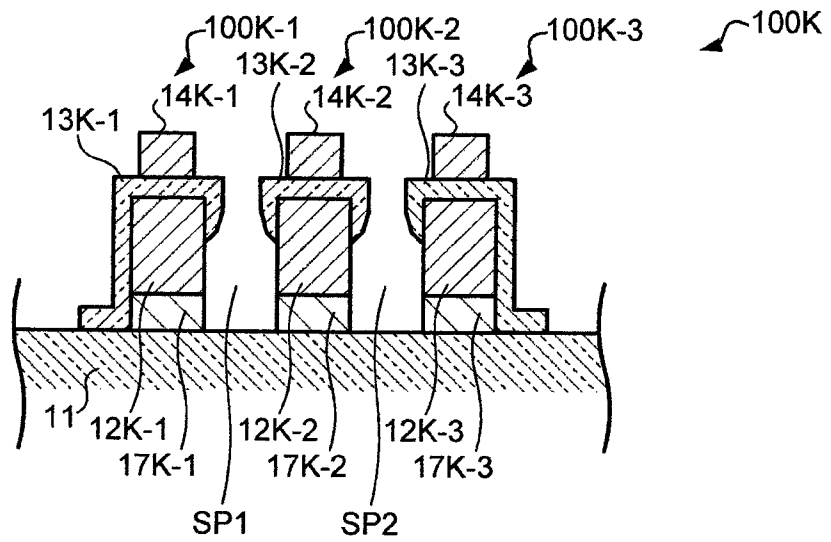


圖 17

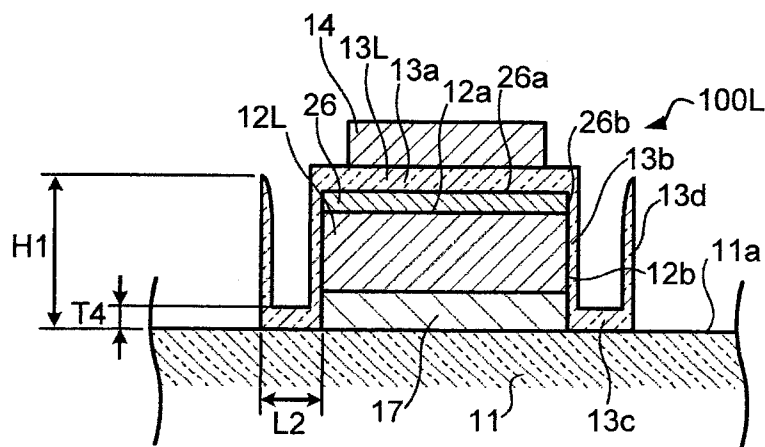


圖 18A

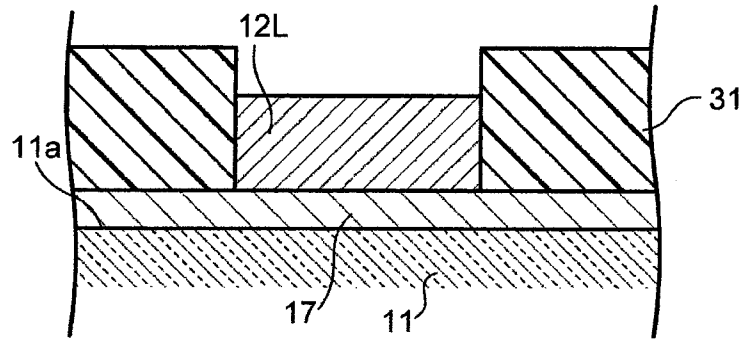


圖 18B

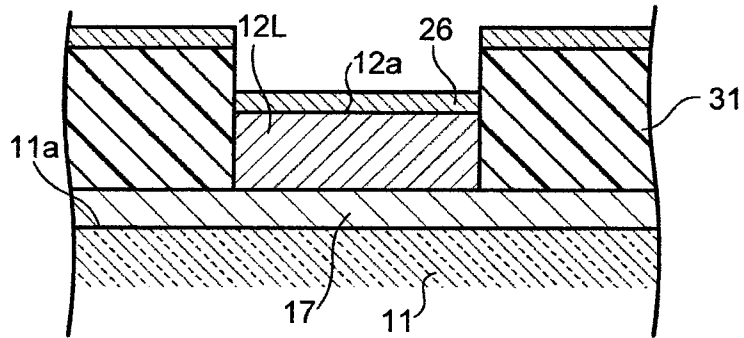


圖 18C

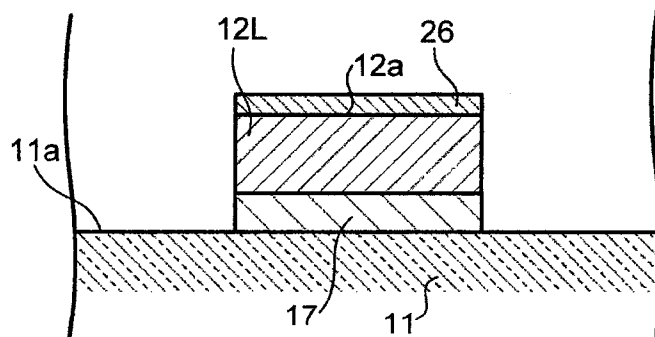


圖 18D

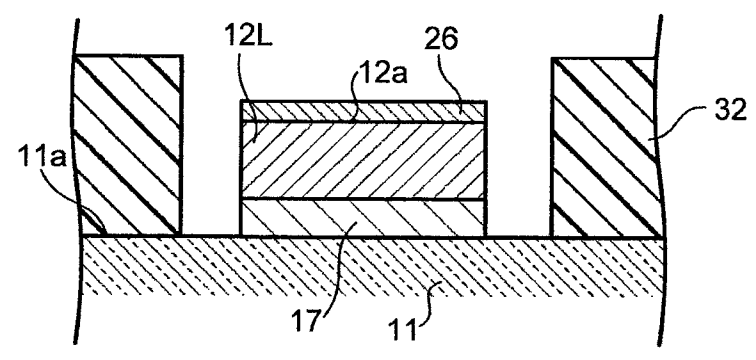


圖 18E

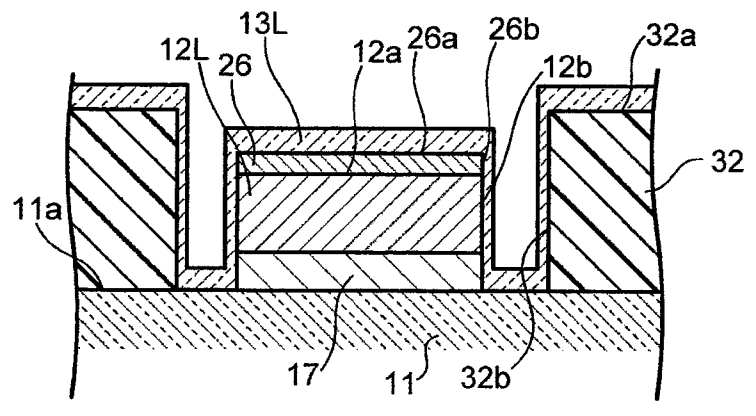


圖 18F

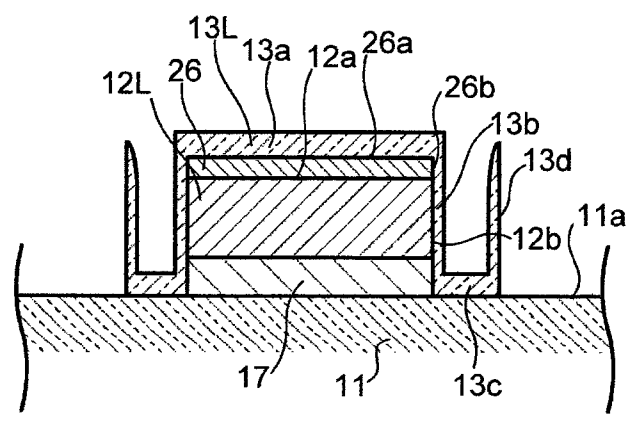


圖 19

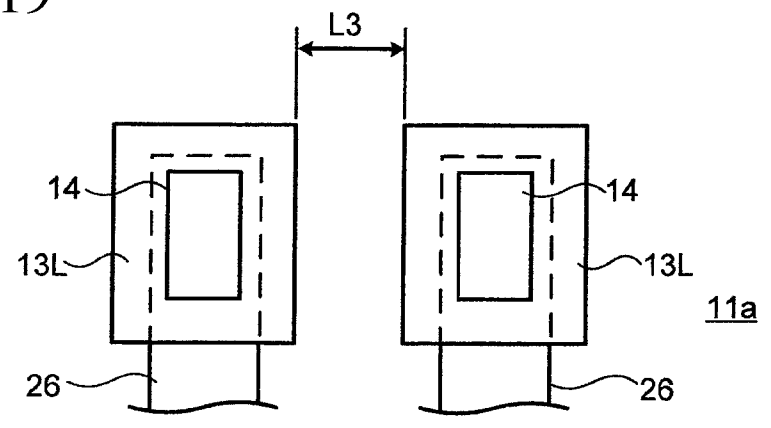


圖 20A

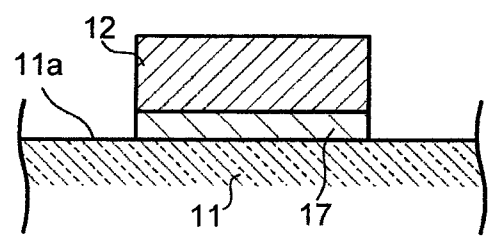


圖 20B

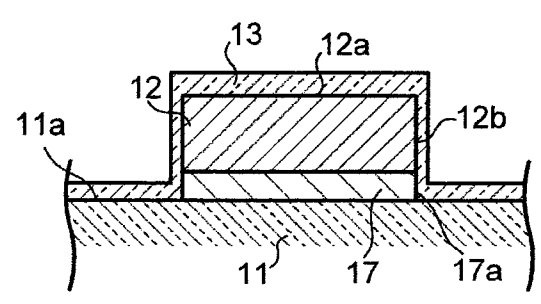


圖 20C

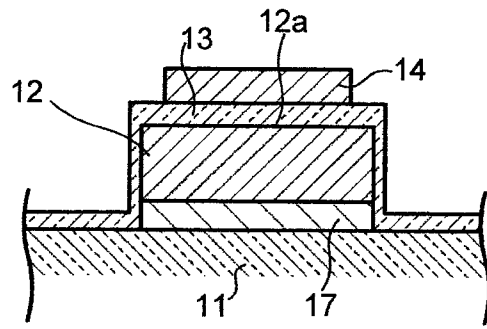


圖 20D

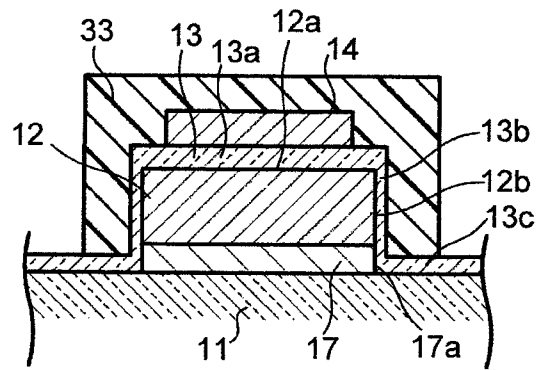


圖 20E

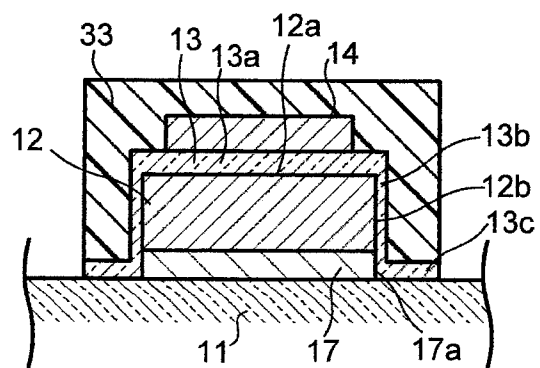


圖 21A

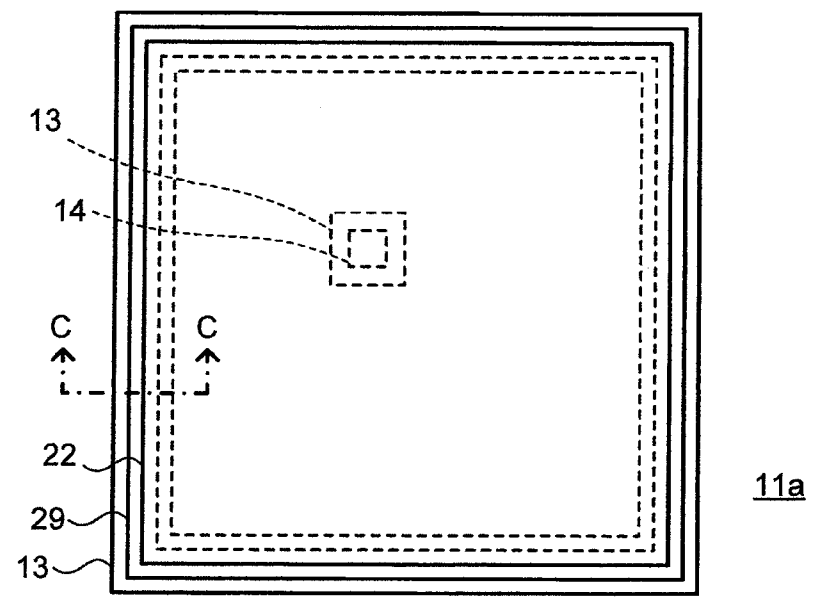


圖 21B

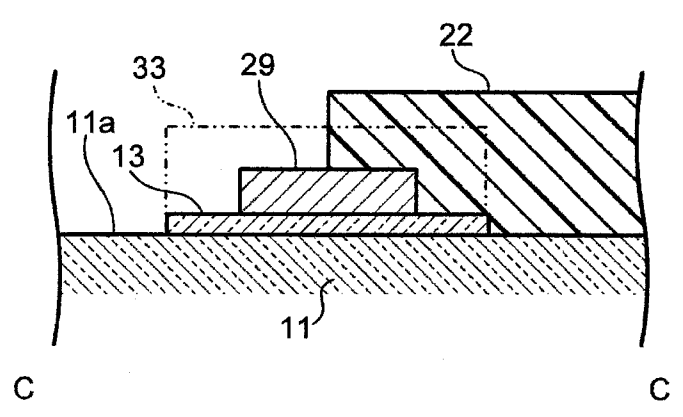


圖 22A

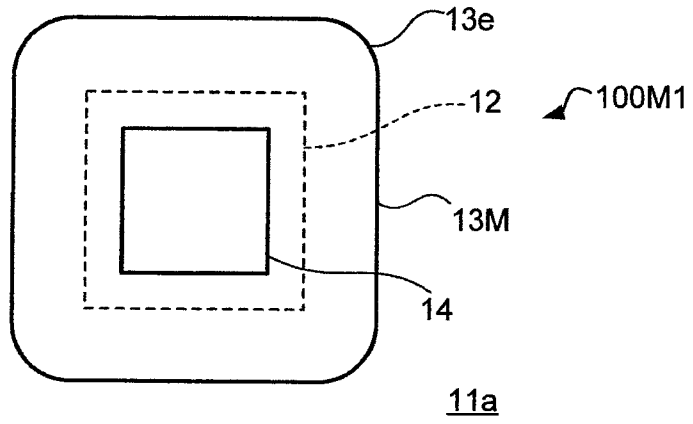


圖 22B

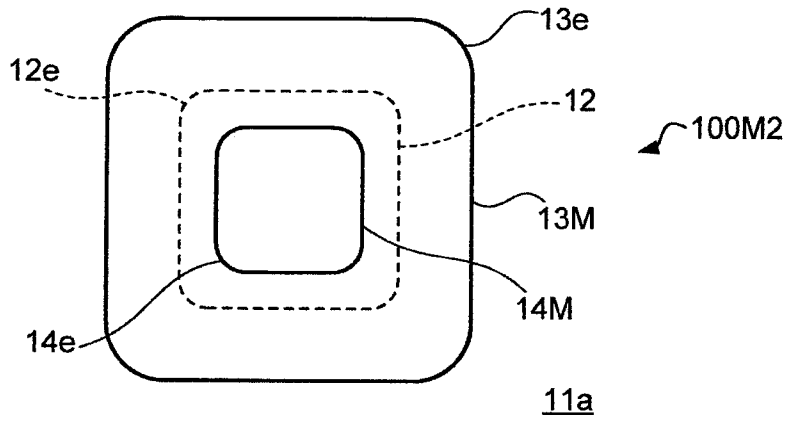


圖 23

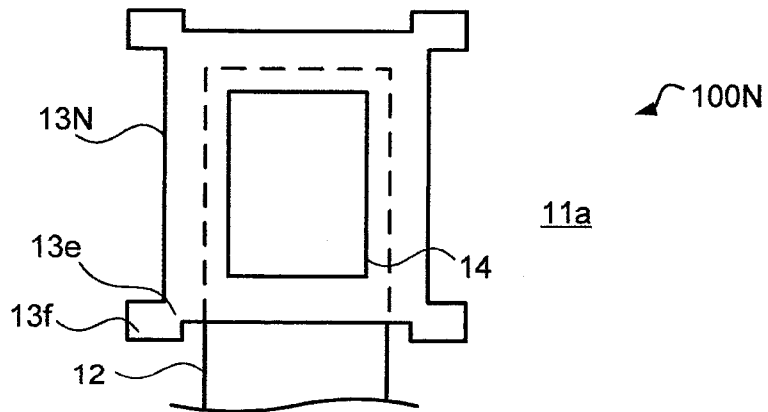


圖 24A

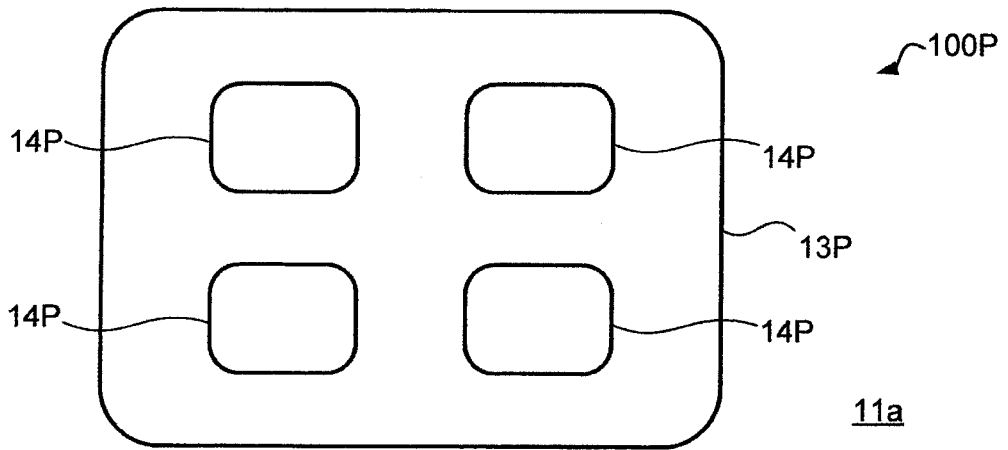


圖 24B

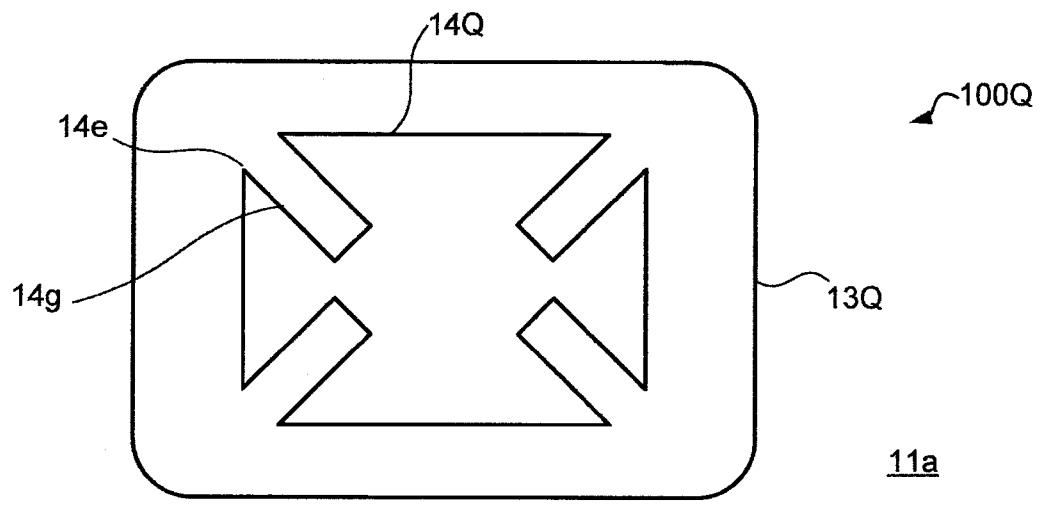


圖 25A

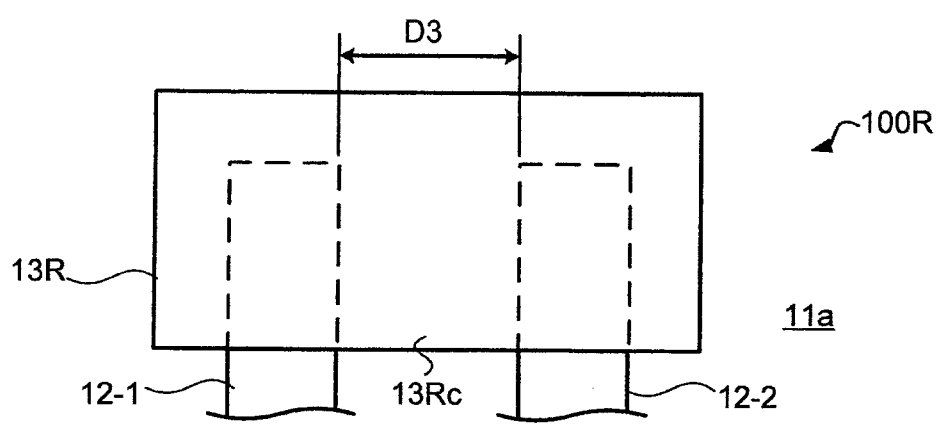


圖 25B

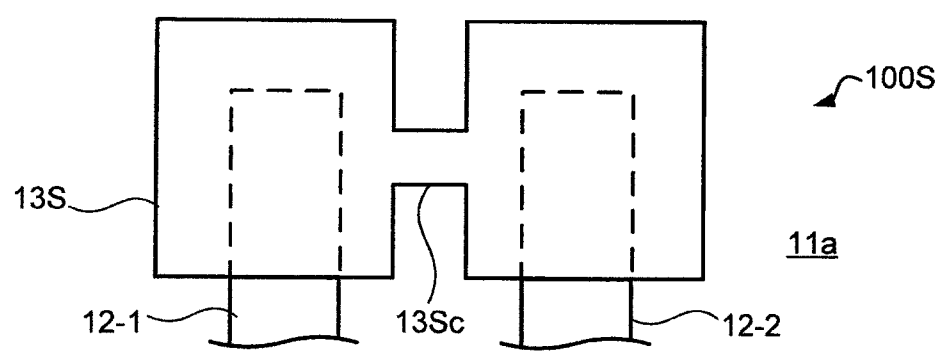


圖 25C

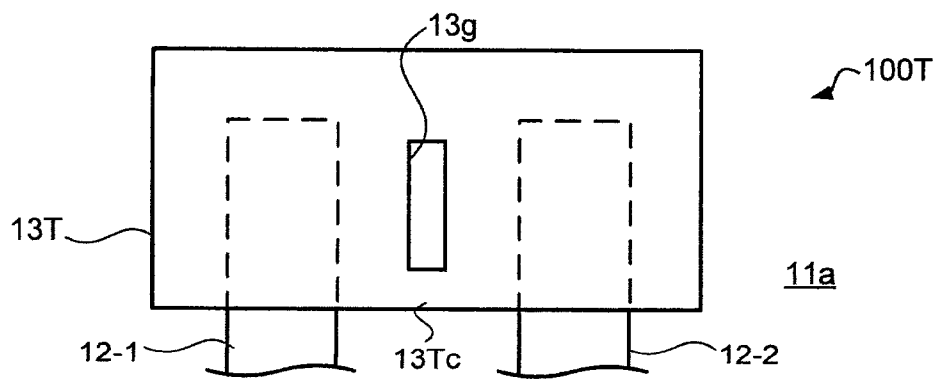


圖 26A

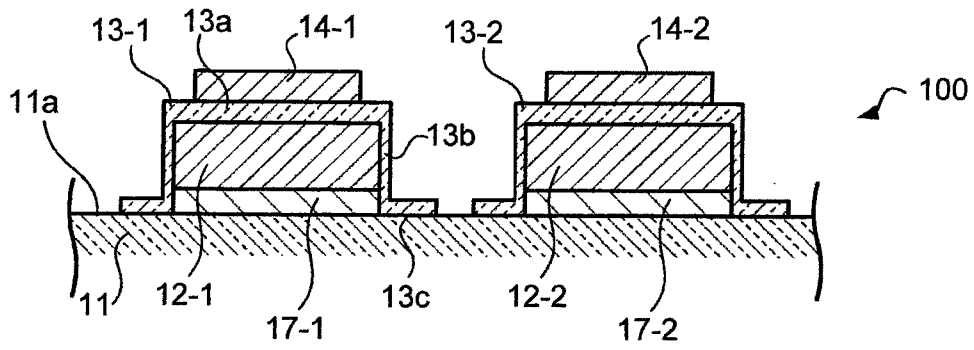


圖 26B

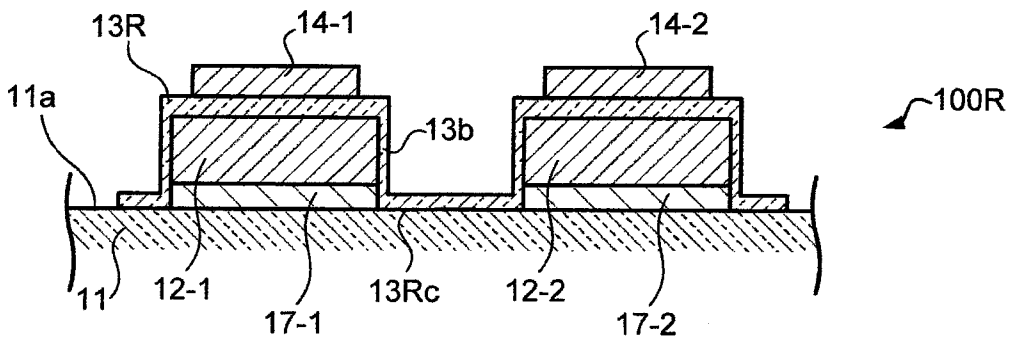


圖 26C

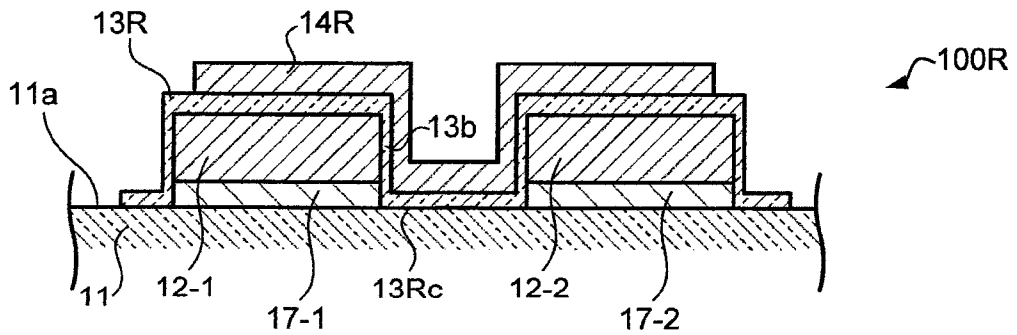


圖 27

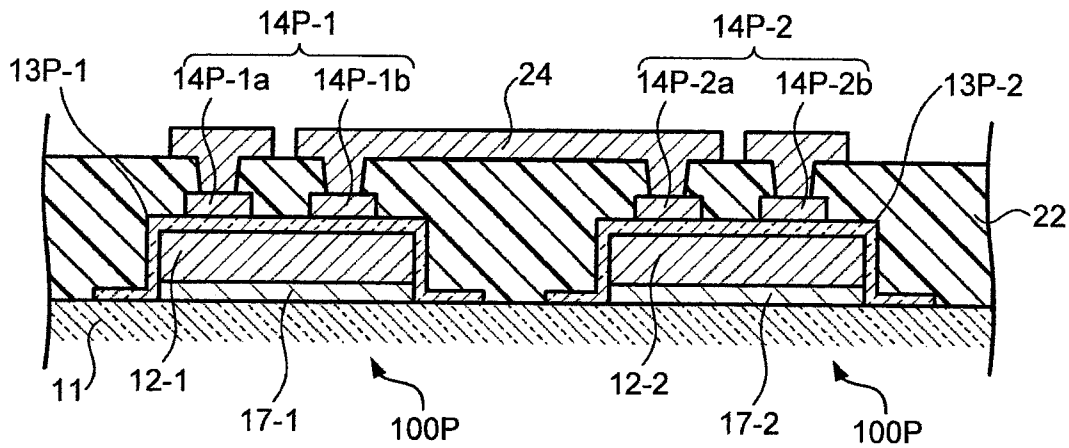


圖 28

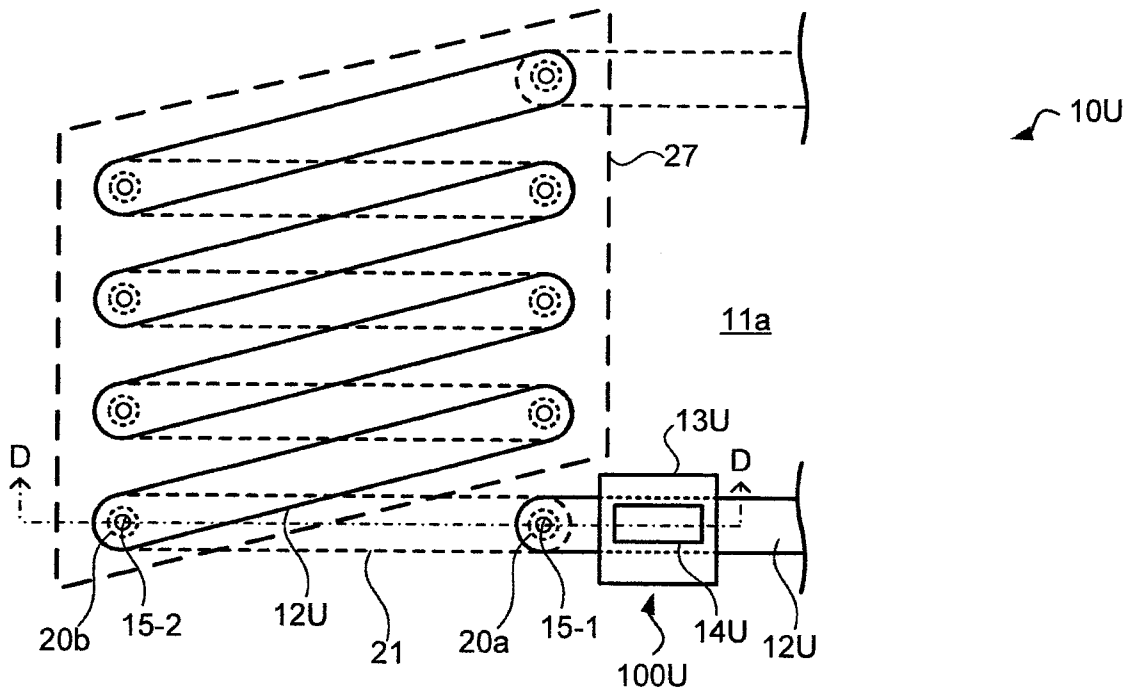


圖 29

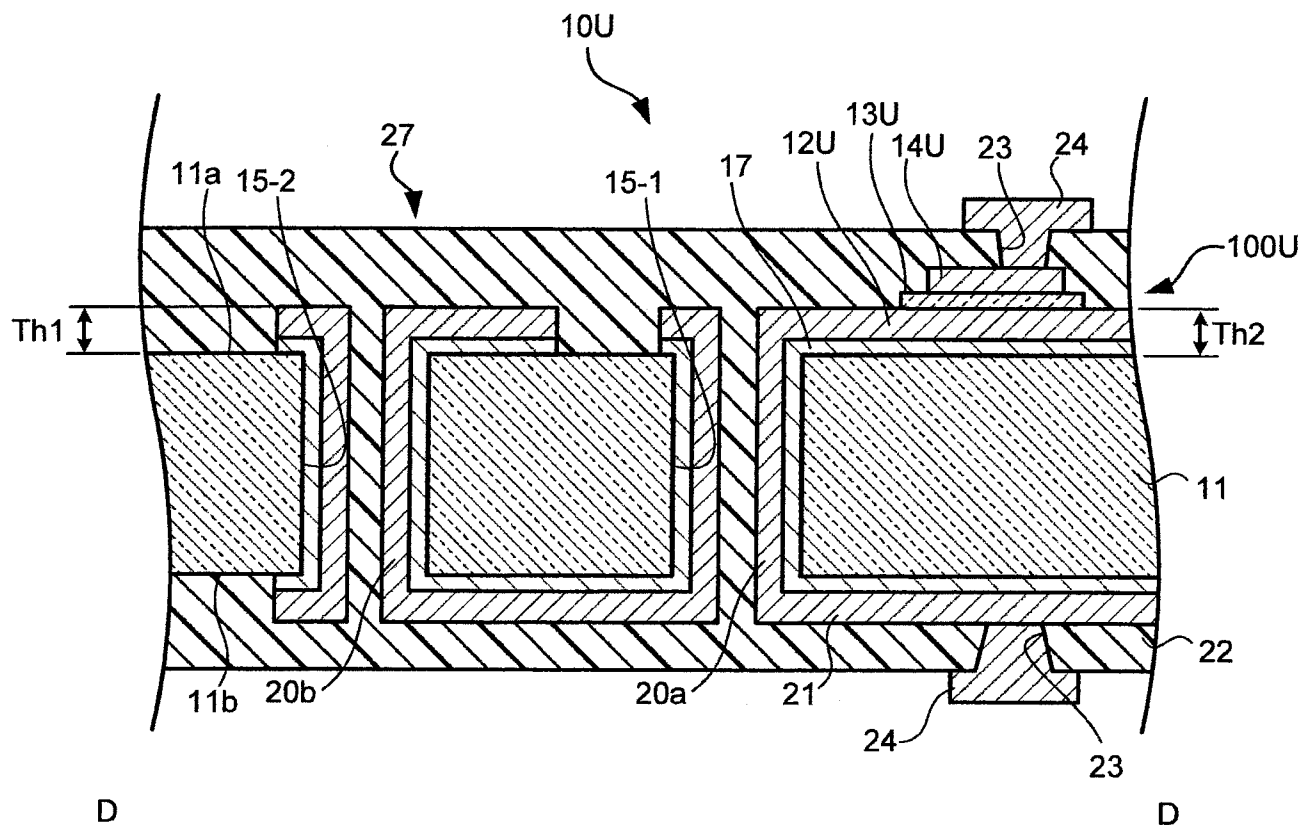


圖 30

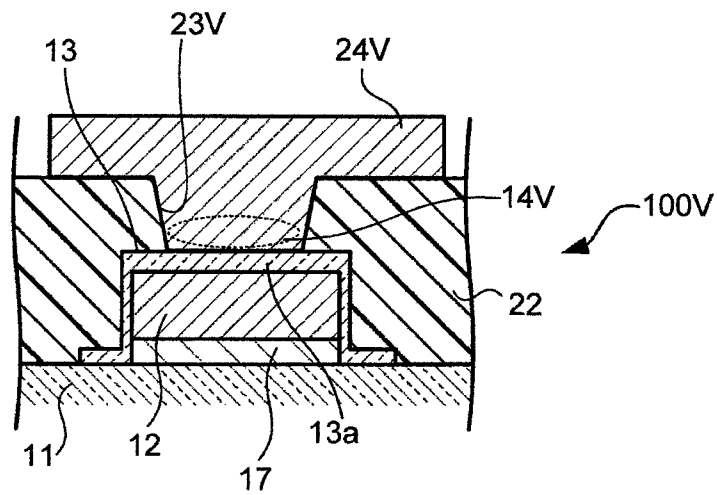


圖 31

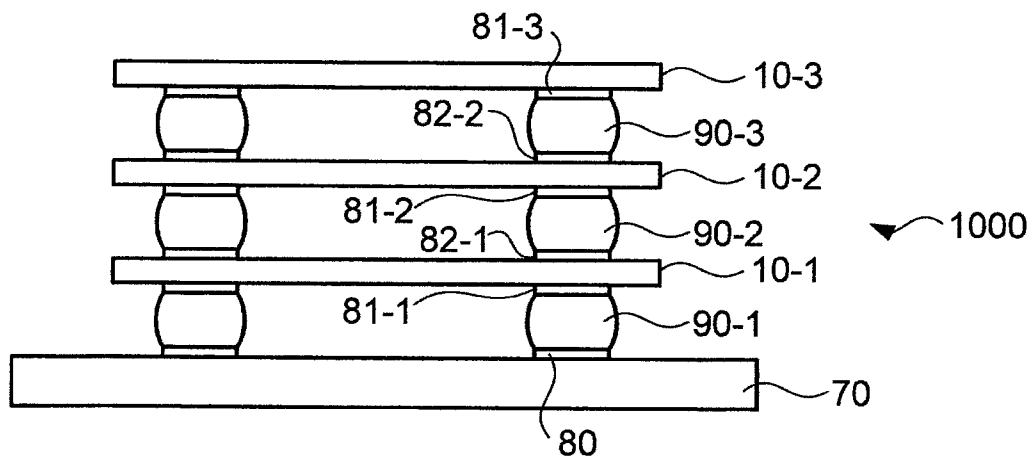


圖 32

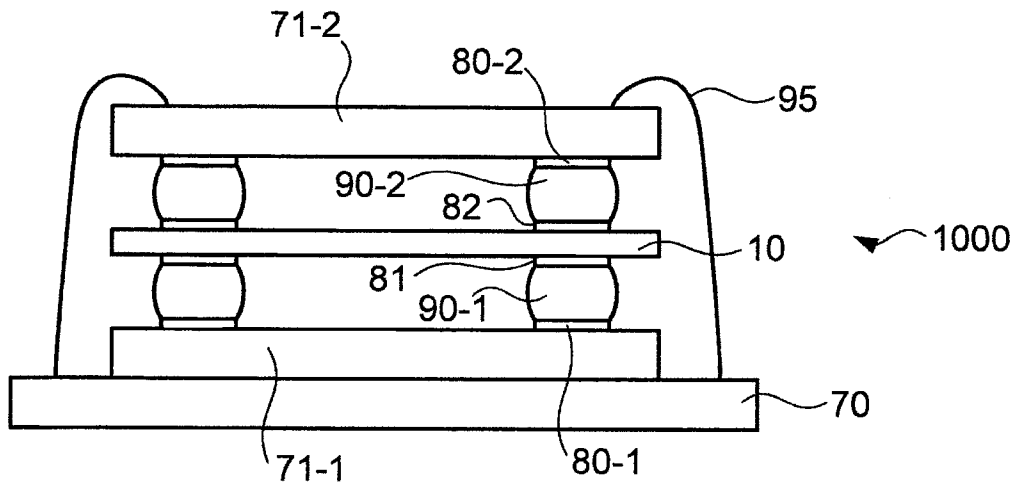


圖 33

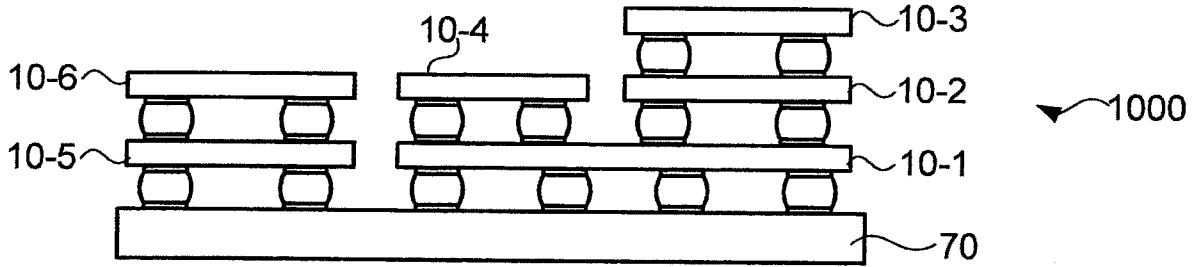


圖 34

