

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年5月26日(2005.5.26)

【公表番号】特表2004-517504(P2004-517504A)

【公表日】平成16年6月10日(2004.6.10)

【年通号数】公開・登録公報2004-022

【出願番号】特願2002-560137(P2002-560137)

【国際特許分類第7版】

H 0 1 L 27/105

G 1 1 C 11/15

【F I】

H 0 1 L 27/10 4 4 7

G 1 1 C 11/15 1 1 0

【手続補正書】

【提出日】平成15年7月28日(2003.7.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

記憶マトリックスに配置されている複数の記憶セル(Z2)を備えているMRAM構造であり、上記記憶セルの各々は、少なくとも1つのMTJ層配列(4)、および、選択トランジスタ(5)を備えており、MTJ層配列(4)は、相互に間隔を開けて延びているワード線(WL)とビット線(BL)とに接してそれぞれ配置されており、選択トランジスタ(5)は、当該選択トランジスタのゲートにおいて、記憶セルを読み出すためのセレクト配線(SL1)と接続されており、記憶セル(Z2)において、MTJ層配列(4)と選択トランジスタ(5)のドレインソース経路とがそれぞれ相互に並列に配置されており、上記セレクト配線(SL1)は、選択トランジスタ(5)のゲートを介して設けられており、ビット線に対して平行に延びているMRAM構造であって、

上記MTJ層配列(4)は、ワード線(WL)とビット線(BL)との間に直線的に配置されていることを特徴とするMRAM構造。

【請求項2】

上記記憶マトリックスにおいて、一連の記憶セルの選択トランジスタ(5)のソースドレン経路は、別個の選択トランジスタ(7)に対して直列に配置されていることを特徴とする請求項1に記載のMRAM構造。

【請求項3】

上記選択トランジスタ(5)は、当該選択トランジスタのゲートにおいて、セレクト配線(SL1)と接続されていることを特徴とする請求項1または2に記載のMRAM構造。

【請求項4】

上記記憶セルの最小寸法は、4F2により規定されており、当該Fは、使用されるテクノロジーの「最小特徴寸法」であることを特徴とする請求項1~3のいずれか1項に記載のMRAM構造。

【請求項5】

上記第1セレクト配線(SL1)は、選択トランジスタ(5)のゲートの上方に設けられていることを特徴とする請求項1~4のいずれか1項に記載のMRAM構造。

【請求項6】

上記第1セレクト配線( S L 1 )、および上記ピット線は、相互に平行に設けられていることを特徴とする請求項4または5に記載のM R A M構造。