

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 5 月 26 日 (2005.5.26)

【公表番号】特表 2004-517504 (P2004-517504A)
 【公表日】平成 16 年 6 月 10 日 (2004.6.10)
 【年通号数】公開・登録公報 2004-022
 【出願番号】特願 2002-560137 (P2002-560137)
 【国際特許分類第 7 版】

H 0 1 L 27/105

G 1 1 C 11/15

【F I】

H 0 1 L 27/10 4 4 7

G 1 1 C 11/15 1 1 0

【手続補正書】

【提出日】平成 15 年 7 月 28 日 (2003.7.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

記憶マトリックスに配置されている複数の記憶セル (Z 2) を備えている M R A M 構造であり、上記記憶セルの各々は、少なくとも 1 つの M T J 層配列 (4)、および、選択トランジスタ (5) を備えており、M T J 層配列 (4) は、相互に間隔を開けて延びているワード線 (W L) とビット線 (B L) とに接してそれぞれ配置されており、選択トランジスタ (5) は、当該選択トランジスタのゲートにおいて、記憶セルを読み出すためのセレクト配線 (S L 1) と接続されており、記憶セル (Z 2) において、M T J 層配列 (4) と選択トランジスタ (5) のドレインソース経路とがそれぞれ相互に並列に配置されており、上記セレクト配線 (S L 1) は、選択トランジスタ (5) のゲートを介して設けられており、ビット線に対して平行に延びている M R A M 構造であって、
上記 M T J 層配列 (4) は、ワード線 (W L) とビット線 (B L) との間にそれぞれ直線的に配置されていることを特徴とする M R A M 構造。

【請求項 2】

上記記憶マトリックスにおいて、一連の記憶セルの選択トランジスタ (5) のソースドレイン経路は、別個の選択トランジスタ (7) に対して直列に配置されていることを特徴とする請求項 1 に記載の M R A M 構造。

【請求項 3】

上記選択トランジスタ (5) は、当該選択トランジスタのゲートにおいて、セレクト配線 (S L 1) と接続されていることを特徴とする請求項 1 または 2 に記載の M R A M 構造。

【請求項 4】

上記記憶セルの最小寸法は、4 F 2 により規定されており、当該 F は、使用されるテクノロジーの「最小特徴寸法」であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の M R A M 構造。

【請求項 5】

上記第 1 セレクト配線 (S L 1) は、選択トランジスタ (5) のゲートの上方に設けられていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の M R A M 構造。

【請求項 6】

上記第 1 セレクト配線 (S L 1)、および上記ビット線は、相互に平行に設けられていることを特徴とする請求項 4 または 5 に記載の M R A M 構造。