

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-46891
(P2004-46891A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.C1.⁷

F 1

テーマコード(参考)

G06F 13/38

G06F 13/38

320A

5B058

G06K 17/00

G06F 13/38

350

5B077

H04L 29/08

G06K 17/00

C

5K034

H04L 29/10

H04L 13/00

307D

H04L 13/00

309Z

審査請求 有 請求項の数 16 O L (全 26 頁)

(21) 出願番号 特願2003-294636 (P2003-294636)
 (22) 出願日 平成15年8月18日 (2003.8.18)
 (62) 分割の表示 特願2000-150585 (P2000-150585)
 の分割
 原出願日 平成9年7月31日 (1997.7.31)
 (31) 優先権主張番号 特願平9-146916
 (32) 優先日 平成9年6月4日 (1997.6.4)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100067736
 弁理士 小池 晃
 (74) 代理人 100086335
 弁理士 田村 榮一
 (74) 代理人 100096677
 弁理士 伊賀 誠司
 平林 光浩
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 中西 健一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

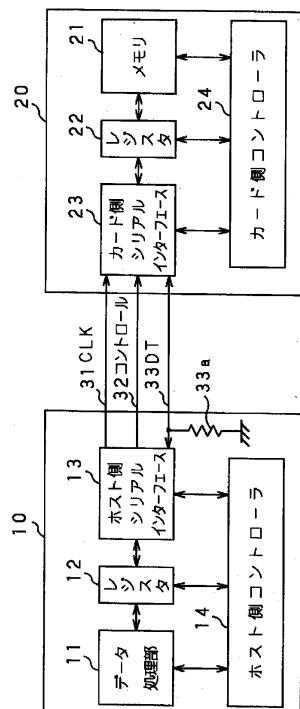
(54) 【発明の名称】データ処理システム、データ処理装置、外部装置及びデータ伝送方法

(57) 【要約】

【課題】 主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子を有することから、主データをシリアル通信を行うほか、リザーブ端子との組み合わせで更に他の機能を付加することができる。

【解決手段】 メモリカード20とデータの伝送を行なうデータ処理装置10とを含むデータ処理システムにおいて、データ処理装置10は、メモリカード20へのコマンドを生成し、メモリカード20からデータを受けるコントローラおよびメモリカードと通信するための複数の端子を有する。また、メモリカード10は、略カードの形状、データ処理装置10からのコマンドを受けるコントローラ、およびデータ処理装置10と通信するための複数の端子を有し、端子は、データ処理装置10が主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部装置とデータの伝送を行なうデータ処理装置とを含むデータ処理システムにおいて、

データ処理装置は、外部装置へのコマンドを生成し、外部装置からデータを受けるコントローラおよび上記外部装置と通信するための複数の端子を有し、

外部装置は、略カードの形状、上記データ処理装置からのコマンドを受けるコントローラ、および上記データ処理装置と通信するための複数の端子を有し、

上記外部装置の上記端子は、上記外部装置と上記データ処理装置が主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有することを特徴とするデータ処理システム。 10

【請求項 2】

上記リザーブ端子は、データ線として使用することが可能であり、上記データ端子と合わせてパラレルに使用されることを特徴とする請求項 1 記載のデータ処理システム。

【請求項 3】

上記リザーブ端子は 3 本設けられており、上記データ端子と合わせて 4 本のデータ線として使用することが可能なことを特徴とする請求項 1 記載のデータ処理システム。 20

【請求項 4】

上記複数の端子は、さらにクロック端子とコントロール端子とを有し、上記リザーブ端子は、クロック端子、コントロール端子、およびデータ端子として使用することが可能であり、先のクロック端子、コントロール端子およびデータ端子と合わせて、クロック端子、コントロール端子およびデータ端子の組を 2 つ設けることを特徴とする請求項 1 記載のデータ処理システム。 20

【請求項 5】

外部装置とデータ伝送を行うデータ処理装置において、

上記外部装置へのコマンドを生成し、上記外部装置からデータを受けるコントローラおよび上記外部装置と通信するための複数の端子を有し、

上記複数の端子は、上記外部装置と主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有することを特徴とするデータ処理装置。 30

【請求項 6】

上記リザーブ端子は、データ線として使用することが可能であり、上記データ端子と合わせてパラレルに使用されることを特徴とする請求項 5 記載のデータ処理装置。

【請求項 7】

上記リザーブ端子は 3 本設けられており、上記データ端子と合わせて 4 本のデータ線として使用することが可能なことを特徴とする請求項 5 記載のデータ処理装置。 40

【請求項 8】

上記複数の端子は、さらにクロック端子とコントロール端子とを有し、上記リザーブ端子は、クロック端子、コントロール端子、およびデータ端子として使用することが可能であり、先のクロック端子、コントロール端子およびデータ端子と合わせて、クロック端子、コントロール端子およびデータ端子の組を 2 つ設けることを特徴とする請求項 5 記載のデータ処理装置。 40

【請求項 9】

データ処理装置とデータ伝送を行う外部装置において、

略カードの形状、上記データ処理装置からのコマンドを受けるコントローラ、および上記データ処理装置と通信するための複数の端子を有し、

上記端子は、上記外部装置と上記データ処理装置が主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有することを特徴とする外部装置。

【請求項 10】

上記リザーブ端子は、データ線として使用することが可能であり、上記データ端子と合わせてパラレルに使用されることを特徴とする請求項 9 記載の外部装置。 50

【請求項 1 1】

上記リザーブ端子は3本設けられており、上記データ端子と合わせて4本のデータ線として使用することが可能なことを特徴とする請求項9記載の外部装置。

【請求項 1 2】

上記複数の端子は、さらにクロック端子とコントロール端子とを有し、上記リザーブ端子は、クロック端子、コントロール端子、およびデータ端子として使用することが可能であり、先のクロック端子、コントロール端子およびデータ端子と合わせて、クロック端子、コントロール端子およびデータ端子の組を2つ設けることを特徴とする請求項9記載の外部装置。

【請求項 1 3】

外部装置とデータ処理装置との間でデータ伝送を行うデータ伝送方法において、

データ処理装置は、外部装置へのコマンドを生成し、外部装置からデータを受けるコントローラおよび上記外部装置と通信するための複数の端子を有し、

外部装置は、略カードの形状、上記データ処理装置からのコマンドを受けるコントローラ、および上記データ処理装置と通信するための複数の端子を有し、

上記外部装置の上記端子は、上記外部装置と上記データ処理装置が主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有し、

上記データ処理装置で生成されたコマンドに応じて上記外部装置と上記データ処理装置との間で主データのシリアル通信を行うことを特徴とするデータ伝送方法。

【請求項 1 4】

上記リザーブ端子は、データ線として使用することが可能であり、上記データ端子と合わせてパラレルに使用されることを特徴とする請求項13記載のデータ伝送方法。

【請求項 1 5】

上記リザーブ端子は3本設けられており、上記データ端子と合わせて4本のデータ線として使用することが可能なことを特徴とする請求項13記載のデータ伝送方法。

【請求項 1 6】

上記複数の端子は、さらにクロック端子とコントロール端子とを有し、上記リザーブ端子は、クロック端子、コントロール端子、およびデータ端子として使用することが可能であり、先のクロック端子、コントロール端子およびデータ端子と合わせて、クロック端子、コントロール端子およびデータ端子の組を2つ設けることを特徴とする請求項13記載のデータ伝送方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、少なくともシリアルインターフェースを用いて外部装置とデータの伝送を行うデータ処理システム、データ処理装置、外部装置及びデータ伝送方法に関する。に関する。

【背景技術】

【0 0 0 2】

従来、フラッシュメモリ等の記憶媒体を内蔵するメモリカードが接続されるデータ処理装置が知られている。この種のデータ処理装置と、このデータ処理装置に接続されるメモリカードについて図面を用いて説明する。

【0 0 0 3】

データ処理装置100は、図11に示すように、データ処理部101と、レジスタ102と、ホスト側シリアルインターフェース回路103と、ホスト側コントローラ104とを備えている。また、メモリカード110は、メモリ111と、レジスタ112と、カード側シリアルインターフェース回路113と、カード側コントローラ114とを備えている。

【0 0 0 4】

10

20

30

40

50

データ処理装置 100 のデータ処理部 101 は、メモリカード 110 に記憶したデータを読み出して各種データ処理を行い、各種データ処理をしてメモリカード 110 に書き込むデータを生成する。すなわち、データ処理部 101 は、メモリカード 110 を用いる各種装置のデータ処理回路となる。

【0005】

レジスタ 102 は、データ処理部 101 とホスト側シリアルインターフェース 103 とのバッファである。すなわち、データ処理装置 100 は、データ処理部 101 からホスト側シリアルインターフェース回路 103 にデータを供給する場合は、このレジスタ 102 に一時データを格納した後にホスト側シリアルインターフェース回路 103 に供給する。同様に、データ処理装置 100 は、ホスト側シリアルインターフェース回路 103 からデータ処理部 101 にデータを供給する場合は、このレジスタ 102 に一時データを格納した後にデータ処理部 101 に供給する。

【0006】

ホスト側シリアルインターフェース回路 103 は、データ処理部 101 からレジスタ 102 を介して供給されるデータ及びカード側コントローラ 114 から供給されるコマンドをシリアル信号に変換してメモリカード 110 に供給する。また、ホスト側シリアルインターフェース回路 103 は、メモリカード 110 から供給されたシリアル信号のデータ及びコマンドをパラレル信号に変換して、データ処理部 101 及びカード側コントローラ 114 に供給する。

【0007】

また、ホスト側シリアルインターフェース回路 103 は、データ及びコマンドの同期信号 (CLK) 及びチップセレクト信号 (CS) をメモリカード 110 に供給する。さらに、ホスト側シリアルインターフェース回路 103 は、メモリカード 110 から供給されるビジー信号 (BUSY) 及びインタラプト信号 (INTERRUPT) を取得する。

【0008】

ホスト側コントローラ 104 は、データ処理部 101 のデータ処理動作、ホスト側シリアルインターフェース回路 103 の各データの伝送動作の制御を行う。また、ホスト側コントローラ 104 は、メモリカード 110 への制御命令となるコマンドをレジスタ 112 を介してメモリカード 110 に供給する。

【0009】

一方、メモリカード 110 のメモリ 111 は、例えば、フラッシュメモリ等からなりデータ処理部 101 から供給されたデータを記憶する。

【0010】

レジスタ 112 は、メモリ 111 とカード側シリアルインターフェース回路 113 とのバッファである。すなわち、メモリカード 110 は、メモリ 111 がデータ処理装置 100 からのデータを書き込む場合は、このレジスタ 102 に一時データを格納した後に書き込むデータをメモリ 111 に供給する。同様に、メモリカード 110 は、データ処理装置 100 がメモリ 111 からデータを読み出す場合は、このレジスタ 102 に一時データを格納した後に読み出すデータをカード側シリアルインターフェース回路 113 に供給する。このレジスタ 112 は、フラッシュメモリのページバッファの機能等を果たす回路である。

【0011】

カード側シリアルインターフェース回路 113 は、カード側コントローラ 114 の制御に基づき、メモリ 111 から供給されるパラレル信号のデータ及びカード側コントローラ 114 から供給されるコマンドをシリアル信号に変換してデータ処理装置 100 に供給する。また、カード側シリアルインターフェース回路 113 は、データ処理装置 100 から供給されるシリアル信号のデータ及びコマンドをパラレル信号に変換して、メモリ 111 及びカード側コントローラ 114 に供給する。

【0012】

さらに、カード側シリアルインターフェース回路 113 は、データ及びコマンドの同期

10

20

30

40

50

信号(C L K)及びチップセレクト信号(C S)をデータ処理装置 100 から取得する。さらにまた、カード側シリアルインターフェース回路 113 は、ビジー信号(B U S Y)及びインタラプト信号(I N T E R R U P T)をデータ処理装置 100 に供給する。

【 0013 】

カード側コントローラ 114 は、メモリ 111 のデータの記憶動作、読み出し動作及び消去動作等をデータ処理装置 100 から供給されるコマンド等に基づき制御する。また、カード側コントローラ 114 は、カード側シリアルインターフェース回路 113 の各データの伝送動作の制御を行う。また、ホスト側コントローラ 104 は、メモリカード 110 のステータス信号となるビジー信号やインタラプト信号をメモリカード 110 から取得する。

10

【 0014 】

以上のようなデータ処理装置 100 及びメモリカード 110 の間のデータの伝送は、ホスト側シリアルインターフェース回路 103 とカード側シリアルインターフェース回路 113 との間に設けられた伝送ラインを介して行われる。

【 0015 】

データ処理装置 100 のカード側シリアルインターフェース回路 113 と、メモリカード 110 のカード側シリアルインターフェース回路 113 の間には、C L K ラインと C S ラインと D T ラインと B U S Y ラインと I N T ラインとの 5 本の信号ラインが設けられている。

20

【 0016 】

D T ラインには、主データであるデータ処理部 101 によりデータ処理をしてメモリ 111 に書き込むデータ及びメモリ 111 からデータ処理部 101 に読み出すデータが伝送される。また、D T ラインには、データ処理装置 100 からメモリカード 110 に供給する制御命令となるコマンドと、メモリカード 110 からデータ処理装置 100 に供給されるコマンドが伝送される。すなわち、D T ラインには、主データ及びコマンドがシリアル信号で双方向伝送される。

【 0017 】

C L K ラインには、上述した D T ラインに伝送される主データ及びコマンドの同期信号がデータ処理装置 100 からメモリカード 110 に供給される。

30

【 0018 】

C S ラインには、いわゆるチップセレクト信号がデータ処理装置 100 からメモリカード 110 に供給される。このチップセレクト信号は、例えばハイとなっている期間、上述した主データ、コマンド及び同期信号が有効であることを示している。

【 0019 】

B U S Y ラインには、メモリカード 110 が処理を行っていることを示すビジー信号が伝送される。例えば、メモリカード 110 が書き込み処理を行っている場合であって、データ処理装置 100 からのアクセスを禁止するときには、このビジー信号がメモリカード 110 からデータ処理装置 100 に供給される。

【 0020 】

I N T ラインには、メモリカード 110 からデータ処理装置 100 に対しての割り込みを示すインタラプト信号がメモリカード 110 からデータ処理装置 100 に供給される。

40

【 0021 】

このような伝送ラインに伝送される各種信号のタイムチャートは、図 12 に示すようになる。この図 12 に示すタイムチャートを用いて、メモリカード 110 に記憶するデータを読み出す場合について説明する。

【 0022 】

まず、時刻 $t_{1,1}$ において、データ処理装置 100 は、C S ラインを介してチップセレクト信号をメモリカード 110 に供給する。データ処理装置 100 は、このチップセレクト信号とともに同期信号を C L K ラインを介して供給する。メモリカード 110 は、このチップセレクト信号を取得することにより、データ処理装置 100 から供給されるコマン

50

ドを取得する準備をする。そして、データ処理装置100は、このチップセレクト信号を供給すると、DTラインを介して読み出し命令を示すコマンドとそのアドレスをメモリカード110に供給する。

【0023】

データ処理装置100は、この読み出しコマンド等を供給し終えると、時刻 t_{12} において、このコマンドと同期信号の供給を停止する。メモリカード110は、コマンドの取得をし終えると、この供給されたコマンドに基づく制御を行うため、ビジー信号をデータ処理装置100に供給する。すなわち、メモリカード110は、指定されたアドレスの主データをメモリ111からレジスタ112に読み出す制御を行う。なお、このとき、データ処理装置100は、チップセレクト信号の供給は停止しない。

10

【0024】

メモリカード110は、レジスタ112に主データを読み出すと、時刻 t_{13} においてビジー信号の供給を停止する。すなわち、データ処理装置100に対して主データを伝送する準備ができたことを示すレディー状態を知らせる。

【0025】

データ処理装置100は、ビジー信号の供給が停止したことを知ると、メモリカード110が供給したコマンドに基づく制御が終了したと判断して、時刻 t_{14} において同期信号をメモリカード110に供給する。そして、メモリカード110は、主データをDTラインを介してデータ処理装置100に伝送する。

20

【0026】

そして、メモリカード110が主データの伝送を終了すると、データ処理装置100は、時刻 t_{15} において同期信号とチップセレクト信号の供給を停止する。

【0027】

なお、メモリカード110は、この読み出し処理をした結果等により、メモリカード110の内部状態に変化が生じた場合、時刻 t_{16} に示すように、INTラインを介して割り込みを示すインタラプト信号をデータ処理装置100に供給する。データ処理装置100は、このインタラプト信号が供給されると、この割り込み要因をメモリカード110から取得するため、チップセレクト信号とともに所定のコマンドをメモリカード110に供給する。

30

【0028】

以上のように、データ処理装置100は、主データ及びコマンドを伝送するDTライン及び同期信号を供給するCLKラインとともに、チップセレクト信号を供給するCSライン、ビジー信号を取得するBUSYライン及びインタラプト信号を取得するINTラインを設けてメモリカード110とのデータの伝送を実現している。

【0029】

ところで、上述した外部記憶装置であるメモリカード110の小型化等を考えた場合、データ処理装置100とメモリカード110との信号ラインの数を少なくする必要が生じる。

【0030】

【特許文献1】特開昭60-51046号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0031】

本発明は、このような実情を鑑みてなされたものであり、主データをシリアル通信するためのデータ端子のほかに予備の端子であるリザーブ端子を設けることで、主データをシリアル通信を行うほか、リザーブ端子との組み合わせで更に他の機能を付加することができるデータ処理システム、データ処理装置、外部装置及びデータ伝送方法を提供することを目的とする。

【課題を解決するための手段】

【0032】

50

本発明に係るデータ処理システムは、外部装置とデータの伝送を行なうデータ処理装置とを含むデータ処理システムにおいて、データ処理装置は、外部装置へのコマンドを生成し、外部装置からデータを受けるコントローラおよび上記外部装置と通信するための複数の端子を有し、外部装置は、略カードの形状、上記データ処理装置からのコマンドを受けるコントローラ、および上記データ処理装置と通信するための複数の端子を有し、上記外部装置の上記端子は、上記外部装置と上記データ処理装置が主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有する。

【0033】

本発明に係るデータ処理装置は、外部装置とデータ伝送を行うデータ処理装置において、上記外部装置へのコマンドを生成し、上記外部装置からデータを受けるコントローラおよび上記外部装置と通信するための複数の端子を有し、上記複数の端子は、上記外部装置と主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有する。

【0034】

本発明に係る外部装置は、データ処理装置とデータ伝送を行う外部装置において、略カードの形状、上記データ処理装置からのコマンドを受けるコントローラ、および上記データ処理装置と通信するための複数の端子を有し、上記端子は、上記外部装置と上記データ処理装置が主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有する。

【0035】

本発明に係るデータ伝送方法は、外部装置とデータ処理装置との間でデータ伝送を行うデータ伝送方法において、データ処理装置は、外部装置へのコマンドを生成し、外部装置からデータを受けるコントローラおよび上記外部装置と通信するための複数の端子を有し、外部装置は、略カードの形状、上記データ処理装置からのコマンドを受けるコントローラ、および上記データ処理装置と通信するための複数の端子を有し、上記外部装置の上記端子は、上記外部装置と上記データ処理装置が主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子とを有し、上記データ処理装置で生成されたコマンドに応じて上記外部装置と上記データ処理装置との間で主データのシリアル通信を行う。

【発明の効果】

【0036】

上述したように、本発明は、主データをシリアル通信するためのデータ端子と、予備の端子であるリザーブ端子を有することから、主データをシリアル通信を行うほか、リザーブ端子との組み合わせで更に他の機能を付加することができる。

【発明を実施するための最良の形態】

【0037】

以下、本発明に係るデータ処理装置及びデータ伝送方法に用いられるデータ処理装置とこのデータ処理装置に用いられる外部記憶装置であるメモリカードについて、図面を参照しながら説明する。

【0038】

まず、本発明にデータ処理システムを構成するデータ処理装置を説明すると、このデータ処理装置10は、図1に示すように、データ処理部11と、レジスタ12と、ホスト側シリアルインターフェース回路13と、ホスト側コントローラ14とを備えている。また、メモリカード20は、外観がカード状の記憶媒体であり、データ処理装置10に接続されて外部記憶装置として用いられる。メモリカード20は、メモリ21とレジスタ22とカード側シリアルインターフェース回路23とカード側コントローラ24とを備えている。

【0039】

データ処理装置10のデータ処理部11は、メモリカード20に記憶したデータを読み出して各種データ処理を行い、各種データ処理をしてメモリカード20に書き込むデータ

10

20

30

40

50

を生成する。このデータ処理部11は、メモリカード20を用いる例えはコンピュータ装置や、デジタルオーディオ信号の記録再生装置、カメラ装置等のオーディオビジュアル機器のデータ処理回路となる。

【0040】

レジスタ12は、データ処理部11とホスト側シリアルインターフェース13とのバッファである。すなわち、データ処理装置10は、データ処理部11からホスト側シリアルインターフェース回路13にデータを供給する場合は、データをこのレジスタ12に一時格納した後にホスト側シリアルインターフェース回路13に供給する。同様に、データ処理装置10は、ホスト側シリアルインターフェース回路13からデータ処理部11にデータを供給する場合は、データをこのレジスタ12に一時格納した後にデータ処理部11に供給する。

【0041】

ホスト側シリアルインターフェース回路13は、データ処理部11からレジスタ12を介して供給されたデータ及びカード側コントローラ24から供給されるコマンドをシリアル信号に変換してメモリカード20に供給する。また、ホスト側シリアルインターフェース回路13は、メモリカード20から供給されたシリアル信号のデータ及びコマンドをパラレル信号に変換してデータ処理部11及びカード側コントローラ24に供給する。

【0042】

また、ホスト側シリアルインターフェース回路13は、各種データ及びコマンドの同期信号(CLK)等をメモリカード20に供給する。さらに、ホスト側シリアルインターフェース回路13は、メモリカード20から供給されこのメモリカード20の動作状態を示すステータス(STATUS)信号を取得する。

【0043】

ホスト側コントローラ14は、データ処理部11のデータ処理動作、ホスト側シリアルインターフェース回路13の各データの伝送動作の制御を行う。また、ホスト側コントローラ14は、メモリカード20への制御命令となるコマンドをレジスタ22を介してメモリカード20に供給する。

【0044】

一方、メモリカード20のメモリ21は、例えば、フラッシュメモリ等からなり、データ処理部11から供給されたデータを記憶する。

【0045】

レジスタ22は、メモリ21とカード側シリアルインターフェース回路23とのバッファであり、メモリ21がデータ処理装置10からのデータを書き込む場合は、このレジスタ12に一時データを格納した後に書き込むデータをメモリ21に供給する。同様に、データ処理装置10がメモリ21からデータを読み出す場合は、このレジスタ12に一時データを格納した後に読み出すデータをカード側シリアルインターフェース回路23に供給する。すなわち、このレジスタ22は、フラッシュメモリのいわゆるページバッファの機能等を果たす回路である。

【0046】

カード側シリアルインターフェース回路23は、カード側コントローラ24の制御に基づきメモリ21から供給されるパラレル信号のデータ及びカード側コントローラ24から供給されるコマンドをシリアル信号に変換してデータ処理装置10に供給する。また、カード側シリアルインターフェース回路23は、データ処理装置10から供給されるシリアル信号のデータ及びコマンドをパラレル信号に変換してメモリ21及びカード側コントローラ24に供給する。

【0047】

また、カード側シリアルインターフェース回路23は、各種データ及びコマンドの同期信号(CLK)等をデータ処理装置10から取得する。さらに、カード側シリアルインターフェース回路23は、ステータス信号をデータ処理装置10に供給する。

【0048】

10

20

30

40

50

カード側コントローラ 24 は、メモリ 21 のデータの記憶動作、読み出し動作及び消去動作等をデータ処理装置 10 から供給されるコマンド等に基づき制御する。また、カード側コントローラ 24 は、カード側シリアルインターフェース回路 23 の各データの伝送動作の制御を行う。さらに、ホスト側コントローラ 14 は、メモリカード 20 へのステータス信号をメモリカード 20 に供給する制御を行う。

【0049】

以上のようなデータ処理装置 10 及びメモリカード 20 の間のデータの伝送は、ホスト側シリアルインターフェース回路 13 とカード側シリアルインターフェース回路 23 との間に設けられた伝送ラインを介して行われる。

【0050】

データ処理装置 10 のカード側シリアルインターフェース回路 23 と、メモリカード 20 のカード側シリアルインターフェース回路 23 の間には、CLK ライン 31 とコントロールライン 32 と DT ライン 33 との 3 本の信号ラインが設けられている。

【0051】

DT ライン 33 には、主データであるデータ処理部 11 によりデータ処理をしてメモリ 21 に書き込むデータ及びメモリ 21 からデータ処理部 11 に読み出すデータが伝送される。この DT ライン 33 には、データ処理装置 10 からメモリカード 20 に供給する制御命令となるコマンドと、メモリカード 20 からデータ処理装置 10 に供給されるコマンドが伝送される。すなわち、DT ライン 33 には、主データ及びコマンドがシリアル信号で双方向伝送される。

【0052】

さらに、DT ライン 33 には、一端が接地された抵抗 33a が取り付けられている。この抵抗 33a は、いわゆるプルダウン抵抗であり、ホスト側シリアルインターフェース回路 13 とカード側シリアルインターフェース回路 23 との間での DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルはローレベルとなる。換言すれば、DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルは抵抗 33a の抵抗値等によって定まる一定のレベルとなる。

【0053】

なお、ここで、抵抗 33a としていわゆるプルダウン抵抗を採用し、DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルがローレベルとなるようにしたが、抵抗 33a としていわゆるプルアップ抵抗を採用し、DT ライン 33 による信号の送受信がなされていないとき、DT ライン 33 の信号レベルがハイレベルとなるようにしてもよい。

【0054】

CLK ライン 31 には、上述した DT ライン 33 に伝送される主データ及びコマンドの同期信号がデータ処理装置 10 からメモリカード 20 に伝送される。

【0055】

コントロールライン 32 には、コントロール信号がデータ処理装置 10 からメモリカード 20 に伝送される。このコントロール信号が供給されている期間、例えばハイとなっている期間上述した主データ及びコマンドが伝送される。

【0056】

ここで、上述した DT ライン 33 には、主データ及びコマンドに加えて、メモリカード 20 の動作状態を示すステータス (STATUS) 信号がメモリカード 20 からデータ処理装置 10 に供給される。このメモリカード 20 からのステータス信号は、DT ライン 33 に主データ及びコマンドが伝送されていない期間、すなわち、コントロール信号が供給されていない期間、例えばローの期間に供給される。このステータス信号には、メモリカード 20 が処理を行っていることを示すビジー (BUSY) 信号がある。例えば、メモリカード 20 が書き込み処理を行っている場合であってデータ処理装置 10 からのアクセスを禁止するときには、ビジー信号がメモリカード 20 からデータ処理装置 10 に供給される。

10

20

30

40

50

【0057】

また、ステータス信号には、メモリカード20からデータ処理装置10に対しての割り込みを示すインタラプト(INTERPUT)信号がある。例えば、メモリカード20からデータ処理装置10に対して割り込み命令を要求するときには、このインタラプト信号が供給される。なお、このビジー信号やインタラプト信号は一例であり、ステータス信号としてメモリカード20の動作状態を示す信号であればどのような信号であってもよい。

【0058】

このように、コントロール信号が供給されていない期間にステータス信号を供給するには、図2に示すような出力回路をメモリカード20に設ければよい。

10

【0059】

メモリカード20の出力回路25は、カード側シリアルインターフェース回路23とDTライン33の入出力端子との間に設けられ、入力バッファ26と出力バッファ27と切換スイッチ28とオア回路29とからなる。

【0060】

入力バッファ26は、DTライン33と接続され、データ処理装置10から供給されたシリアル信号が入力されこのシリアル信号をカード側シリアルインターフェース回路23に供給する。

20

【0061】

出力バッファ27は、切換スイッチ28を介して供給されるシリアル信号、ビジー信号及びインタラプト信号をDTライン33に出力する。

【0062】

また、カード側コントローラ24から供給されるビジー信号及びインタラプト信号は、オア回路23により論理和がとられ、切換スイッチ28の端子28bに供給される。また、カード側シリアルインターフェース回路23から供給されるシリアル信号は、切換スイッチ28の端子28aに供給される。

30

【0063】

切換スイッチ28は、コントロール信号がハイのときは、端子28a側に切り換えられる。切換スイッチ28が端子28a側に切り換えられると、カード側シリアルインターフェース回路23からのシリアル信号が、出力バッファ27に供給される。また、切換スイッチ28は、コントロール信号がローのときは、端子28b側に切り換えられる。切換スイッチ28が端子28b側に切り換えられると、カード側コントローラ24からのビジー信号及びインタラプト信号等のステータス信号は出力バッファ27に供給される。

30

【0064】

このような伝送ラインに伝送される各種信号のタイムチャートは、図3に示すようになる。この図3に示すタイムチャートを用いて、メモリカード20に記憶する主データを読み出す場合について説明する。

【0065】

まず、時刻 $t_{2,1}$ において、データ処理装置10は、コントロールライン32を介してコントロール信号をメモリカード20に供給する。メモリカード20は、このコントロール信号を取得することによりデータ処理装置10から供給されるコマンドを取得する準備をする。データ処理装置10は、このコントロール信号を供給するとともに、DTライン33を介して読み出し命令を示すコマンド等をメモリカード20に供給する。また、データ処理装置10は、このコマンド等とともにCLKライン31を介して同期信号をメモリカード20に供給する。

40

【0066】

データ処理装置10は、この読み出しコマンド等を供給し終えると、時刻 $t_{2,2}$ において、コマンド、コントロール信号及び同期信号の供給を停止する。なお、同期信号は、この時刻 $t_{2,2}$ において供給を停止しなくてもよい。

50

【0067】

メモリカード20は、コマンドの取得をし終えると、この供給されたコマンドに基づく制御を行うため、ビジー信号をDTライン33を介してデータ処理装置10に供給する。データ処理装置10は、この時点でのコントロール信号を供給していないため、メモリカード20から供給された信号がビジー信号であるということを判断することができる。メモリカード20は、ビジー信号を供給すると、指定されたアドレスの主データをメモリ21からレジスタ22に読み出す。

【0068】

メモリカード20は、レジスタ22に主データを読み出すと、時刻 t_{23} においてDTライン33を介してビジー信号の供給を停止する。すなわち、データ処理装置10に対して主データを供給する準備ができたことを示すレディー状態を知らせる。

10

【0069】

データ処理装置10は、時刻 t_{24} において、ビジー信号の供給が停止したことを知ると、メモリカード20が供給したコマンドに基づく制御が終了したと判断してコントロール信号と同期信号の供給をする。メモリカード20は、コントロール信号が供給されたことに基づき主データをDTライン33を介してこの供給された同期信号に同期させてデータ処理装置10に伝送する。

【0070】

メモリカード20が主データの伝送を終了すると、データ処理装置10は、時刻 t_{25} において同期信号とコントロール信号の供給を停止する。

20

【0071】

なお、メモリカード20は、この読み出し処理をした結果等により、メモリカード20の内部状態に変化が生じた場合は、必要に応じて時刻 t_{26} に示すようにDTライン33を介して割り込みを示すインタラプト信号をデータ処理装置10に供給する。データ処理装置10は、コントロール信号を供給していないことからメモリカード20から供給された信号がインタラプト信号であると判断でき、このインタラプト信号が供給されると、例えば、この割り込み要因をメモリカード20から取得するためコントロール信号を供給して対応したコマンドの供給を行う。

【0072】

以上のように、データ処理装置10及びメモリカード20では、メモリカード20からのステータス信号をDTライン33を用いて伝送することにより信号ラインを少なくすることができる。従って、ビジー信号やインタラプト信号のための信号ラインを特別に設ける必要がなく、簡単な構成で確実なデータの伝送をすることができる。また、インタラプト信号を設けずにデータ処理装置とメモリカードの間でデータの伝送を行った場合には、必ず一定時間毎ポーリングを行わなければならなかつたが、このデータ処理装置10ではポーリングの必要がない。

30

【0073】

ところで、以上のようなデータ処理装置10とメモリカード20との間のデータ伝送の場合、データ処理装置10からメモリカード20に供給するコマンドの内容、又はメモリカード20からデータ処理装置10に供給するコマンドの内容は予めホスト側コントローラ14やカード側コントローラ24により定められている。例えば、書き込みコマンド、読み出しコマンド又は消去コマンド等が予め定められている。これらのコマンドがDTライン33を介して伝送された場合、この後にDTライン33に伝送されるデータやコマンド、あるいは、ステータス信号の順序は必ず決定される。

40

【0074】

具体的には、データ処理装置10からメモリカード20に対して書き込みコマンドが伝送された場合には、この書き込みコマンドの後にメモリカード20に書き込もうとする主データがデータ処理装置10からメモリカード20に伝送される。書き込みコマンド及び主データが伝送されたメモリカード20は、当該主データの書き込み処理を行っている間、ビジー信号をデータ処理装置10へ出力し、当該主データの書き込み処理が完了したらレディ信号をデータ処理装置10へ出力する。また、データ処理装置10からメモリカ

50

ド 2 0 に対して読み出しコマンドが伝送された場合、メモリカード 2 0 は、当該読み出しコマンドに応じた主データの読み出し処理を行う。この読み出し処理を行っている間メモリカード 2 0 はビジー信号をデータ処理装置 1 0 へ出力し、読み出し処理が完了したらメモリカード 2 0 はレディ信号をデータ処理装置 1 0 へ出力する。データ処理装置 1 0 がレディ信号を受け取った後、メモリカード 2 0 からデータ処理装置 1 0 に対して主データが伝送され、これにより主データの読み出しが行われる。

【 0 0 7 5 】

そこで、以下に第 2 のデータ伝送方法として、このように D T ライン 3 3 によって伝送されるデータの内容やその順序等がコマンドにより予め定められている場合について説明する。

10

【 0 0 7 6 】

この第 2 のデータ伝送方法では、コントロール信号を切り換えることによって、D T ライン 3 3 を伝送するデータの状態を設定する。すなわち、コントロール信号を切り換えることによって、伝送するデータの状態を確定してデータの伝送を行う。

【 0 0 7 7 】

D T ライン 3 3 によって伝送されるデータの状態は、以下のように設定される。まず、データ処理装置 1 0 からメモリカード 2 0 に対して何等制御命令すなわちコマンドを供給せず、また、メモリカード 2 0 が何等処理をしていない状態を初期状態として“状態 0 ”とする。続いて、データ処理装置 1 0 からメモリカード 2 0 に対してコマンドを供給している状態、例えば、書き込みコマンド、読み出しコマンド又は消去コマンド等を D T ライン 3 3 を介して供給している状態を“状態 1 ”とする。その後、“状態 1 ”で供給したコマンドに応じた処理が行われる“状態 2 ”“状態 3 ”へと推移し、“状態 3 ”の後に“状態 0 ”へと戻る。

20

【 0 0 7 8 】

そして、コントロール信号は、このような“状態 0 ”から“状態 3 ”までの状態を切り換える。すなわち、“状態 0 ”では、このコントロール信号はローとなっており、この“状態 0 ”の状態からコントロール信号がハイとなると、“状態 1 ”に切り換わる。続いて、“状態 1 ”の状態からコントロール信号がローとなると“状態 2 ”に切り換わる。続いて、“状態 2 ”の状態からコントロール信号がハイとなると、“状態 3 ”に切り換わる。最後に、“状態 3 ”の状態からコントロール信号がローとなると、“状態 0 ”に切り換わる。

30

【 0 0 7 9 】

このように、コントロール信号を切り換えることで、D T ライン 3 3 によって伝送されるデータの内容を切り換える。そして、データ処理装置 1 0 及びメモリカード 2 0 は、“状態 1 ”において伝送されたコマンドの内容に応じて、次の“状態 2 ”、“状態 3 ”に伝送するデータの内容を確定しそれぞれの状態に応じた処理を行う。

【 0 0 8 0 】

具体的には、例えば、メモリカード 2 0 からの主データの読み出しを行う場合には、まず、“状態 1 ”とされ、データ処理装置 1 0 からメモリカード 2 0 へ読み出しコマンドが伝送される。次に、“状態 2 ”となり、読み出しコマンドに応じてメモリカード 2 0 によって主データの読み出し処理が行われる。この処理を行っている間、メモリカード 2 0 からデータ処理装置 1 0 にビジー信号が伝送され、当該処理が完了したら、メモリカード 2 0 からデータ処理装置 1 0 にレディ信号が伝送される。そして、データ処理装置 1 0 によってレディ信号が検出されたら“状態 3 ”となり、メモリカード 2 0 から読み出された主データが D T ライン 3 3 を介してメモリカード 2 0 からデータ処理装置 1 0 へ伝送される。そして、主データの伝送が完了したら“状態 0 ”へ戻る。

40

【 0 0 8 1 】

あるいは、例えば、メモリカード 2 0 への主データの書き込みを行う場合には、まず、“状態 1 ”とされ、データ処理装置 1 0 からメモリカード 2 0 へ書き込みコマンドが伝送される。次に、“状態 2 ”となり、メモリカード 2 0 へ書き込む主データが D T ライン 3

50

3を介してデータ処理装置10からメモリカード20に伝送される。次に、“状態3”となり、書き込みコマンドに応じてメモリカード20によって主データの書き込み処理が行われる。この処理を行っている間、メモリカード20からデータ処理装置10へビジー信号が伝送され、当該処理が完了したら、メモリカード20からデータ処理装置10へレディ信号が伝送される。そして、データ処理装置10によってレディ信号が検出されたら“状態0”へ戻る。

【0082】

あるいは、例えば、メモリカード20に書き込まれている主データの消去を行う場合には、まず、“状態1”的ときに、データ処理装置10からメモリカード20へ消去コマンドが伝送される。次に、“状態2”となり、消去コマンドに応じてメモリカード20によって主データの消去処理が行われる。この処理を行っている間、メモリカード20からデータ処理装置10にビジー信号が伝送され、当該処理が完了したら、メモリカード20からデータ処理装置10にレディ信号が伝送される。そして、データ処理装置10によってレディ信号が検出されたら“状態0”へ戻る。

【0083】

このように、DTライン33に伝送されるデータに応じてコントロール信号を切り換えることにより、データ伝送の状態を制御する第2のデータ伝送方法について、図4及び図5のタイムチャートを参照して更に詳細に説明する。ここで、図4に示すタイムチャートは、データ処理装置10によってメモリカード20に書き込まれている主データを読み出すときのタイムチャートの一例である。また、図5に示すタイムチャートは、データ処理装置10によってメモリカード20に主データを書き込むときのタイムチャートの一例である。

【0084】

まず、図4を参照して主データの読み出しについて説明する。

【0085】

データ処理装置10とメモリカード20との間で何等データの伝送が行われていない状態では、コントロール信号がローとなっており、“状態0”的初期状態となっている。そして、主データの読み出しに関する処理は、この“状態0”的初期状態から開始される。

【0086】

主データの読み出しに関する処理を開始する時刻 $t_{3,1}$ において、データ処理装置10は、コントロールライン32を介してメモリカード20に供給されるコントロール信号をローからハイに切り換える。従って、DTライン33に伝送されるデータの状態は、“状態0”から“状態1”に切り換えられる。メモリカード20は、このコントロール信号を取得することにより、“状態0”から“状態1”となったことを判断して、データ処理装置10から供給されるコマンドを取得する準備をする。そして、データ処理装置10は、この“状態1”的ときに、DTライン33を介して読み出しコマンドをメモリカード20に供給するとともに、その同期信号をCLKライン31を介してメモリカード20に供給する。ここで、メモリカード20は、この“状態1”的状態で読み出しコマンドを取得することにより、後の“状態2”及び“状態3”でDTライン33を介して伝送されるデータの内容を確定する。

【0087】

データ処理装置10は、読み出しコマンドの供給が完了した時刻 $t_{3,2}$ においてコントロール信号をハイからローに切り換える。すなわち、“状態1”から“状態2”に切り換える。

【0088】

“状態2”となったら、メモリカード20は、“状態1”的ときに供給された読み出しコマンドに基づく処理、具体的には、読み出しコマンドで指定されたアドレスの主データをメモリ21からレジスタ22に読み出す処理を行う。この処理を行っている間、メモリカード20は、ステータス信号としてビジー信号をDTライン33を介してデータ処理装置10に供給する。すなわち、“状態2”的とき、メモリカード20は、まず、ステータス

10

20

40

50

ス信号としてビジー信号を出力する。このとき、データ処理装置10は、メモリカード20に供給したコマンドが読み出しコマンドであり、且つ現在の状態が“状態2”であることから、メモリカード20から出力されている信号がステータス信号であると判断する。

【0089】

その後、レジスタ22への主データの読み出しが完了したら、メモリカード20は、レジスタ22への主データの読み出しが完了した時刻 $t_{3,3}$ において、DTライン33を介してステータス信号としてビジー信号の出力を停止してデータ処理装置10に対して主データを供給する準備ができたことを示すレディー信号の出力を開始する。すなわち、“状態2”的とき、メモリカード20は、レジスタ22への主データの読み出しが完了したらステータス信号としてレディ信号を出力する。

10

【0090】

なお、本例では、“状態2”的ときに、DTライン33を介してメモリカード20から出力される信号がハイのときをビジー信号として、ローのときをレディ信号としている。この“状態2”的とき、データ処理装置10は、メモリカード20に供給したコマンドが読み出しコマンドであり、且つ現在の状態が“状態2”であることから、メモリカード20から出力されている信号がステータス信号であると判断することができる。したがって、メモリカード20からDTライン33を介して出力される信号をハイからローに切り換えるだけでも、データ処理装置10は、当該信号がビジー信号からレディ信号に切り換わったことを検出することができる。

【0091】

データ処理装置10は、メモリカード20からレディ信号を受け取ったら、読み出しコマンドに基づくメモリカード20の処理が完了したと判断する。そして、読み出しコマンドに基づくメモリカード20の処理が完了したと判断された時刻 $t_{3,4}$ においてコントロール信号をローからハイに切り換える。すなわち、“状態2”から“状態3”に切り換える。

20

【0092】

そして、“状態3”となったら、メモリカード20は、“状態2”的ときにレジスタ22へ読み出した主データをDTライン33を介してデータ処理装置10に伝送する。その後、メモリカード20からデータ処理装置10への主データの伝送が完了した時刻 $t_{3,5}$ において、データ処理装置10は、同期信号の供給を止めるとともにコントロール信号をハイからローに切り換える。すなわち、主データの伝送を行う“状態3”から、初期状態の“状態0”へと状態が戻される。

30

【0093】

なお、以上のような読み出し処理の影響等により、メモリカード20の内部状態に変化が生じて何らかの割り込み処理を行う必要が生じた場合、メモリカード20は、時刻 $t_{3,6}$ に示すように、“状態0”的ときに割り込みを示すインタラプト信号をDTライン33を介してデータ処理装置10に供給する。ここで、データ処理装置10は、“状態0”的ときにメモリカード20からDTライン33を介して信号が供給されたときには当該信号がインタラプト信号であると判別するように予め設定しておく。これにより、この信号は、データ処理装置10によってインタラプト信号であると判断される。このインタラプト信号を受け取ったデータ処理装置10は、当該インタラプト信号に基づいて必要な処理を行う。

40

【0094】

次に、図5を参照して主データの書き込みについて説明する。

【0095】

データ処理装置10とメモリカード20との間で何等データの伝送が行われていない状態では、コントロール信号がローとなっており、“状態0”的初期状態となっている。主データの書き込みに関する処理は、この“状態0”的初期状態から開始される。

【0096】

主データの書き込みに関する処理を開始する時刻 $t_{4,1}$ において、データ処理装置10

50

は、コントロールライン 3 2 を介してメモリカード 2 0 に供給されるコントロール信号をローからハイに切り換える。従って、DT ライン 3 3 に伝送されるデータの状態は、“状態 0”から“状態 1”に切り換えられる。メモリカード 2 0 は、このコントロール信号を取得することにより、“状態 0”から“状態 1”となったことを判断して、データ処理装置 1 0 から供給されるコマンドを取得する準備をする。そして、データ処理装置 1 0 は、この“状態 1”的ときに、DT ライン 3 3 を介して書き込みコマンドをメモリカード 2 0 に供給するとともに、その同期信号を CLK ライン 3 1 を介してメモリカード 2 0 に供給する。ここで、メモリカード 2 0 は、この“状態 1”的状態で書き込みコマンドを取得することにより、後の“状態 2”及び“状態 3”で DT ライン 3 3 を介して伝送されるデータの内容を確定する。

10

【0097】

データ処理装置 1 0 は、書き込みコマンドの供給が完了した時刻 $t_{4,2}$ において、コントロール信号をハイからローに切り換える。すなわち、“状態 1”から“状態 2”に切り換える。

【0098】

“状態 2”的ときに、データ処理装置 1 0 は、メモリカード 2 0 に書き込もうとする主データを DT ライン 3 3 を介してメモリカード 2 0 へ伝送し、この主データのメモリカード 2 0 への伝送が完了した時刻 $t_{4,3}$ においてコントロール信号をローからハイに切り換える。すなわち、“状態 2”から“状態 3”に切り換える。

20

【0099】

“状態 3”となったら、メモリカード 2 0 は、“状態 1”的ときに供給された書き込みコマンドに基づく処理、具体的には、“状態 2”的ときにデータ処理装置 1 0 から伝送された主データをメモリ 2 1 に書き込む処理を行う。この処理を行っている間、メモリカード 2 0 は、ステータス信号としてビジー信号を DT ライン 3 3 を介してデータ処理装置 1 0 に供給する。すなわち、“状態 3”的とき、メモリカード 2 0 は、まず、ステータス信号としてビジー信号を出力する。このとき、データ処理装置 1 0 は、メモリカード 2 0 に供給したコマンドが書き込みコマンドであり、且つ現在の状態が“状態 3”であることから、メモリカード 2 0 から出力されている信号がステータス信号であると判断する。

【0100】

その後、レジスタ 2 2 への主データの書き込みが完了したら、メモリカード 2 0 は、レジスタ 2 2 への主データの書き込みが完了した時刻 $t_{4,4}$ において、ステータス信号として、ビジー信号の出力を停止して、主データの書き込みが完了したことを示すレディー信号の出力を開始する。すなわち、“状態 3”的とき、メモリカード 2 0 は、レジスタ 2 2 への主データの書き込みが完了したらステータス信号としてレディ信号を出力する。

30

【0101】

なお、本例では、“状態 3”的ときに、DT ライン 3 3 を介してメモリカード 2 0 から出力される信号がハイのときをビジー信号として、ローのときをレディ信号としている。この“状態 3”的とき、データ処理装置 1 0 は、メモリカード 2 0 に供給したコマンドが書き込みコマンドであり、且つ現在の状態が“状態 3”であることからメモリカード 2 0 から出力されている信号がステータス信号であると判断することができる。したがって、メモリカード 2 0 から DT ライン 3 3 を介して出力される信号をハイからローに切り換えるだけでも、データ処理装置 1 0 は、当該信号がビジー信号からレディ信号に切り換わったことを検出することができる。

40

【0102】

データ処理装置 1 0 は、メモリカード 2 0 からレディ信号を受け取ったら書き込みコマンドに基づくメモリカード 2 0 の処理が完了したと判断する。そして、書き込みコマンドに基づくメモリカード 2 0 の処理が完了したと判断された時刻 $t_{4,5}$ において、データ処理装置 1 0 は、同期信号の供給を止めるとともに、コントロール信号をハイからローに切り換える。すなわち、主データの書き込みを行っている状態である“状態 3”から、初期状態の“状態 0”へと状態が戻される。

50

【0103】

なお、以上のような書き込み処理の影響等により、メモリカード20の内部状態に変化が生じて、何らかの割り込み処理を行う必要が生じた場合、メモリカード20は、時刻 t_{46} に示すように、“状態0”的ときに割り込みを示すインターラプト信号をDTライン33を介してデータ処理装置10に供給する。ここで、データ処理装置10は、“状態0”的ときにメモリカード20からDTライン33を介して信号が供給されたときには、当該信号がインターラプト信号であると判別するように予め設定しておく。これにより、この信号は、データ処理装置10によってインターラプト信号であると判断される。そして、このインターラプト信号を受け取ったデータ処理装置10は、当該インターラプト信号に基づいて必要な処理を行う。

10

【0104】

以上のように、本発明を適用したデータ処理装置10及びメモリカード20では、コントロール信号を切り換えてDTライン33に伝送するデータの内容を確定するようにしてあり、これにより、DTライン33によってコマンドや主データだけでなくステータス信号やインターラプト信号も伝送することが可能となっている。そのため、データ処理装置10とメモリカード20との間の信号ラインを少なくすることができる。従って、ビジー信号やインターラプト信号のための信号ラインを特別に設ける必要がなく、簡単な構成で確実なデータの伝送をすることができる。また、DTライン33に伝送させるデータの切り換えのオーバーヘッドを少なくすることもでき、データの伝送の効率が高くなる。

20

【0105】

なお、上述の例ではデータ処理装置10とメモリカード20の場合を挙げて説明したが、本発明をメモリカード20ではなく、他のデータ処理装置に適用することができる。この場合は、予め、伝送されるコマンド等を他のデータ処理装置に設定しておくことが必要となるが、メモリカード20に対するコマンドのみならず、あらゆるコマンドを伝送することができる。

【0106】

また、データ処理装置10とメモリカード20との間の第2のデータの伝送方法の説明では、コントロール信号で切り換えるDTライン33の伝送データの内容を、状態0、状態1、状態2、状態3の4パターンについて例示して説明したが、この4パターンに限らず伝送するコマンドの内容に応じてこれ以上のパターンに切り換えてよい。

30

【0107】

さらに、データ処理装置10とメモリカード20との間の第2のデータの伝送方法の説明では、DTライン33の伝送データの状態をコントロール信号のオンオフで切り換える場合について説明したが、図6や図7に示すように、パルス信号で切り換えるようにしてもよい。なお、図6及び図7は、コントロール信号としてパルス信号を用いたときのタイムチャートであり、図6は、図4と同様にデータ処理装置10によってメモリカード20に書き込まれている主データを読み出すときのタイムチャート、図7は、図5と同様にデータ処理装置10によってメモリカード20に主データを書き込むときのタイムチャートである。

40

【0108】

さらに、以上説明したメモリカード20には、例えば、CLKライン31、コントロールライン32及びDTライン33の他に、1本の電源ライン、3本のグランドライン及び3本のリザーブラインを設けて合計10本の信号ラインを有している。なお、3本のリザーブラインを設けたときには、これら3本のリザーブラインをDTラインとして使用して先のDTライン33と合わせてDTラインを4本とし、これら4本のDTラインをパラレルに使用するようにしてもよい。また、3本のリザーブラインを設けたときには、これら3本のリザーブラインをそれぞれCLKライン、コントロールライン及びDTラインとして使用して、先のCLKライン31、コントロールライン32及びDTライン33と合わせて、CLKライン、コントロールライン及びDTラインの組みを2つ設けるようにしてもよい。

50

【0109】

ところで、以上の説明で挙げた第2のデータ伝送方法において、DTライン33で伝送されるコマンドや主データについては、エラー訂正コード等と一緒に伝送することで、外部からのノイズ等に対処できるが、コントロールライン31で伝送されるコントロール信号については、ハイからローへの切り換え、又はローからハイへの切り換えだけで、“状態0”、“状態1”、“状態2”、“状態3”的推移を示すようにしているので外部からのノイズ等の影響を受けるおそれがある。

【0110】

例えば、図4及び図5に挙げた例では、“状態0”及び“状態2”的ときにコントロール信号をローとして、“状態1”及び“状態3”的ときにコントロール信号をハイとしている。そして、“状態0”と“状態2”との判別や、“状態1”と“状態3”との判別は、それらの状態の推移を追うことにより判別するようにしている。したがって、状態の推移が正しく検出されないと、メモリカード20は、“状態0”と“状態2”とを間違えて判断してしまったり、“状態1”と“状態3”とを間違えて判断してしまったりするおそれがある。

【0111】

例えば、図4に示すように主データの読み出しを行う際に、コントロール信号にノイズがのり、メモリカード20が“状態1”と“状態3”とを間違えて判断してしまうと、データ処理装置10からメモリカード20に送られるコマンドとメモリカード20から読み出された主データとがDTライン33上でぶつかってしまう可能性がある。

【0112】

また、図4に示すように主データの読み出しを行う際に、コントロール信号にノイズがのり、メモリカード20が“状態0”と“状態2”とを間違えて判断してしまうと、“状態2”的ときに出力すべきビジー信号やレディ信号が“状態0”的ときに送出されてしまったり、“状態0”的ときに出力すべきインタラプト信号が“状態2”的ときに送出されてしまったりする可能性がある。

【0113】

さらに、図5に示すように主データの書き込みを行う際に、コントロール信号にノイズがのり、メモリカード20が“状態1”と“状態3”とを間違えて判断してしまうと、データ処理装置10からメモリカード20に送られるコマンドとメモリカード20から出力されるステータス信号とがDTライン33上でぶつかってしまう可能性がある。あるいは、データ処理装置10の側はメモリカード20からのレディ信号を待ち、メモリカード20の側はデータ処理装置10からのコマンドを待つような状態となり、DTライン33でのデータの送受信が止まってしまう可能性もある。

【0114】

さらにまた、図5に示すように主データの書き込みを行う際に、コントロール信号にノイズがのり、メモリカード20が“状態0”と“状態2”とを間違えて判断してしまうと、データ処理装置10からメモリカード20に送られる主データとメモリカード20から出力されたインタラプト信号とがDTライン33上でぶつかってしまう可能性がある。

【0115】

以上のような問題を回避するには、例えば、レディ信号を所定の周期にて信号レベルの変化が繰り返される信号とし、メモリカード20からの信号出力がない状態をビジー信号として検出するようにすればよい。以下、このようにレディ信号及びビジー信号を検出するようにした例について具体的に説明する。

【0116】

なお、以下の説明では、メモリカード20に書き込まれている主データを読み出す場合を例に挙げ、図8のタイムチャート、図9及び図10のフローチャートを参照して説明する。ここで、図8は、図4と同様にメモリカード20に書き込まれている主データを読み出すときのタイムチャートであるが、本例ではビジー信号やレディ信号の内容が図4の例とは異なる。また、図9は、メモリカード20に書き込まれている主データを読み出す際

10

20

30

40

50

のデータ処理装置 10 の側の処理の流れを示すフローチャートであり、図 10 は、メモリカード 20 に書き込まれている主データを読み出す際のメモリカード 20 の側の処理の流れを示すフローチャートである。

【0117】

まず、図 8 及び図 9 を参照しながら、データ処理装置 10 側の処理について説明する。

【0118】

メモリカード 20 から主データを読み出すとき、データ処理装置 10 は、まず、メモリカード 20 からの主データの読み出しを指示するコマンドである読み出しコマンドをレジスタ 12 に書き込む。その後、ステップ S1 に示すように、データ処理装置 10 は、ホスト側コントローラ 14 の制御により、ホスト側シリアルインターフェース回路 13 から出力されるコントロール信号をハイにして“状態 1”にする(図 8 の時刻 $t_{5,1}$)。また、この“状態 1”的とき、データ処理装置 10 は、レジスタ 12 からホスト側シリアルインターフェース回路 13 へ読み出しコマンドを読み出し、当該読み出しコマンドにエラー訂正コード等を付けた上で当該読み出しコマンドを DT ライン 33 を介してメモリカード 20 へ送出する。

【0119】

読み出しコマンドの送出が完了したら、データ処理装置 10 は、ホスト側コントローラ 14 の制御により、ホスト側シリアルインターフェース回路 13 から出力されるコントロール信号をローにして“状態 2”にする(図 8 の時刻 $t_{5,2}$)。この“状態 2”的とき、データ処理装置 10 は、メモリカード 20 から送られてくるステータス信号の検出を行う。そして、ステップ S2 において、データ処理装置 10 は、ビジー信号が検出されたか否かを判断する。

【0120】

このとき、ホスト側シリアルインターフェース回路 13 は、DT ライン 33 を介して送られてくる信号が信号レベルに特別な変化のないほぼ一定の信号(以下、DC 信号と称する。)の場合には、当該 DC 信号がメモリカード 20 が信号の入力を受け付けない状態であることを示すビジー信号であると判断する。また、DT ライン 33 を介して送られてくる信号が所定の周期にて信号レベルの変化が繰り返される信号(以下、AC 信号と称する。)の場合には、当該信号がメモリカード 20 が信号の入力待ち状態であることを示すレディ信号であると判断する。

【0121】

このとき、ホスト側シリアルインターフェース回路 13 は、DT ライン 33 を介して送られてくる信号が DC 信号であるか AC 信号であるかを判断するだけである。したがって、ホスト側シリアルインターフェース回路 13 は、メモリカード 20 から一定のレベルの信号が送られているときに、当該信号をビジー信号として検出するだけでなく、メモリカード 20 が信号の出力を停止しているときもステータス信号がビジー信号になっていると判断する。

【0122】

そして、ステップ S2 において、ビジー信号が検出された場合には、ステップ S3 へ進む。ステップ S3 において、データ処理回路 10 はビジー信号が予め規定された所定時間以上続いているか否かを判断する。ビジー信号が予め規定された所定時間以上続いている場合には、タイムアウトが発生したものとしてステップ S1 へ戻って処理を繰り返す。すなわち、ビジー信号が予め規定された所定時間以上続いている場合、データ処理回路 10 は、メモリカード 20 の側で何らかのエラーが発生したものと判断して、もう一度“状態 1”に戻って読み出しコマンドの送出をやり直す。

【0123】

一方、ビジー信号が予め規定された所定時間に達していない場合には、ステップ S2 へ戻って処理を繰り返す。すなわち、メモリカード 20 からのステータス信号がビジー信号からレディ信号に変わるまで、データ処理回路 10 は、ステップ S2 及びステップ S3 の処理を繰り返す。

10

20

30

40

50

【0124】

なお、後述するように、メモリカード20は、何らかのエラーが発生したときには信号の出力を止めるようになっている。このとき、DTライン33の信号レベルは、いわゆるプルダウン抵抗として作用する抵抗33aがDTライン33に接続されているので、直前の状態がローのときにはローの状態が維持され、直前の状態がハイのときには徐々にローの状態へと変化する。これらの状態は、いずれの場合も、データ処理装置10にはDC信号として、すなわちビジー信号として検出される。すなわち、メモリカード20の側でエラーが発生した場合には、ビジー信号が継続されることとなる。したがって、メモリカード20の側でエラーが発生した場合には、ステップS2及びステップS3での判断により当該エラーの発生を検出することができる。

10

【0125】

換言すれば、このデータ処理装置10及びメモリカード20では、メモリカード20にエラーが発生した場合、エラーの発生を示す特別な信号をメモリカード20からデータ処理装置10に送出することなくデータ処理装置10によってエラーの発生が検出されるようになっている。

【0126】

一方、メモリカード20の処理にエラーが発生することなく無事に処理が完了して、メモリカード20が外部からの信号入力を受け付ける状態となると、メモリカード20から出力されるステータス信号は、ビジー信号からレディ信号に変わる(図8の時刻t₅₃)。ここで、レディ信号は、上述したように、所定の周期にて信号レベルの変化が繰り返されるAC信号である。このレディ信号は、データ処理装置10によって速やか且つ確実に検出されるように同期信号の周波数以下の周波数で信号レベルが変化するような信号としておくことが好ましい。具体的には、例えば、同期信号の1/2の周波数で、信号レベルがハイ、ロー、ハイ、ローと反転を繰り返すような信号とする。

20

【0127】

そして、ステップS2において、ビジー信号が検出されなくなったら、すなわちレディ信号が検出されたらステップS4へ進む。ステップS4において、データ処理装置10は、ホスト側コントローラ14の制御によりホスト側シリアルインターフェース回路13から出力されるコントロール信号をハイにして“状態3”にする(図8の時刻t₅₄)。この“状態3”的とき、データ処理装置10は、メモリカード20から読み出された主データを、ホスト側シリアルインターフェース回路13によって受信する。ホスト側シリアルインターフェース回路13によって受信された主データは、ホスト側コントローラ14の制御によりレジスタ12を介してデータ処理部11へ転送される。

30

【0128】

メモリカード20から読み出された主データの受信が完了したら、データ処理装置10は、ホスト側コントローラ14の制御によりホスト側シリアルインターフェース回路13から出力されるコントロール信号をローにして“状態0”にする(図8の時刻t₅₅)。

【0129】

その後、ステップS5において、データ処理装置10は、インタラプト信号が検出されたか否かを判断する。ここで、インタラプト信号は、メモリカード20が何らかの割り込み処理を要求していることを示す信号である。インタラプト信号が検出されたら、ステップS6へ進む(図8の時刻t₅₆)。ステップS6において、データ処理装置10は、検出されたインタラプト信号をデータ処理部11に送り、その後、当該インタラプト信号に応じた割り込み処理を行うためにステップS1へ戻って処理を繰り返す。

40

【0130】

一方、ステップS5でインタラプト信号が検出されていない場合には、ステップS7へ進む。ステップS7において、データ処理装置10は、メモリカード20に対して行うべき何らかの処理があるか否か、すなわち、メモリカード20に送出すべきコマンドがあるか否かを判断する。そして、データ処理装置10は、メモリカード20に送出すべきコマンドがない場合はステップS5へ戻って処理を繰り返し、メモリカード20に送出すべき

50

コマンドがある場合はステップS1へ戻ってコマンドの送出から処理を繰り返す。すなわち、インターラプト信号が発生する前にメモリカード20に対する何らかの処理の要求、例えばメモリカード20の内部のステータスを検出する処理の要求等があったらステップS1へ戻って、当該処理に対応したコマンドの送出を行う。

【0131】

次に、図8及び図10を参照しながら、メモリカード20の側の処理について説明する。

【0132】

データ処理装置10によって主データが読み出されるとき、メモリカード20は、まず、ステップS11において、ホスト側シリアルインターフェース回路13から出力されるコントロール信号がハイであり、且つ、現在の状態が“状態1”であるとメモリカード20が認識しているときにホスト側シリアルインターフェース回路13からDTライン33を介して送られてきたデータをコマンドとして受け取る(図8の時刻t₅₁)。なお、データ処理装置10からのデータの送出が完了すると、コントロール信号はローからハイに切り換わる。

【0133】

次に、ステップS12において、ステップS11におけるコマンドの受信時にエラーが生じたか否かを判断する。このとき、エラーが生じるのは、例えば、メモリカード20の側は“状態1”であると認識していたが、データ処理装置10の側は“状態3”であると認識しており、送られてきたデータがコマンドではなかった場合である。

【0134】

コマンドの受信時にエラーが生じた場合にはステップS13に進み、メモリカード20からの信号出力を停止した上で、ステップS11へ戻ってデータ処理装置10からのコマンドの再入力の待ち状態となる。すなわち、カード側シリアルインターフェース回路23は、ホスト側シリアルインターフェース回路13からのコマンドの受信時にエラーが生じたときには信号の出力を停止して新たなコマンドの入力待ち状態となる。なお、メモリカード20からの信号出力が停止しているとき、データ処理装置10の側はビジー信号を検出している状態となる。

【0135】

一方、コマンドの受信時にエラーが生じていない場合には、“状態2”に移行する(図8の時刻t₅₂)。そして、ステップS14へ進んで、メモリカード20は、ステップS11で受信したコマンドに応じた処理を行うとともに、データ処理装置10への主データの送出の準備が完了したか否かを判別する。準備が完了していなければステップS15へ進み、準備が完了したらステップS16へ進む。

【0136】

ステップS15において、カード側シリアルインターフェース回路23は、信号レベルが一定のビジー信号を出力し、その後、ステップS14に戻ってデータ処理装置10への主データの送出の準備が完了したか否かの判別を繰り返す。すなわち、カード側シリアルインターフェース回路23は、データ処理装置10への主データの送出の準備が完了するまで信号レベルが一定のビジー信号の出力を継続する。

【0137】

データ処理装置10への主データの送出の準備が完了したらステップS16へ進み、ステップS16において、カード側シリアルインターフェース回路23は、ホスト側シリアルインターフェース回路13へレディ信号を送出する(図8の時刻t₅₃)。ここで、レディ信号は、上述したように、例えば、同期信号の1/2の周波数の信号である。

【0138】

レディ信号がデータ処理装置10によって検出されると、コントロール信号がローからハイに切り換わる。すなわち、“状態2”から“状態3”に切り換わる(図8の時刻t₅₄)。“状態3”となったら、ステップS17において、カード側コントローラ24は、ステップS11で受信したコマンドによって読み出すように指示された主データを、カ-

10

20

30

40

50

ド側シリアルインターフェース回路 23 を介して D T ライン 33 によりホスト側シリアルインターフェース回路 13 へ C L K ラインによって伝送されている同期信号に同期させて送出する。この主データ全てがデータ処理装置 10 によって受信されると、コントロール信号はハイからローに切り換わる。すなわち、" 状態 3 " から " 状態 0 " に切り換わる(図 8 の時刻 t_{55})。

【 0139 】

次に、ステップ S18 において、カード側コントローラ 24 は、何らかの割り込み処理の要求があるか否かを判断する。割り込み処理の要求がない場合はステップ S19 へ進み、割り込み処理の要求がある場合はステップ S20 へ進む。

【 0140 】

ステップ S19 において、カード側コントローラ 24 は、ホスト側シリアルインターフェース回路 13 から供給されるコントロール信号がローからハイに切り換わったか否か、すなわち、" 状態 0 " から " 状態 1 " に切り換わったか否かを判断する。そして、" 状態 1 " に切り換わったならば、ステップ S11 へ戻って、コマンドの受信から処理を繰り返す。一方、" 状態 0 " のままならば、ステップ S18 へ戻って処理を繰り返す。すなわち、このメモリカード 20 は、割り込み処理が発生するか、あるいは状態が " 状態 0 " から " 状態 1 " に切り換わるまで、ステップ S18 及びステップ S19 の処理を繰り返す。

【 0141 】

一方、ステップ S18 において、割り込み処理の要求があると判断されたら、ステップ S20 及びステップ 21 に示すように、カード側シリアルインターフェース回路は、状態が " 状態 0 " から " 状態 1 " に切り換わるまでインタラプト信号を出力する。このとき、データ処理装置 20 によってインタラプト信号が検出されると、ホスト側シリアルインターフェース回路 13 から供給されるコントロール信号がローからハイに切り換わり、状態が " 状態 0 " から " 状態 1 " に切り換わることとなる。そして、状態が " 状態 0 " から " 状態 1 " に切り換わったらステップ S11 へ戻り、メモリカード 20 は、コマンドの受信から処理を繰り返す。なお、このときは、ステップ S20 で送出したインタラプト信号に応じた処理を行うコマンドを受信することとなる。

【 0142 】

以上のように、メモリカード 20 が実際に処理を行っているときに出力される信号をビギー信号とするだけでなく、メモリカード 20 からの信号出力がない状態のときもビギー信号として検出することによりメモリカード 20 が状態を誤って判断したままデータ伝送の処理が進むようになることがある。したがって、メモリカード 20 から出力されるデータとデータ処理装置 10 から出力されるデータとがぶつかってしまったり、メモリカード 20 とデータ処理装置 10 との間で誤ったデータのやり取りがなされたり、メモリカード 20 とデータ処理装置 10 とが互いに待ち状態となってデータの伝送がされなくなってしまうたりするようになる。

【 図面の簡単な説明 】

【 0143 】

【 図 1 】本発明に係るデータ処理装置及びこのデータ処理装置に用いられるメモリカードを示すブロック図である。

【 図 2 】上記メモリカードの出力回路を示す回路図である。

【 図 3 】上記データ処理装置とメモリカードの間を伝送するデータのタイムチャートである。

【 図 4 】上記データ処理装置とメモリカードの間を伝送するデータのタイムチャートである。

【 図 5 】上記データ処理装置とメモリカードの間を伝送するデータのタイムチャートである。

【 図 6 】上記データ処理装置とメモリカードの間を伝送するデータのタイムチャートである。

【 図 7 】上記データ処理装置とメモリカードの間を伝送するデータのタイムチャートであ

10

20

30

40

50

る。

【図 8】上記データ処理装置とメモリカードの間を伝送するデータのタイムチャートである。

【図 9】メモリカードからデータを読み出す際のデータ処理装置側の処理の流れを示すフローチャートである。

【図 10】メモリカードからデータを読み出す際のメモリカード側の処理の流れを示すフローチャートである。

【図 11】従来のデータ処理装置とメモリカードを示すブロック図である。

【図 12】従来のデータ処理装置とメモリカードの間を伝送するデータのタイムチャートである。

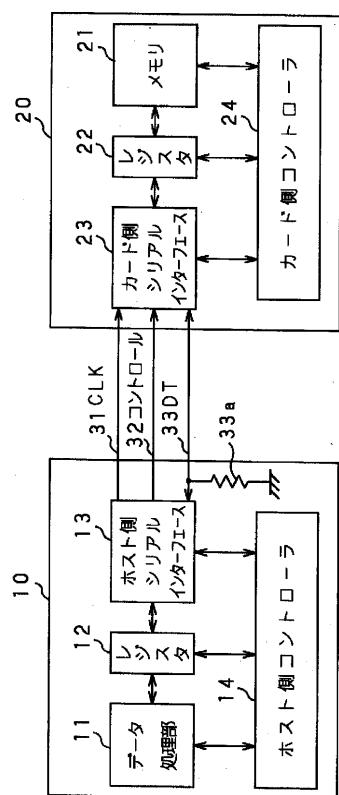
10

【符号の説明】

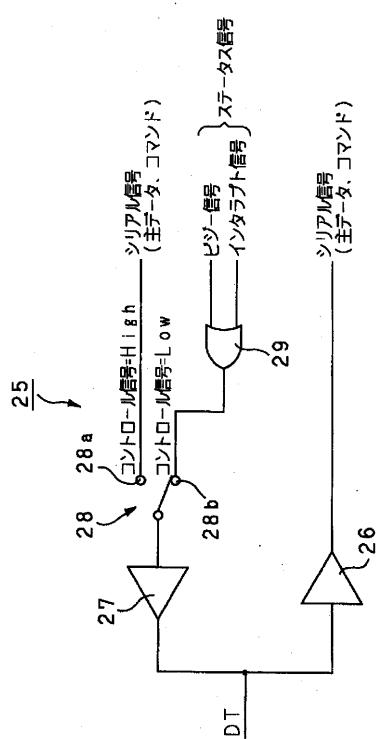
【0144】

10 データ処理装置、11 データ処理部、12 レジスタ、13 ホスト側シリアルインターフェース回路、14 ホスト側コントローラ、20 メモリカード、
21 メモリ、22 レジスタ、23 カード側シリアルインターフェース回路、
24 カード側コントローラ、31 CLK ライン、32 コントロールライン、
33 DT ライン

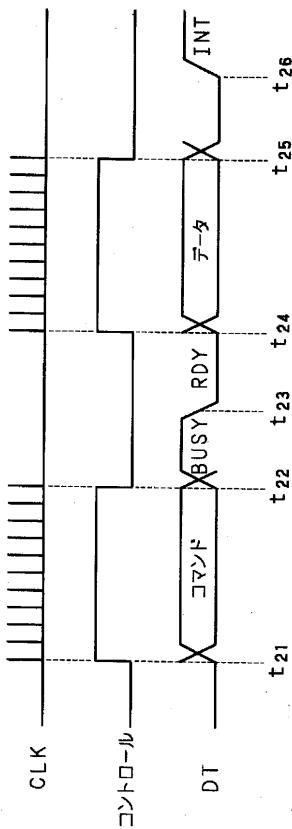
【図 1】



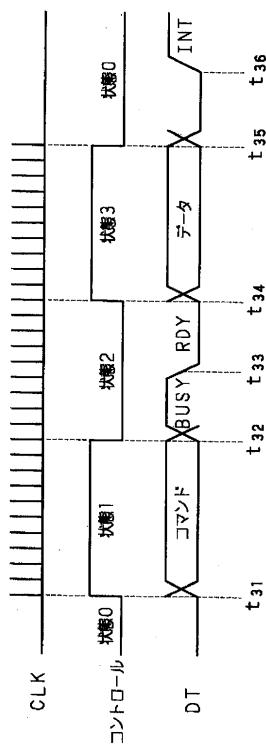
【図 2】



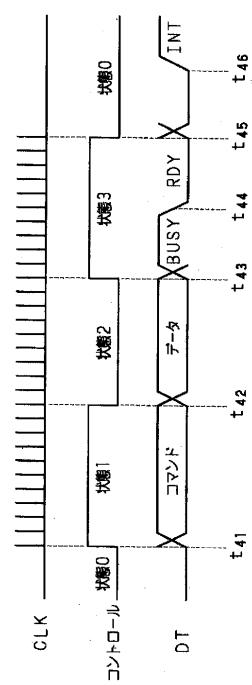
【図3】



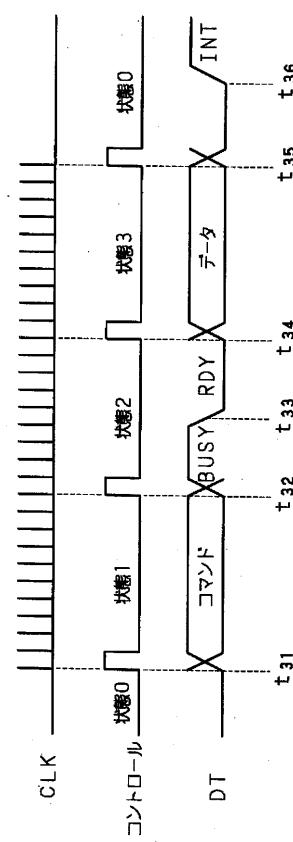
【図4】



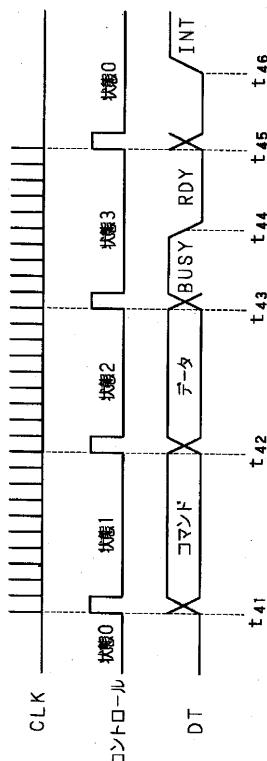
【図5】



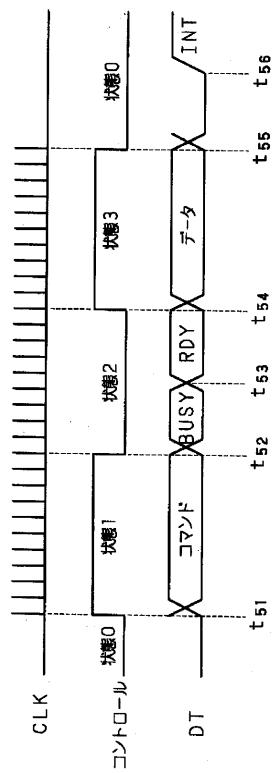
【図6】



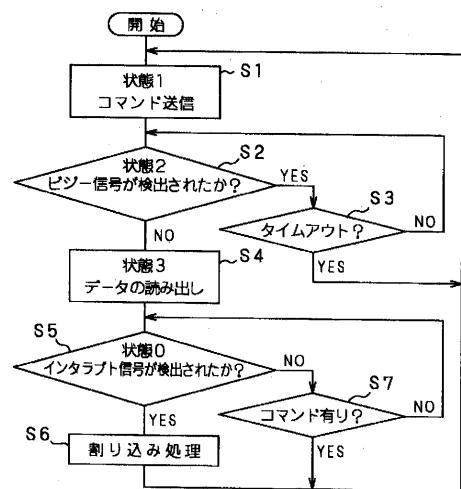
【図7】



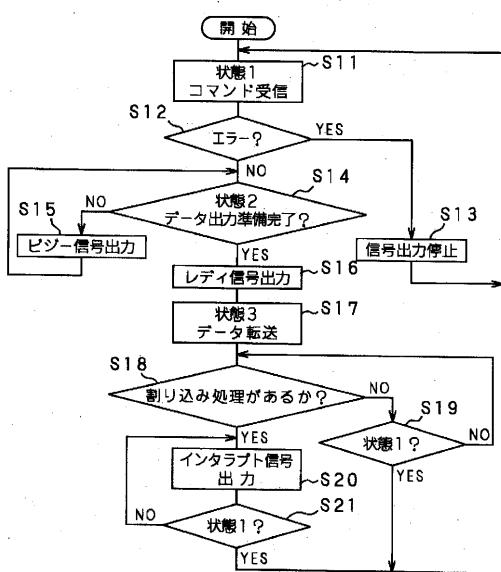
【図8】



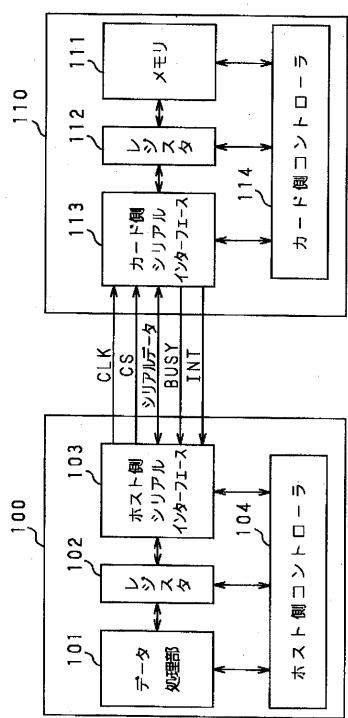
【図9】



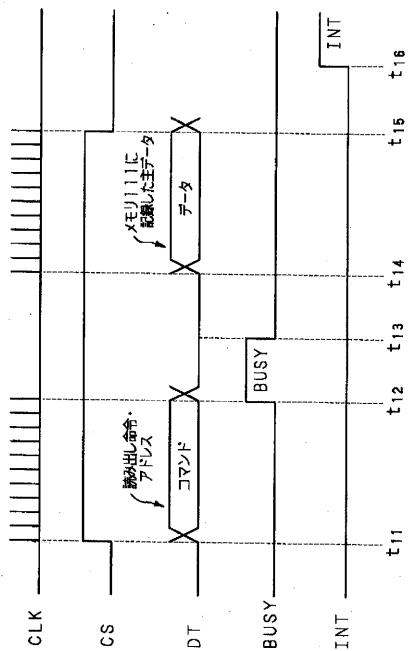
【図10】



【図 1 1】



【図 1 2】



フロントページの続き

F ターム(参考) 5B058 CA13 CA23 KA40
5B077 AA44 MM01 MM02 NN02
5K034 AA12 CC01 EE08 FF01 FF15 FF18 GG00 PP01