

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年8月16日(2007.8.16)

【公表番号】特表2005-513785(P2005-513785A)

【公表日】平成17年5月12日(2005.5.12)

【年通号数】公開・登録公報2005-018

【出願番号】特願2003-553631(P2003-553631)

【国際特許分類】

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

G 02 F 1/1368 (2006.01)

H 01 L 21/20 (2006.01)

H 01 L 21/208 (2006.01)

H 01 L 21/3065 (2006.01)

【F I】

H 01 L 29/78 6 2 7 G

G 02 F 1/1368

H 01 L 21/20

H 01 L 21/208 Z

H 01 L 29/78 6 2 7 A

H 01 L 29/78 6 1 9 A

H 01 L 21/302 1 0 5 B

【誤訳訂正書】

【提出日】平成19年6月19日(2007.6.19)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

非晶質シリコン薄膜にレーザーを照射して側面固相結晶工程によって前記非晶質シリコン薄膜を結晶化して多結晶シリコン薄膜を形成する段階、

プラズマを利用した乾式エッチングによって前記多結晶シリコン薄膜の表面を平坦化する段階、

前記多結晶シリコン薄膜をパターニングして半導体層を形成する段階、

前記半導体層を覆うゲート絶縁膜を形成する段階、

前記半導体層と反対側の前記ゲート絶縁膜の上部にゲート電極を形成する段階、

前記半導体層に不純物を注入して前記ゲート電極を中心にして両側にソース領域及びドレーン領域を形成する段階、及び

前記ソース及びドレーン領域と各々電気的に連結されるソース電極及びドレーン電極を各々形成する段階、

を含み、

前記側面固相結晶工程では、前記レーザーの透過領域を定義する複数のスリットパターンを有するマスクが用いられ、前記スリットパターンは、前記多結晶シリコン薄膜のグレーンが少なくとも二つ以上の方向に成長するように、少なくとも二つ以上の領域で第1方向と前記第1方向に対して垂直な第2方向とに配列されている、薄膜トランジスタの製造方法。

【請求項 2】

前記ドレーン電極と連結されている画素電極を形成する段階と、

前記ドレーン電極と前記画素電極との間に窒化ケイ素またはSiOCまたはSiOFまたは有機絶縁物質からなる保護膜を形成する段階と、をさらに含む、請求項1に記載の薄膜トランジスタの製造方法。

【請求項 3】

前記プラズマを利用した乾式エッチングは、酸素、水素、またはヘリウムを利用する、請求項1に記載の薄膜トランジスタの製造方法。

【請求項 4】

前記プラズマを利用した乾式エッチングは、Cl₂、SF₆、Arの気体が2.5-3.5:0.5-1.5:1.5-2.5の範囲で混合された混合気体を利用する、請求項1に記載の薄膜トランジスタの製造方法。

【請求項 5】

前記プラズマを利用した乾式エッチングは、5mT以下の圧力で実施する、請求項1に記載の薄膜トランジスタの製造方法。

【請求項 6】

前記少なくとも2つの領域は、前記第1方向に配列されている前記スリットパターンを有する第1領域と前記第2方向に配列されている前記スリットパターンを有する第2領域とを有し、前記第1領域において前記第1方向に配列されている前記スリットパターンと前記第2領域において前記第2方向に配列されている前記スリットパターンとは互いに垂直に配置されている、請求項1に記載の薄膜トランジスタの製造方法。

【請求項 7】

前記スリットパターンが前記第1方向に配列されている前記領域は二つであり、前記スリットパターンが前記第2方向に配列されている前記領域は二つである、請求項6に記載の薄膜トランジスタの製造方法。

【請求項 8】

前記第1方向に配列された前記二つの領域の複数のスリットパターンの位置は、互いにスリットパターン間の距離分ずれて配置され、前記第2方向に配列された前記二つの領域の複数のスリットパターンの位置は、スリットパターン間の距離分ずれて配置されている、請求項7に記載の薄膜トランジスタの製造方法。

【請求項 9】

非晶質シリコン薄膜にレーザーを照射して側面固相結晶工程によって前記非晶質シリコン薄膜を結晶化して多結晶シリコン薄膜を形成する段階、

プラズマを利用した乾式エッチングによって前記多結晶シリコン薄膜の表面を平坦化する段階、

前記多結晶シリコン薄膜をパターニングして半導体層を形成する段階、

前記半導体層を覆うゲート絶縁膜を形成する段階、

前記半導体層と反対側の前記ゲート絶縁膜の上部にゲート電極を形成する段階、

前記半導体層に不純物を注入して前記ゲート電極を中心にして両側にソース領域及びドレーン領域を形成する段階、及び

前記ソース及びドレーン領域と各々電気的に連結されるソース電極及びドレーン電極を各々形成する段階、

を含み、

前記側面固相結晶工程では、前記レーザーの透過領域を定義する複数のスリットパターンを有するマスクが用いられ、前記スリットパターンの幅は、一方向に対して順に減少したり増加したりする、薄膜トランジスタの製造方法。

【請求項 10】

前記ドレーン電極と連結されている画素電極を形成する段階と、

前記ドレーン電極と前記画素電極との間に窒化ケイ素またはSiOCまたはSiOFまたは有機絶縁物質からなる保護膜を形成する段階と、をさらに含む、請求項9に記載の薄膜トラン

ジスタの製造方法。**【請求項 1 1】**

前記プラズマを利用した乾式エッチングは、酸素、水素、またはヘリウムを利用する、請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 1 2】

前記プラズマを利用した乾式エッチングは、Cl₂、SF₆、Arの気体が 2 . 5 - 3 . 5 : 0 . 5 - 1 . 5 : 1 . 5 - 2 . 5 の範囲で混合された混合気体を利用する、請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 1 3】

前記プラズマを利用した乾式エッチングは、5 mT以下の圧力で実施する、請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 1 4】

前記マスクは、前記スリットパターンを備える少なくとも二つ以上の領域を有し、それぞの領域における前記スリットパターンは、同一の幅で形成されている、請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 1 5】

前記領域で前記一向方に配列されている複数のスリットパターンは、同一の中心線上に位置する、請求項 1 4 に記載の薄膜トランジスタの製造方法。

【請求項 1 6】

それぞれの前記領域で前記一向方に配列されている前記スリットパターンの幅は、最小の前記スリットパターンの幅に対して倍数の幅を有する、請求項 1 5 に記載の薄膜トランジスタの製造方法。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】多結晶シリコンを利用した薄膜トランジスタの製造方法

【技術分野】

【0 0 0 1】

本発明は、多結晶シリコンを利用した薄膜トランジスタの製造方法に関する。

【背景技術】

【0 0 0 2】

一般に、液晶表示装置は、電極が形成されている二つの基板及びその間に注入されている液晶物質を含み、二つの基板は、周縁に印刷されており液晶物質を封じ込める封止材によって結合され、二つの基板の間に散布されている間隔材によって支持されている。

【0 0 0 3】

このような液晶表示装置は、二つの基板の間に注入されている異方性誘電率を有する液晶物質に電極を利用して電界を印加し、この電界の強さを調節して基板に透過される光の量を調節することによって画像を表示する装置である。この時、電極に伝達される信号を制御するために薄膜トランジスタを使用する。

【0 0 0 4】

液晶表示装置に用いられる最も一般的な薄膜トランジスタでは、非晶質シリコンを半導体層として使用する。

【0 0 0 5】

このような非晶質シリコン薄膜トランジスタは、大略 0 . 5 ~ 1 cm² / Vsec の程度の移動度 (mobility) を有しており、液晶表示装置のスイッチング素子としては使用可能であるが、移動度が小さくて液晶パネルの上部に直接駆動回路を形成するには不適切な短所がある。

【 0 0 0 6 】

したがって、このような問題点を克服するために、電流移動度が大略 $20 \sim 150 \text{ cm}^2/\text{Vsec}$ の程度である多結晶シリコンを半導体層として使用する多結晶シリコン薄膜トランジスタ液晶表示装置が開発されており、多結晶シリコン薄膜トランジスタは、比較的に高い電流移動度を有しているので駆動回路を液晶パネルに内蔵するチップインガラス (Chip in Glass) を実現することができる。

【 0 0 0 7 】

多結晶シリコンの薄膜を形成する技術としては、基板の上に直接多結晶シリコンを高温で蒸着する方法、非晶質シリコンを積層して 600 程度の高温で結晶化する固相結晶化方法、非晶質シリコンを積層してレーザーなどを利用して熱処理する方法などが開発された。しかし、このような方法は、高温の工程が要求されるために液晶パネル用ガラス基板への適用が難しく、結晶粒界を均一に調節することができないので、薄膜トランジスタ間の電気的な特性に対する均一度を低下させる短所がある。

【 0 0 0 8 】

このような問題点を解決するために、結晶粒界の分布を人為的に調節することができる順次的側面固相結晶 (sequential lateral solidification) 工程が開発された。これは、多結晶シリコンのグレーンが、レーザーが照射された液相領域とレーザーが照射されていない固相領域との境界で、その境界面に対して垂直方向に成長するという事実を利用した技術である。このために、レーザービームは、スリットパターンを有するマスクを用いて局部的に非晶質シリコンを完全に溶かして非晶質シリコン層にスリット状の液相領域を形成する。次に、液相の非晶質シリコンは冷却されて結晶化が進むが、結晶はレーザーが照射されていない固相領域の境界からその境界面に対して垂直方向に成長し、グレーン等の成長は、液相領域の中央で互いに出会えば止まるようになる。このような工程を繰り返してマスクのスリットをグレーンの成長方向に移動しながら進行すれば、順次的側面固相結晶は電領域にわたって進行することができる。

【 0 0 0 9 】

しかし、順次的側面固相結晶を通じて結晶化された多結晶シリコン層のグレーン境界面には突出部が形成される。このため、多結晶シリコン層の上部に感光膜を塗布する時に感光膜が完全に塗布されない問題点が発生する。このような問題点を解決するために、有機洗浄や HF を利用した洗浄を行うが、突出部が完全に除去されず、効果的ではなかった。

【発明の開示】**【発明が解決しようとする課題】****【 0 0 1 0 】**

本発明の目的は、多結晶工程の際に形成される突出部を効果的に除去することができる多結晶シリコンを利用した薄膜トランジスタの製造方法を提供することにある。

【課題を解決するための手段】**【 0 0 1 1 】**

前記のような課題を解決するために本発明では、非晶質シリコンを多結晶シリコンに結晶化した後、プラズマ工程を利用した乾式エッティングによって多結晶シリコン層の表面を平坦化する。

【 0 0 1 2 】

より詳細には、まず、絶縁基板上に非晶質シリコン薄膜を形成した後、非晶質シリコン薄膜にレーザーを照射して側面固相結晶工程によって非晶質シリコン薄膜を結晶化して多結晶シリコン薄膜を形成する。次に、プラズマを利用した乾式エッティングによって多結晶シリコン薄膜の表面を平坦化し、多結晶シリコン薄膜をバーニングして半導体層を形成する。次に、半導体層を覆うゲート絶縁膜を形成し、ゲート絶縁膜の上部の半導体層と反対側にゲート電極を形成した後、半導体層に不純物を注入してゲート電極を中心にして両側にソース及びドレーン領域を形成する。次に、ソース及びドレーン領域と各々電気的に連結されるソース及びドレーン電極を各々形成する。

【 0 0 1 3 】

ここで、ドレーン電極と画素電極との間に窒化ケイ素、SiOC、SiOFまたは有機絶縁物質からなる保護膜を形成することができる。

【0014】

プラズマを利用した乾式エッチングは、酸素、水素、またはヘリウムを利用することができ、Cl₂、SF₆、Arの気体が2.5-3.5:0.5-1.5:1.5-2.5の範囲で混合された混合気体を利用できる。この時、プラズマを利用した乾式エッチングは、5mT以下の圧力で実施するのが好ましい。

【0015】

側面固相結晶工程で照射されるレーザーの透過領域を定義するスリットパターンは、グレーンが少なくとも二つ以上の方向に成長するように少なくとも二つ以上の領域で第1方向と第1方向に対して垂直な第2方向に配列されているマスクを用いることができる。少なくとも2つの領域において第1方向に配列された前記スリットパターンを有する第1領域と前記第2方向に配列されている前記スリットパターンを有する第2領域とを有し、前記第1領域において前記第1方向に配列されている前記スリットパターンと前記第2領域において前記第2方向に配列されている前記スリットパターンとは互いに垂直に配置されている。

【0016】

また、側面固相結晶工程では、照射されるレーザーの透過領域を定義し、一方向に対して順に減少したり増加する幅で形成されている複数のスリットパターンが配列されているマスクを用いることができる。この時、スリットパターンは、少なくとも二つ以上の領域に分離されて配列されており、それぞれの領域においてスリットパターンは同一な幅で形成されており、複数の領域において特定の方向に配列されている複数のスリットパターンは同一な中心線上に位置する。

【発明の効果】

【0017】

本発明では、非晶質シリコン層を多結晶シリコン層に結晶化した後、プラズマ工程を利用した乾式エッチングによって平坦化して多結晶シリコン層の平坦度を向上させて感光膜を均一に塗布することができ、これにより、薄膜トランジスタ及びこれを含む表示装置の特性を向上させることができる。

【発明を実施するための最良の形態】

【0018】

以下、添付した図面を参考にして本発明の実施例による多結晶シリコンを利用した薄膜トランジスタの製造方法について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。

【0019】

本発明の実施例では、局部的にエキシマレーザーを照射して非晶質シリコンを完全に溶融させて液相領域を形成し、冷却させながら結晶化工程を進行する。この時、結晶化工程で結晶粒界の境界面または結晶の成長が対立する部分で形成される突出部を除去するためにプラズマ工程を実施する。これについて図面を参照して詳細に説明する。

【0020】

まず、図1を参照して本発明の実施例による多結晶シリコン薄膜トランジスタの構造を説明する。

【0021】

図1は、本発明の実施例による多結晶シリコン薄膜トランジスタの構造を示した断面図である。

【0022】

図1のように、絶縁基板10の上には、チャンネル領域21及びチャンネル領域21を中心にして両側に各々形成されているソース及びドレーン領域22、23を有し、多結晶シリコンからなる半導体層20が形成されている。ここで、ソース及びドレーン領域22、23は、n型またはp型の不純物がドーピングされ、シリサイド層を含むことができる。

【0023】

基板10の上には、半導体層20を覆う酸化ケイ素(SiO₂)や窒化ケイ素(SiN_x)からなるゲート絶縁膜30が形成されており、チャンネル領域21上部のゲート絶縁膜30上部には、ゲート電極40が形成されている。この時、図示されていないが、ゲート絶縁膜30の上部には、ゲート電極40と連結されているゲート線が追加されることがある。

【0024】

ゲート絶縁膜30の上部には、ゲート電極40を覆う層間絶縁膜50が形成されており、ゲート絶縁膜30及び層間絶縁膜50は、半導体層20のソース及びドレーン領域22、23を露出する接触孔52、53を有している。

【0025】

層間絶縁膜50の上部には、接触孔52を通じてソース領域22と連結されているソース電極62と、ゲート電極40を中心にしてソース電極62と対向して接触孔53を通じてドレーン領域23と連結されているドレーン電極63とが形成されている。この時、層間絶縁膜50の上部には、図示されていないが、ソース電極40と連結されているデータ線が追加に形成されることがある。

【0026】

層間絶縁膜50の上部には、窒化ケイ素または酸化ケイ素またはSiOCまたはSiOFまたは有機絶縁物質からなる保護膜70が形成されており、その上部には、保護膜70の接触孔72を通じてドレーン電極63と連結されている画素電極80が形成されている。

【0027】

そして、このような薄膜トランジスタには、基板10と半導体層20との間にバッファーレンが追加されることがある。

【0028】

以下、このような本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法について図1及び図2a乃至図2fを参照して説明する。

【0029】

図2a乃至図2fは、本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法をその工程順によって示した断面図である。

【0030】

図2aのように、基板10の上に非晶質シリコンを低圧化学気相蒸着法またはプラズマ化学気相蒸着法またはスパッタリング法によって非晶質シリコン薄膜を積層した後、非晶質シリコン薄膜にエクシマーレーザーを照射して非晶質シリコンを液相に溶かした後、冷却させながらグレーンを成長させる側面固相結晶工程を進行して多結晶シリコン薄膜25を形成する。この時、薄膜トランジスタの電流移動度を最大化するためには、多結晶シリコンのグレーンが所望の大きさを有することが好ましい。このために、側面固相結晶工程でレーザーが透過するスリットパターンは、それぞれの領域では同一な幅を有し、複数の領域に対しては特定の方向に進行するほどスリットパターンは順に増加したり減少する幅を有するのが好ましい。また、薄膜トランジスタを形成する際に、複数の方向に対して等方的な電流移動度を有するようにするために、マスクはそれぞれの領域ではスリットパターンが同一な方向に配列され、他の領域ではスリットパターンが異なる方向に配列されているのが好ましい。これについて図面を参照して後に具体的に説明する。

【0031】

次に、図2bのように、酸素(O₂)、ヘリウム(He)、または水素(H₂)を利用したり、Cl₂、SF₆、Arの気体が2.5-3.5:0.5-1.5:1.5-2.5の範囲で混合された混合気体を利用したプラズマ工程によって乾式エッチングを実施し、多結晶シリコン薄膜25の表面に突出されている突出部を除去して多結晶シリコン薄膜25の表面を平坦化する。これについて後に実験例を通じて具体的に説明する。このように、多結晶シリコン薄膜25の表面をプラズマ工程を利用した乾式エッチングを通じて均一に平坦化することによって以降の写真エッチング工程で感光膜を全面的に塗布することができる。

【0032】

次に、図2cのように、多結晶シリコン薄膜25の上部に感光膜を塗布し、アクティブ用マスクを利用した写真エッチング工程によって感光膜パターンを形成した後、これをフォトレジストフィルムパターンで多結晶シリコン薄膜25をパターニングして半導体層20を形成する。次に、酸化ケイ素(SiO₂)や窒化ケイ素を蒸着してゲート絶縁膜30を形成し、ゲート配線用伝導性物質を蒸着した後、マスクを利用した写真エッチング工程によってパターニングして半導体層20のチャンネル領域21上部にゲート電極40を形成する。次に、半導体層20にn型またはp型の不純物をイオン注入して活性化して、チャンネル領域21を中心にして両側にソース及びドレーン領域22、23を形成する。

【0033】

次に、図2dのように、ゲート絶縁膜30の上部にゲート電極49を覆う層間絶縁膜50を形成した後、ゲート絶縁膜30と共にパターニングして半導体層20のソース及びドレーン領域22、23を露出する接触孔52、53を形成する。

【0034】

次に、図2eのように、絶縁基板10の上部にデータ配線用金属を蒸着してパターニングして、接触孔52、53を通じてソース及びドレーン領域22、23と各々連結されるソース及びドレーン電極62、63を形成する。

【0035】

次に、図2fのように、絶縁基板10の上部に絶縁物質を積層して保護膜70を形成し、パターニングしてドレーン電極63を露出する接触孔72を形成する。

【0036】

次に、図1のように、保護膜70の上部にITO(indium tin oxide)またはIZO(indium zinc oxide)などの透明な導電物質または反射度を有する導電物質を積層しパターニングして、画素電極80を形成する。

【0037】

次に、前記したように、本発明の実験例を通じて多結晶シリコン薄膜をプラズマ乾式エッチングした結果について説明する。

【実施例】

【0038】

本発明の実施例では、Cl₂、SF₆、Arの気体を3:1:2の比率で混合してプラズマ工程によって乾式エッチングを行った。

【0039】

図3aは、側面固相結晶工程を進行して形成した多結晶シリコン薄膜の表面を撮影したものである。図3bは、本発明の実施例によってプラズマ工程によって乾式エッチングを行った多結晶シリコン薄膜の表面を撮影したものである。

【0040】

図3aのように、側面固相結晶工程を進行して形成した後で多結晶シリコン薄膜の表面が非常に不均一なものとなつたが、図3bのように、プラズマ工程によって乾式エッチングを行った後は、乾式エッチング工程によって突出部が除去されて多結晶シリコン薄膜の表面を平坦化されたことが分かる。

【0041】

以下、前記したように、本発明の実施例において側面固相結晶工程で用いるマスクの構造について具体的に説明する。

【0042】

図4及び図5は、本発明の実施例による薄膜トランジスタの製造工程で用いられるマスクの構造を各々示した図面である。

【0043】

図4のように、本発明の実施例による薄膜トランジスタの製造工程で用いる一つの多結晶シリコン用マスクは、複数の第1スリット領域乃至第4スリット領域101、102、103、104を有する。各スリット領域101、102、103、104では、横方向

に形成される複数のスリットパターン 11、12、13、14 が各々縦方向に同一な幅を有して配列されている。この時、第1乃至第4スリット領域 101、102、103、104 に配列されているスリットパターン 11、12、13、14 の幅は、横方向に進行するにつれて順に第1スリット領域 101 のスリットパターン 11 の幅 (d) の倍数で増加する幅で形成されている。ここで、横方向に配列されているスリットパターン 11、12、13、14 の中心線は、同一線上に位置し、それぞれのスリット領域 101、102、103、104 に配置されているそれぞれのスリットパターン 11、12、13、14 の中心線と、隣接するスリットパターン 11、12、13、14 の中心線との間隔は $8 \times d$ である。ここでは、スリットパターン 11、12、13、14 の幅が順に増加するように第1乃至第4スリット領域 101、102、103、104 を配置したが、反対に配置することができる。さらに、横方向に配列された第1乃至第4スリット領域 101、102、103、104 を縦方向に配置することもできる。もちろん、スリット領域を追加または減少させて最大スリットパターンの $4d$ 以上または以下に形成することもでき、このような条件によって、それぞれの領域 101、102、103、104 に形成されているスリットパターン 11、12、13、14 間の間隔も変わる。

【0044】

また、図5のように、本発明の他の実施例による薄膜トランジスタの製造方法で用いる多結晶シリコン用マスクは、第1～第4スリット領域、即ち、縦スリット領域 101、縦スリット領域 102、横スリット領域 103 及び横スリット領域 104 を有する。縦方向に形成されている複数のスリットパターン 11、12 は、縦スリット領域 101 及び縦スリット領域 102 に配置される。横方向に形成されている複数のスリットパターン 13、14 は、横スリット領域 103 及び横スリット領域 104 に配置される。この時、第1スリット領域 101 のスリットパターン 11 及び第2スリット領域 102 のスリットパターン 12 は、スリットパターン 11、12 間の間隔であるピッチの分ずれるように配置されており、第3スリット領域 103 のスリットパターン 13 及び第4スリット領域 104 のスリットパターン 14 は、スリットパターン 13、14 間の間隔であるピッチの分ずれるように配置されている。

このような本発明の実施例によるマスクを $d/4$ の距離ずつ順次移動させながらレーザーを照射して順次的側面固相結晶工程を進行すれば、縦スリット領域 101 のスリットパターン 11 及び縦スリット領域 102 のスリットパターン 12 が互いにずれるように配置されることによって、グレーンは横方向に2回成長する。また、横スリット領域 103 のスリットパターン 13 及び横スリット領域 104 のスリットパターン 14 が互いにずれるように配置されることによって、グレーンは縦方向に2回成長する。結果として、横方向及び縦方向に対してグレーンは等方的な大きさとなることができる。

したがって、このようなマスクを用いて非晶質シリコンを様々な方向にグレーンが成長するように多結晶シリコンを結晶化することで、多結晶シリコンからなる半導体層を有する薄膜トランジスタは、縦及び横方向に対して等方的な電流移動度を有することができるので、液晶パネルの上部に薄膜トランジスタを形成する時に、薄膜トランジスタを様々な方向に配列しても薄膜トランジスタの特性を均一にすることができる。

【図面の簡単な説明】

【0045】

【図1】本発明の実施例による多結晶シリコンを利用した薄膜トランジスタの構造を示した断面図である。

【図2a】本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法をその工程順によって示した断面図である。

【図2b】本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法をその工程順によって示した断面図である。

【図2c】本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法をその工程順によって示した断面図である。

【図2d】本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法をその工程

順によって示した断面図である。

【図2e】本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法をその工程順によって示した断面図である。

【図2f】本発明の実施例による多結晶シリコン薄膜トランジスタの製造方法をその工程順によって示した断面図である。

【図3a】側面固相結晶工程を進行して形成した多結晶シリコン薄膜の表面を撮影したものである。

【図3b】本発明の実験例に基づいてプラズマ工程によって乾式エッチングを進行した多結晶シリコン薄膜の表面を撮影したものである。

【図4】本発明の実施例による薄膜トランジスタの製造工程で用いられるマスクの構造を各々示したものである。

【図5】本発明の実施例による薄膜トランジスタの製造工程で用いられるマスクの構造を各々示したものである。