

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 24 年 7 月 26 日 (2012.7.26)

【公開番号】特開 2012-75130 (P2012-75130A)
 【公開日】平成 24 年 4 月 12 日 (2012.4.12)
 【年通号数】公開・登録公報 2012-015
 【出願番号】特願 2011-237247 (P2011-237247)
 【国際特許分類】

H 0 3 M 7/32 (2006.01)

H 0 3 G 3/20 (2006.01)

H 0 3 M 3/02 (2006.01)

【F I】

H 0 3 M 7/32

H 0 3 G 3/20 D

H 0 3 M 3/02

【手続補正書】

【提出日】平成 24 年 6 月 7 日 (2012.6.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ディジタル信号を受信し、調整された信号を生成する時間応答調整回路であって、前記ディジタル信号の変化に対応するオーバードライブ・パルスを生成する時間応答調整回路
 ；

前記調整された信号を受信し、変調器信号を生成するために前記時間応答調整回路に接続された変調器；及び

前記変調器信号を受信し、アナログ信号を生成するために前記変調器に接続されたフィルタを含み、

前記アナログ信号が前記時間応答調整回路によって修正される時間応答を有するインタフェース回路。

【請求項 2】

前記オーバードライブ・パルスが前記ディジタル信号の変化の二倍の振幅を有する請求項 1 の回路。

【請求項 3】

前記オーバードライブ・パルスが前記ディジタル信号の変化の大きさにより決定される振幅を有する請求項 1 の回路。

【請求項 4】

前記オーバードライブ・パルスが前記ディジタル信号の変化の大きさにより決定される時間期間を有する請求項 1 の回路。

【請求項 5】

前記オーバードライブ・パルスが前記変調器の入力範囲内にクリップされる請求項 1 の回路。

【請求項 6】

前記クリップされたオーバードライブ・パルスの時間期間がクリッピングの量に従って長くされる請求項 5 の回路。

【請求項 7】

前記変調器がシグマ-デルタ変調器である請求項 1 の回路。

【請求項 8】

前記シグマ-デルタ変調器が一次である請求項 7 の回路。

【請求項 9】

前記フィルタが二次 R C ローパス・フィルタである請求項 1 の回路。

【請求項 10】

請求項 1 のインタフェース回路を含む制御ループ。

【請求項 11】

請求項 1 のインタフェース回路を含む受信器。

【請求項 12】

デジタル信号を受信し、調整された信号を生成する時間応答調整回路であって、

前記デジタル信号を受信し、スケーリング係数によってスケーリングする利得要素

、
前記デジタル信号を受信し、時間遅延だけ前記デジタル信号を遅延する遅延要素、及び

前記利得要素及び前記遅延要素に接続された加算器を含む時間応答調整回路と、

前記調整された信号を受信し、変調器信号を生成するため前記時間応答調整回路に結合された変調器と、及び

前記変調器信号を受信し、アナログ信号を生成するため前記変調器に接続されたフィルタとを含み、前記アナログ信号が前記時間応答調整回路によって修正される時間応答を有する、インタフェース回路。

【請求項 13】

前記スケーリング係数が 2 である請求項 12 の回路。

【請求項 14】

前記時間遅延が制御信号の値によって決定される請求項 12 の回路。

【請求項 15】

前記時間遅延が前記デジタル信号の変化の大きさに一部基づいて、決定される請求項 12 の回路。

【請求項 16】

前記スケーリング係数及び前記時間遅延がプログラム可能である請求項 12 の回路。

【請求項 17】

前記変調器信号及び極性制御信号を受信し、正しい極性を有する変調器信号を生成する排他的 OR ゲートをさらに含み、

前記フィルタが前記正しい極性を有する前記変調器信号を受信する請求項 12 の回路。

【請求項 18】

デジタル信号を受信すること；

前記デジタル信号及び時間応答調整回路における前記デジタル信号の変化に基づいて調整された信号を生成すること、前記時間応答調整回路は、前記デジタル信号の変化に対応するオーバードライブ・パルスを生成する；

前記調整された信号に基づいて変調器信号を生成すること；

アナログ信号を得るため前記変調器信号を濾波することを含み、

前記アナログ信号は修正される時間応答を有する、
アナログ信号の時間応答を修正する方法。

【請求項 19】

前記アナログ信号の前記時間応答が前記変調器をクロック動作させるために使用されるクロック信号の周波数の調整により修正される請求項 18 の方法。

【請求項 20】

前記アナログ信号の前記時間応答が前記変調器信号を濾波するための帯域幅の調整により修正される請求項 18 の方法。

【請求項 2 1】

前記アナログ信号の前記時間応答が前記デジタル信号の大きさの変化に基づいて修正される請求項 1 8 の方法。

【請求項 2 2】

前記アナログ信号の前記時間応答が前記デジタル信号の時間遅延及びスケーリング係数に基づいてさらに修正される請求項 2 1 の方法。

【請求項 2 3】

前記調整された信号が前記デジタル信号の変化に対応するオーバードライブ・パルスを含む請求項 1 8 の方法。

【請求項 2 4】

デジタル信号を受信すること；

前記デジタル信号及び時間応答調整回路における前記デジタル信号の変化に基づいて調整された信号を生成すること；

前記調整された信号に基づいて変調器信号を生成すること；

アナログ信号を得るため前記変調器信号を濾波することを含み、

前記アナログ信号は修正される時間応答を有する、
アナログ信号の時間応答を修正する方法。

【請求項 2 5】

可変利得要素、および

前記可変利得要素の利得を設定する利得制御ループを含み、

前記利得制御ループは、デジタル制御信号を生成するループ制御回路、請求項 1 のインタフェース回路、を含み、前記時間応答調整回路は、前記デジタル制御信号を受信し、調整された信号を生成するため前記ループ制御信号に接続され、

前記可変利得要素の前記利得が前記アナログ制御信号に従って調整される受信器。