

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年7月11日(11.07.2024)



(10) 国際公開番号

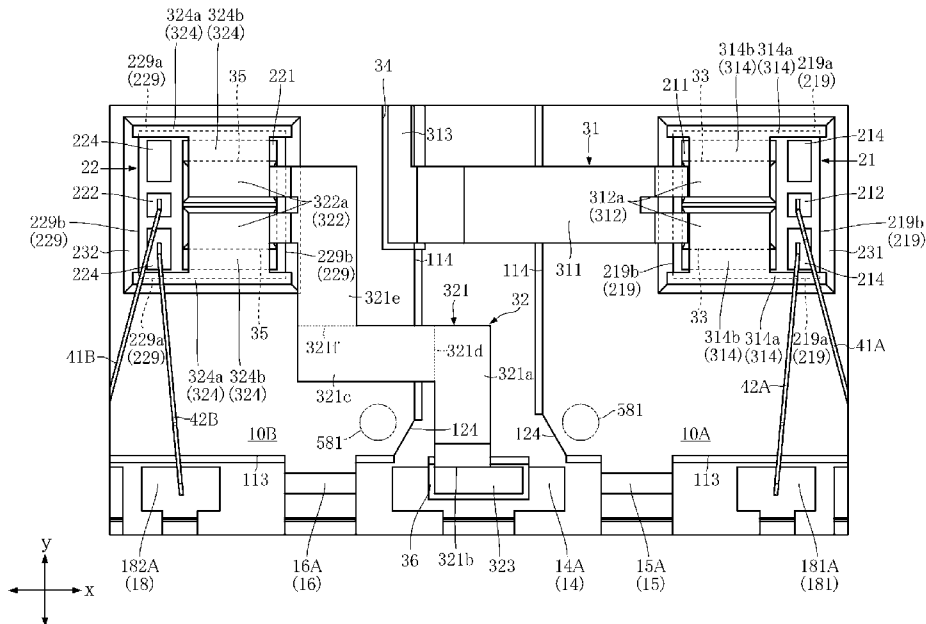
WO 2024/147269 A1

- (51) 国際特許分類:  
H01L 23/48 (2006.01) H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2023/044791
- (22) 国際出願日: 2023年12月14日(14.12.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-001097 2023年1月6日(06.01.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院  
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 河野 弘匡 (KONO Hiromasa); 〒6158585  
京都府京都市右京区西院溝崎町2-1番地  
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);  
〒5430014 大阪府大阪市天王寺区玉造元町  
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,  
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,  
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,  
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,  
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.4



(57) Abstract: This semiconductor device comprises: a semiconductor chip having a main surface facing one side in a thickness direction, and a main surface electrode disposed on the main surface; a lead (conducting object) that is separated from the semiconductor chip and conductive with the main surface electrode; a plate-shaped conduction member including a joined part joined to the main surface electrode, a joined part joined to the lead (conducting object), and a suspension part connecting the joined part and the other joined part; a conductive joining layer joining the joined part and the main surface



WO 2024/147269 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

electrode; and a sealing resin covering the semiconductor chip, a portion of the lead (conducting object), the plate-shaped conduction member, and the joining layer. The plate-shaped conduction member includes an eaves part different from the suspension part. The eaves part does not contact the joining layer, and overlaps the outer periphery of the semiconductor chip as viewed in the thickness direction.

(57) 要約：半導体装置は、厚さ方向の一方を向く主面および主面に配置された主面電極を有する半導体チップと、前記半導体チップから離間し、前記主面電極に導通するリード（導通対象体）と、前記主面電極に接合された接合部、前記リード（導通対象体）に接合された接合部、および前記接合部と前記接合部とを繋ぐ懸架部を含む板状導通部材と、前記接合部と前記主面電極とを接合する導電性の接合層と、前記半導体チップ、前記リード（導通対象体）の一部、板状導通部材、および前記接合層を覆う封止樹脂と、を備える。前記板状導通部材は、前記懸架部と異なる底部を含み、前記底部は、前記接合層に非接触であり、前記厚さ方向に見て前記半導体チップの外周に重なる。

## 明 細 書

**発明の名称**：半導体装置

**技術分野**

[0001] 本開示は、半導体装置に関する。

**背景技術**

[0002] 従来、ダイオードまたはトランジスタなどの半導体素子を樹脂パッケージで覆った半導体装置が知られている（たとえば特許文献1）。特許文献1に記載の半導体装置（半導体デバイス）は、半導体素子と、リードフレームと、ボンディングワイヤと、樹脂パッケージとを備える。リードフレームは、複数のリードを含んでおり、複数のリードのうちの1つは、ダイボンディングパッドを含む。半導体素子は、ダイボンディングパッドに搭載されている。複数のリードのうちの他の1つは、ボンディングワイヤを介して、半導体素子に導通する。樹脂パッケージは、半導体素子およびボンディングワイヤを覆うとともに、複数のリード各々の一部を覆っている。各リードにおいて、樹脂パッケージから露出する部分は、半導体装置の端子である。このような半導体装置は、電子機器および自動車等に搭載される。

**先行技術文献**

**特許文献**

[0003] 特許文献1：特開2011-82523号公報

**発明の概要**

**発明が解決しようとする課題**

[0004] 近年、省エネ化・省電力化への意識が高まりから、消費電力の無駄を極力少なくできる半導体装置の需要が高まっている。

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記事情に鑑み、消費電力の低減を図った半導体装置を提供することをその一の課題とする。

**課題を解決するための手段**

[0006] 本開示の一の側面によって提供される半導体装置は、厚さ方向の一方を向く主面および前記主面に配置された第1主面電極を有する半導体チップと、前記半導体チップから離間し、前記第1主面電極に導通する導通対象体と、前記第1主面電極に接合された第1接合部、前記導通対象体に接合された第2接合部、および前記第1接合部と前記第2接合部とを繋ぐ懸架部を含む板状導通部材と、前記第1接合部と前記第1主面電極とを接合する導電性の接合と、前記半導体チップ、前記導通対象体の一部、前記板状導通部材、および前記接合層を覆う封止樹脂と、を備える。前記板状導通部材は、前記懸架部と異なる底部を含む。前記底部は、前記接合層に非接触であり、且つ前記厚さ方向に見て前記半導体チップの外周に重なる。

### 発明の効果

[0007] 上記構成によれば、消費電力を低減することが可能である。

### 図面の簡単な説明

- [0008] [図1]図1は、第1実施形態にかかる半導体装置を示す斜視図である。  
[図2]図2は、第1実施形態にかかる半導体装置を示す平面図である。  
[図3]図3は、図2の平面図において、封止樹脂を想像線で示した図である。  
[図4]図4は、図3の一部を拡大した部分拡大図である。  
[図5]図5は、第1実施形態にかかる半導体装置を示す底面図である。  
[図6]図6は、第1実施形態にかかる半導体装置を示す正面図である。  
[図7]図7は、第1実施形態にかかる半導体装置を示す側面図（右側面図）である。  
[図8]図8は、図7の側面図において、封止樹脂を想像線で示した図である。  
[図9]図9は、図3のⅠX-ⅠX線に沿う断面図である。  
[図10]図10は、図9の一部を拡大した部分拡大図である。  
[図11]図11は、図9の一部を拡大した部分拡大図である。  
[図12]図12は、図9の一部を拡大した部分拡大図である。  
[図13]図13は、図3のXⅠⅠⅠ-XⅠⅠⅠ線に沿う断面図である。  
[図14]図14は、図13の一部を拡大した部分拡大図である。

[図15]図15は、図3のXV-XV線に沿う断面図である。

[図16]図16は、図15の一部を拡大した部分拡大図である。

[図17]図17は、図3のXV11-XV11線に沿う断面図である。

[図18]図18は、図17の一部を拡大した部分拡大図である。

[図19]図19は、第1実施形態にかかる半導体装置の回路構成例を示す図である。

[図20]図20は、第1実施形態の第1変形例にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示した図である。

[図21]図21は、第1実施形態の第1変形例にかかる半導体装置の回路構成例を示す図である。

[図22]図22は、第1実施形態の第2変形例にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示した図である。

[図23]図23は、第1実施形態の第2変形例にかかる半導体装置の回路構成例を示す図である。

[図24]図24は、第1実施形態の第3変形例にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示した図である。

[図25]図25は、第1実施形態の第3変形例にかかる半導体装置の回路構成例を示す図である。

[図26]図26は、第2実施形態にかかる半導体装置を示す要部拡大平面図である。

[図27]図27は、第2実施形態にかかる半導体装置を示す要部拡大断面図である。

[図28]図28は、第2実施形態にかかる半導体装置を示す要部拡大断面図である。

[図29]図29は、第2実施形態の変形例にかかる半導体装置を示す要部拡大断面図である。

[図30]図30は、第3実施形態にかかる半導体装置を示す断面図である。

[図31]図31は、第3実施形態にかかる半導体装置を示す要部拡大断面図で

ある。

[図32]図32は、第3実施形態にかかる半導体装置を示す要部拡大断面図である

[図33]図33は、第4実施形態にかかる半導体装置を示す要部拡大平面図である。

[図34]図34は、第4実施形態の第1変形例にかかる半導体装置を示す要部拡大平面図である。

[図35]図35は、第4実施形態の第2変形例にかかる半導体装置を示す要部拡大平面図である。

[図36]図36は、第5実施形態にかかる半導体装置を示す要部拡大平面図である。

[図37]図37は、第6実施形態にかかる半導体装置を示す平面図であって、封止樹脂を想像線で示している。

### 発明を実施するための形態

[0009] 本開示の半導体装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。本開示における「第1」、「第2」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0010] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B（の）上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B（の）上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B（の）上に位置

している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B（の）上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B（の）上に位置していること」を含む。また、「ある方向に見てある物Aがある物Bに重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、「ある物A（の材料）がある材料Cを含む」とは、「ある物A（の材料）がある材料Cからなる場合」、および、「ある物A（の材料）の主成分がある材料Cである場合」を含む。

[0011] 第1実施形態：

図1～図19は、第1実施形態にかかる半導体装置A10を示している。半導体装置A10は、2つのダイパッド10A、10B、複数の端子リード13、2つの半導体チップ21、22、2つの板状導通部材31、32、複数の接続部材41A、41B、42A、42B、および封止樹脂50を備える。図示された例では、複数の端子リード13は、複数のリード14、15、16、171、172、181、182を含む。

[0012] 説明の便宜上、半導体装置A10の厚さ方向を「厚さ方向z」という。以下の説明では、厚さ方向zの一方を上方といい、他方を下方ということがある。なお、「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、厚さ方向zにおける各部品等の相対的な位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。また、「平面視」とは、厚さ方向zに見たときをいう。厚さ方向zに対して直交する方向の一例を「第1方向x」という。厚さ方向zおよび第1方向xに直交する方向を「第2方向y」という。

[0013] 半導体装置A10は、複数の端子リード13のうちの2つのリード14、15間に印加された直流の電源電圧を、2つの半導体チップ21、22により交流電圧に変換する。変換された交流電圧は、複数の端子リード13のうちのリード16からモータなどの電力供給対象に入力される。半導体装置A

10は、たとえばインバータといった電力変換回路に使用される。

[0014] 2つのダイパッド10A, 10Bは、図3および図9に示すように、第1方向xにおいて互いに離れている。2つのダイパッド10A, 10Bは、複数の端子リード13とともに、同一のリードフレームから構成されている。当該リードフレームは、銅(Cu)、または銅合金である。このため、2つのダイパッド10A, 10Bおよび複数の端子リード13の各組成は、銅を含む。なお、2つのダイパッド10A, 10Bおよび複数の端子リード13の各組成は、銅ではなく、他の金属を含んでいてもよい。2つのダイパッド10A, 10Bの各々は、たとえば平面視において矩形状である。

[0015] 図9に示すように、2つのダイパッド10A, 10Bはそれぞれ、主面101および裏面102を有する。以下で説明する主面101および裏面102は、特段の断りがない限り、2つのダイパッド10A, 10Bで共通する。主面101は、厚さ方向z(上方)を向く。主面101は、封止樹脂50に覆われている。ダイパッド10Aの主面101には、半導体チップ21が搭載されている。ダイパッド10Aの裏面102は、厚さ方向zにおいて半導体チップ21が位置する側とは反対側を向く。ダイパッド10Bの主面101には、半導体チップ22が搭載されている。ダイパッド10Bの裏面102は、厚さ方向zにおいて半導体チップ22が位置する側とは反対側を向く。裏面102は、封止樹脂50から露出している。裏面102には、たとえば錫(Sn)めっきが施されている。

[0016] 封止樹脂50は、図3、図5~図9、図13、図15および図17に示すように、2つの半導体チップ21, 22と、2つの板状導通部材31, 32と、2つのダイパッド10A, 10B各々の一部とを覆う。さらに封止樹脂50は、複数の端子リード13各々の一部を覆う。封止樹脂50は、電気絶縁性を有する。封止樹脂50は、たとえば黒色のエポキシ樹脂を含む。図2に示すように、第1方向xにおける封止樹脂50の寸法L1は、第2方向yにおける封止樹脂50の寸法L2よりも長い。封止樹脂50は、樹脂主面51、樹脂裏面52、複数の側面53, 54, 55、複数の凹部56、溝部5

- 7 および複数の凹部 5 8 1, 5 8 2 を有する。
- [0017] 図 9 に示すように、樹脂主面 5 1 は、厚さ方向 z において 2 つのダイパッド 1 0 A, 1 0 B の各主面 1 0 1 と同じ側を向く。図 9、図 1 3 および図 1 7 に示すように、樹脂裏面 5 2 は、厚さ方向 z において樹脂主面 5 1 とは反対側を向く。図 5 に示すように、樹脂裏面 5 2 から、2 つのダイパッド 1 0 A, 1 0 B の各裏面 1 0 2 が露出している。
- [0018] 図 2、図 5 および図 6 に示すように、一对の側面 5 3 は、第 1 方向 x において互いに離れている。一对の側面 5 3 は、第 1 方向 x を向き、かつ第 2 方向 y に延びている。一对の側面 5 3 は、樹脂主面 5 1 および樹脂裏面 5 2 に繋がる。
- [0019] 図 2、図 5 および図 7 に示すように、2 つの側面 5 4, 5 5 は、第 2 方向 y において互いに離れている。2 つの側面 5 4, 5 5 は、第 2 方向 y において互いに反対側を向き、かつ第 1 方向 x に延びている。2 つの側面 5 4, 5 5 は、樹脂主面 5 1 および樹脂裏面 5 2 に繋がる。図 6 に示すように、側面 5 5 から複数の端子リード 1 3 が露出している。
- [0020] 図 2、図 5 および図 6 に示すように、複数の凹部 5 6 は、側面 5 5 から第 2 方向 y に凹むとともに、厚さ方向 z において樹脂主面 5 1 から樹脂裏面 5 2 に至る。第 1 方向 x において、複数の凹部 5 6 は、リード 1 8 2 とリード 1 6 との間、リード 1 6 とリード 1 4 との間、リード 1 4 とリード 1 5 との間、および、リード 1 5 とリード 1 8 1 との間に対して個別に位置する。
- [0021] 図 5、図 6、図 9 および図 1 5 に示すように、溝部 5 7 は、樹脂裏面 5 2 から厚さ方向 z に凹むとともに、第 2 方向 y に沿って延びる。溝部 5 7 の第 2 方向 y の両側は、2 つの側面 5 4, 5 5 にそれぞれに繋がる。厚さ方向 z に見て、溝部 5 7 は、ダイパッド 1 0 A の裏面 1 0 2 と、ダイパッド 1 0 B の裏面 1 0 2 とを分断する。
- [0022] 図 6、図 7、図 9、図 1 3、図 1 5 および図 1 7 に示すように、複数の凹部 5 8 1, 5 8 2 の各々は、樹脂主面 5 1 から厚さ方向 z に凹む。複数の凹部 5 8 1, 5 8 2 の各平面視形状は、特に限定されないが、図示された例で

は、円形である。複数の凹部581の各々は、平面視において、ダイパッド10Aに重なる。図示された例では、複数の凹部581は、平面視におけるダイパッド10Aの四隅近傍にそれぞれ個別に位置する。複数の凹部582の各々は、平面視において、ダイパッド10Bに重なる。図示された例では、複数の凹部582は、平面視におけるダイパッド10Bの四隅近傍にそれぞれ個別に位置する。複数の凹部581、582の各々は、図3に示すように、平面視において、2つの板状導通部材31、32のいずれにも重ならない。さらに、複数の凹部581、582の各々は、図3に示すように、平面視において、複数の接続部材41A、41B、42A、42Bのいずれにも重ならない。複数の凹部581は、半導体装置A10の製造時において、ダイパッド10Aを固定するためのピンによって形成されるものである。当該ピンは、封止樹脂50を形成する前の段階において、ダイパッド10Aに押し当てられ、ダイパッド10Aを固定する。この状態で、封止樹脂50の形成が開始される。そして、当該ピンは、封止樹脂50の形成が完了する前に引き抜かれる。これにより、当該ピンが配置されていた領域の少なくとも一部に封止樹脂50が形成されるので、ダイパッド10Aの主面101が封止樹脂50に覆われる。複数の凹部581は、このような封止樹脂50の成形過程によって形成される痕である。複数の凹部582も同様に、半導体装置A10の製造時において、ダイパッド10Bを固定するためのピンによって形成されるものである。複数の凹部582は、封止樹脂50の成形過程によって形成される痕である。

[0023] 図3および図5に示すように、2つのダイパッド10A、10Bはそれぞれ、複数の端面111~114を有する。複数の端面111~114は、封止樹脂50に覆われている。端面111は、第1方向xを向き、かつ第2方向yに延びている。端面111は、封止樹脂50の一对の側面53から最も近くに位置する。端面112は、第2方向yを向き、かつ第1方向xに延びている。端面112は、封止樹脂50の側面54から最も近くに位置する。端面113は、第2方向yにおいて端面112とは反対側を向き、かつ第1

方向xに延びている。端面113は、封止樹脂50の側面55から最も近くに位置する。端面114は、第1方向xにおいて端面111とは反対側を向き、かつ第2方向yに延びている。図9に示すように、ダイパッド10Aの端面114と、ダイパッド10Bの端面114との間には、溝部57が位置する。

[0024] 図5および図8に示すように、端面113と側面55との間隔P2は、端面112と側面54との間隔P1よりも長い。

[0025] 図3、図5および図8に示すように、2つのダイパッド10A, 10Bはそれぞれ、隅部端面121を有する。隅部端面121は、2つの端面111, 112の間に位置し、かつ2つのダイパッド10A, 10Bのいずれかの隅部に位置する。隅部端面121は、封止樹脂50に覆われ、かつ2つの端面111, 112に対して傾斜した平面である。端面111に対する隅部端面121の傾斜角と、端面112に対する隅部端面121の傾斜角と、のいずれかは、例えば60°以上85°以下である。複数の凹部581のうちの1つは、平面視において、ダイパッド10Aの隅部端面121近辺に位置し、複数の凹部582のうちの1つは、平面視において、ダイパッド10Bの隅部端面121近辺に位置する。

[0026] さらに、隅部端面121の最長法線を次のように設定する。最長法線は、2つのダイパッド10A, 10Bのいずれかの隅部端面121から、封止樹脂50の一对の側面53のうち隅部端面121から最も近くに位置する側面53に至る隅部端面121の法線の最大値である。最長法線は、第1方向xおよび第2方向yを面内方向とする仮想平面と、隅部端面121との交線の長さの1.0倍以上1.5倍以下である。

[0027] 図3、図5および図8に示すように、2つのダイパッド10A, 10Bはそれぞれ、隅部端面122を有する。隅部端面122は、2つの端面111, 113との間に位置し、かつ2つのダイパッド10A, 10Bのいずれかの隅部に位置する。隅部端面122は、封止樹脂50に覆われ、かつ2つの端面111, 113に対して傾斜した平面である。端面111に対する隅部

端面122の傾斜角と、端面113に対する隅部端面122の傾斜角と、のいずれかは、たとえば $60^\circ$ 以上 $85^\circ$ 以下である。複数の凹部581のうちの1つは、平面視において、ダイパッド10Aの隅部端面122近辺に位置し、複数の凹部582のうちの1つは、平面視において、ダイパッド10Bの隅部端面122近辺に位置する。

[0028] 図3および図5に示すように、2つのダイパッド10A, 10Bはそれぞれ、隅部端面123を有する。隅部端面123は、2つの端面112, 114との間に位置し、かつ2つのダイパッド10A, 10Bのいずれかの隅部に位置する。隅部端面123は、封止樹脂50に覆われ、かつ2つの端面112, 114に対して傾斜した平面である。端面114に対する隅部端面123の傾斜角と、端面112に対する隅部端面123の傾斜角と、のいずれかは、たとえば $60^\circ$ 以上 $85^\circ$ 以下である。複数の凹部581のうちの1つは、平面視において、ダイパッド10Aの隅部端面123近辺に位置し、複数の凹部582のうちの1つは、平面視において、ダイパッド10Bの隅部端面123近辺に位置する。

[0029] 図3および図5に示すように、2つのダイパッド10A, 10Bはそれぞれ、隅部端面124を有する。隅部端面124は、2つの端面113, 114との間に位置し、かつ2つのダイパッド10A, 10Bのいずれかの隅部に位置する。隅部端面124は、封止樹脂50に覆われ、かつ2つの端面113, 114に対して傾斜した平面である。端面114に対する隅部端面124の傾斜角と、端面113に対する隅部端面124の傾斜角と、のいずれかは、たとえば $60^\circ$ 以上 $85^\circ$ 以下である。複数の凹部581のうちの1つは、平面視において、ダイパッド10Aの隅部端面124近辺に位置し、複数の凹部582のうちの1つは、平面視において、ダイパッド10Bの隅部端面124近辺に位置する。

[0030] 図12に示すように、ダイパッド10Bは、座面103および起立面104を有する。座面103は、厚さ方向zにおいて主面101と同じ側を向き、かつ厚さ方向zにおいて主面101と裏面102との間に位置する。座面

103は、端面114に繋がる。起立面104は、厚さ方向zに対して直交する方向を向き、かつ座面103および主面101に繋がる。座面103および起立面104は、ダイパッド10Bにおいて段差をなしている。

[0031] 2つの半導体チップ21, 22の各々は、たとえばトランジスタである。図19に示すように、半導体装置A10における当該トランジスタは、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) であるが、この他、バイポーラトランジスタおよびIGBT (Insulated Gate Bipolar Transistor) などであってもよい。なお、図19の回路においては、2つの半導体チップ21, 22の各々に内蔵される寄生ダイオード成分も図示している。2つの半導体チップ21, 22の各々は、たとえば、nチャネル型であるが、pチャネル型であってもよい。2つの半導体チップ21, 22の各々は、化合物半導体基板を含む。当該化合物半導体基板の組成は、ケイ素 (Si) または炭化ケイ素 (SiC) を含む。

[0032] 半導体チップ21は、図3、図4および図9に示すように、ダイパッド10Aに搭載される。好ましくは、平面視において、半導体チップ21の重心は、ダイパッド10Aの中心部に重なる。ダイパッド10Aの中心部とは、ダイパッド10Aを第1方向xにNx (Nxは正の奇数) 分割した時の中央であり、かつダイパッド10Aを第2方向yにNy (Nyは正の奇数) 分割した時の中央に相当する領域である。Nx, Nyはそれぞれ、何ら限定されないが、たとえば3または5である。

[0033] 半導体チップ21は、主面21aおよび裏面21bを有する。図10に示すように、主面21aおよび裏面21bは、厚さ方向zに互いに離間する。主面21aは、ダイパッド10Aの主面101と同じ方向を向く。裏面21bは、厚さ方向zにおいて主面21aと反対側を向き、ダイパッド10Aの主面101に対向する。

[0034] 図3および図4に示すように、半導体チップ21は、平面視において矩形状である。よって、半導体チップ21の平面視における外周219 (図4参照) は、矩形状である。当該外周219は、一对の端縁219aおよび一对

の端縁 219b を有する。図 4 に示すように、一对の端縁 219a は、第 2 方向 y に離間し、且つ平面視において第 1 方向 x に延びる。一对の端縁 219a は、互いに平行である。一对の端縁 219b は、第 1 方向 x に離間し、且つ平面視において第 2 方向 y に延びる。一对の端縁 219b は、互いに平行である。

[0035] 半導体チップ 21 は、図 3、図 4 および図 9 に示すように、ダイパッド 10A に搭載されている。図 4 および図 10 に示すように、半導体チップ 21 は、複数の主面電極 211, 212, 214 および裏面電極 213 を有する。

[0036] 主面電極 211 は、主面 21a に配置される。主面電極 211 には、半導体チップ 21 により変換された後の電力に対応する電流が流れる。半導体チップ 21 が MOSFET である例において、主面電極 211 は、たとえばソース電極である。主面電極 211 は、複数の金属めっき層を含む。主面電極 211 は、ニッケル (Ni) めっき層と、当該ニッケルめっき層の上に積層された金 (Au) めっき層を含む。この他、主面電極 211 は、ニッケルめっき層と、当該ニッケルめっき層の上に積層されたパラジウム (Pd) めっき層と、当該パラジウムめっき層の上に積層された金めっき層を含む場合でもよい。

[0037] 主面電極 212 は、主面 21a に配置される。主面電極 212 には、半導体チップ 21 を駆動するための駆動信号 (ゲート電圧) が印加される。半導体チップ 21 が MOSFET である例において、主面電極 212 は、たとえばゲート電極である。平面視において、主面電極 212 の面積は、主面電極 211 の面積よりも小である。主面電極 212 は、第 1 方向 x において、主面電極 211 に対して、ダイパッド 10A の端面 111 に近い側に位置する。

[0038] 一对の主面電極 214 はそれぞれ、主面 21a に配置される。一对の主面電極 214 はそれぞれ、主面電極 211 と同電位である。半導体チップ 21 が MOSFET である例において、一对の主面電極 214 はそれぞれソース

センス電極である。図4に示すように、一对の主面電極214は、平面視において、主面電極212を挟んで第2方向yの両側に配置される。平面視において、主面電極214の面積は、主面電極211の面積よりも小である。一对の主面電極214はそれぞれ、第1方向xにおいて、主面電極211に対して、ダイパッド10Aの端面111に近い側に位置する。なお、半導体チップ21は、一对の主面電極214のうち的一方のみを有していてもよいし、一对の主面電極214のいずれも有していなくてもよい。

[0039] 裏面電極213は、裏面21bに配置される。裏面電極213は、ダイパッド10Aの主面101に対向して設けられている。裏面電極213には、半導体チップ21により変換される前の電力に対応する電流が流れる。半導体チップ21がMOSFETである例において、裏面電極213は、たとえばドレイン電極である。

[0040] 半導体チップ22は、図3、図4および図9に示すように、ダイパッド10Bの主面101に搭載される。好ましくは、平面視において、半導体チップ22の重心は、ダイパッド10Bの中心部に重なる。ダイパッド10Bの中心部とは、ダイパッド10Bを第1方向xに $L_x$  ( $L_x$ は正の奇数)分割した時の中央であり、かつダイパッド10Bを第2方向yに $L_y$  ( $L_y$ は正の奇数)分割した時の中央に相当する領域である。 $L_x$ ,  $L_y$ はそれぞれ、何ら限定されないが、たとえば3または5である。

[0041] 半導体チップ22は、主面22aおよび裏面22bを有する。図11に示すように、主面22aおよび裏面22bは、厚さ方向zに互いに離間する。主面22aは、ダイパッド10Bの主面101と同じ方向を向く。裏面22bは、厚さ方向zにおいて主面22aと反対側を向き、ダイパッド10Bの主面101に対向する。

[0042] 図3および図4に示すように、半導体チップ22は、平面視において矩形状である。よって、半導体チップ22の平面視における外周229 (図4参照)は、矩形状である。当該外周229は、一对の端縁229aおよび一对の端縁229bを有する。図4に示すように、一对の端縁229aは、第2

方向  $y$  に離間し、且つ平面視において第 1 方向  $x$  に延びる。一对の端縁 2 2 9 a は、互いに平行である。一对の端縁 2 2 9 b は、第 1 方向  $x$  に離間し、且つ平面視において第 2 方向  $y$  に延びる。一对の端縁 2 2 9 b は、互いに平行である。

[0043] 半導体チップ 2 2 は、図 3、図 4 および図 9 に示すように、ダイパッド 1 0 B に搭載されている。図 4 および図 1 1 に示すように、半導体チップ 2 2 は、複数の主面電極 2 2 1, 2 2 2, 2 2 4 および裏面電極 2 2 3 を有する。

[0044] 主面電極 2 2 1 は、主面 2 2 a に配置される。主面電極 2 2 1 には、半導体チップ 2 2 により変換された後の電力に対応する電流が流れる。半導体チップ 2 2 が MOSFET である例において、主面電極 2 2 1 は、たとえばソース電極である。主面電極 2 2 1 は、主面電極 2 1 1 と同様に、複数の金属めっき層を含む。主面電極 2 2 1 は、ニッケル (Ni) めっき層と、当該ニッケルめっき層の上に積層された金 (Au) めっき層を含む。この他、主面電極 2 2 1 は、ニッケルめっき層と、当該ニッケルめっき層の上に積層されたパラジウム (Pd) めっき層と、当該パラジウムめっき層の上に積層された金めっき層を含む場合でもよい。

[0045] 主面電極 2 2 2 は、主面 2 2 a に配置される。主面電極 2 2 2 には、半導体チップ 2 2 を駆動するための駆動信号 (ゲート電圧) が印加される。半導体チップ 2 2 が MOSFET である例において、主面電極 2 2 2 は、たとえばゲート電極である。平面視において、主面電極 2 2 2 の面積は、主面電極 2 2 1 の面積よりも小である。主面電極 2 2 2 は、第 1 方向  $x$  において、主面電極 2 2 1 に対して、ダイパッド 1 0 B の端面 1 1 1 に近い側に位置する。

[0046] 一对の主面電極 2 2 4 はそれぞれ、主面 2 2 a に配置される。一对の主面電極 2 2 4 はそれぞれ、主面電極 2 1 1 と同電位である。半導体チップ 2 2 が MOSFET である例において、一对の主面電極 2 2 4 はそれぞれソース電極である。図 4 に示すように、一对の主面電極 2 2 4 は、平面視に

において、主面電極 222 を挟んで第 2 方向 y の両側に配置される。平面視において、主面電極 224 の面積は、主面電極 221 の面積よりも小である。一对の主面電極 224 はそれぞれ、第 1 方向 x において、主面電極 221 に対して、ダイパッド 10B の端面 111 に近い側に位置する。なお、半導体チップ 22 は、一对の主面電極 224 のうちの一方のみを有していてもよいし、一对の主面電極 224 のいずれも有していなくてもよい。

[0047] 裏面電極 223 は、裏面 22b に配置される。裏面電極 223 は、ダイパッド 10B の主面 101 に対向して設けられている。裏面電極 223 には、半導体チップ 22 により変換される前の電力に対応する電流が流れる。半導体チップ 22 が MOSFET である例において、裏面電極 223 は、たとえばドレイン電極である。

[0048] 半導体装置 A10 は、2 つのダイボンディング層 231, 232 をさらに備える。2 つのダイボンディング層 231, 232 の各々は、導電性を有する。各ダイボンディング層 231, 232 は、たとえばはんだである。この他、各ダイボンディング層 231, 232 は、焼結金属でもよい。

[0049] ダイボンディング層 231 は、図 9、図 10 および図 13 に示すように、ダイパッド 10A の主面 101 と半導体チップ 21 の裏面電極 213 との間に介在する。ダイボンディング層 231 は、ダイパッド 10A の主面 101 と、半導体チップ 21 の裏面電極 213 とを接合する。これにより、半導体チップ 21 の裏面電極 213 は、ダイパッド 10A に導通する。

[0050] ダイボンディング層 232 は、図 9、図 11 および図 17 に示すように、ダイパッド 10B の主面 101 と半導体チップ 22 の裏面電極 223 との間に介在する。ダイボンディング層 232 は、ダイパッド 10B の主面 101 と半導体チップ 22 の裏面電極 223 とを接合する。これにより、半導体チップ 22 の裏面電極 223 は、ダイパッド 10B に導通する。

[0051] 複数の端子リード 13 は、図 3 に示すように、第 2 方向 y において 2 つのダイパッド 10A, 10B に対して端面 112 が向く側とは反対側に位置する。複数の端子リード 13 の少なくともいずれかは、2 つの半導体チップ 2

1, 22のいずれかに導通している。複数の端子リード13は、第1方向xに沿って配列されている。前述の通り、複数の端子リード13は、複数のリード14, 15, 16, 171, 172, 181, 182を含む。

[0052] リード14は、図3に示すように、第2方向yにおいて2つのダイパッド10A, 10Bから離れて位置し、かつ第1方向xにおいてリード15とリード16との間に位置する。リード14は、第2方向yに沿って延びている。リード14は、半導体チップ22の主面電極221に導通している。リード14は、電力変換対象となる直流の電源電圧が印加されるN端子（負極）である。リード14は、被覆部14Aおよび露出部14Bを含む。図3および図15に示すように、被覆部14Aは、封止樹脂50に覆われている。図2、図3、図5および図6に示すように、露出部14Bは、被覆部14Aに繋がりに、且つ封止樹脂50の側面55から露出している。露出部14Bは、第2方向yにおいて2つのダイパッド10A, 10Bから遠ざかる側に延びている。露出部14Bの表面には、たとえば錫めっきが施されている。

[0053] 図16に示すように、リード14の被覆部14Aは、座面14Cおよび起立面14Dを有する。座面14Cは、厚さ方向zにおいて2つのダイパッド10A, 10Bの各主面101と同じ側を向き、かつ被覆部14Aの上面（厚さ方向z上方を向く面）よりも厚さ方向zの下方側に位置する。起立面14Dは、厚さ方向zに対して直交する方向を向くとともに、座面14C、および被覆部14Aの上面に繋がる。座面14Cおよび起立面14Dは、リード14の被覆部14Aにおいて段差をなしている。

[0054] リード15は、図3に示すように、第2方向yに沿って延びる部分を含むとともに、ダイパッド10Aに繋がっている。このため、リード15は、ダイパッド10Aを介して、半導体チップ21の裏面電極213に導通する。リード15は、電力変換対象となる直流の電源電圧が印加されるP端子（正極）である。リード15は、被覆部15Aおよび露出部15Bを含む。図3および図13に示すように、被覆部15Aは、ダイパッド10Aの端面113に繋がっており、かつ封止樹脂50に覆われている。第1方向xに見て、

被覆部15Aは、屈曲している。図2、図3、図5および図6に示すように、露出部15Bは、被覆部15Aに繋がりに、かつ封止樹脂50の側面55から露出している。露出部15Bは、第2方向yにおいてダイパッド10Aから遠ざかる側に延びている。露出部15Bの表面には、たとえば錫めっきが施されている。

[0055] リード16は、図3に示すように、第2方向yに沿って延びる部分を含むとともに、ダイパッド10Bに繋がっている。このため、リード16は、ダイパッド10Bを介して半導体チップ22の裏面電極223に導通する。リード16から、2つの半導体チップ21、22により変換された交流電力が出力される。リード16は、被覆部16Aおよび露出部16Bを含む。図3および図17に示すように、被覆部16Aは、ダイパッド10Bの端面113に繋がりに、かつ封止樹脂50に覆われている。第1方向xに見て、被覆部16Aは、リード15の被覆部15Aと同様に屈曲している。図2、図3、図5および図6に示すように、露出部16Bは、被覆部16Aに繋がりに、かつ封止樹脂50の側面55から露出している。露出部16Bは、第2方向yにおいてダイパッド10Bから遠ざかる側に延びている。露出部16Bの表面には、たとえば錫めっきが施されている。

[0056] リード171は、図3に示すように、第2方向yにおいてダイパッド10Aから離れて位置し、且つリード15に対して第1方向xの一方側に位置する。リード172は、図3に示すように、第2方向yにおいてダイパッド10Bから離れて位置し、且つリード16に対して第1方向xの他方側に位置する。リード171は、半導体チップ21の主面電極212（ゲート電極）に導通している。リード171には、半導体チップ21が駆動するための駆動信号（ゲート電圧）が印加される。リード172は、半導体チップ22の主面電極222（ゲート電極）に導通している。リード172には、半導体チップ22が駆動するための駆動信号（ゲート電圧）が印加される。

[0057] 図3に示すように、リード171は、被覆部171Aおよび露出部171Bを含む。図3に示すように、被覆部171Aは、封止樹脂50に覆われて

いる。図2、図3、図5および図6に示すように、露出部171Bは、被覆部171Aに繋がり、かつ封止樹脂50の側面55から露出している。露出部171Bは、第2方向yにおいてダイパッド10Aから遠ざかる側に延びている。露出部171Bの表面には、たとえば錫めっきが施されている。

[0058] 図3に示すように、リード172は、被覆部172Aおよび露出部172Bを含む。図3に示すように、被覆部172Aは、封止樹脂50に覆われている。図2、図3、図5および図6に示すように、露出部172Bは、被覆部172Aに繋がり、かつ封止樹脂50から露出している。露出部172Bは、第2方向yにおいてダイパッド10Bから遠ざかる側に延びている。露出部172Bの表面には、たとえば錫めっきが施されている。

[0059] リード181は、図3に示すように、第2方向yにおいてダイパッド10Aから離れて位置し、且つ第1方向xにおいてリード15とリード171との間に位置する。リード182は、図3に示すように、第2方向yにおいてダイパッド10Bから離れて位置し、且つ第1方向xにおいてリード16とリード172との間に位置する。リード181は、半導体チップ21の主面電極214（ソースセンス電極）に導通している。リード181には、半導体チップ21の主面電極211（ソース電極）に流れる電流に応じた電圧が印加される。リード182は、半導体チップ22の主面電極224（ソースセンス電極）に導通している。リード182には、半導体チップ22の主面電極221（ソース電極）に流れる電流に応じた電圧が印加される。

[0060] 図3に示すように、リード181は、被覆部181Aおよび露出部181Bを含む。図3に示すように、被覆部181Aは、封止樹脂50に覆われている。図2、図3、図5および図6に示すように、露出部181Bは、被覆部181Aにつながり、かつ封止樹脂50の側面55から露出している。露出部181Bは、第2方向yにおいてダイパッド10Aから遠ざかる側に延びている。露出部181Bの表面には、たとえば錫めっきが施されている。

[0061] 図3に示すように、リード182は、被覆部182Aおよび露出部182Bを含む。図3に示すように、被覆部182Aは、封止樹脂50に覆われて

いる。図2、図3、図5および図6に示すように、露出部182Bは、被覆部182Aにつながり、かつ封止樹脂50の側面55から露出している。露出部182Bは、第2方向yにおいてダイパッド10Bから遠ざかる側に延びている。露出部182Bの表面には、たとえば錫めっきが施されている。

[0062] 図6に示すように、半導体装置A10において、リード14の露出部14B、リード15の露出部15Bおよびリード16の露出部16Bの各高さhは、いずれも同一（あるいは略同一）である。さらに、これらの各厚さは、いずれも同一（あるいは略同一）である。このため、第1方向xに見て、リード14の少なくとも一部（露出部14B）が、リード15およびリード16の各々に重なる（図7参照）。

[0063] 板状導通部材31は、図3および図4に示すように、半導体チップ21の主面電極211とダイパッド10Bとに接合されている。これにより、主面電極211は、ダイパッド10B、および半導体チップ22の裏面電極223に導通している。板状導通部材31の組成は、銅を含む。なお、板状導通部材31の組成は、銅以外の他の金属を含んでいてもよい。半導体装置A10においては、板状導通部材31は、金属クリップである。本実施形態では、板厚が一樣な金属板に切り抜き加工および曲げ加工等を施すことで、板状導通部材31が形成される。板状導通部材31は、懸架部311、2つの接合部312、313および底部314を含む。

[0064] 懸架部311は、板状導通部材31の主要部をなしている。懸架部311は、図3に示すように、2つの接合部312、313の各々に繋がり、これらを繋ぐ。懸架部311は、第1方向xに延びている。図示された例では、懸架部311は、平面視において、2つの半導体チップ21、22の間で直線状に延びる。図4および図9に示すように、懸架部311は、2つのダイパッド10A、10Bの間を跨いでいる。図示された例では、懸架部311の接合部312に繋がる側の端部は、二股に分かれている。図4に示すように、平面視において、懸架部311は、半導体チップ21の一对の端縁219bの一方（半導体チップ22に近い側の端縁219b）に交差する。

[0065] 図3、図4、図9、図10、図13および図14に示すように、接合部312は、半導体チップ21の主面電極211に接合されている。図示された例では、接合部312は、2つの帯状部312aを含む。図3、図4、図13および図14に示すように、2つの帯状部312aは、第2方向yにおいて互いに離れている。2つの帯状部312aの各々は、第1方向xを長手方向とする。2つの帯状部312aは、平面視において、互いに平行に配置される。図示された例では、先述の懸架部311の接合部312に繋がる端部は、二股に分かれて、2つの帯状部312aのうちの対応する1つにそれぞれ繋がる。この例とは異なり、懸架部311の接合部312に繋がる端部が二股に分かれておらず、接合部312が1つの矩形状の部位（2つの帯状部312aが連結された構成）であってもよい。平面視における接合部312の面積（2つの帯状部312aの各面積合計）は、平面視における主面電極211の面積のたとえば10%以上100%以下である。

[0066] 図3および図12に示すように、接合部313は、ダイパッド10Bの座面103に接合されている。図3に示すように、接合部313は、第2方向yに延びている。図12に示すように、接合部313の少なくとも一部が、座面103と、ダイパッド10Bの起立面104とにより規定された領域に収納されている。接合部313は、懸架部311に繋がる。接合部313は、懸架部311を間に挟んで接合部312とは反対側に位置する。

[0067] 半導体装置A10は、図4、図9、図10、図13および図14に示すように、接合層33をさらに備える。接合層33は、半導体チップ21の主面電極211と、接合部312の2つの帯状部312aとの間に介在している。接合層33は、主面電極211と、接合部312（2つの帯状部312a）とを接合する。接合層33は、導電性を有する。接合層33は、たとえばはんだである。この他、接合層33は、焼結金属でもよい。

[0068] 接合部312（2つの帯状部312aの各々）の厚さ $t_{31a}$ （図9参照）は、何ら限定されないが、たとえば0.1mm以上、かつ接合層33の最大厚さ $T_{1max}$ （図10参照）の2倍以下である。接合層33の最大厚さ $T_1$

maxは、半導体チップ21の厚さよりも大きい。

[0069] 半導体装置A10は、図4、図9および図12に示すように、接合層34をさらに備える。接合層34は、ダイパッド10Bの座面103と、接合部313との間に介在している。接合層34は、ダイパッド10Bと接合部313とを接合する。接合層34は、導電性を有する。接合層34は、たとえばはんだである。この他、接合層34は、焼結金属でもよい。

[0070] 底部314は、懸架部311と異なる部位であり、懸架部311から離間する。底部314は、接合層33に非接触である。底部314は、平面視において半導体チップ21の外周219に重なる。本実施形態では、底部314は、接合部312から延びる。底部314は、平面視において、主面電極211からはみ出ている。本実施形態では、図4、図13および図14に示すように、底部314は、一对の本体部314aおよび一对の連結部314bを含む。

[0071] 一对の本体部314aの各々は、図4に示すように、半導体チップ21の外周219に重なる。一对の本体部314aは、第2方向yに離間する。一对の本体部314aは、第2方向yにおいて、接合部312を挟んで互いに反対側に配置される。一对の本体部314aの各々は、第1方向xに延びる帯状である。図示された例では、一对の本体部314aは、平面視において、一对の端縁219aにそれぞれ個別に重なる。本実施形態では、図4に示すように、一对の本体部314aは、平面視において、一对の端縁219aの全体に重なる。よって、一对の本体部314aは、平面視において、半導体チップ21の四隅に重なる。各本体部314aは、複数の主面電極211、212、214のいずれにも接触しない。本実施形態では、各本体部314aは、主面21aから離れており、図14に示すように、厚さ方向zにおいて、各本体部314aと主面21aとの間には、封止樹脂50が介在する。

[0072] 一对の連結部314bは、図4および図14に示すように、接合部312と一对の本体部314aとをそれぞれ個別に繋ぐ。一对の連結部314bの

各々は、接合部312から第2方向yに延びる。本実施形態では、一对の連結部314bの一方は、2つの帯状部312aのうち、最も第2方向yの一方に位置するものに繋がり、一对の連結部314bの他方は、2つの帯状部312aのうち、最も第2方向yの他方に位置するものに繋がる。図4に示すように、平面視において、一对の連結部314bの第1方向xに沿う寸法は、一对の本体部314aの第1方向xに沿う寸法よりも小さい。このような構成により、平面視において、複数の主面電極212, 214が板状導通部材31から露出する。各連結部314bは、主面21aから離れており、図14に示すように、厚さ方向zにおいて、各連結部314bと各主面21aとの間には、封止樹脂50が介在する。

[0073] 本実施形態では、底部314（一对の本体部314aの各々および一对の連結部314bの各々）の厚さ $t_{31c}$ （図14参照）と、接合部312の厚さ $t_{31b}$ （図9および図10参照）とは同じ（あるいは略同じ）である。さらに、底部314の厚さ $t_{31c}$ と、懸架部311の厚さ $t_{31a}$ （図9参照）とは、同じ（あるいは略同じ）である。本開示において、底部314の厚さ $t_{31c}$ は、底部314における板厚であり、底部314の垂直方向（図示された例では厚さ方向zに相当）に沿う寸法である。同様に、接合部312の厚さ $t_{31b}$ とは、接合部312における板厚であり、接合部312の垂直方向（図示された例では厚さ方向zに相当）に沿う寸法である。懸架部311の厚さ $t_{31a}$ とは、懸架部311における板厚であり、懸架部311の垂直方向に沿う寸法である。

[0074] 図14に示すように、厚さ方向zにおいて、一对の本体部314aの各々の位置と、接合部312（一对の帯状部312aの各々）の位置とは、同じ（あるいは略同じ）である。よって、本実施形態では、一对の本体部314aの各々と接合部312とは、厚さ方向zにずれていない。本開示において、厚さ方向zにおける一对の本体部314aの各々の位置、および、厚さ方向zにおける接合部312（一对の帯状部312aの各々）の位置はそれぞれ、厚さ方向z下方を向く面を基準とする。

[0075] 板状導通部材 32 は、図 3 および図 4 に示すように、半導体チップ 22 の主面電極 221 と、リード 14 の被覆部 14A とに接合されている。これにより、主面電極 221 は、リード 14 に導通している。板状導通部材 32 の組成は、銅を含む。なお、板状導通部材 32 の組成は、銅以外の他の金属を含んでいてもよい。半導体装置 A10 においては、板状導通部材 32 は、金属クリップである。本実施形態では、板厚が一様な金属板に切り抜き加工および曲げ加工等を施すことで、板状導通部材 32 が形成される。板状導通部材 32 は、懸架部 321、2つの接合部 322、323 および底部 324 を含む。

[0076] 懸架部 321 は、板状導通部材 32 の主要部をなしている。懸架部 321 は、図 3 および図 4 に示すように、2つの接合部 322、323 の各々に繋がりが、これらを繋ぐ。厚さ方向 z に見て、懸架部 321 は、鉤状に屈曲している。厚さ方向 z に見て、懸架部 321 は、ダイパッド 10B の主面 101 に重なっている。図 4 に示すように、平面視において、懸架部 321 は、半導体チップ 22 の一对の端縁 229b の一方（半導体チップ 21 に近い側の端縁 229b）に交差する。

[0077] 図 4 に示すように、懸架部 321 は、複数の延出部 321a、321c、321e を含む。延出部 321a は、基端 321b を有する。基端 321b は、接合部 323 に繋がる端縁である。延出部 321a は、基端 321b から第 2 方向 y に延びる。本実施形態では、延出部 321a の一部（基端 321b を含む端部）は、厚さ方向 z に屈曲する。延出部 321c は、基端 321d を有する。基端 321d は、延出部 321a に繋がる端縁である。延出部 321c は、基端 321d から第 1 方向 x に延びる。図 4 に示すように、延出部 321c は、平面視において、ダイパッド 10B の端面 114 に交差する。このような構成により、板状導通部材 32 は、平面視において、ダイパッド 10B の隅部端面 124 に重ならない。延出部 321e は、基端 321f を有する。基端 321f は、延出部 321e に繋がる端縁である。延出部 321e は、基端 321f から第 2 方向 y に延びる。本実施形態では、延

出部 3 2 1 e の一部（基端 3 2 1 f と反対側の端部）は、厚さ方向 z に屈曲する。

[0078] 図 3、図 4、図 9、図 11、図 17 および図 18 に示すように、接合部 3 2 2 は、半導体チップ 2 2 の主面電極 2 2 1 に接合されている。図示された例では、接合部 3 2 2 は、2 つの帯状部 3 2 2 a を含む。図 4、図 17 および図 18 に示すように、2 つの帯状部 3 2 2 a は、第 2 方向 y において互いに離れている。2 つの帯状部 3 2 2 a の各々は、第 1 方向 x を長手方向とする。2 つの帯状部 3 2 2 a は、平面視において、互いに平行に配置される。図示された例では、先述の懸架部 3 2 1 の接合部 3 2 2 に繋がる端部は、二股に分かれて、2 つの帯状部 3 2 2 a のうちの対応する 1 つにそれぞれ繋がる。この例とは異なり、懸架部 3 2 1 の接合部 3 2 2 に繋がる端部が二股に分かれておらず、接合部 3 2 2 が 1 つの矩形状の部位（2 つの帯状部 3 2 2 a が連結された構成）であってもよい。平面視における接合部 3 2 2 の面積（2 つの帯状部 3 2 2 a の各面積合計）は、平面視における主面電極 2 2 1 の面積のたとえば 10% 以上 100% 以下である。

[0079] 図 3、図 15 および図 16 に示すように、接合部 3 2 3 は、リード 1 4 の座面 1 4 C に接合されている。接合部 3 2 3 は、第 1 方向 x に延びている。接合部 3 2 3 の少なくとも一部が、座面 1 4 C と、リード 1 4 の起立面 1 4 D とにより規定された領域に収納されている。接合部 3 2 3 は、懸架部 3 2 1（延出部 3 2 1 a）に繋がる。接合部 3 2 3 は、懸架部 3 2 1 を間に挟んで接合部 3 2 2 とは反対側に位置する。

[0080] 半導体装置 A 10 は、図 4、図 9、図 11、図 17 および図 18 に示すように、接合層 3 5 をさらに備える。接合層 3 5 は、半導体チップ 2 2 の主面電極 2 2 1 と、接合部 3 2 2 の 2 つの帯状部 3 2 2 a との間に介在している。接合層 3 5 は、半導体チップ 2 2 の主面電極 2 2 1 と、接合部 3 2 2（2 つの帯状部 3 2 2 a の各々）とを接合する。接合層 3 5 は、導電性を有する。接合層 3 5 は、たとえばはんだである。その他、接合層 3 5 は、焼結金属でもよい。

- [0081] 接合部322（2つの帯状部322aの各々）の厚さ $t_{32b}$ （図9参照）は、何ら限定されないが、たとえば0.1mm以上、かつ接合層35の最大厚さ $T_{2max}$ （図11参照）の2倍以下である。接合層35の最大厚さ $T_{2max}$ は、半導体チップ22の厚さよりも大きい。
- [0082] 半導体装置A10は、図4、図15および図16に示すように、接合層36をさらに備える。接合層36は、リード14の座面14Cと、接合部323との間に介在している。接合層36は、リード14の被覆部14Aと、接合部323とを接合する。接合層36は、導電性を有する。接合層36は、たとえばはんだである。この他、接合層36は、焼結金属でもよい。
- [0083] 底部324は、懸架部321と異なる部位であり、懸架部321から離間する。底部324は、接合層35に非接触である。底部324は、平面視において半導体チップ22の外周229に重なる。本実施形態では、底部324は、接合部322から延びる。底部324は、平面視において、主面電極221からはみ出ている。本実施形態では、底部324は、図4、図17および図18に示すように、一对の本体部324aおよび一对の連結部324bを含む。
- [0084] 一对の本体部324aの各々は、図4に示すように、半導体チップ22の外周229に重なる。一对の本体部324aは、第2方向 $y$ に離間する。一对の本体部324aは、第2方向 $y$ において、接合部322を挟んで互いに反対側に配置される。一对の本体部324aの各々は、第1方向 $x$ に延びる帯状である。図示された例では、一对の本体部324aは、平面視において、一对の端縁229aにそれぞれ個別に重なる。本実施形態では、図4に示すように、一对の本体部324aは、平面視において、一对の端縁229aの全体に重なる。よって、一对の本体部324aは、平面視において、半導体チップ22の四隅に重なる。各本体部324aは、複数の主面電極221、222、224のいずれにも接触しない。本実施形態では、各本体部324aは、主面22aから離れており、図18に示すように、厚さ方向 $z$ において、各本体部324aと主面22aとの間には、封止樹脂50が介在する

- 。
- [0085] 一对の連結部324bは、図4および図18に示すように、接合部322と一对の本体部324aとをそれぞれ個別に繋ぐ。一对の連結部324bの各々は、接合部322から第2方向yに延びる。本実施形態では、一对の連結部324bの一方は、2つの帯状部322aのうち、最も第2方向yの一方に位置するものに繋がり、一对の連結部324bの他方は、2つの帯状部322aのうち、最も第2方向yの他方に位置するものに繋がる。図4に示すように、平面視において、一对の連結部324bの第1方向xに沿う寸法は、一对の本体部324aの第1方向xに沿う寸法よりも小さい。このような構成により、平面視において、複数の主面電極222、224が板状導通部材32から露出する。各連結部324bは、主面22aから離れており、図18に示すように、厚さ方向zにおいて、各連結部324bと各主面22aとの間には、封止樹脂50が介在する。
- [0086] 本実施形態では、底部324（一对の本体部324aの各々および一对の連結部324bの各々）の厚さt32c（図18参照）と、接合部322の厚さt32b（図9および図11参照）とは同じ（あるいは略同じ）である。さらに、底部324の厚さt32cと、懸架部321の厚さt32a（図9参照）とは、同じ（あるいは略同じ）である。本開示において、底部324の厚さt32cは、底部324における板厚であり、底部324に垂直な方向（図示された例では厚さ方向zに相当）に沿う寸法である。同様に、接合部322の厚さt32bとは、接合部322における板厚であり、接合部322に垂直な方向（図示された例では厚さ方向zに相当）に沿う寸法である。懸架部321の厚さt32aとは、懸架部321における板厚であり、懸架部321に垂直な方向に沿う寸法である。
- [0087] 図18に示すように、厚さ方向zにおいて、一对の本体部324aの各々の位置と、接合部322（一对の帯状部322aの各々）の位置とは、同じ（あるいは略同じ）である。よって、本実施形態では、一对の本体部324aの各々と接合部322とは、厚さ方向zにずれていない。本開示において

、厚さ方向 z における一对の本体部 3 2 4 a の各々の位置、および、厚さ方向 z における接合部 3 2 2（一对の帯状部 3 2 2 a の各々）の位置はそれぞれ、厚さ方向 z 下方を向く面を基準とする。

[0088] 複数の接続部材 4 1 A、4 1 B、4 2 A、4 2 B の各々は、たとえばボンディングワイヤである。複数の接続部材 4 1 A、4 1 B、4 2 A、4 2 B の各組成は、金を含む。この他、複数の接続部材 4 1 A、4 1 B、4 2 A、4 2 B の各組成は、銅を含む場合でもよいし、アルミニウム (Al) を含む場合でもよい。

[0089] 接続部材 4 1 A は、図 3 に示すように、半導体チップ 2 1 の主面電極 2 1 2 と、リード 1 7 1 の被覆部 1 7 1 A とに接合されている。これにより、リード 1 7 1 は、半導体チップ 2 1 の主面電極 2 1 2 に導通する。接続部材 4 1 B は、図 3 に示すように、半導体チップ 2 2 の主面電極 2 2 2 と、リード 1 7 2 の被覆部 1 7 2 A とに接合されている。これにより、リード 1 7 2 は、半導体チップ 2 2 の主面電極 2 2 2 に導通する。

[0090] 接続部材 4 2 A は、図 3 に示すように、半導体チップ 2 1 の一对の主面電極 2 1 4 の一方と、リード 1 8 1 の被覆部 1 8 1 A とに接合されている。これにより、リード 1 8 1 は、半導体チップ 2 1 の一对の主面電極 2 1 4 の一方に導通する。半導体チップ 2 1 が一对の主面電極 2 1 4 のいずれも有していない例では、接続部材 4 2 A は、主面電極 2 1 4 の代わりに、主面電極 2 1 1 に接合される。接続部材 4 2 B は、図 3 に示すように、半導体チップ 2 2 の一对の主面電極 2 2 4 の一方と、リード 1 8 2 の被覆部 1 8 2 A とに接合されている。これにより、リード 1 8 2 は、半導体チップ 2 2 の一对の主面電極 2 2 4 の一方に導通する。半導体チップ 2 2 が一对の主面電極 2 2 4 のいずれも有していない例では、接続部材 4 2 B は、主面電極 2 2 4 の代わりに、主面電極 2 2 1 に接合される。

[0091] 以上のように構成された半導体装置 A 1 0 は、図 1 9 に示すように、半導体チップ 2 1 の主面電極 2 1 1 と半導体チップ 2 2 の裏面電極 2 2 3 とが、電氣的に接続されている。したがって、半導体装置 A 1 0 は、2 つのラン

ジスタ（２つの半導体チップ２１，２２）によるハーフブリッジ回路を構成する。

[0092] 第１実施形態にかかる半導体装置Ａ１０の作用および効果は、次の通りである。

[0093] 半導体装置Ａ１０では、半導体チップ２２の主面電極２２１と、導通対象体としてのリード１４とが、板状導通部材３２を介して導通する。この構成によれば、主面電極２２１とリード１４（導通対象体）とがボンディングワイヤで接続された構成と比較して、これらの間での配線抵抗を低減することができる。したがって、半導体装置Ａ１０は、電力損失を低減することができる。

[0094] 半導体装置Ａ１０では、半導体チップ２１の主面電極２１１と、導通対象体としてのダイパッド１０Ｂとが、板状導通部材３１を介して導通する。この構成によれば、主面電極２１１とダイパッド１０Ｂ（導通対象体）とがボンディングワイヤで接続された構成と比較して、これらの間での配線抵抗を低減することができる。したがって、半導体装置Ａ１０は、電力損失を低減することができる。

[0095] 半導体装置Ａ１０では、板状導通部材３２は、懸架部３２１と異なる底部３２４を含み、底部３２４は、接合層３３に非接触であり、且つ厚さ方向 $z$ に見て半導体チップ２２の外周２２９に重なる。半導体チップ２２の通電によって、半導体チップ２２が発熱する。この発熱により、半導体チップ２２には熱応力が加わる。主面電極２２１と導通対象体（本実施形態ではリード１４）との電氣的な接続に、板状導通部材３２（金属板）を用いた場合、ボンディングワイヤを用いた場合よりも、半導体チップ２２に加わる熱応力が大きくなる。当該熱応力が大きいと、半導体チップ２２と封止樹脂５０との界面剥離が発生する虞がある。また、当該熱応力は、半導体チップ２２の平面視における内方よりも外周２２９付近で大きいため、先述の界面剥離は、平面視における半導体チップ２２の外周２２９から発生する。本願発明者の研究によれば、厚さ方向 $z$ に見て半導体チップ２２の外周２２９に重なる底

部324を板状導通部材32に設けると、庇部324を設けない場合よりも、半導体チップ22に加わる熱応力を緩和できるとの知見を得た。したがって、半導体装置A10は、半導体チップ22に加わる熱応力を緩和して、半導体チップ22と封止樹脂50との界面剥離を抑制できる。これは、半導体装置A10の信頼性を向上させる。このことは、板状導通部材31においても同様である。つまり、板状導通部材31が庇部314を含むことで、半導体装置A10は、半導体チップ21に加わる熱応力を緩和して、半導体チップ21と封止樹脂50との界面剥離を抑制できる。

[0096] 半導体装置A10では、板状導通部材32の庇部324は、厚さ方向zに見て半導体チップ22の四隅の少なくとも1つに重なる。半導体チップ22に加わる熱応力は、外周229のうち、特にその四隅で大きくなる。したがって、庇部324を厚さ方向zに見て、半導体チップ22の四隅の少なくとも1つに重ならせることで、半導体チップ22に加わる熱応力を緩和する効果が得られる。つまり、半導体装置A10は、半導体チップ22に加わる熱応力をさらに緩和できる。特に、半導体装置A10では、板状導通部材32の庇部324は、厚さ方向zに見て半導体チップ22の四隅の全てに重なる。したがって、半導体装置A10は、半導体チップ22の熱応力を緩和する上で、好ましい構造である。このことは、板状導通部材31の庇部314においても同様である。つまり、板状導通部材31の庇部314が厚さ方向zに見て半導体チップ22の四隅の少なくとも1つに重なることで、半導体装置A10は、半導体チップ21に加わる熱応力をさらに緩和できる。特に、半導体装置A10では、板状導通部材31の庇部314は、厚さ方向zに見て半導体チップ21の四隅の全てに重なる。したがって、半導体装置A10は、半導体チップ21の熱応力を緩和させる上で、好ましい構造である。

[0097] 半導体装置A10は、半導体チップ21、半導体チップ22、および、封止樹脂50を備える。封止樹脂50は、2つの半導体チップ21, 22を覆う。この構成によれば、半導体装置A10は、2つの半導体素子（2つの半導体チップ21, 22）が1つの封止樹脂50により1パッケージ化される

。したがって、半導体装置A10は、当該半導体装置A10を実装する回路基板への実装面積を削減することが可能となる。

[0098] 半導体装置A10では、封止樹脂50は、複数の凹部581を有する。複数の凹部581の各々は、樹脂主面51から厚さ方向zに凹む。複数の凹部581は、平面視において、ダイパッド10Aに重なる。複数の凹部581は、上述の通り、半導体装置A10の製造時において、ダイパッド10Aを複数のピンで固定することによって形成される痕である。したがって、半導体装置A10の製造時において、複数のピンでダイパッド10Aが押さえられているので、当該製造時にダイパッド10Aが揺動することを抑制できる。これにより、ダイパッド10Aの裏面102と封止樹脂50を形成するための金型との間に隙間が発生することを抑制できるので、封止樹脂50に樹脂バリが発生することを抑制できる。このことは、複数の凹部582においても同様である。つまり、ダイパッド10Bの裏面102と封止樹脂50を形成するための金型との間に隙間が発生することを抑制できるので、半導体装置A10は、封止樹脂50に樹脂バリを発生することを抑制できる。

[0099] 半導体装置A10では、板状導通部材32は、2つの接合部322, 323を繋ぐ懸架部321を含む。そして、懸架部321は、平面視において屈曲する。図3から理解されるように、仮に、2つの接合部322, 323を直線的に接続すると、平面視において、懸架部321が、ダイパッド10Bの四隅の一つ（ダイパッド10Bの隅部端面124）に重なる。この場合、半導体装置A10の製造時においてダイパッド10Bを固定するピンが、ダイパッド10Bの四隅を押さえることが困難である。なお、ピンにより、ダイパッド10Bの四隅を押さえることは、上記樹脂バリの抑制の他、上記ダイパッド10Bの揺動を抑制する上でも好ましい。一方で、半導体装置A10では、懸架部321を屈曲させることで、平面視において、懸架部321を、ダイパッド10Bの四隅の一つ（ダイパッド10Bの隅部端面124）に重ならなくすることが可能となる。つまり、半導体装置A10は、製造時におけるダイパッド10Bの揺動を抑制する上で好ましい。

- [0100] 半導体装置A10では、板状導通部材32の懸架部321は、複数の延出部321a, 321c, 321eを含む。延出部321aは、接合部323から第2方向yに延び、延出部321cは、延出部321aから第1方向xに延び、延出部321eは、延出部321cから第2方向yに延びる。半導体装置A10では、このように、懸架部321を、平面視において、複数回屈曲させることで、先述のように、製造時において、ダイパッド10Bの四隅を複数のピンで固定することが可能となるとともに、懸架部311を、半導体チップ21と半導体チップ22との間に直線的に形成することが可能となる。
- [0101] 以下に、本開示の半導体装置の他の実施形態および変形例について、説明する。各実施形態および各変形例における各部の構成は、技術的な矛盾が生じない範囲において相互に組み合わせ可能である。
- [0102] 図20および図21は、第1実施形態の第1変形例にかかる半導体装置A11を示している。半導体装置A11は、半導体装置A10と比較して、次の点で異なる。それは、半導体装置A11の半導体チップ21は、トランジスタではなくダイオードである。
- [0103] 半導体装置A11の半導体チップ21は、主面電極211および裏面電極213を有する。半導体装置A11の半導体チップ21は、図20に示すように、複数の主面電極212, 214をいずれも有していない。図21に示すように、主面電極211は、たとえばアノード電極であり、裏面電極213は、たとえばカソード電極である。
- [0104] 図20に示すように、半導体装置A11は、複数の接続部材41A, 42A, 42Bをいずれも備えていない。この構成では、図20および図21に示すように、各リード171, 181, 182は、2つの半導体チップ21, 22のいずれにも導通しない。したがって、半導体装置A11では、各リード171, 181, 182はそれぞれ、ノンコネクタ端子である。なお、図20に示す例では、半導体装置A11は、一对の接続部材42A, 42Bをいずれも備えていないが、この例とは異なる構成において、半導体装置A

11は、半導体装置A10と同様の一对の接続部材42A, 42Bを備えていてもよい。

[0105] 半導体装置A11は、図21に示すように、半導体チップ21の主面電極211（アノード電極）と半導体チップ22の裏面電極223（ドレイン電極）とが、電氣的に接続されている。半導体装置A11では、2つのリード14, 15間に印加される電源電圧（直流電圧）に対して、高電圧側がダイオード、低電圧側がトランジスタとなる。半導体装置A11は、たとえば昇圧型のチョッパ回路として用いられる。

[0106] 図22および図23は、第1実施形態の第2変形例にかかる半導体装置A12を示している。半導体装置A12は、半導体装置A10と比較して、次の点で異なる。それは、半導体装置A12の半導体チップ22は、トランジスタではなくダイオードである。

[0107] 半導体装置A12の半導体チップ22は、主面電極221および裏面電極223を有する。半導体装置A12の半導体チップ22は、図22に示すように、複数の主面電極222, 224を有していない。図23に示すように、主面電極221は、たとえばアノード電極であり、裏面電極223は、たとえばカソード電極である。

[0108] 図22に示すように、半導体装置A12は、複数の接続部材41B, 42A, 42Bをいずれも備えていない。この構成では、図22および図23に示すように、各リード172, 181, 182は、2つの半導体チップ21, 22のいずれにも導通しない。したがって、半導体装置A12では、各リード172, 181, 182は、ノンコネクタ端子である。なお、図22に示す例では、半導体装置A12は、一对の接続部材42A, 42Bをいずれも備えていないが、この例とは異なる構成において、半導体装置A12は、半導体装置A10と同様の一对の接続部材42A, 42Bを備えていてもよい。

[0109] 半導体装置A12は、図23に示すように、半導体チップ21の主面電極211（ソース電極）と半導体チップ22の裏面電極223（カソード電極）

)とが、電氣的に接続されている。半導体装置A12では、2つのリード14, 15間に印加される直流電圧に対して、高電圧側がトランジスタ、低電圧側がダイオードとなる。半導体装置A12は、たとえば降圧型のチョッパ回路として用いられる。

[0110] 図24および図25は、第1実施形態の第3変形例にかかる半導体装置A13を示している。半導体装置A13は、半導体装置A10と比較して、次の点で異なる。それは、半導体装置A13の2つの半導体チップ21, 22の各々が、トランジスタではなくダイオードである。

[0111] 半導体装置A13の半導体チップ21は、半導体装置A11の半導体チップ21と同様に、ダイオードである。また、半導体装置A13の半導体チップ22は、半導体装置A12の半導体チップ22と同様にダイオードである。

[0112] 図24に示すように、半導体装置A13は、複数の接続部材41A, 41B, 42A, 42Bをいずれも備えていない。この構成では、図24および図25に示すように、各リード171, 172, 181, 182は、2つの半導体チップ21, 22のいずれにも導通しない。したがって、半導体装置A13では、各リード171, 172, 181, 182は、ノンコネク端子である。なお、図24に示す例では、半導体装置A13は、一対の接続部材42A, 42Bのいずれも備えていないが、この例とは異なる構成において、半導体装置A13は、半導体装置A10と同様の一対の接続部材42A, 42Bを備えていてもよい。

[0113] 半導体装置A13は、図25に示すように、半導体チップ21の主面電極211（アノード電極）と半導体チップ22の裏面電極223（カソード電極）とが、電氣的に接続されている。半導体装置A13では、2つのリード14, 15間に印加される電源電圧（直流電圧）に対して、高電圧側および低電圧側の両方がダイオードである。半導体装置A13は、ダイオードのブリッジ回路である。

[0114] 第1実施形態の各変形例にかかる半導体装置A11～A13は、半導体装

置A10と同様に、2つの半導体素子（2つの半導体チップ21, 22）が1つの封止樹脂50により1パッケージ化される。したがって、各半導体装置A11～A13は、半導体装置A10と同様に、当該半導体装置A11～A13を実装する回路基板への実装面積を削減することが可能となる。その他、各半導体装置A11～A13は、半導体装置A10と共通する構成により、半導体装置A10と同様の効果を奏する。

[0115] 上記半導体装置A10～A13から理解されるように、本開示の半導体装置は、2つの半導体チップ21, 22の組み合わせにより、4種類の電力変換回路（トランジスタによるブリッジ回路、昇圧型のチョッパ回路、降圧型のチョッパ回路、ダイオードによりブリッジ回路）を構成できる。一方で、各端子リード13および封止樹脂50などの構成は、各半導体装置A10～A13で共通する。したがって、本開示の半導体装置は、パッケージの外観が同じまま、4種類の電力変換回路のいずれかを構成することが可能である。また、本開示の半導体装置は、2つの半導体チップ21, 22の各々がトランジスタであるかダイオードであるかで異なっても、各端子リード13および封止樹脂50の構成をそのまま活用できる。これにより、本開示の半導体装置は、先述の4種類の電力変換回路のいずれであっても、パッケージ構造を共通化することができるので、生産性の向上において、好ましい。

[0116] 上記半導体装置A10～A13から理解されるように、本開示の半導体装置は、平面視において、半導体チップ21の重心がダイパッド10Aの中心部に重なるように配置されている。この構成は、板状導通部材31の共通化において好ましい。同様に、本開示の半導体装置は、平面視において、半導体チップ22の重心がダイパッド10Bの中心部に重なるように配置されている。この構成は、板状導通部材32の共通化において好ましい。

[0117] 第2実施形態：

図26～図28は、第2実施形態にかかる半導体装置A20を示している。半導体装置A20は、半導体装置A10と比較して、次の点で異なる。そ

れは、半導体装置A20の底部314の各本体部314aは、接合部312に対して、厚さ方向z上方にずれている。また、半導体装置A20の底部324の各本体部324aは、接合部322に対して、厚さ方向z上方にずれている。

[0118] 図27に示すように、半導体装置A20において、各本体部314aは、接合部312に対して厚さ方向z上方に位置する。このため、図27に示すように、各連結部314bの本体部314aに繋がる側の端部は、厚さ方向z上方に屈曲する。各本体部314aと、接合部312（各帯状部312a）との厚さ方向zのずれ量 $\Delta z_1$ （図27参照）は、懸架部311の厚さ $t_{31a}$ の20%以上300%以下である。一例では、ずれ量 $\Delta z_1$ は、50 $\mu\text{m}$ 以上500 $\mu\text{m}$ 以下である。なお、本開示において、ずれ量 $\Delta z_1$ は、接合部312（各帯状部312a）の下面（厚さ方向z下方を向く面）を基準に、各本体部314aの下面（厚さ方向z下方を向く面）が厚さ方向z上方にある時を正の値とし、各本体部314aの下面が厚さ方向z下方にある時を負の値とする。半導体装置A10では、当該ずれ量 $\Delta z_1$ は、0である。

[0119] 図28に示すように、半導体装置A20において、各本体部324aは、接合部322に対して厚さ方向z上方に位置する。このため、図28に示すように、各連結部324bの本体部324aに繋がる側の端部は、厚さ方向z上方に屈曲する。各本体部324aと、接合部322（各帯状部322a）との厚さ方向zのずれ量 $\Delta z_2$ （図28参照）は、懸架部321の厚さ $t_{32a}$ の20%以上300%以下である。一例では、ずれ量 $\Delta z_2$ は、50 $\mu\text{m}$ よりも大きく500 $\mu\text{m}$ 以下である。本実施形態では、ずれ量 $\Delta z_1$ とずれ量 $\Delta z_2$ とは、同じ（あるいは略同じ）であるが、これらは、異なってもよい。なお、本開示において、ずれ量 $\Delta z_2$ は、接合部322（各帯状部322a）の下面（厚さ方向z下方を向く面）を基準に、各本体部324aの下面（厚さ方向z下方を向く面）が厚さ方向z上方にある時を正の値とし、各本体部324aの下面が厚さ方向z下方にある時を負の値とする。

半導体装置A10では、当該ずれ量 $\Delta z_2$ は、0である。

[0120] 半導体装置A20は、半導体装置A10と同様に、板状導通部材32によって主面電極221とリード14（主面電極221に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置A20は、半導体装置A10と同様に、板状導通部材31によって主面電極211とダイパッド10B（主面電極211に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置A20は、半導体装置A10と同様に、板状導通部材32の庇部324によって半導体チップ22に加わる熱応力を緩和できる。また、半導体装置A20は、半導体装置A10と同様に、板状導通部材31の庇部314によって半導体チップ21に加わる熱応力を緩和できる。その他、半導体装置A20は、半導体装置A10と共通する構成により、同様の効果を奏する。

[0121] 半導体装置A20では、板状導通部材32の庇部324の各本体部324aは、接合部322に対して厚さ方向z上方に位置する。本願発明者の研究によれば、各本体部324aを接合部322に対して厚さ方向z上方にずらして配置すれば、半導体装置A10のようにずらさない場合と比較して、半導体チップ22に加わる熱応力をさらに緩和できるとの知見を得た。したがって、半導体装置A20は、半導体装置A10よりも、半導体チップ22に加わる熱応力をさらに緩和できる。特に、半導体装置A20では、各本体部324aと接合部322との厚さ方向zのずれ量 $\Delta z_2$ （図28参照）は、懸架部321の厚さ $t_{32a}$ の20%よりも大きく300%以下である。この構成によれば、ずれ量 $\Delta z_2$ がこの範囲の上限を逸脱している場合よりも、半導体チップ22に加わる熱応力が緩和される。つまり、ずれ量 $\Delta z_2$ が先述の範囲である構成は、半導体チップ22の熱応力を緩和させる上で、好ましい。このことは、板状導通部材31の庇部314においても同様である。つまり、庇部314の各本体部314aは、接合部312に対して厚さ方向z上方に位置するので、半導体装置A20は、半導体装置A10よりも、半導体チップ21に加わる熱応力をさらに緩和できる。特に、半導体装置A

20では、各本体部314aと接合部312との厚さ方向zのずれ量 $\Delta z 1$  (図27参照)は、懸架部311の厚さ $t 3 1 a$ の20%よりも大きく300%以下である。この構成によれば、ずれ量 $\Delta z 1$ がこの範囲の上限を逸脱している場合よりも、半導体チップ21に加わる熱応力が緩和される。つまり、ずれ量 $\Delta z 1$ が先述の範囲である構成は、半導体チップ21の熱応力を緩和させる上で、好ましい。

[0122] 図29は、第2実施形態の変形例にかかる半導体装置A21を示している。半導体装置A21は、半導体装置A20と比較して、次の点で異なる。第1に、半導体装置A21の底部314の各本体部314aは、接合部312に対して、厚さ方向z上方ではなく、厚さ方向z下方にずれている。第2に、半導体装置A21の底部324の各本体部324aは、接合部322に対して、厚さ方向z上方ではなく、厚さ方向z下方にずれている。

[0123] 図29に示すように、半導体装置A21において、各本体部314aは、接合部312に対して厚さ方向z下方に位置する。このため、図29に示すように、各連結部324bの本体部324aに繋がる側の端部は、厚さ方向z下方に屈曲する。たとえば、先述のずれ量 $\Delta z 1$  (図29参照)は、接合層33の最大厚さ $T 1 \max$ の負の値 ( $-T 1 \max$ ) 以上0 (ゼロ) 未満である。ずれ量 $\Delta z 1$ が、接合層33の最大厚さ $T 1 \max$ の負の値 ( $-T 1 \max$ ) であるとき、各本体部314aは、主面21aに接触する。なお、図29では、各本体部314aが、厚さ方向zにおいて、主面21aから離れている場合を示している。

[0124] 半導体装置A21において、各本体部324aと接合部322との位置関係は、各本体部314aと接合部312との位置関係と同じ (あるいは略同じ) である。つまり、各本体部324aは、接合部322に対して厚さ方向z下方に位置する。このため、各連結部324bの本体部324aに繋がる側の端部は、厚さ方向z下方に屈曲する。たとえば、先述のずれ量 $\Delta z 2$ は、接合層34の最大厚さ $T 2 \max$ の負の値 ( $-T 2 \max$ ) 以上0 (ゼロ) 未満である。ずれ量 $\Delta z 2$ が、接合層34の最大厚さ $T 2 \max$ の負の値 ( $-T 2 \max$ )

x) であるとき、各本体部 3 2 4 a は、主面 2 2 a に接触する。

[0125] 半導体装置 A 2 1 においても、半導体装置 A 2 0 と同様に、板状導通部材 3 2 による電力損失の低減、板状導通部材 3 1 による電力損失の低減、板状導通部材 3 2 の底部 3 2 4 による熱応力の緩和、および、板状導通部材 3 1 の底部 3 1 4 による熱応力の緩和が可能となる。

[0126] 上記第 1 実施形態および第 2 実施形態（変形例を含む）から理解されるように、本開示の半導体装置において、各本体部 3 1 4 a と接合部 3 1 2 とは、厚さ方向 z 上方にずれていてもよいし、厚さ方向 z 下方にずれていてもよいし、ずれていなくてもよい。つまり、本開示の半導体装置は、板状導通部材 3 1 が底部 3 1 4 を含んでいれば、各本体部 3 1 4 a が、接合部 3 1 2 に対して、ずれているか否か、もしくは、厚さ方向 z 上方または下方のいずれにずれているかは何ら限定されない。ただし、本願発明者の研究での知見によれば、半導体チップ 2 1 の熱応力を緩和させる上では、接合部 3 1 2 に対して各本体部 3 1 4 a を厚さ方向 z 上方にずらした構成が好ましい。同様に、本開示の半導体装置において、各本体部 3 2 4 a と接合部 3 2 2 とは、厚さ方向 z 上方にずれていてもよいし、厚さ方向 z 下方にずれていてもよいし、ずれていなくてもよい。つまり、本開示の半導体装置は、板状導通部材 3 2 が底部 3 2 4 を含んでいれば、各本体部 3 2 4 a が、接合部 3 2 2 に対して、ずれているか否か、もしくは、厚さ方向 z 上方または下方のいずれにずれているかは何ら限定されない。ただし、本願発明者の研究での知見によれば、半導体チップ 2 2 の熱応力を緩和させる上では、接合部 3 2 2 に対して各本体部 3 2 4 a を厚さ方向 z 上方にずらした構成が好ましい。

[0127] 第 3 実施形態：

図 3 0 ~ 図 3 2 は、第 3 実施形態にかかる半導体装置 A 3 0 を示している。半導体装置 A 3 0 は、半導体装置 A 1 0 と比較して、次の点で異なる。第 1 に、半導体装置 A 3 0 の底部 3 1 4 は、懸架部 3 1 1 よりも厚い。第 2 に、半導体装置 A 3 0 の底部 3 2 4 は、懸架部 3 2 1 よりも厚い。

[0128] 図 3 0 に示すように、接合部 3 1 2 の厚さ  $t_{31b}$  は、懸架部 3 1 1 の厚

さ  $t_{31a}$  よりも大きい。図 31 から理解されるように、接合部 312 の厚さ  $t_{31b}$  と底部 314 の厚さ  $t_{31c}$  とは同じ（あるいは略同じ）である。よって、底部 314 の厚さ  $t_{31c}$  は、懸架部 311 の厚さ  $t_{31a}$  よりも大きい。たとえば、底部 314 の厚さ  $t_{31c}$  は、懸架部 311 の厚さの 100% よりも大きく 300% 以下である。また、底部 314 の厚さ  $t_{31c}$  は、接合層 33 の最大厚さ  $T_{1max}$  の 50% 以上 300% 以下である。一例では、底部 314 の厚さ  $t_{31c}$  は、 $125\ \mu\text{m}$  以上  $500\ \mu\text{m}$  以下である。図 30 に示す例では、懸架部 311 は、接合部 312（各帯状部 312a）の厚さ方向  $z$  の下端に繋がっているが、この例とは異なり、接合部 312（各帯状部 312a）の厚さ方向  $z$  の上端に繋がっていてもよい。

[0129] 図 30 に示すように、接合部 322 の厚さ  $t_{32b}$  は、懸架部 321 の厚さ  $t_{32a}$  よりも大きい。図 32 から理解されるように、接合部 322 の厚さ  $t_{32b}$  と底部 324 の厚さ  $t_{32c}$  とは同じ（あるいは略同じ）である。よって、底部 324 の厚さ  $t_{32c}$  は、懸架部 321 の厚さ  $t_{32a}$  よりも大きい。たとえば、底部 324 の厚さ  $t_{32c}$  は、懸架部 321 の厚さ  $t_{32a}$  の 100% よりも大きく 300% 以下である。また、底部 324 の厚さ  $t_{32c}$  は、接合層 35 の最大厚さ  $T_{2max}$  の 50% 以上 300% 以下である。一例では、底部 324 の厚さ  $t_{32c}$  は、 $125\ \mu\text{m}$  以上  $500\ \mu\text{m}$  以下である。図 30 に示す例では、懸架部 321 は、接合部 322（各帯状部 322a）の厚さ方向  $z$  の下端に繋がっているが、この例とは異なり、接合部 322（各帯状部 322a）の厚さ方向  $z$  の上端に繋がっていてもよい。

[0130] 半導体装置 A30 は、半導体装置 A10 と同様に、板状導通部材 32 によって主面電極 221 とリード 14（主面電極 221 に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置 A30 は、半導体装置 A10 と同様に、板状導通部材 31 によって主面電極 211 とダイパッド 10B（主面電極 211 に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置 A30 は、半導体装置 A10 と同様に、板状導通部材 32 の底部 324 によって半導体

チップ22に加わる熱応力を緩和できる。また、半導体装置A30は、半導体装置A10と同様に、板状導通部材31の庇部314によって半導体チップ21に加わる熱応力を緩和できる。その他、半導体装置A30は、半導体装置A10と共通する構成により、同様の効果を奏する。

[0131] 半導体装置A30では、板状導通部材32の庇部324は、懸架部321よりも厚い。たとえば、庇部324の厚さ $t_{32c}$ は、懸架部321の厚さ $t_{32a}$ の100%よりも大きく300%以下である。庇部324が懸架部321よりも厚くても、半導体チップ22に加わる熱応力を緩和できる。一方で、庇部324が懸架部321に対して厚くなると接合部322も厚くなるので、板状導通部材32を主面電極221に接合する際の押圧力が大きくする必要がある。このため、主面電極221の損壊を招く虞がある。したがって、庇部324の厚さ $t_{32c}$ を懸架部321の厚さ $t_{32a}$ の100%よりも大きく300%以下とすることで、半導体装置A30は、半導体チップ22に加わる熱応力を緩和するとともに、主面電極221の損壊を抑制できる。なお、庇部324の厚さ $t_{32c}$ は、懸架部321の厚さ $t_{32a}$ の代わりに、接合層35の最大厚さ $T_{2max}$ を基準に、当該最大厚さ $T_{2max}$ の50%以上300%以下としてもよい。この場合でも、同様に、半導体チップ22に加わる熱応力を緩和するとともに、主面電極221の損壊を抑制できる。これらのことは、板状導通部材31においても同様である。つまり、板状導通部材31の庇部314の厚さ $t_{31c}$ を懸架部311の厚さ $t_{31a}$ の100%よりも大きく300%以下とすることで、半導体チップ21に加わる熱応力を緩和するとともに、主面電極211の損壊を抑制できる。なお、庇部314の厚さ $t_{31c}$ は、懸架部311の厚さ $t_{31a}$ の代わりに、接合層33の最大厚さ $T_{1max}$ を基準に、当該最大厚さ $T_{1max}$ の50%以上300%以下としてもよい。この場合でも、同様に、半導体チップ21に加わる熱応力を緩和するとともに、主面電極211の損壊を抑制できる。

[0132] 半導体装置A30と異なる例において、庇部314は、懸架部311よりも薄くてもよい。この例において、板状導通部材31の厚さ $t_{31c}$ は、懸

架部311の厚さ $t_{31a}$ の50%以上100%未満である。庇部314が懸架部311よりも薄くても、半導体チップ21に加わる熱応力を緩和できる。一方で、庇部314が懸架部311に対して薄いと接合部312も薄くなるので、接合部312における配線抵抗が大きくなる。したがって、庇部314が懸架部311よりも薄い例において、庇部314の厚さ $t_{31c}$ を懸架部311の厚さ $t_{31a}$ の50%以上とすることで、半導体チップ21に加わる熱応力を緩和するとともに、接合部312における配線抵抗の増大化を抑制できる。同様に、半導体装置A30と異なる例において、庇部324は、懸架部321よりも薄くてもよい。この例において、板状導通部材32の厚さ $t_{32c}$ は、懸架部321の厚さ $t_{32a}$ の50%以上100%未満である。この構成によれば、庇部324の厚さ $t_{32c}$ を懸架部321の厚さ $t_{32a}$ の50%以上とすることで、半導体チップ22に加わる熱応力を緩和するとともに、接合部322における配線抵抗の増大化を抑制できる。

[0133] 上記第1実施形態および第3実施形態（変形例を含む）から理解されるように、本開示の半導体装置において、庇部314の厚さ $t_{31c}$ は、懸架部311の厚さ $t_{31a}$ に対して、大きくても小さくても同じであってもよい。つまり、本開示の半導体装置は、板状導通部材31が庇部314を含んでいれば、庇部314と懸架部311との相対的な厚さ関係は、何ら限定されない。ただし、本願発明者の研究での知見によれば、半導体チップ21の熱応力を緩和させる上では、庇部314の厚さ $t_{31c}$ と懸架部311の厚さ $t_{31a}$ とを同じ（あるいは略同じ）にした構成が好ましい。同様に、本開示の半導体装置において、庇部324の厚さ $t_{32c}$ は、懸架部321の厚さ $t_{32a}$ に対して、大きくても小さくても同じであってもよい。つまり、本開示の半導体装置は、板状導通部材32が庇部324を含んでいれば、庇部324と懸架部321との相対的な厚さ関係は、何ら限定されない。ただし、本願発明者の研究での知見によれば、半導体チップ22の熱応力を緩和させる上では、庇部324の厚さ $t_{32c}$ と懸架部321の厚さ $t_{32a}$ と

を同じ（あるいは略同じ）にした構成が好ましい。

[0134] 第4実施形態：

図33は、第4実施形態にかかる半導体装置A40を示している。半導体装置A40は、半導体装置A10と比較して、次の点で異なる。第1に、半導体装置A40の底部314の外周219に重なる領域が異なる。第2に、半導体装置A40の底部314の外周229に重なる領域が異なる。

[0135] 半導体装置A40の底部314（各本体部314aおよび各連結部314b）は、外周219の各端縁219aの全体に重なっておらず、端縁219a各々の一部に重なる。本実施形態では、底部314は、平面視における半導体チップ21の四隅のいずれにも重ならない。図示された例では、底部314において、各本体部314aの第1方向xに沿う寸法と各連結部314bの第1方向xに沿う寸法とは、同じ（あるいは略同じ）であるが、各本体部314aの第1方向xの寸法は、各連結部314bの第1方向xに沿う寸法よりも大きくてもよいし小さくてもよい。図33に示すように、このような底部314の構成は、底部324においても同様である。つまり、半導体装置A40の底部324（各本体部324aおよび各連結部324b）は、外周229の各端縁229aの全体に重なっておらず、端縁229a各々の一部に重なる。

[0136] 半導体装置A40は、半導体装置A10と同様に、板状導通部材32によって主面電極221とリード14（主面電極221に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置A40は、半導体装置A10と同様に、板状導通部材31によって主面電極211とダイパッド10B（主面電極211に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置A40は、半導体装置A10と同様に、板状導通部材32の底部324によって半導体チップ22に加わる熱応力を緩和できる。また、半導体装置A40は、半導体装置A10と同様に、板状導通部材31の底部314によって半導体チップ21に加わる熱応力を緩和できる。その他、半導体装置A40は、半導体

装置A10と共通する構成により、同様の効果を奏する。

[0137] 図34は、第4実施形態の第1変形例にかかる半導体装置A41を示している。半導体装置A41は、半導体装置A40と比較して、次の点で異なる。第1に、各本体部314aは、平面視において、半導体チップ21の四隅のうちの懸架部311から遠い側の2つの角部に重なっている。第2に、各本体部324aは、平面視において、半導体チップ22の四隅のうちの懸架部321から遠い側の2つの角部に重なっている。

[0138] 図35は、第4実施形態の第2変形例にかかる半導体装置A42を示している。半導体装置A42は、半導体装置A40と比較して、次の点で異なる。第1に、各本体部314aは、平面視において、半導体チップ21の四隅のうちの懸架部321に近い側の2つの角部に重なっている。第2に、各本体部324aは、平面視において、半導体チップ22の四隅のうちの懸架部321に近い側の2つの角部に重なっている。

[0139] 各半導体装置A41, A42においても、半導体装置A40と同様に、板状導通部材32による電力損失の低減、板状導通部材31による電力損失の低減、板状導通部材32の庇部324による熱応力の緩和、および、板状導通部材31の庇部314による熱応力の緩和が可能である。

[0140] 上記第1実施形態および第4実施形態（変形例を含む）から理解されるように、本開示の半導体装置において、庇部314は、平面視において半導体チップ21の外周219に重なっていれば、その重なる領域は何ら限定されない。ただし、本願発明者の研究での知見によれば、半導体チップ21の熱応力を緩和させる上では、上記第1実施形態のように、平面視における半導体チップ21の四隅に庇部314を重ねさせた構成が好ましい。なお、一对の本体部314aにおいて、一方の本体部314aの外周219に重なる領域と、他方の本体部314aの外周219に重なる領域とは、異なってもよい。同様に、本開示の半導体装置において、庇部324は、平面視において半導体チップ22の外周229に重なっていれば、その重なる領域は何ら限定されない。ただし、本願発明者の研究での知見によれば、半導体チッ

プ22の熱応力を緩和させる上では、上記第1実施形態のように、平面視における半導体チップ22の四隅に庇部324を重ねさせた構成が好ましい。なお、一对の本体部324aにおいて、一方の本体部324aの外周229に重なる領域と、他方の本体部324aの外周229に重なる領域とは、異なってもよい。

[0141] 第5実施形態：

図36は、第5実施形態にかかる半導体装置A50を示している。半導体装置A50は、半導体装置A10と比較して、次の点で異なる。第1に、庇部314は、接合部312から延びるのではなく、懸架部311から延びる。第2に、庇部324は、接合部322から延びるのではなく、懸架部321から延びる。

[0142] 図36に示すように、半導体装置A50の庇部314は、懸架部311から延びており、接合部312に直接繋がらない。また、図36に示すように、半導体装置A50の庇部324は、懸架部321から延びており、接合部322に直接繋がらない。

[0143] 半導体装置A50は、半導体装置A10と同様に、板状導通部材32によって主面電極221とリード14（主面電極221に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置A50は、半導体装置A10と同様に、板状導通部材31によって主面電極211とダイパッド10B（主面電極211に対する導通対象体）との配線抵抗を低減できるので、電力損失を低減できる。また、半導体装置A50は、半導体装置A10と同様に、板状導通部材32の庇部324によって半導体チップ22に加わる熱応力を緩和できる。また、半導体装置A50は、半導体装置A10と同様に、板状導通部材31の庇部314によって半導体チップ21に加わる熱応力を緩和できる。その他、半導体装置A50は、半導体装置A10と共通する構成により、同様の効果を奏する。

[0144] 上記第1実施形態および第5実施形態から理解されるように、本開示の半導体装置において、庇部314は、板状導通部材31のうちのいずれの部位

から延びていてもよい。同様に、本開示の半導体装置において、底部324は、板状導通部材32のうちのいずれの部位から延びていてもよい。

[0145] 上記第1実施形態ないし上記第5実施形態（これらの変形例を含む）では、板状導通部材31の底部314は、一对の本体部314aを含む例を示したが、一对の本体部314aのいずれか一方のみを含む構成であってもよい。この場合の底部314は、一对の本体部314aのいずれか一方に対応する連結部314bも含んでいなくてもよい。

[0146] 第6実施形態：

図37は、第6実施形態にかかる半導体装置A60を示している。半導体装置A60は、半導体装置A10と比較して、次の点で異なる。半導体装置A60は、半導体チップ22を備えていない。

[0147] 半導体装置A60は、TO (Transistor Outline) 型のパッケージ構造である。図示された例では、半導体装置A60のパッケージ構造は、リード挿通型のTOパッケージであるが、表面実装型のTOパッケージであってもよい。

[0148] 図37に示すように、半導体装置A60は、ダイパッド10A、3つの端子リード13、半導体チップ21、板状導通部材31、接続部材41A、および封止樹脂50を備える。3つの端子リード13は、3つのリード14, 15, 171を含む。図37に示すように、半導体装置A60では、板状導通部材31は、半導体チップ21の主面電極211とリード14とに接合され、これらを導通させる。

[0149] 半導体装置A60は、半導体チップ21の主面電極211と、導通対象体としてのリード14とが、板状導通部材31を介して導通する。この構成によれば、主面電極211とリード14とがボンディングワイヤで接続された構成と比較して、これらの間での配線抵抗を低減することができる。したがって、半導体装置A60は、電力損失を低減することができる。また、半導体装置A60では、板状導通部材31は、底部314を含む。この構成によれば、半導体チップ21に加わる応力を緩和できる。

[0150] 第1実施形態および第6実施形態から理解されるように、本開示の半導体装置のパッケージ構造は、特定の構成に限定されず、例えば、SOP (Small Outline Package)、QFP (Quad Flat Package)、BGA (Ball grid array)、LGA (Land grid array)、DFN (Dual Flatpack No-leaded)、QFN (Quad Flatpack No-leaded) などであってもよい。

[0151] 第1実施形態ないし第6実施形態では、各半導体装置A10、A20、A30、A40、A50、A60が、リードフレームから形成されるパッケージ構造である例を示した。つまり、各半導体装置A10、A20、A30、A40、A50、A60では、半導体チップ21（および半導体チップ22）が、リードフレームから形成されるダイパッド10A（およびダイパッド10B）に支持される例を示した。この例と異なるパッケージ構造において、半導体チップ21（および半導体チップ22）を支持するものは、半導体基板、ガラス基板または金属ベース基板などであってもよい。

[0152] 本開示にかかる半導体装置は、上記した実施形態に限定されるものではない。本開示の半導体装置の各部の具体的な構成は、種々に設計変更自在である。たとえば、本開示の半導体装置は、以下の付記に関する実施形態を含む。

付記1.

厚さ方向の一方を向く主面および前記主面に配置された第1主面電極を有する半導体チップと、

前記半導体チップから離間し、前記第1主面電極に導通する導通対象体と

、  
前記第1主面電極に接合された第1接合部、前記導通対象体に接合された第2接合部、および前記第1接合部と前記第2接合部とを繋ぐ懸架部を含む板状導通部材と、

前記第1接合部と前記第1主面電極とを接合する導電性の接合層と、

前記半導体チップ、前記導通対象体の一部、前記板状導通部材、および前記接合層を覆う封止樹脂と、

を備え、

前記板状導通部材は、前記懸架部と異なる庇部を含み、

前記庇部は、前記接合層に非接触であり、且つ前記厚さ方向に見て前記半導体チップの外周に重なる、半導体装置。

付記 2.

前記庇部は、前記第 1 接合部から延びる、付記 1 に記載の半導体装置。

付記 3.

前記庇部は、前記厚さ方向に見て前記半導体チップの前記外周に重なる少なくとも 1 つの本体部、および、前記第 1 接合部と前記少なくとも 1 つの本体部とを繋ぐ少なくとも 1 つの連結部を含み、

前記第 1 接合部は、前記懸架部に、前記厚さ方向に直交する第 1 方向の一方から繋がり、

前記少なくとも 1 つの連結部は、前記第 1 接合部から、前記厚さ方向および前記第 1 方向に直交する第 2 方向に延び、

前記少なくとも 1 つの本体部は、前記第 1 方向に延びる、付記 2 に記載の半導体装置。

付記 4.

前記少なくとも 1 つの本体部は、前記半導体チップの四隅の少なくとも 1 つに重なる、付記 3 に記載の半導体装置。

付記 5.

前記少なくとも 1 つの本体部は、前記第 2 方向に離間する一对の本体部を含み、

前記一对の本体部は、前記第 2 方向において、前記第 1 接合部を挟んで配置され、

前記少なくとも 1 つの連結部は、前記第 2 方向に離間する一对の連結部を含み、

前記一对の連結部の一方は、前記第 1 接合部から前記第 2 方向の一方に延び、前記一对の本体部の一方に繋がり、

前記一对の連結部の他方は、前記第 1 接合部から前記第 2 方向の他方に延び、前記一对の本体部の他方に繋がる、付記 3 または付記 4 に記載の半導体装置。

付記 6.

前記半導体チップの前記外周は、前記厚さ方向に見て、前記第 2 方向に離開し、且つ前記厚さ方向に見て前記第 1 方向に延びる一对の端縁を有し、

前記一对の本体部は、前記厚さ方向に見て、前記一对の端縁の全体に重なる、付記 5 に記載の半導体装置。

付記 7.

前記第 1 接合部は、前記第 2 方向に配列された複数の帯状部を含み、

前記一对の連結部の前記一方は、前記複数の帯状部のうち、最も前記第 2 方向の前記一方に位置する帯状部に繋がり、

前記一对の連結部の前記他方は、前記複数の帯状部のうち、最も前記第 2 方向の前記他方に位置する帯状部に繋がる、付記 5 または付記 6 に記載の半導体装置。

付記 8.

前記少なくとも 1 つの本体部の前記厚さ方向の位置と、前記第 1 接合部の前記厚さ方向の位置とは、互いにずれている、付記 3 ないし付記 7 のいずれかに記載の半導体装置。

付記 9.

前記少なくとも 1 つの連結部のうちの前記少なくとも 1 つの本体部に繋がる端部は、前記厚さ方向に屈曲する、付記 8 に記載の半導体装置。

付記 10.

前記少なくとも 1 つの本体部は、前記厚さ方向において前記半導体チップから離れている、付記 9 に記載の半導体装置。

付記 11.

前記少なくとも 1 つの本体部は、前記第 1 接合部に対して前記厚さ方向の前記一方に位置する、付記 10 に記載の半導体装置。

付記 1 2.

前記少なくとも 1 つの本体部と前記第 1 接合部との前記厚さ方向のずれ量は、前記懸架部の厚さの 50%以上 300%以下である、付記 1 1 に記載の半導体装置。

付記 1 3.

前記板状導通部材の厚さは、前記板状導通部材の全体にわたって一様である、付記 9 ないし付記 1 2 のいずれかに記載の半導体装置。

付記 1 4.

前記底部の厚さは、前記懸架部の厚さの 50%以上 300%以下である、付記 1 ないし付記 1 2 のいずれかに記載の半導体装置。

付記 1 5.

前記半導体チップは、前記主面に配置された第 2 主面電極を含み、前記板状導通部材は、前記厚さ方向に見て前記第 2 主面電極に重ならない、付記 1 ないし付記 1 4 のいずれかに記載の半導体装置。

付記 1 6.

前記半導体チップが接合されたダイパッドをさらに備え、前記導通対象体は、前記ダイパッドから離間する第 1 リードであり、前記第 1 リードは、前記封止樹脂に覆われ且つ前記第 2 接合部が接合された被覆部と、前記被覆部に繋り且つ前記封止樹脂から露出する露出部とを含む、付記 1 ないし付記 1 5 のいずれかに記載の半導体装置。

付記 1 7.

前記第 1 リードから離間し、前記ダイパッドに繋がる第 2 リードをさらに備え、

前記半導体チップは、前記厚さ方向において前記主面と反対側を向く裏面と、前記裏面に配置された裏面電極とを有し、

前記裏面電極は、前記ダイパッドに導通接合されており、

前記第 2 リードは、前記封止樹脂に覆われた第 2 被覆部と、前記第 2 被覆部に繋り且つ前記封止樹脂から露出する第 2 露出部とを含む、付記 1 6 に記

載の半導体装置。

付記 18.

前記半導体チップを第1半導体チップとして、当該第1半導体チップに導通する第2半導体チップをさらに備え、

前記第2半導体チップは、前記封止樹脂に覆われている、付記1ないし付記17のいずれかに記載の半導体装置。

付記 19.

前記第1半導体チップは、トランジスタまたはダイオードのいずれかであり、

前記第2半導体チップは、トランジスタまたはダイオードのいずれかである、付記18に記載の半導体装置。

## 符号の説明

- [0153] A10～A13, A20, A21, A30, A40～A42, A50, A60 : 半導体装置
- 10A, 10B : ダイパッド      101 : 主面
- 102 : 裏面      103 : 座面
- 104 : 起立面      111～114 : 端面
- 121～124 : 隅部端面      13 : 端子リード
- 14, 15, 16, 171, 172, 181, 182 : リード
- 14A, 15A, 16A, 171A, 172A, 181A, 182A : 被覆部
- 14B, 15B, 16B, 171B, 172B, 181B, 182B : 露出部
- 14C : 座面      14D : 起立面
- 21 : 半導体チップ      21a : 主面
- 21b : 裏面      211, 212, 214 : 主面電極
- 213 : 裏面電極      219 : 外周
- 219a, 219b : 端縁      22 : 半導体チップ

2 2 a : 主面      2 2 b : 裏面  
2 2 1, 2 2 2, 2 2 4 : 主面電極      2 2 3 : 裏面電極  
2 2 9 : 外周      2 2 9 a, 2 2 9 b : 端縁  
2 3 1 : ダイボンディング層      2 3 2 : ダイボンディング層  
3 1 : 板状導通部材      3 1 1 : 懸架部  
3 1 2 : 接合部      3 1 2 a : 帯状部  
3 1 3 : 接合部      3 1 4 : 庇部  
3 1 4 a : 本体部      3 1 4 b : 連結部  
3 2 : 板状導通部材      3 2 1 : 懸架部  
3 2 1 a : 延出部      3 2 1 b : 基端  
3 2 1 c : 延出部      3 2 1 d : 基端  
3 2 1 e : 延出部      3 2 1 f : 基端  
3 2 2 : 接合部      3 2 2 a : 帯状部  
3 2 3 : 接合部      3 2 4 : 庇部  
3 2 4 a : 本体部      3 2 4 b : 連結部  
3 3 ~ 3 6 : 接合層      4 1 A, 4 1 B, 4 2 A, 4 2 B : 接続部材  
5 0 : 封止樹脂      5 1 : 樹脂主面  
5 2 : 樹脂裏面      5 3, 5 4, 5 5 : 側面  
5 6 : 凹部      5 7 : 溝部  
5 8 1 : 凹部      5 8 2 : 凹部

## 請求の範囲

- [請求項1] 厚さ方向の一方を向く主面および前記主面に配置された第1主面電極を有する半導体チップと、  
前記半導体チップから離間し、前記第1主面電極に導通する導通対象体と、  
前記第1主面電極に接合された第1接合部、前記導通対象体に接合された第2接合部、および前記第1接合部と前記第2接合部とを繋ぐ懸架部を含む板状導通部材と、  
前記第1接合部と前記第1主面電極とを接合する導電性の接合層と、  
前記半導体チップ、前記導通対象体の一部、前記板状導通部材、および前記接合層を覆う封止樹脂と、  
を備え、  
前記板状導通部材は、前記懸架部と異なる底部を含み、  
前記底部は、前記接合層に非接触であり、且つ前記厚さ方向に見て前記半導体チップの外周に重なる、半導体装置。
- [請求項2] 前記底部は、前記第1接合部から延びる、請求項1に記載の半導体装置。
- [請求項3] 前記底部は、前記厚さ方向に見て前記半導体チップの前記外周に重なる少なくとも1つの本体部、および、前記第1接合部と前記少なくとも1つの本体部とを繋ぐ少なくとも1つの連結部を含み、  
前記第1接合部は、前記懸架部に、前記厚さ方向に直交する第1方向の一方から繋がりに、  
前記少なくとも1つの連結部は、前記第1接合部から、前記厚さ方向および前記第1方向に直交する第2方向に延び、  
前記少なくとも1つの本体部は、前記第1方向に延びる、請求項2に記載の半導体装置。
- [請求項4] 前記少なくとも1つの本体部は、前記半導体チップの四隅の少なく

とも1つに重なる、請求項3に記載の半導体装置。

[請求項5]

前記少なくとも1つの本体部は、前記第2方向に離間する一对の本体部を含み、

前記一对の本体部は、前記第2方向において、前記第1接合部を挟んで配置され、

前記少なくとも1つの連結部は、前記第2方向に離間する一对の連結部を含み、

前記一对の連結部の一方は、前記第1接合部から前記第2方向の一方に延び、前記一对の本体部の一方に繋がり、

前記一对の連結部の他方は、前記第1接合部から前記第2方向の他方に延び、前記一对の本体部の他方に繋がる、請求項3または請求項4に記載の半導体装置。

[請求項6]

前記半導体チップの前記外周は、前記厚さ方向に見て、前記第2方向に離間し、且つ前記厚さ方向に見て前記第1方向に延びる一对の端縁を有し、

前記一对の本体部は、前記厚さ方向に見て、前記一对の端縁の全体に重なる、請求項5に記載の半導体装置。

[請求項7]

前記第1接合部は、前記第2方向に配列された複数の帯状部を含み、

前記一对の連結部の前記一方は、前記複数の帯状部のうち、最も前記第2方向の前記一方に位置する帯状部に繋がり、

前記一对の連結部の前記他方は、前記複数の帯状部のうち、最も前記第2方向の前記他方に位置する帯状部に繋がる、請求項5または請求項6に記載の半導体装置。

[請求項8]

前記少なくとも1つの本体部の前記厚さ方向の位置と、前記第1接合部の前記厚さ方向の位置とは、互いにずれている、請求項3ないし請求項7のいずれか一項に記載の半導体装置。

[請求項9]

前記少なくとも1つの連結部のうちの前記少なくとも1つの本体部

に繋がる端部は、前記厚さ方向に屈曲する、請求項 8 に記載の半導体装置。

[請求項10] 前記少なくとも 1 つの本体部は、前記厚さ方向において前記半導体チップから離れている、請求項 9 に記載の半導体装置。

[請求項11] 前記少なくとも 1 つの本体部は、前記第 1 接合部に対して前記厚さ方向の前記一方に位置する、請求項 10 に記載の半導体装置。

[請求項12] 前記少なくとも 1 つの本体部と前記第 1 接合部との前記厚さ方向のずれ量は、前記懸架部の厚さの 50%以上300%以下である、請求項 11 に記載の半導体装置。

[請求項13] 前記板状導通部材の厚さは、前記板状導通部材の全体にわたって一様である、請求項 9 ないし請求項 12 に記載の半導体装置。

[請求項14] 前記底部の厚さは、前記懸架部の厚さの 50%以上300%以下である、請求項 1 ないし請求項 12 のいずれか一項に記載の半導体装置。

[請求項15] 前記半導体チップは、前記主面に配置された第 2 主面電極を含み、前記板状導通部材は、前記厚さ方向に見て前記第 2 主面電極に重ならない、請求項 1 ないし請求項 14 のいずれか一項に記載の半導体装置。

[請求項16] 前記半導体チップが接合されたダイパッドをさらに備え、前記導通対象体は、前記ダイパッドから離間する第 1 リードであり、前記第 1 リードは、前記封止樹脂に覆われ且つ前記第 2 接合部が接合された被覆部と、前記被覆部に繋り且つ前記封止樹脂から露出する露出部とを含む、請求項 1 ないし請求項 15 のいずれか一項に記載の半導体装置。

[請求項17] 前記第 1 リードから離間し、前記ダイパッドに繋がる第 2 リードをさらに備え、前記半導体チップは、前記厚さ方向において前記主面と反対側を向

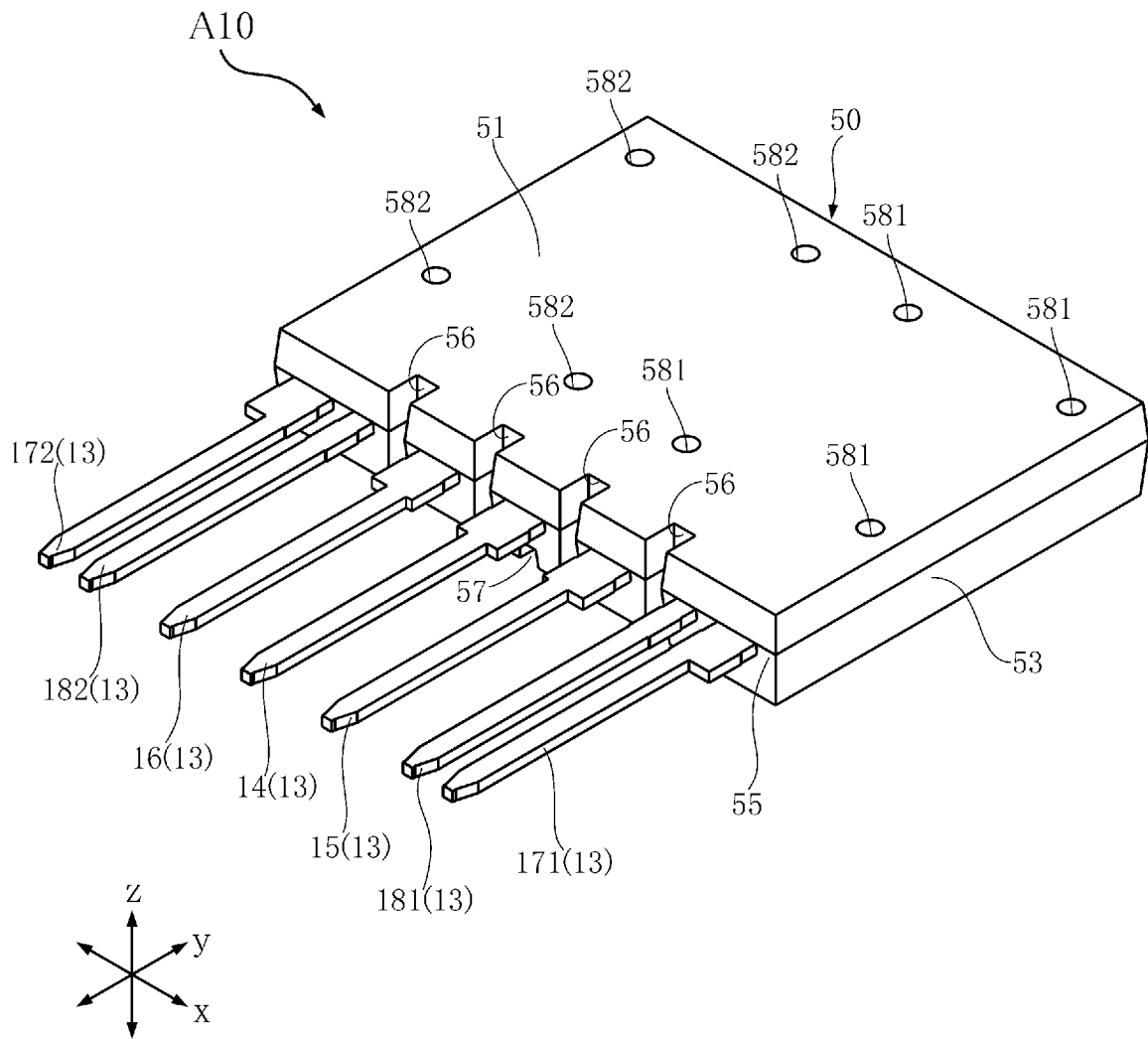
く裏面と、前記裏面に配置された裏面電極とを有し、  
前記裏面電極は、前記ダイパッドに導通接合されており、  
前記第2リードは、前記封止樹脂に覆われた第2被覆部と、前記第2被覆部に繋り且つ前記封止樹脂から露出する第2露出部とを含む、請求項16に記載の半導体装置。

[請求項18] 前記半導体チップを第1半導体チップとして、当該第1半導体チップに導通する第2半導体チップをさらに備え、

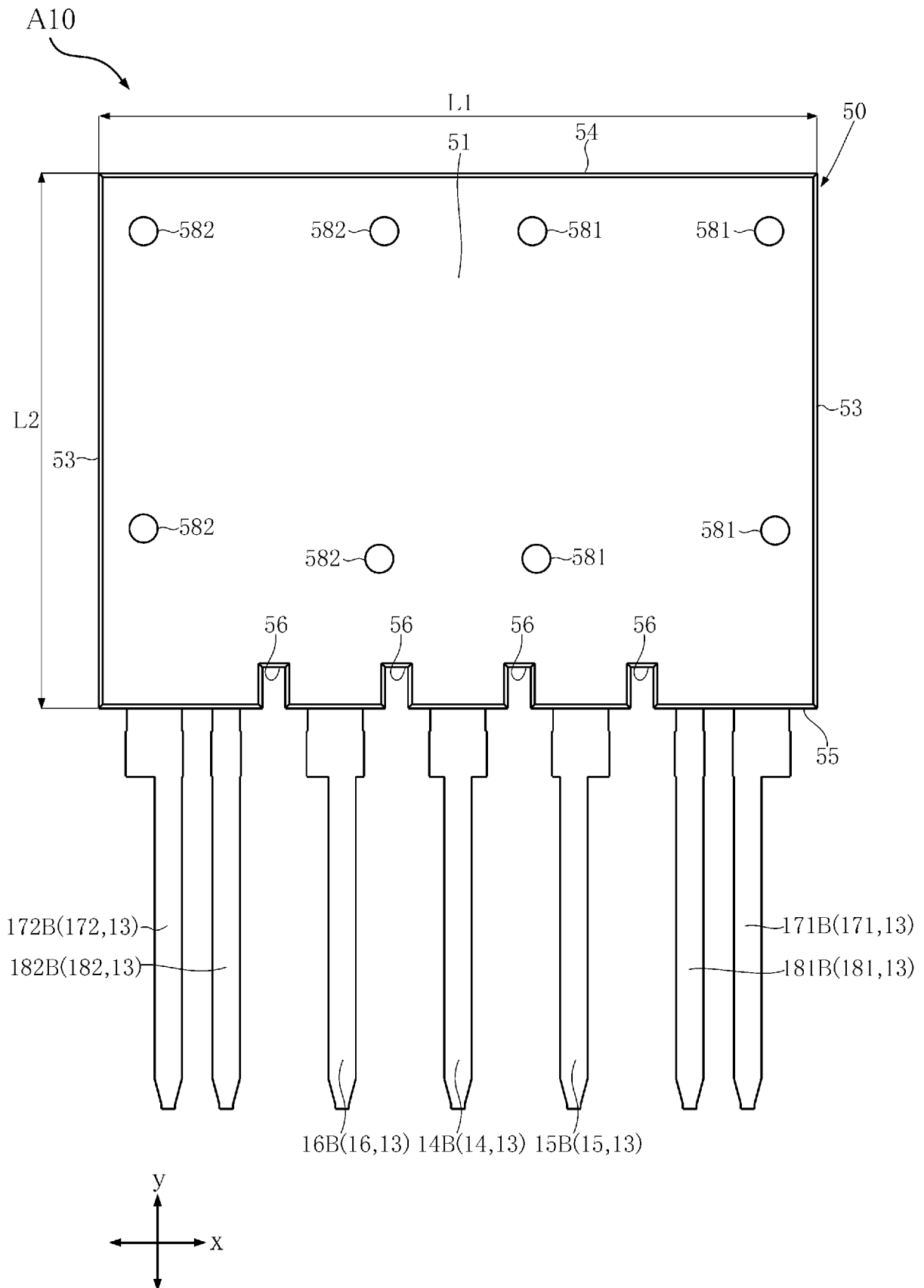
前記第2半導体チップは、前記封止樹脂に覆われている、請求項1ないし請求項17のいずれか一項に記載の半導体装置。

[請求項19] 前記第1半導体チップは、トランジスタまたはダイオードのいずれかであり、

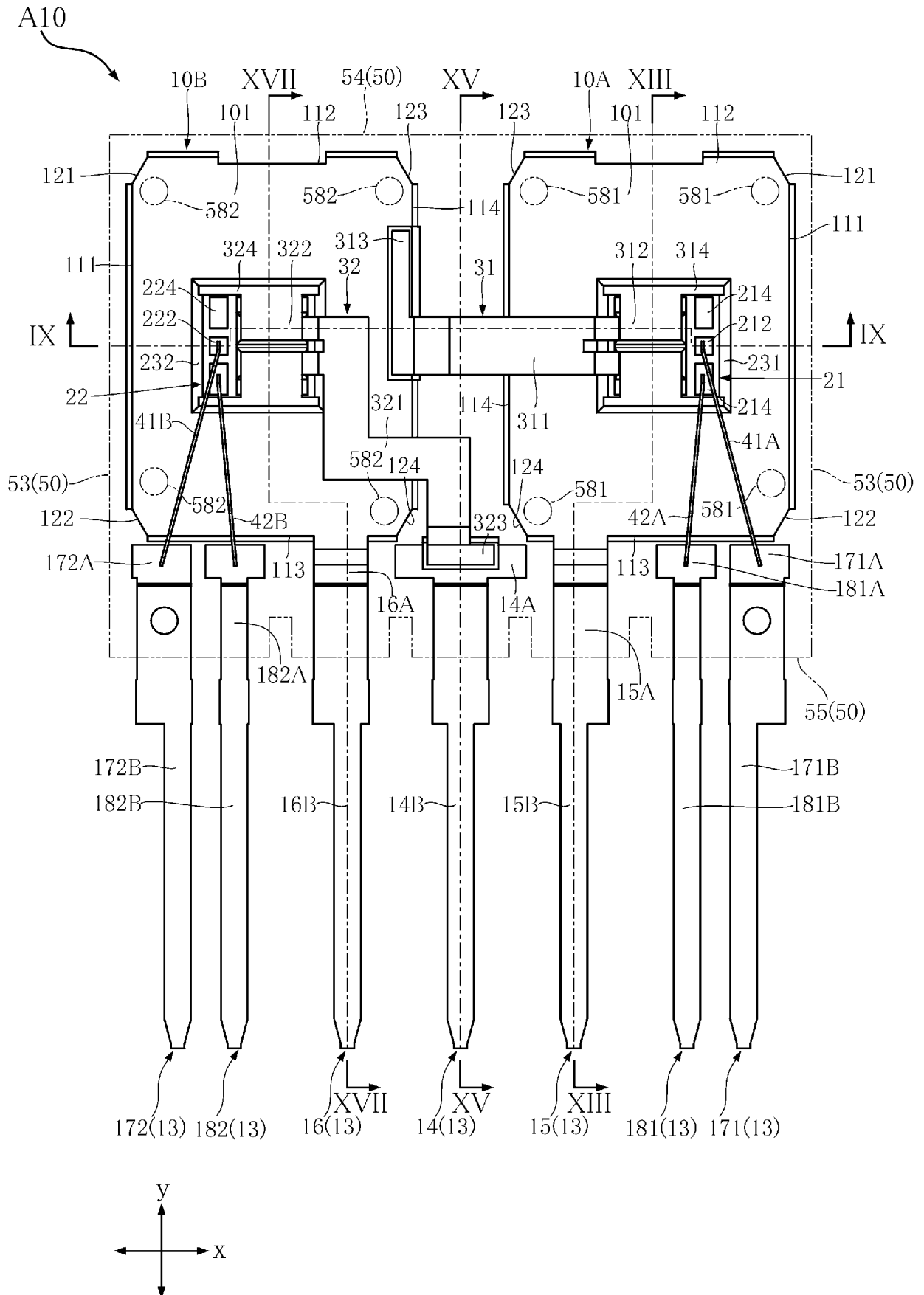
前記第2半導体チップは、トランジスタまたはダイオードのいずれかである、請求項18に記載の半導体装置。

[図1]  
FIG.1

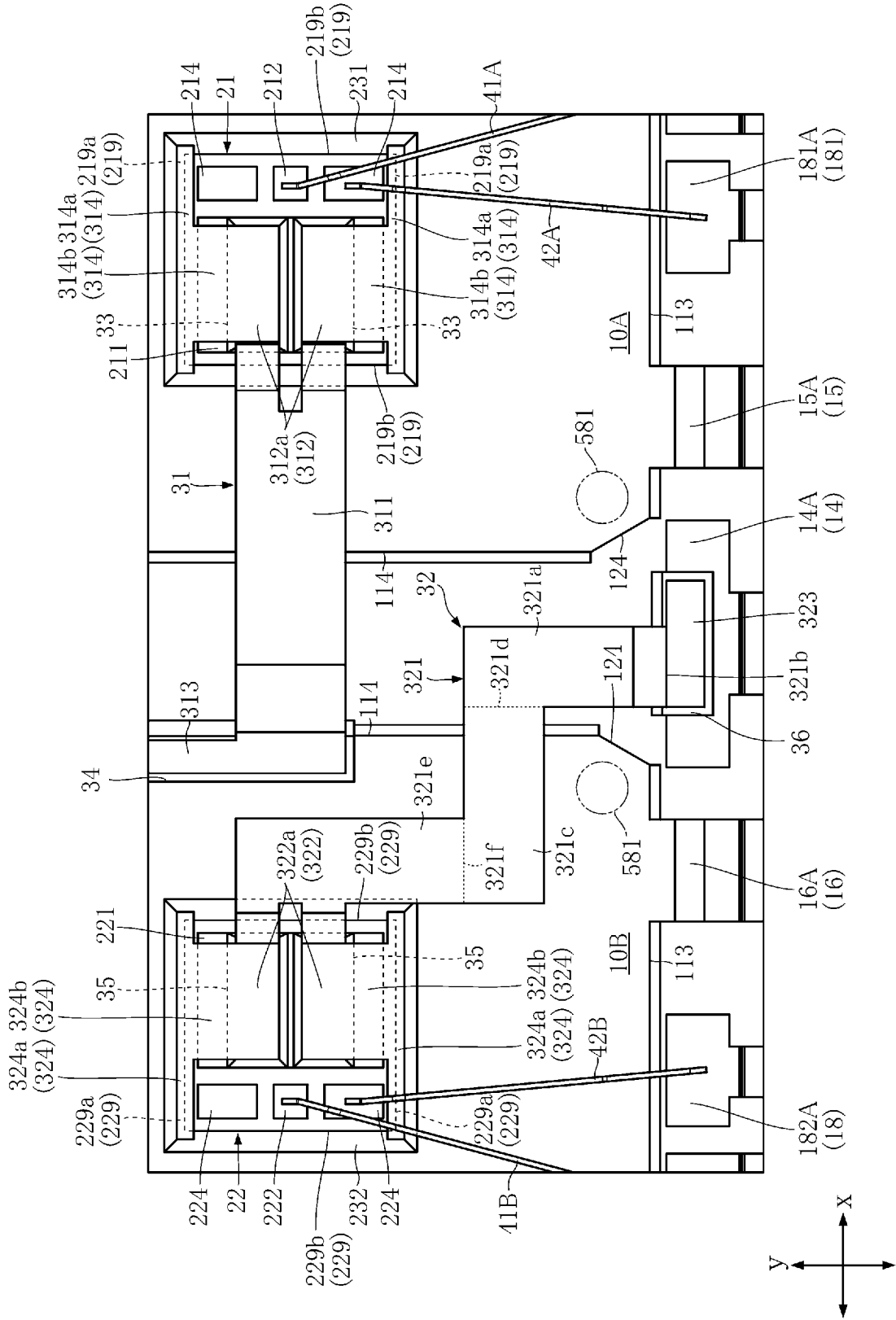
[図2]  
FIG.2



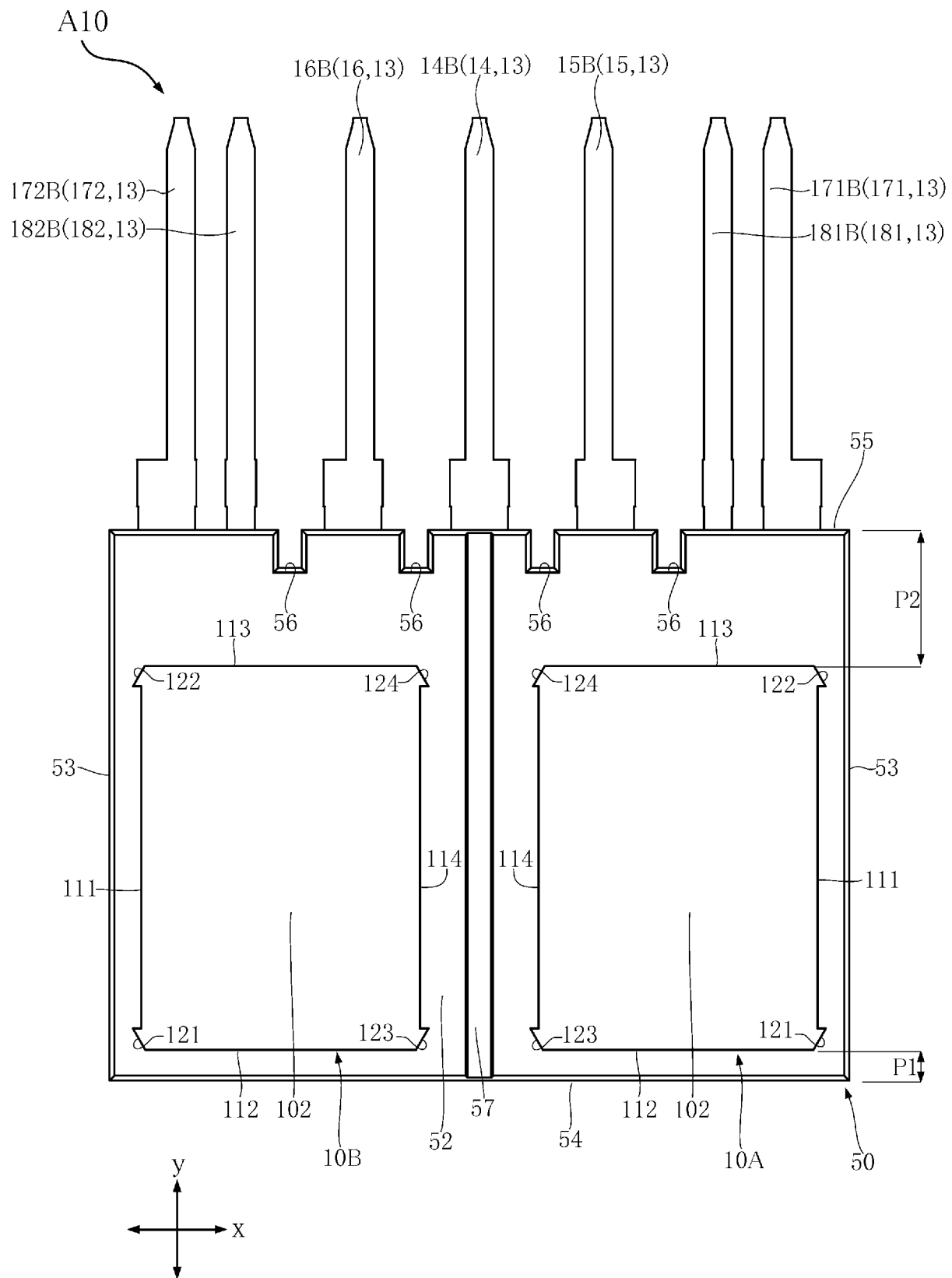
[]3  
FIG.3



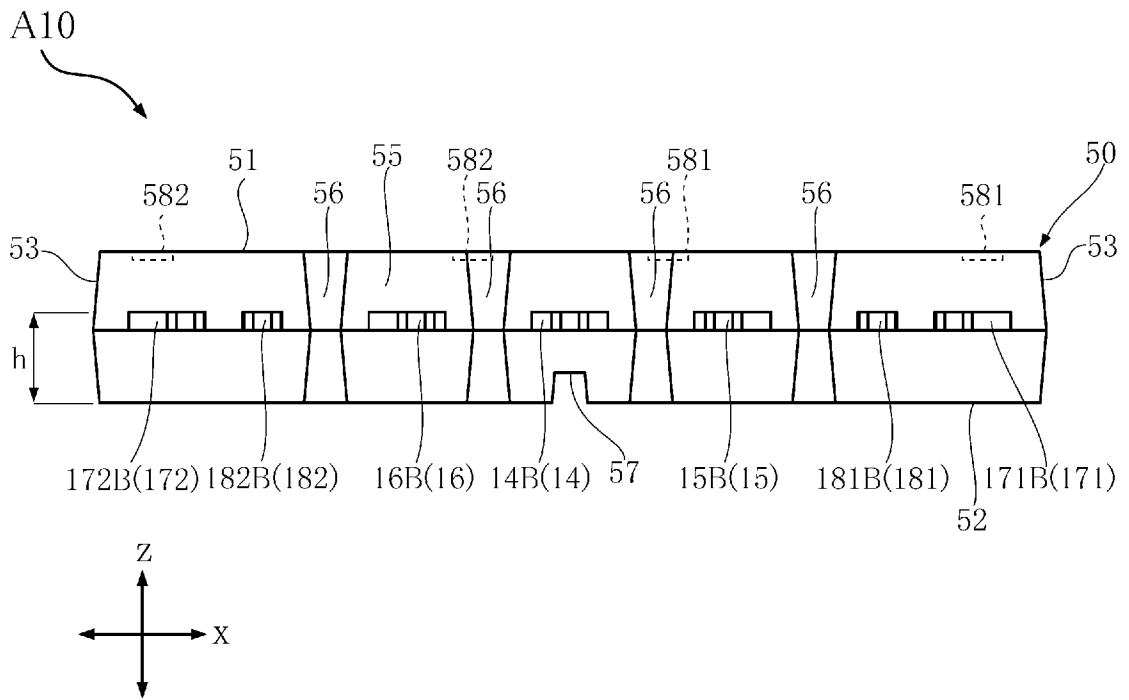
[FIG. 4]



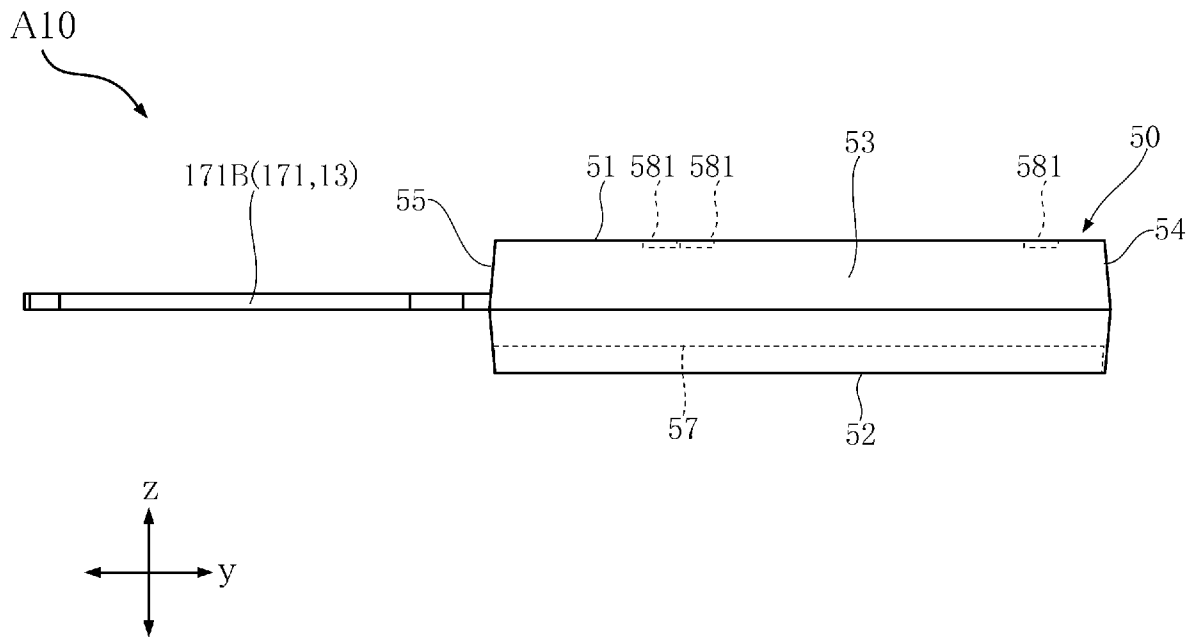
[図5]  
FIG.5



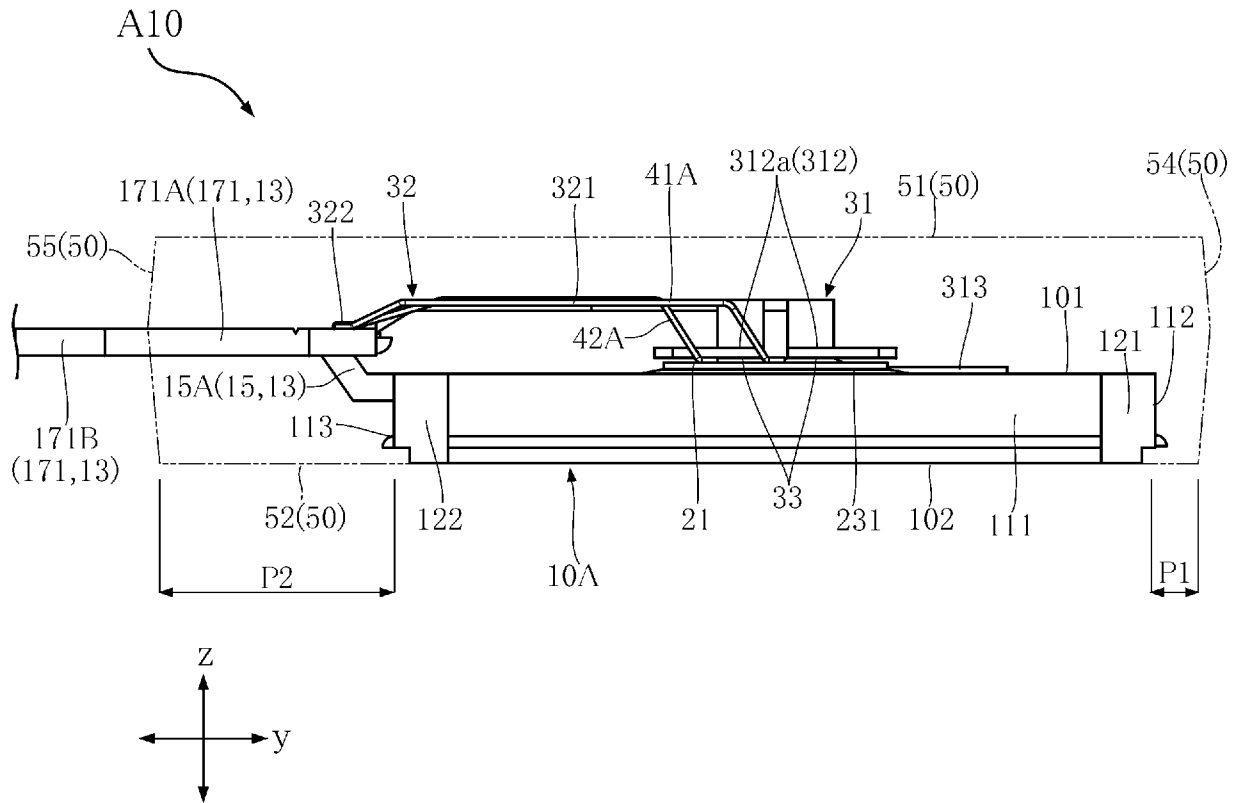
[図6]  
FIG.6



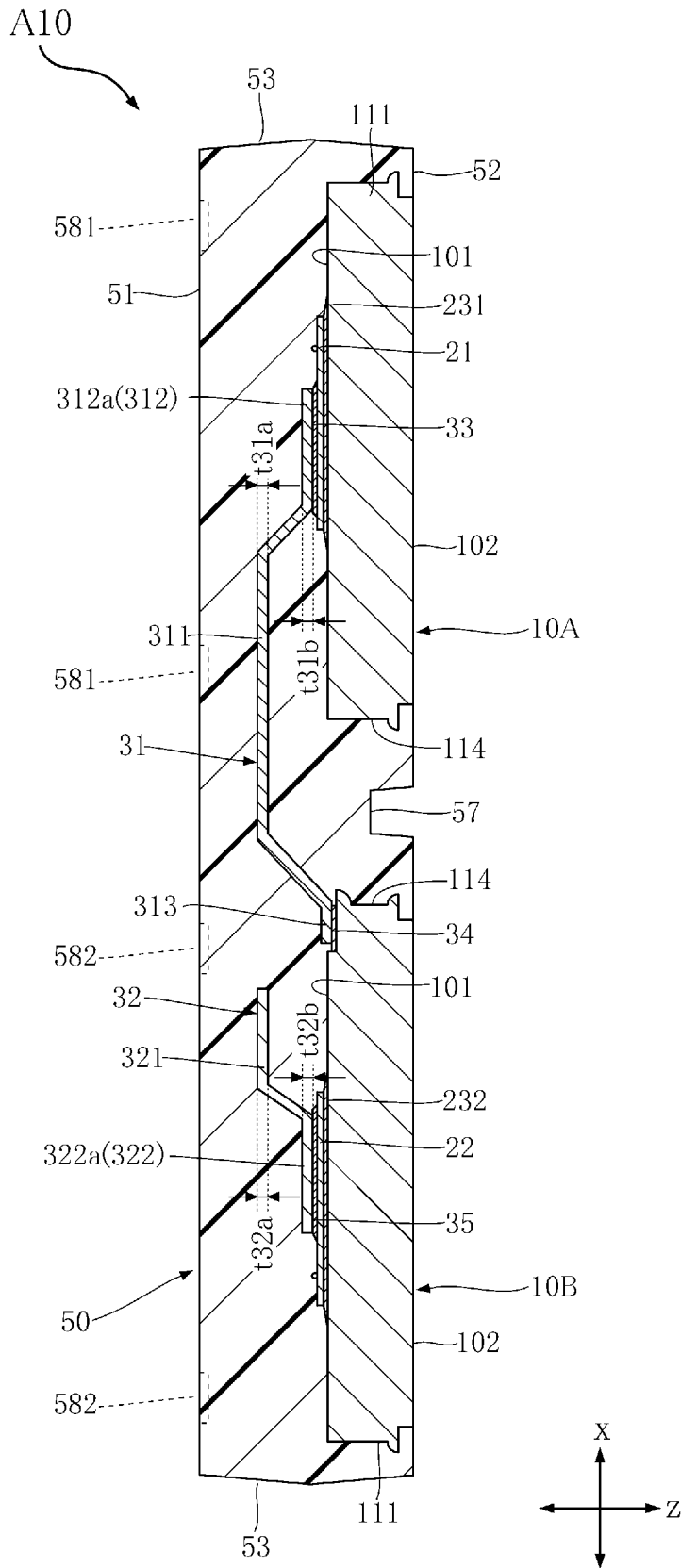
[図7]  
FIG.7

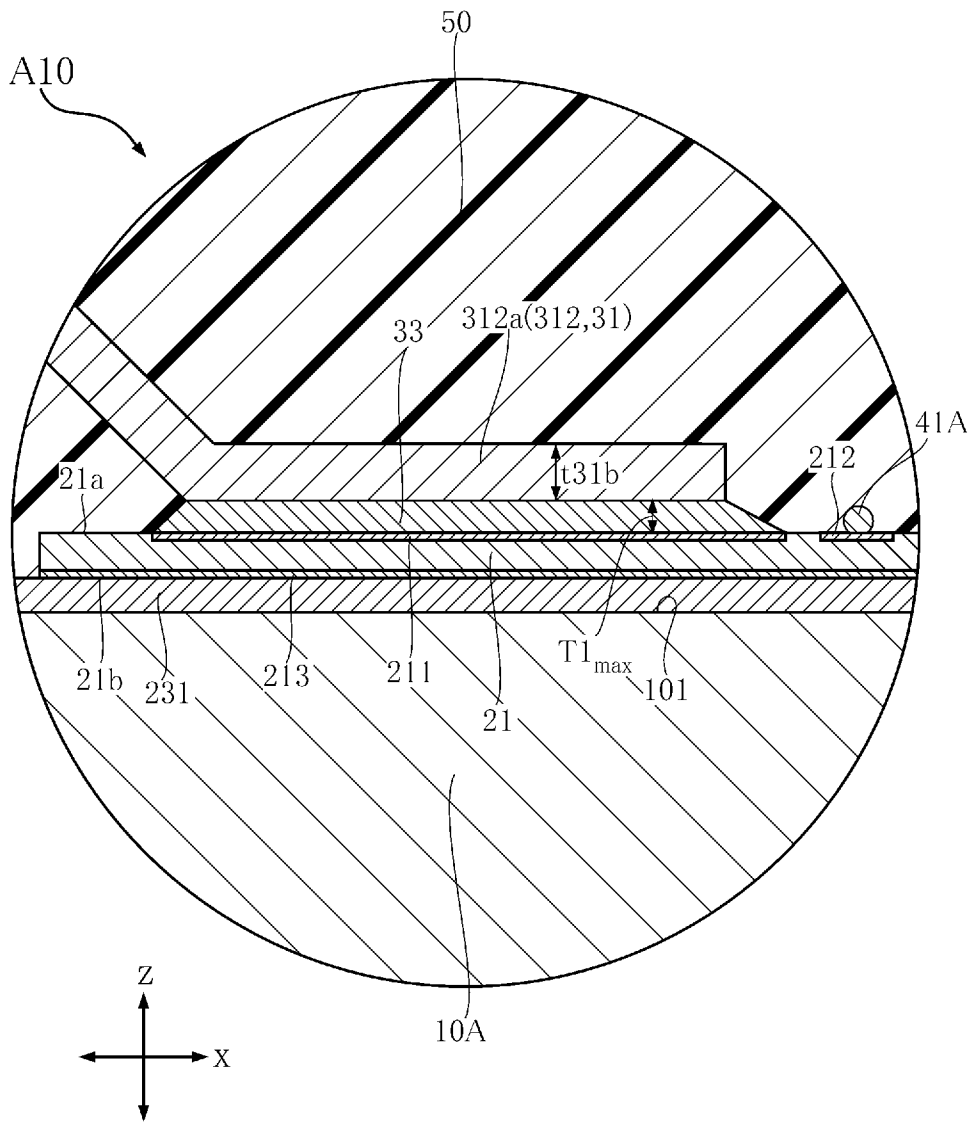


[図8]  
FIG.8

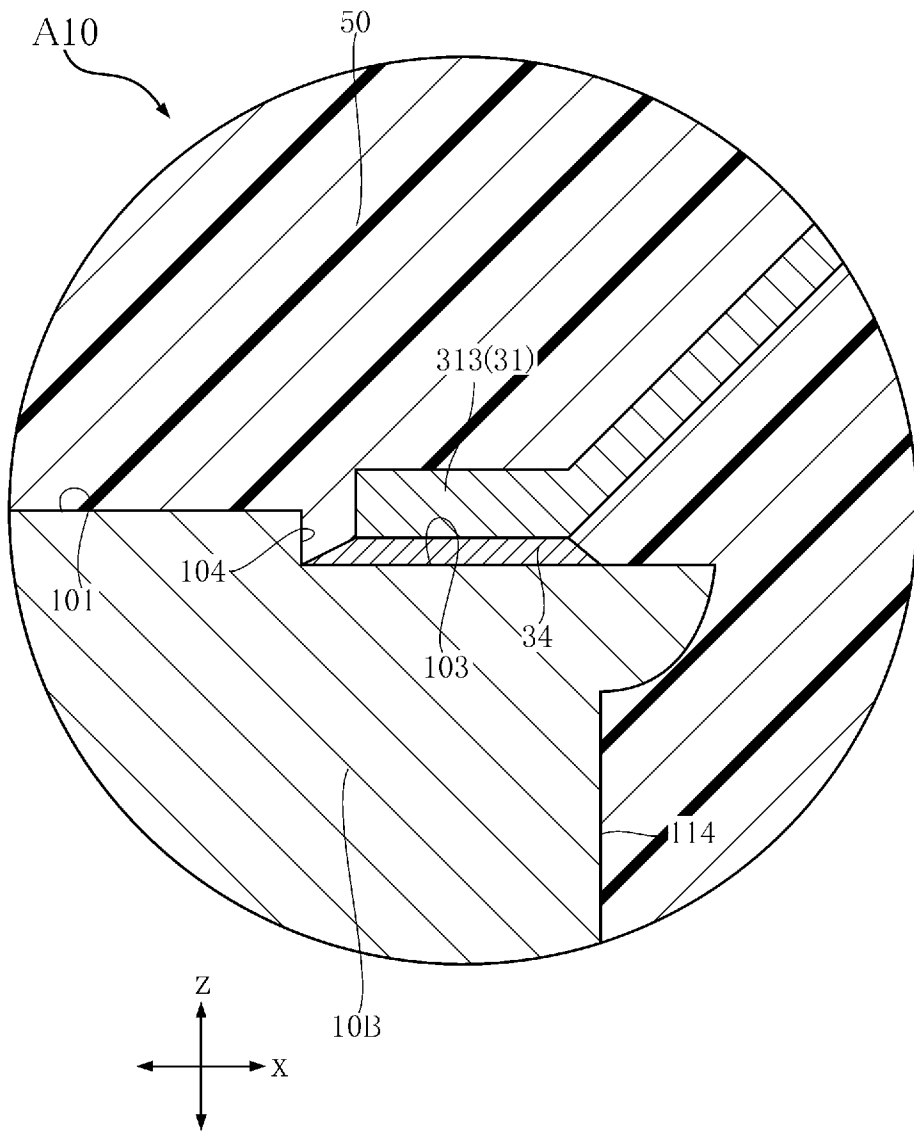


[]9  
FIG.9

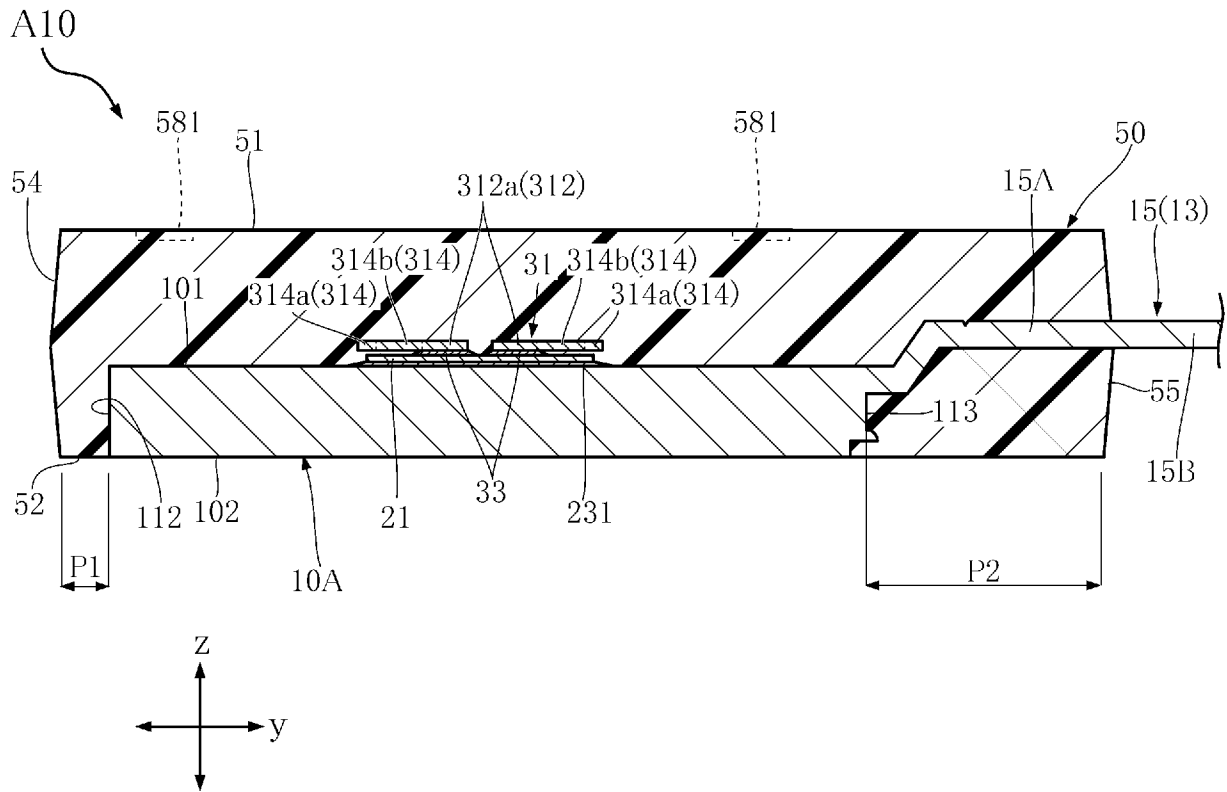


[図10]  
FIG.10

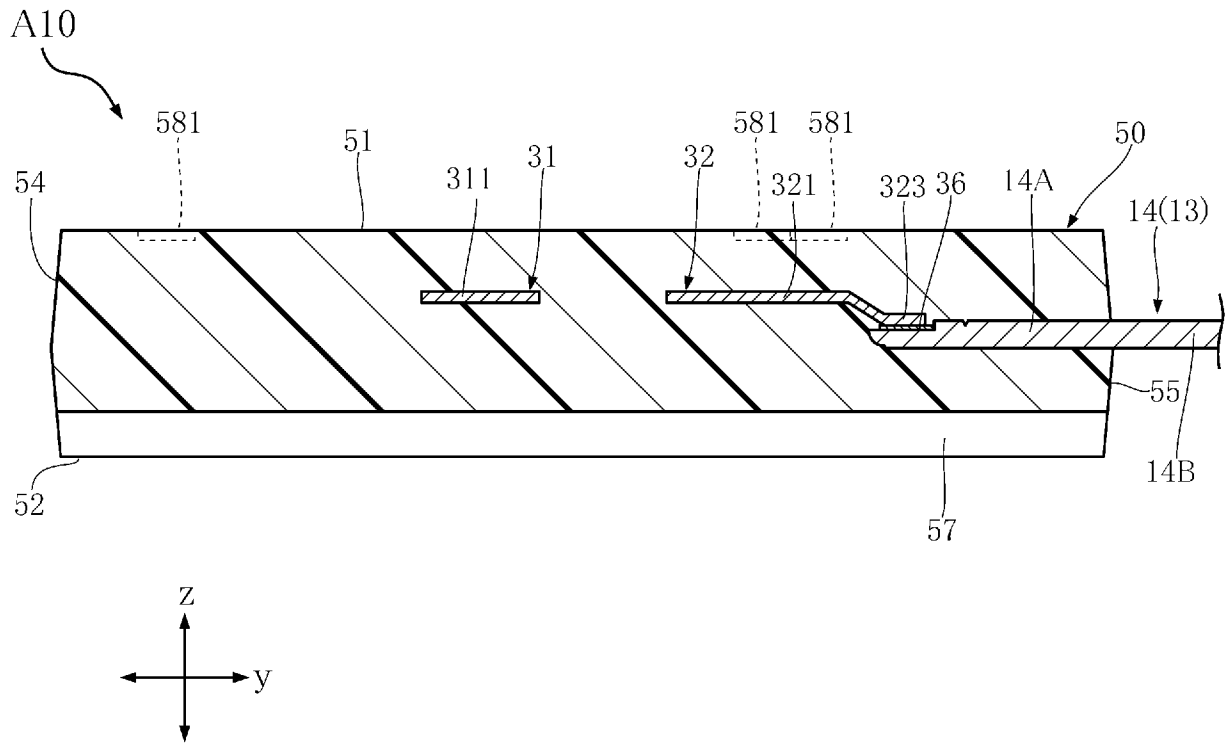


[12]  
FIG.12

[図13]  
FIG.13



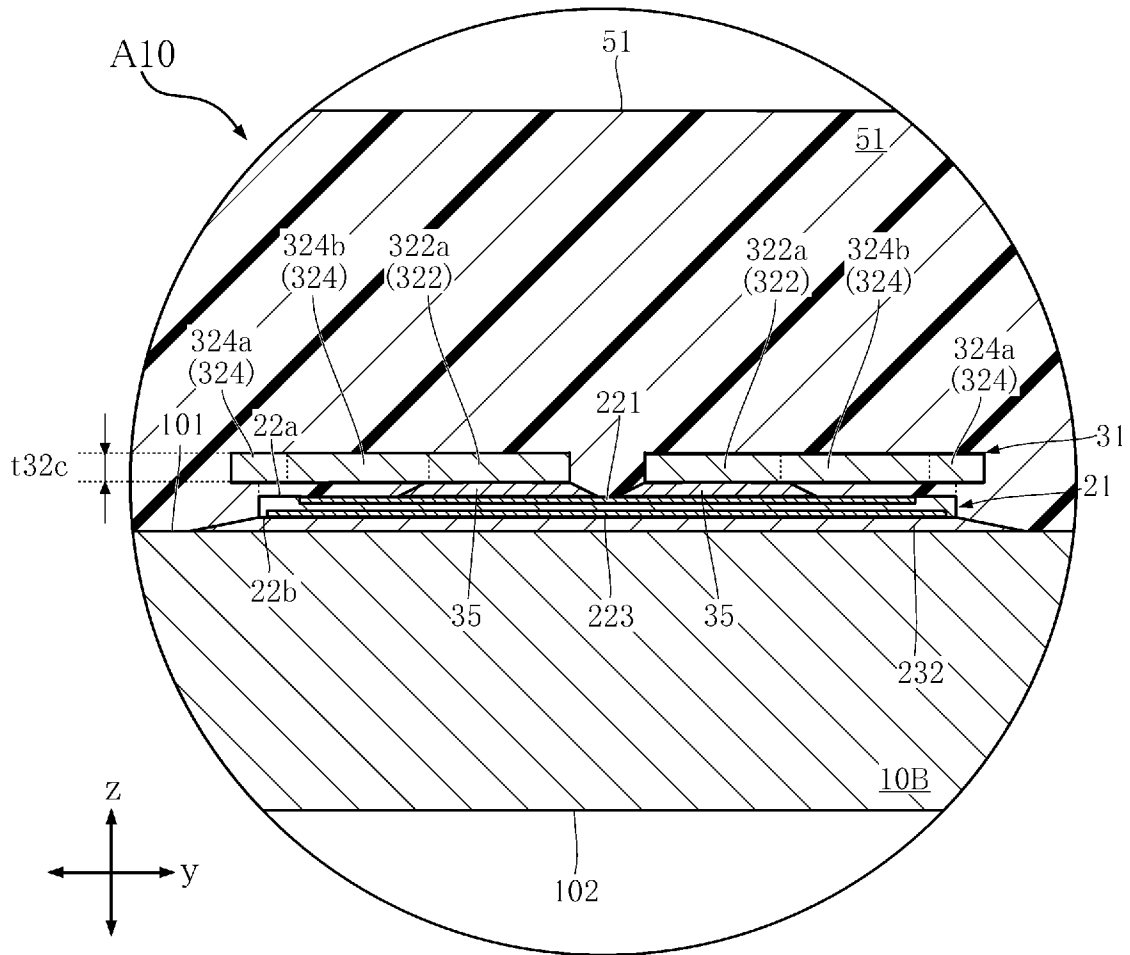


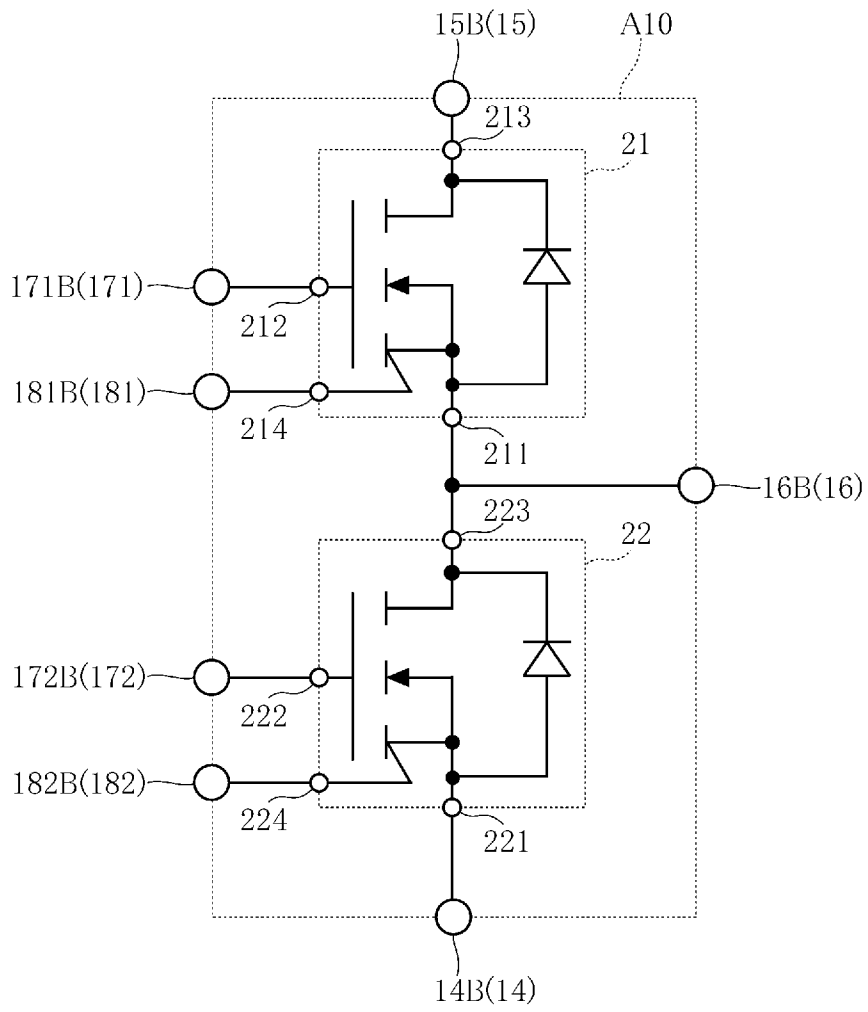
[図15]  
FIG.15




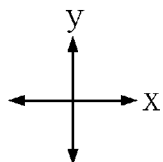
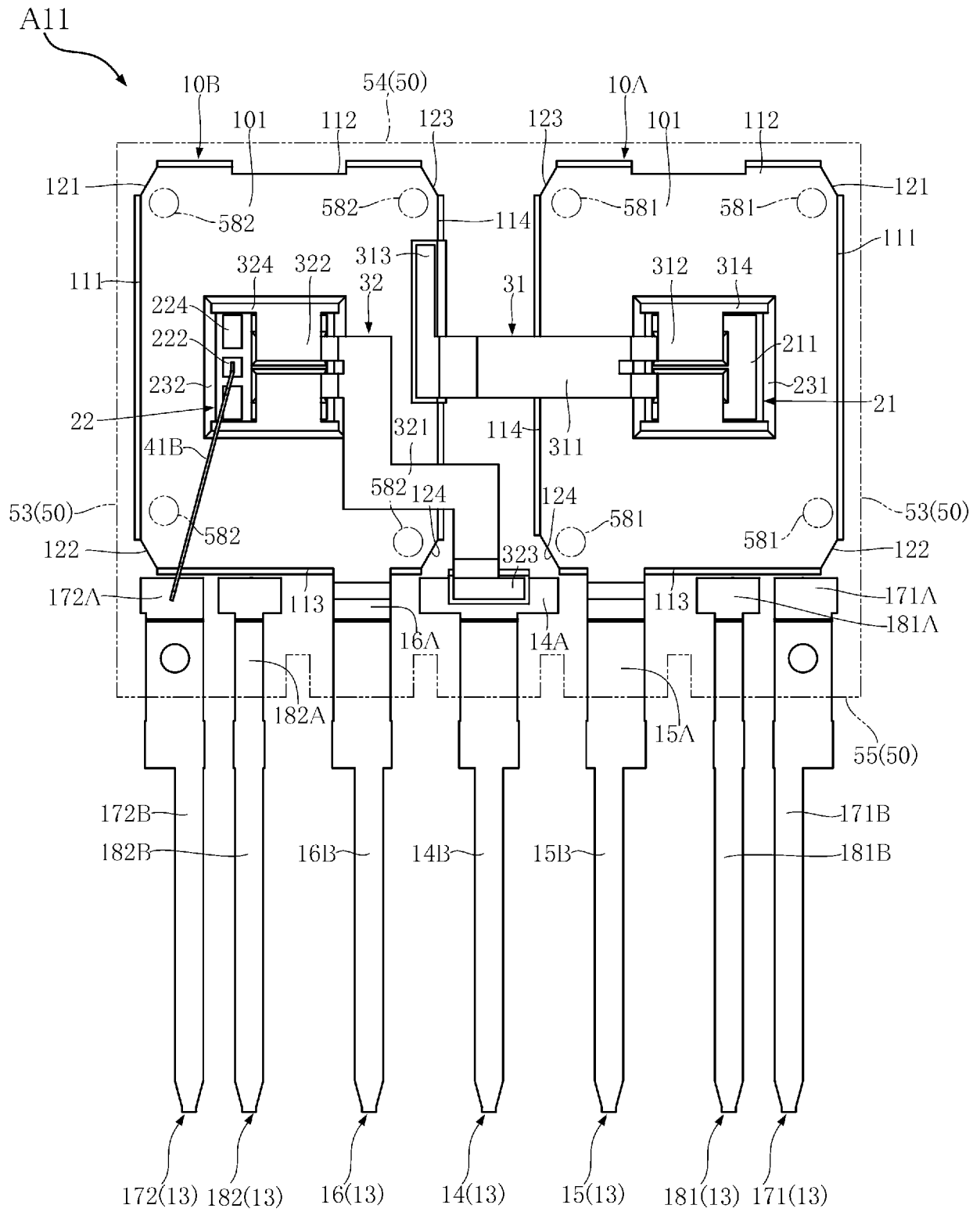


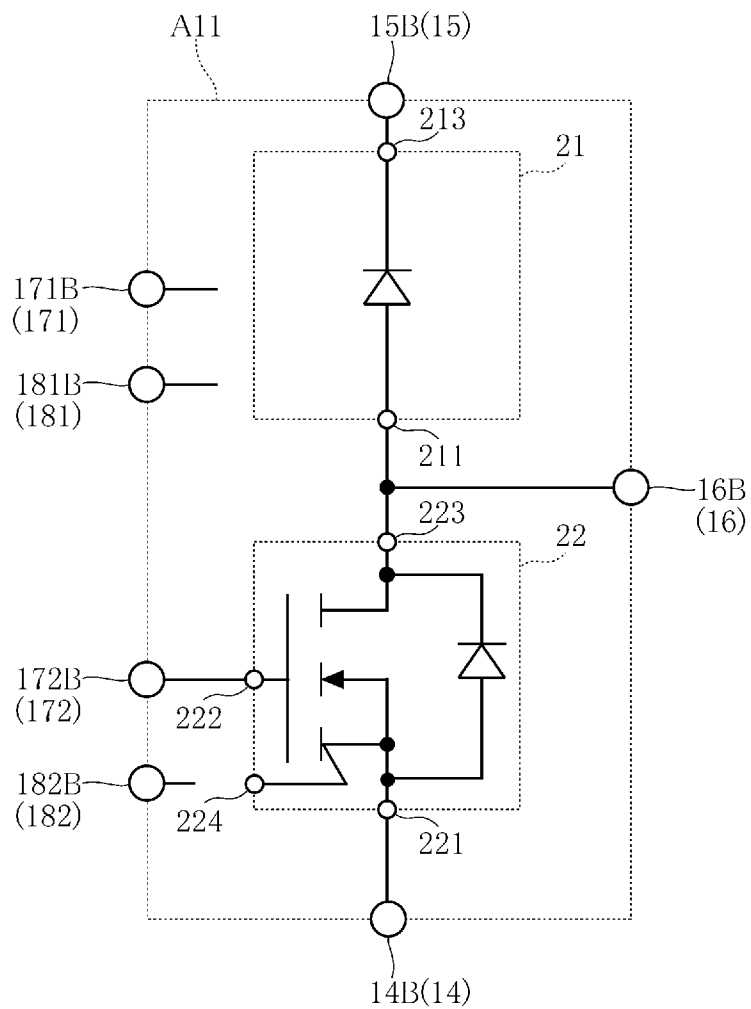
[図18]  
FIG.18




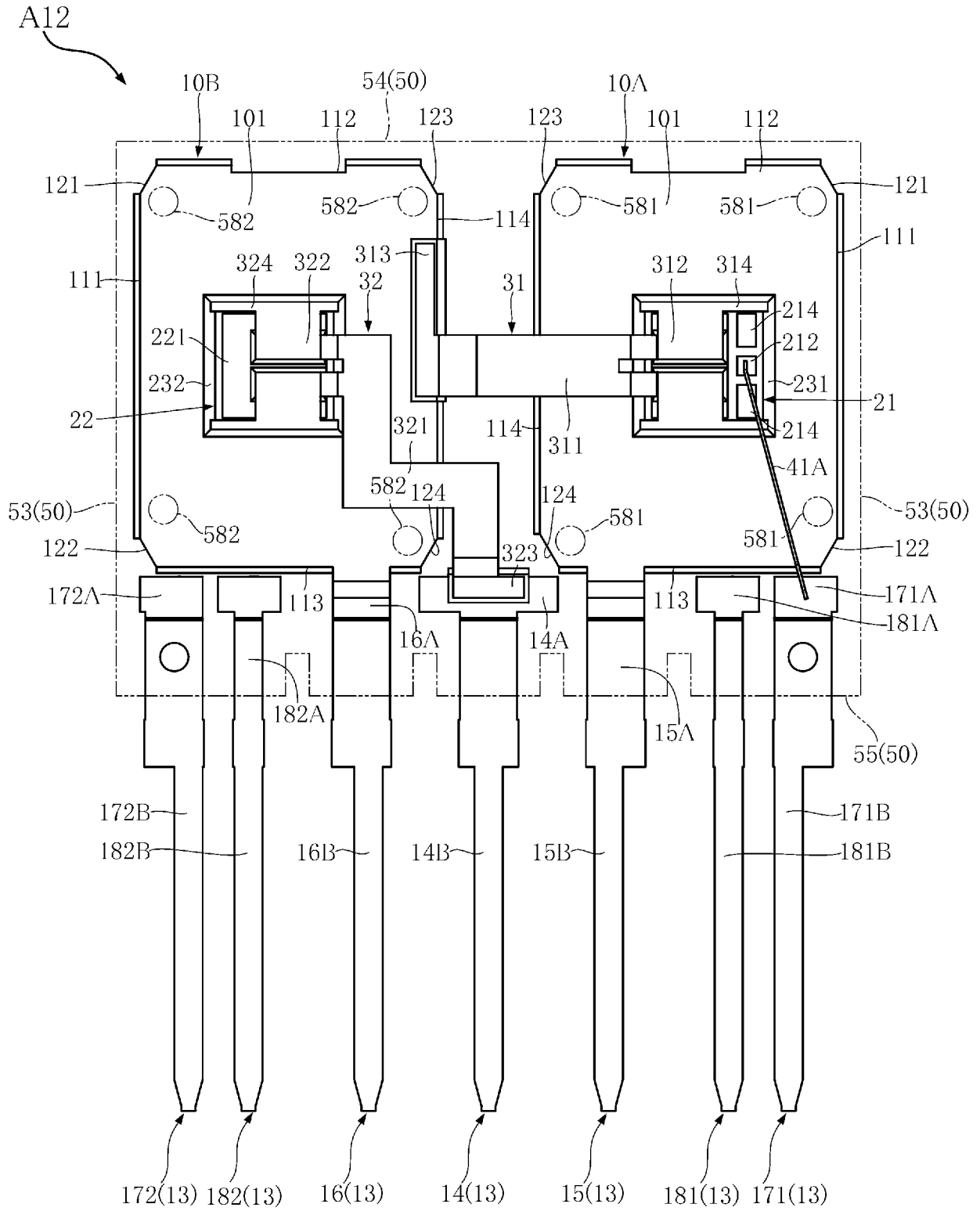
[図19]  
FIG.19

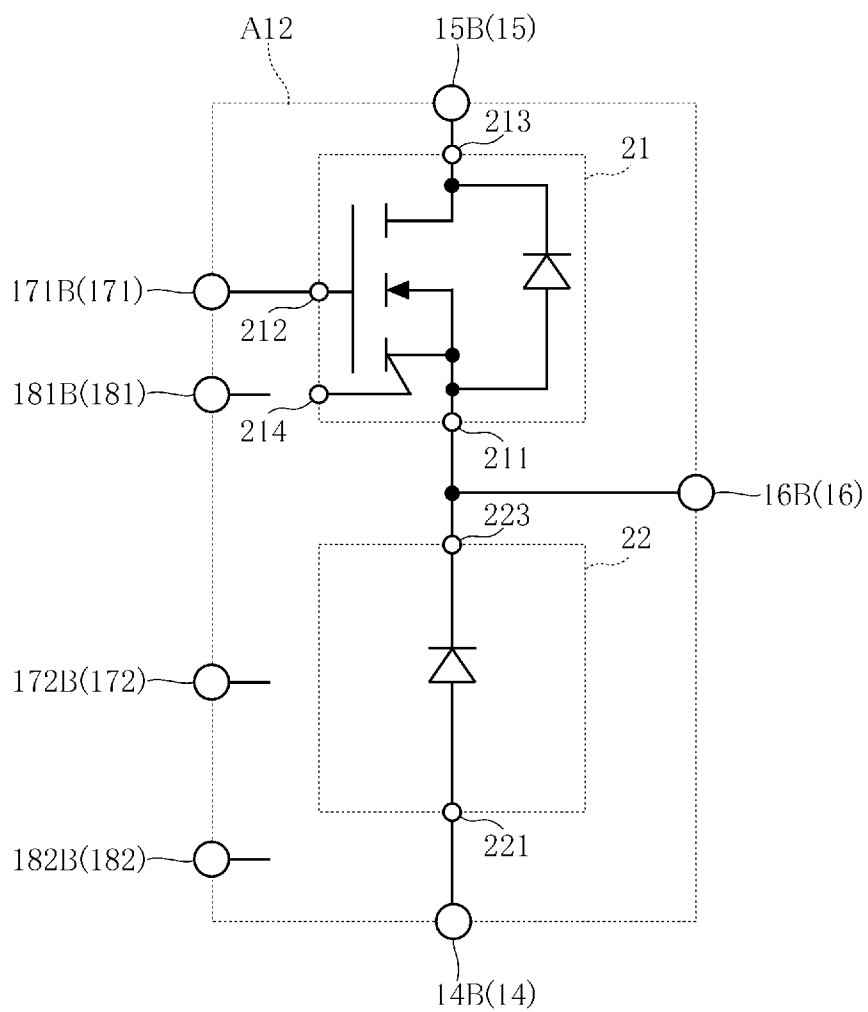
[] FIG.20




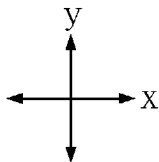
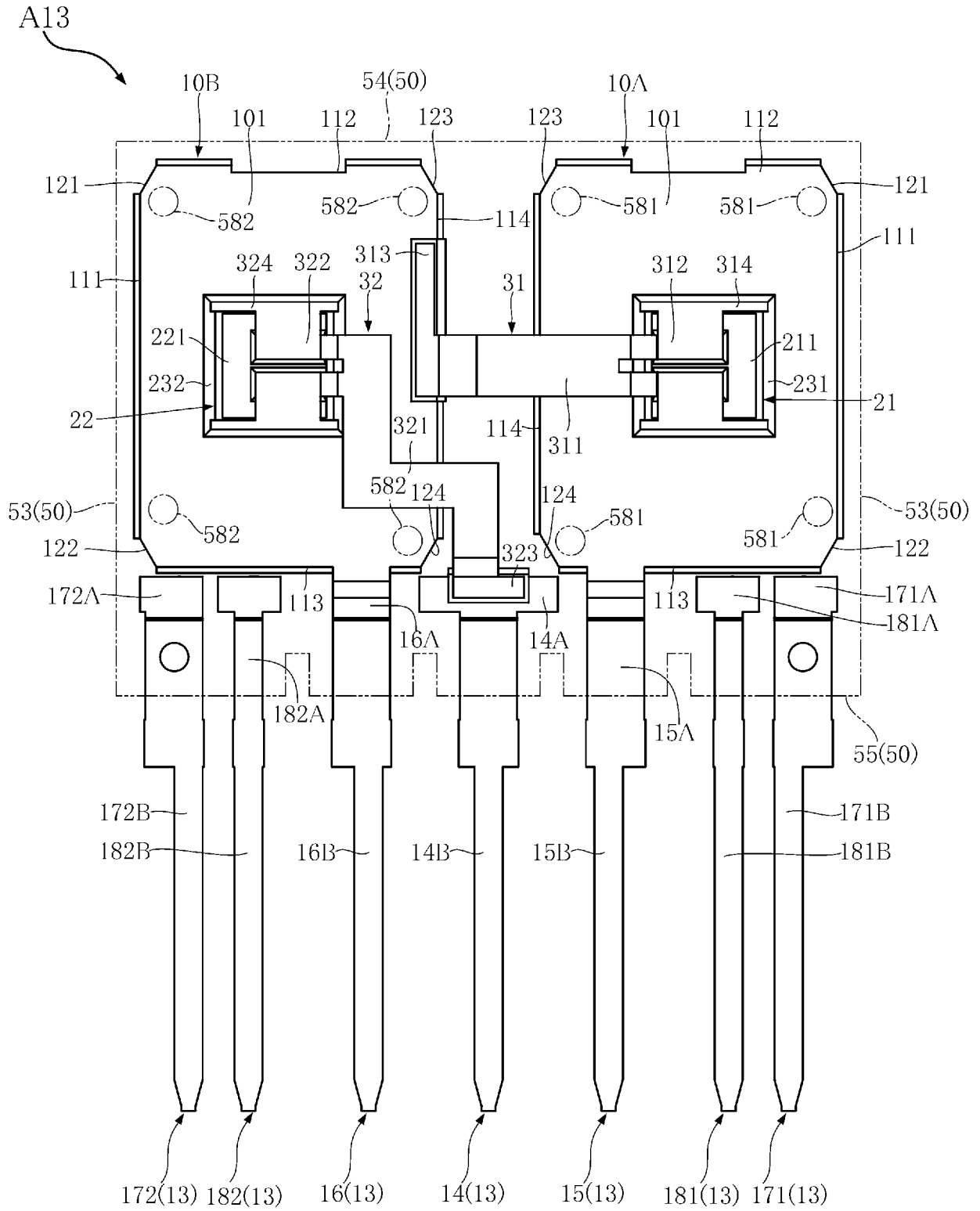
[図21]  
FIG.21

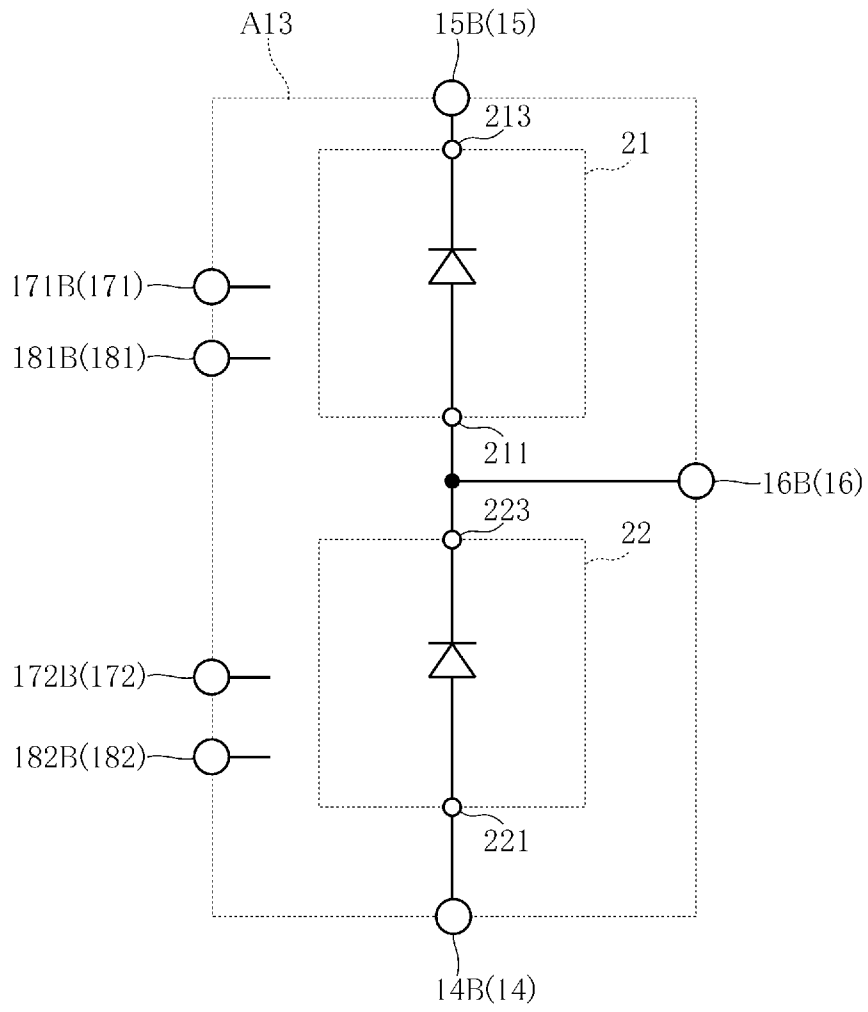
[]22]  
FIG.22



[図23]  
FIG.23

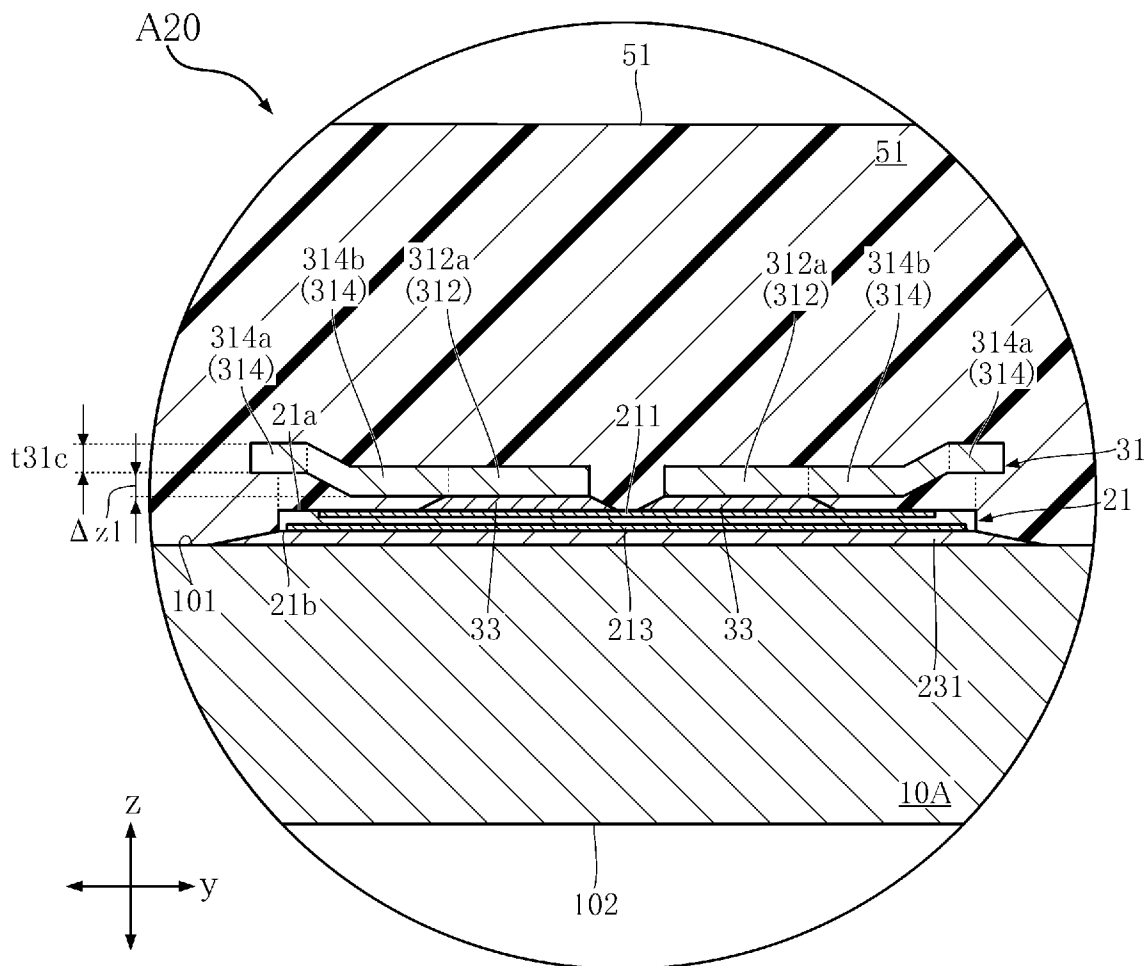
[]24]  
FIG.24



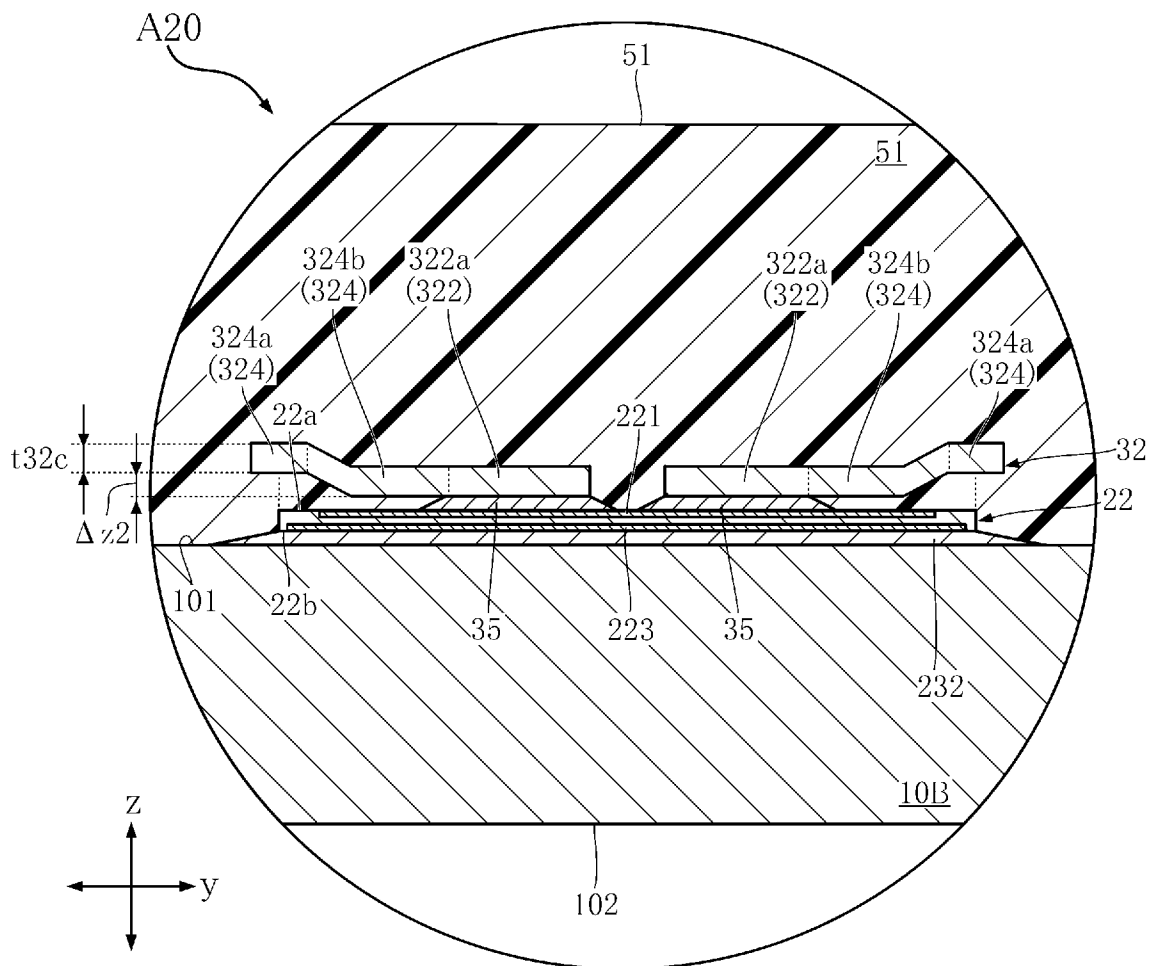
[図25]  
FIG.25




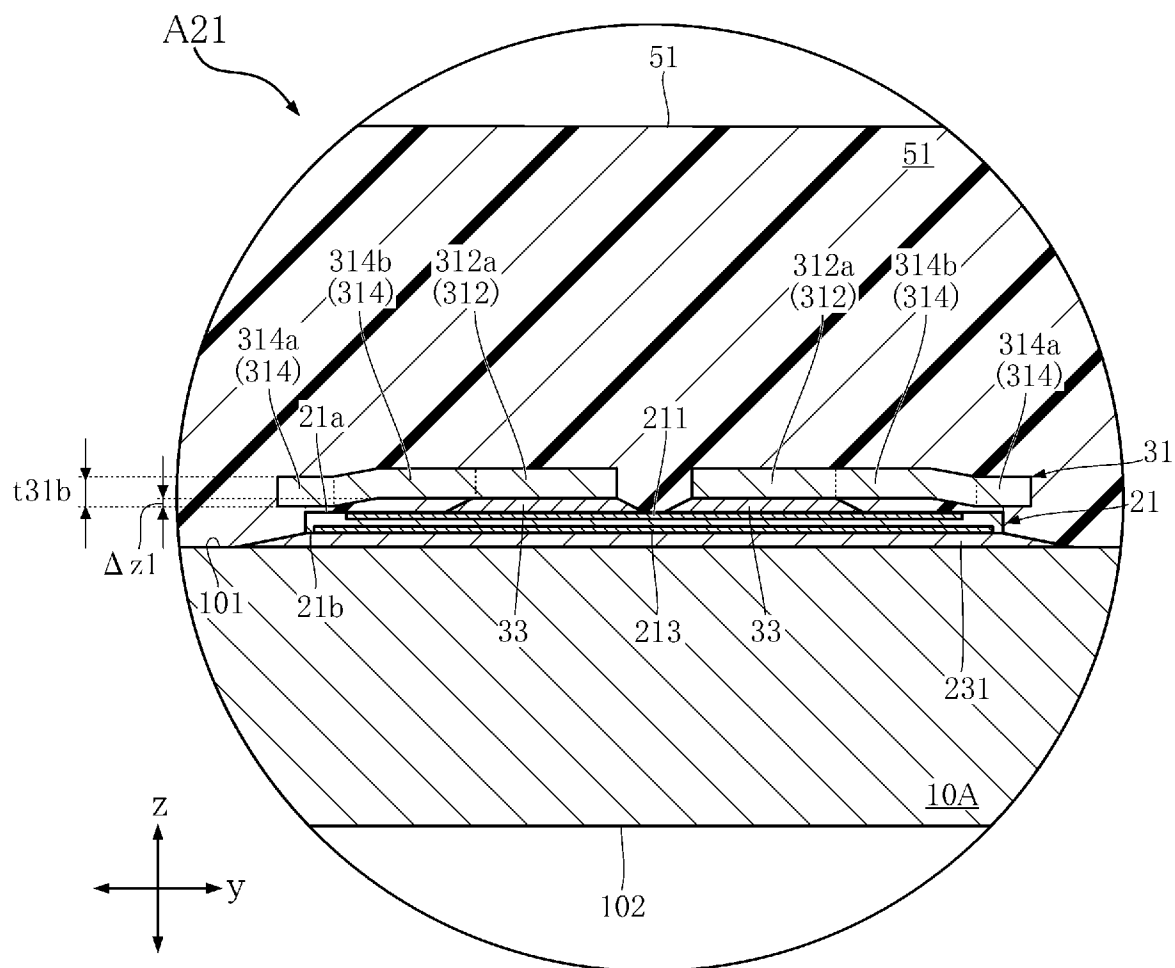
[図27]  
FIG.27




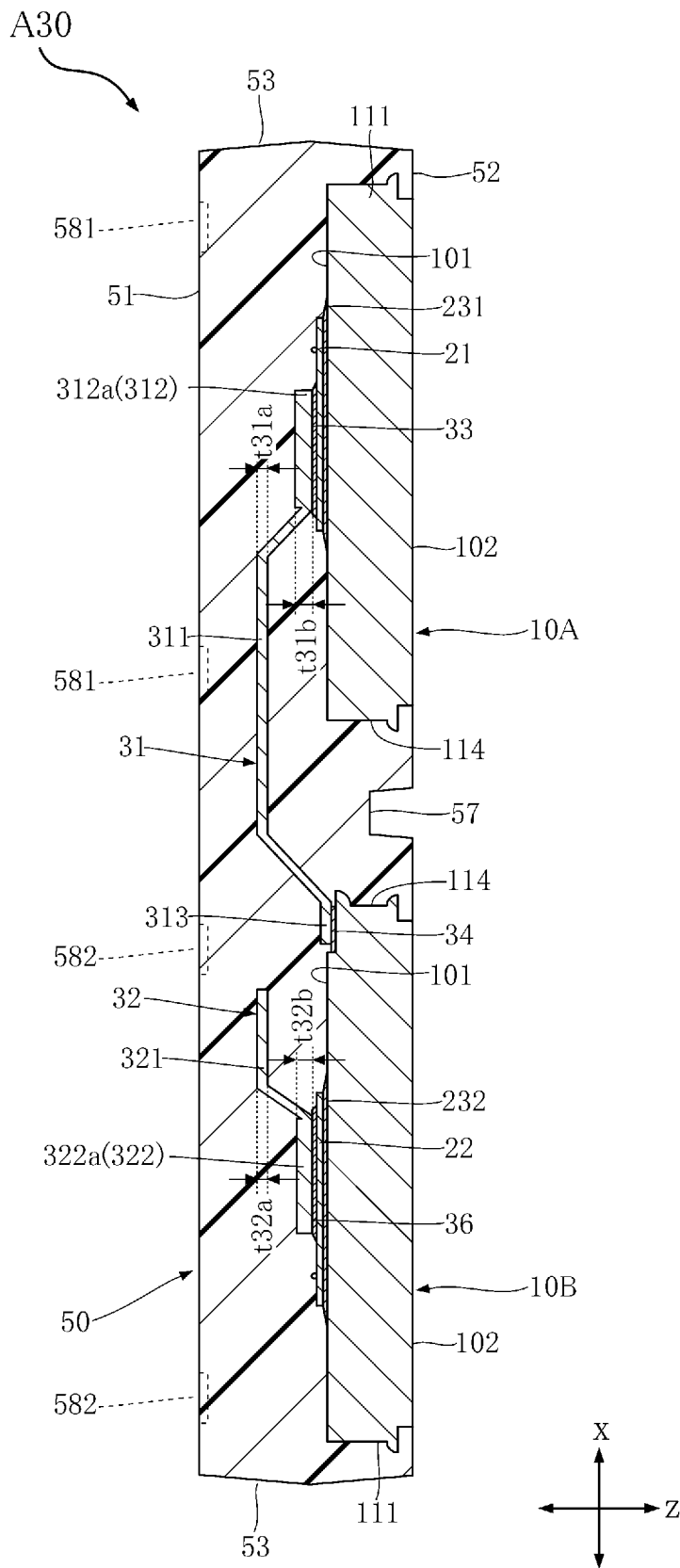
[図28]  
FIG.28



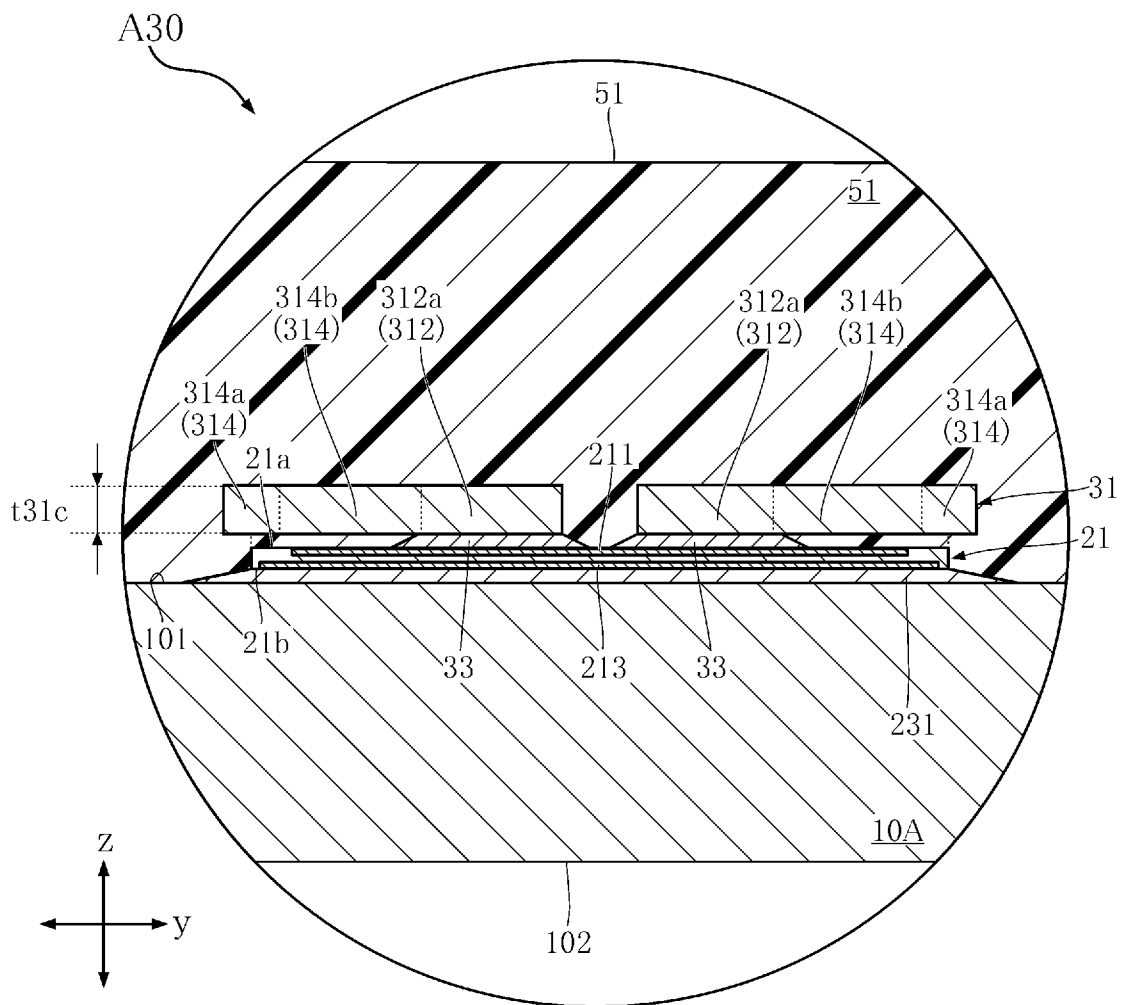
[]29]  
FIG.29




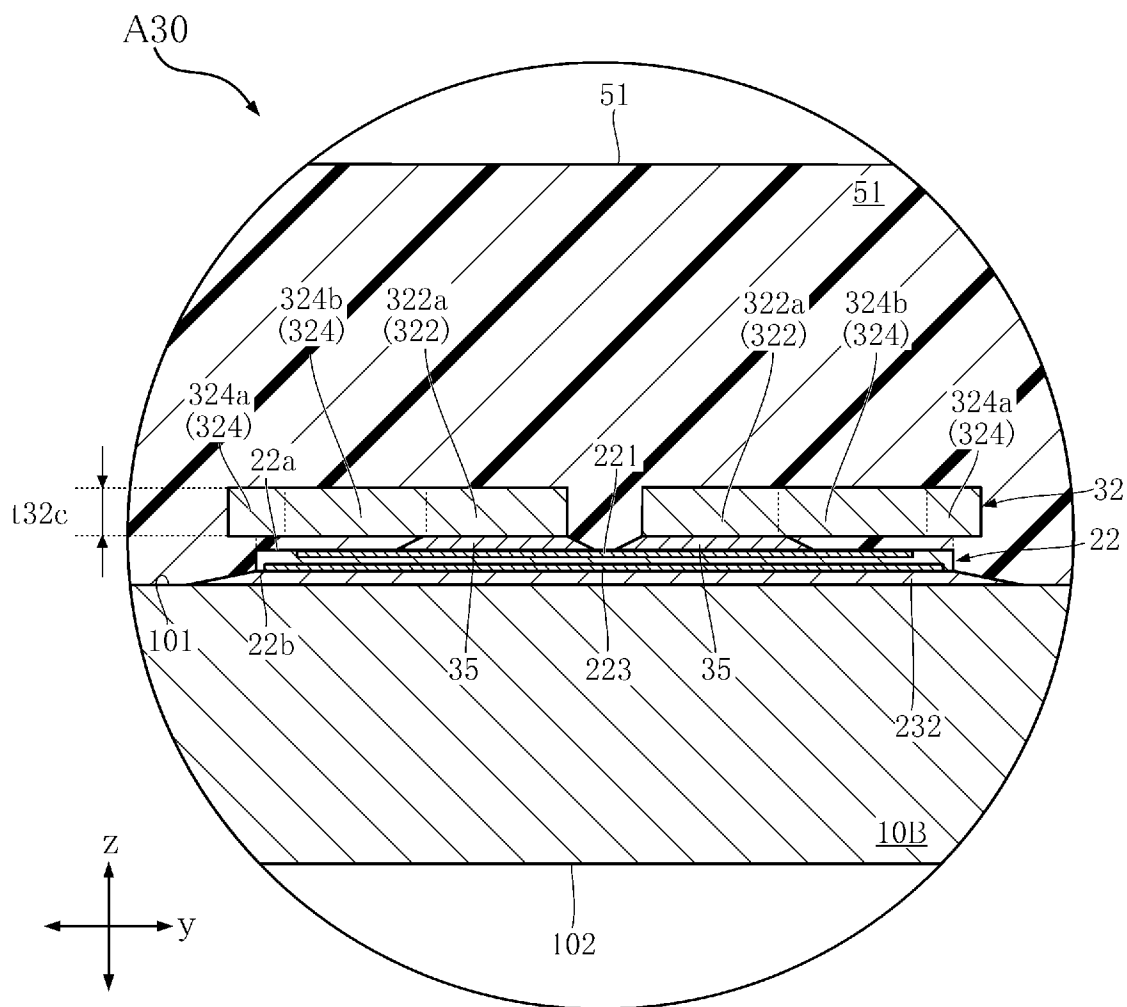
[30]  
FIG.30



[図31]  
FIG.31

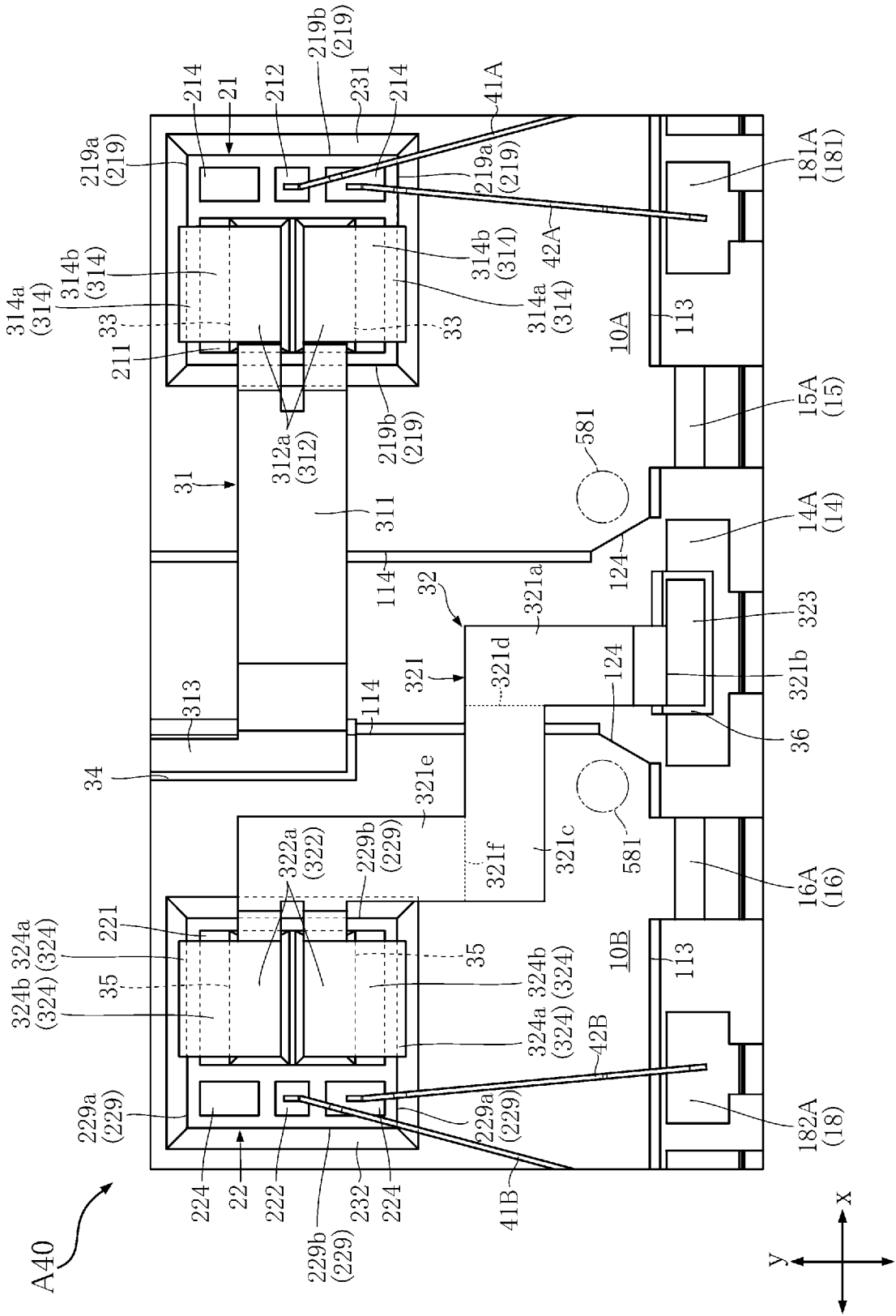


[32]  
FIG.32



[FIG.33]

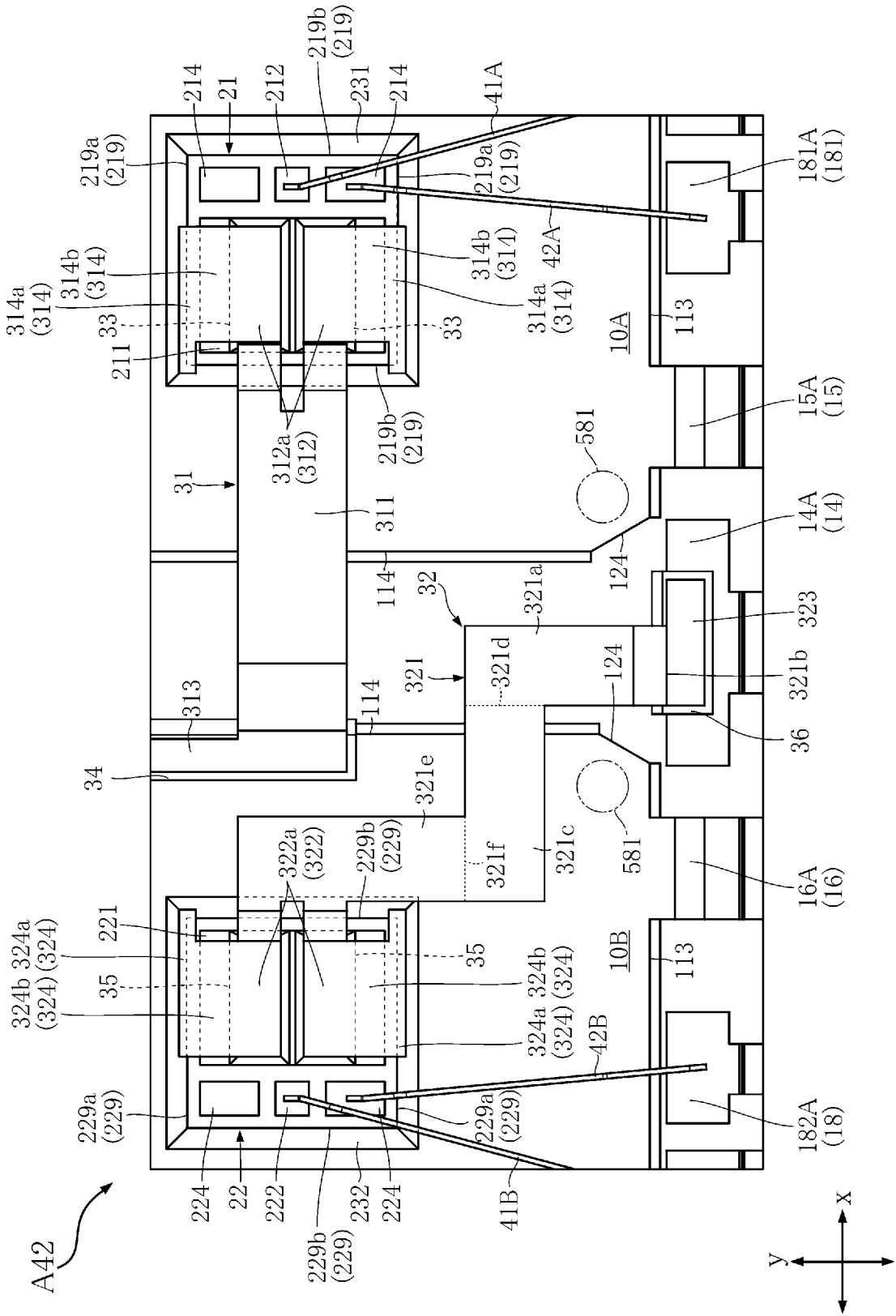
FIG.33





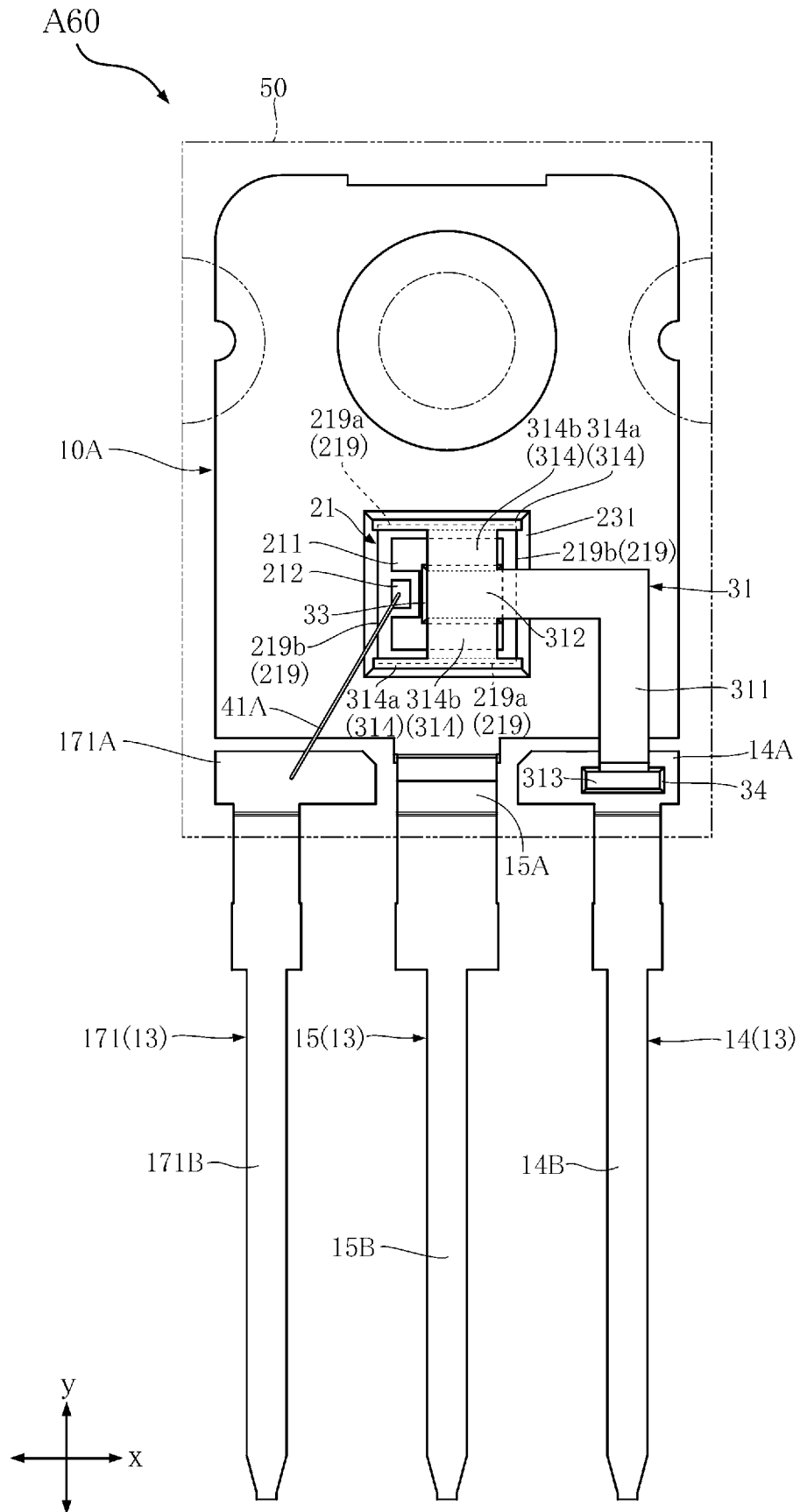
[FIG.35]

FIG.35





[図37]  
FIG.37



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/044791

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 23/48</i> (2006.01)i; <i>H01L 21/60</i> (2006.01)i FI: H01L23/48 P; H01L21/60 321E		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L23/48; H01L21/60		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-079935 A (MITSUBISHI ELECTRIC CORPORATION) 23 May 2019 (2019-05-23) paragraphs [0014]-[0024], fig. 1, 2, 3	1-19
A	US 2015/0115313 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 30 April 2015 (2015-04-30) paragraphs [0038], [0039], [0045], [0046], fig. 2, 3, 4	1-19
A	WO 2016/084180 A1 (MITSUBISHI ELECTRIC CORPORATION) 02 June 2016 (2016-06-02) paragraphs [0018]-[0023], fig. 2, 3, 4	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>12 January 2024</b>		Date of mailing of the international search report <b>23 January 2024</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/044791**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-079935	A	23 May 2019	US 2019/0122966 A1 paragraphs [0019]-[0029], fig. 1, 2, 3	
				DE 102018210724 A1	
-----					
US	2015/0115313	A1	30 April 2015	DE 102014115717 A1	
				CN 104600062 A	
-----					
WO	2016/084180	A1	02 June 2016	US 2017/0236774 A1 paragraphs [0047]-[0054], fig. 2, 3, 4	
				EP 3226293 A1	
				CN 107004673 A	
-----					

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/48(2006.01)i; H01L 21/60(2006.01)i FI: H01L23/48 P; H01L21/60 321E		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/48; H01L21/60 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-079935 A (三菱電機株式会社) 23.05.2019 (2019 - 05 - 23) [0014]-[0024], 図1, 図2, 図3	1 - 19
A	US 2015/0115313 A1 (INFINEON TECHNOLOGIES AUSTRIA AG) 30.04.2015 (2015 - 04 - 30) [0038]-[0039], [0045]-[0046], FIG 2, FIG 3, FIG4	1 - 19
A	WO 2016/084180 A1 (三菱電機株式会社) 02.06.2016 (2016 - 06 - 02) [0018]-[0023], 図2, 図3, 図4	1 - 19
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	12.01.2024	国際調査報告の発送日
名称及びあて先	日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  清水 稔 5F 8525  電話番号 03-3581-1101 内線 3551

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/044791

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-079935 A	23.05.2019	US 2019/0122966 A1 [0019]-[0029], FIG. 1, FIG. 2, FIG. 3 DE 102018210724 A1	
US 2015/0115313 A1	30.04.2015	DE 102014115717 A1 CN 104600062 A	
WO 2016/084180 A1	02.06.2016	US 2017/0236774 A1 [0047]-[0054], FIG. 2, FIG. 3, FIG. 4 EP 3226293 A1 CN 107004673 A	