

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7214454号
(P7214454)

(45)発行日 令和5年1月30日(2023.1.30)

(24)登録日 令和5年1月20日(2023.1.20)

(51)国際特許分類

F I

H O 4 N 25/70 (2023.01)

H O 4 N 5/369

H O 1 L 27/146 (2006.01)

H O 1 L 27/146

A

請求項の数 15 (全32頁)

(21)出願番号	特願2018-229118(P2018-229118)	(73)特許権者	000001007
(22)出願日	平成30年12月6日(2018.12.6)		キャノン株式会社
(65)公開番号	特開2020-92352(P2020-92352A)		東京都大田区下丸子3丁目30番2号
(43)公開日	令和2年6月11日(2020.6.11)	(74)代理人	100094112
審査請求日	令和3年11月30日(2021.11.30)		弁理士 岡部 譲
		(74)代理人	100101498
			弁理士 越智 隆夫
		(74)代理人	100106183
			弁理士 吉澤 弘司
		(74)代理人	100136799
			弁理士 本田 亜希
		(72)発明者	小倉 正徳
			東京都大田区下丸子3丁目30番2号
			キャノン株式会社内
		審査官	鈴木 明

最終頁に続く

(54)【発明の名称】 光電変換素子及び撮像装置

(57)【特許請求の範囲】

【請求項1】

光を受けるように配置され、かつ、光の入射により電荷を生じる光電変換部を各々が有する複数の画素と、

前記複数の画素の各々に対応して、リセット状態の前記光電変換部に基づくリセット信号及び前記光電変換部で生じた電荷に基づく光信号を一時的に保持する第1の保持部と、前記第1の保持部への書き込みを制御する第1のスイッチと、を有し、

前記複数の画素は、

前記リセット信号と、前記光信号と、を読み出す第1の読み出し動作を実行するように構成された第1の画素と、

前記第1の画素と同時に読み出し動作が行われる画素であって、前記第1の読み出し動作と、前記リセット信号のみを読み出す第2の読み出し動作と、のいずれかを選択して実行するように構成された第2の画素と、を有し、

前記第1の画素に対応する前記第1のスイッチを制御する制御線と、前記第2の画素に対応する前記第1のスイッチを制御する制御線とは、異なる配線である

ことを特徴とする光電変換素子。

【請求項2】

前記第1のスイッチを制御する制御部を更に有し、

前記制御部は、

前記複数の画素の各々から前記リセット信号を読み出して対応する前記第1の保持部

にそれぞれ保持する際に、前記第 1 の画素の前記第 1 のスイッチ及び前記第 2 の画素の前記第 1 のスイッチを同時にオンに制御し、

前記複数の画素の各々から前記光信号を読み出して対応する前記第 1 の保持部にそれぞれ保持する際に、前記第 2 の画素の前記第 1 のスイッチをオフのまま、前記第 1 の画素の前記第 1 のスイッチをオンに制御する

ことを特徴とする請求項 1 記載の光電変換素子。

【請求項 3】

前記複数の画素の各々は、前記光電変換部をリセットするリセットトランジスタを更に有し、

前記第 1 の画素の前記リセットトランジスタを制御する制御線と、前記第 2 の画素の前記リセットトランジスタを制御する制御線とは、異なる配線である

ことを特徴とする請求項 1 又は 2 記載の光電変換素子。

【請求項 4】

前記複数の画素の前記リセットトランジスタを制御する制御部を更に有し、

前記制御部は、前記複数の画素から前記リセット信号を同時に読み出した後、前記複数の画素から前記光信号を同時に読み出す前に、前記第 2 の画素の前記リセットトランジスタを選択的にオンに制御し、前記第 2 の画素の前記光電変換部をリセットする

ことを特徴とする請求項 3 記載の光電変換素子。

【請求項 5】

前記第 1 の画素から出力された信号のレベルから前記第 2 の画素から出力された信号のレベルを差し引く信号処理部を更に有する

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換素子。

【請求項 6】

前記複数の画素は、第 1 の方向に沿って 1 次元状に配列されている

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換素子。

【請求項 7】

複数の行及び複数の列に渡って画素が配列された画素アレイを有し、

前記複数の行の各々は、前記複数の画素により構成されており、

前記複数の行の各々に配された前記第 2 の画素は、前記画素アレイの端部の同じ列に配されている

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換素子。

【請求項 8】

前記複数の行の各々に配された前記第 2 の画素は、前記画素アレイの両端部の同じ列に配されている

ことを特徴とする請求項 7 記載の光電変換素子。

【請求項 9】

複数の請求項 6 記載の前記光電変換素子を前記第 1 の方向に沿って配列することにより構成された 1 つの撮像領域を有する

ことを特徴とする撮像装置。

【請求項 10】

前記複数の光電変換素子のうち、端部に配された一の前記光電変換素子の前記第 2 の画素は、前記第 2 の読み出し動作を実行するように構成されており、

前記複数の光電変換素子のうち、他の前記光電変換素子の前記第 2 の画素は、前記第 1 の読み出し動作を実行するように構成されている

ことを特徴とする請求項 9 記載の撮像装置。

【請求項 11】

複数の請求項 7 又は 8 記載の前記光電変換素子を 2 次元状に配列することにより構成された 1 つの撮像領域を有する

ことを特徴とする撮像装置。

【請求項 12】

10

20

30

40

50

前記第 2 の画素のうち、前記撮像領域の端部の同じ列に配されている前記第 2 の画素は、前記第 2 の読み出し動作を実行するように構成されており、他の前記第 2 の画素は、前記第 1 の読み出し動作を実行するように構成されている

ことを特徴とする請求項 1 記載の撮像装置。

【請求項 1 3】

前記複数の光電変換素子に電源を供給する共通配線を更に有する

ことを特徴とする請求項 9 乃至 1 2 のいずれか 1 項に記載の撮像装置。

【請求項 1 4】

対象物の画像を読み取る画像読み取り装置であって、

前記対象物に光を照射する発光部と、

前記対象物により反射された光を受光して電気信号に変換する請求項 9 乃至 1 3 のいずれか 1 項に記載の撮像装置と

を有することを特徴とする画像読み取り装置。

【請求項 1 5】

移動体であって、

請求項 9 乃至 1 3 のいずれか 1 項に記載の撮像装置と、

前記撮像装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、

前記距離情報に基づいて前記移動体を制御する制御手段と

を有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、光電変換素子及び撮像装置に関する。

【背景技術】

【0 0 0 2】

特許文献 1 及び特許文献 2 には、大面積の撮像領域を得るために複数の撮像素子を 1 次元状或いは 2 次元状に配列した撮像装置が記載されている。特許文献 1 及び特許文献 2 においては、製造の効率を上げるため、同じ構成の撮像素子を配列することにより大面積の撮像領域を有する撮像装置を構成していた。

【先行技術文献】

【特許文献】

【0 0 0 3】

【文献】特開 2 0 0 0 - 2 9 9 7 6 0 号公報

特開 2 0 1 4 - 0 8 6 8 7 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、撮像領域の面積を拡大するために配列される撮像素子の数を増やし、縦方向或いは横方向に 3 個以上、又は縦横両方向に 3 個以上配列すると、有効画素の光信号とオプティカルブラック画素の暗信号とを同じシーケンス内に出力することができない。すなわち、オプティカルブラック画素が配置された撮像素子を少なくとも 1 方向に 3 個以上配列すると、撮像素子の境界部にオプティカルブラック画素が配置されることとなり、境界部の画質が低下する。また、オプティカルブラック画素を配置しなければ、有効画素に共通に重畳する黒ノイズを差し引くための基準信号を得ることができなくなる。その結果、撮像装置から得られる画像の黒レベルが浮いたり沈んだりすることで生じる画質劣化や、シーケンス内に生じるスジ状のノイズによる画質劣化が生じることがあった。

【0 0 0 5】

本発明の目的は、複数配列して撮像領域を構成する場合にも、有効撮像領域内にオプティカルブラック画素を配置することなく、画像の黒レベルの調整やスジ状のノイズの除去

10

20

30

40

50

を施した良質の画像を取得しうる光電変換素子及び撮像装置を提供することにある。

【課題を解決するための手段】

【0006】

本発明の一観点によれば、光を受けるように配置され、かつ、光の入射により電荷を生じる光電変換部を各々が有する複数の画素と、前記複数の画素の各々に対応して、リセット状態の前記光電変換部に基づくリセット信号及び前記光電変換部で生じた電荷に基づく光信号を一時的に保持する第1の保持部と、前記第1の保持部への書き込みを制御する第1のスイッチと、を有し、前記複数の画素は、前記リセット信号と、前記光信号と、を読み出す第1の読み出し動作を実行するように構成された第1の画素と、前記第1の画素と同時に読み出し動作が行われる画素であって、前記第1の読み出し動作と、前記リセット信号のみを読み出す第2の読み出し動作と、のいずれかを選択して実行するように構成された第2の画素と、を有し、前記第1の画素に対応する前記第1のスイッチを制御する制御線と、前記第2の画素に対応する前記第1のスイッチを制御する制御線とは、異なる配線である光電変換素子が提供される。

10

【発明の効果】

【0007】

本発明によれば、同一構成の撮像素子を複数配列して撮像領域を構成する場合にも、有効撮像領域内にオプティカルブラック画素を配置することなく、画像の黒レベルの調整やスジ状のノイズの除去を施した良質の画像を取得することができる。

【図面の簡単な説明】

20

【0008】

【図1】本発明の第1実施形態による画像読み取り装置の概略構成を示す斜視図である。

【図2】本発明の第1実施形態による画像読み取り装置における撮像装置の構成例を示す概略図である。

【図3】本発明の第1実施形態による画像読み取り装置における撮像装置に対する入出力信号を説明する図である。

【図4】本発明の第1実施形態による画像読み取り装置における撮像素子の構成例を示す回路図である。

【図5】本発明の第1実施形態による画像読み取り装置における撮像素子のバイアス回路の構成例を示す概略図である。

30

【図6】本発明の第1実施形態による画像読み取り装置における撮像素子のロジック回路及びタイミングジェネレータの構成例を示す概略図である。

【図7】本発明の第1実施形態による画像読み取り装置における撮像素子の動作例を示すタイミング図である。

【図8】本発明の第2実施形態による画像読み取り装置における撮像素子の構成例を示す回路図である。

【図9】本発明の第2実施形態による画像読み取り装置における撮像素子のロジック回路及びタイミングジェネレータの構成例を示す概略図である。

【図10】本発明の第2実施形態による画像読み取り装置における撮像素子の動作例を示すタイミング図である。

40

【図11】本発明の第2実施形態による画像読み取り装置における撮像素子の他の動作例を示すタイミング図である。

【図12】本発明の第3実施形態による画像読み取り装置における撮像素子の構成例を示す回路図である。

【図13】本発明の第3実施形態による画像読み取り装置における撮像素子のロジック回路及びタイミングジェネレータの構成例を示す概略図である。

【図14】本発明の第3実施形態による画像読み取り装置における撮像素子の動作例を示すタイミング図である。

【図15】本発明の第4実施形態による撮像装置の構成例を示す概略図である。

【図16】本発明の第4実施形態による撮像装置における撮像素子の構成例を示す回路図

50

である。

【図１７】本発明の第４実施形態による撮像装置における撮像素子のロジック回路及びタイミングジェネレータの構成例を示す概略図である。

【図１８】本発明の第４実施形態による撮像装置における撮像素子の動作例を示すタイミング図である。

【図１９】本発明の第５実施形態による画像読み取り装置の概略構成を示すブロック図である

【図２０】本発明の第６実施形態による撮像システムの概略構成を示すブロック図である。

【図２１】本発明の第７実施形態による撮像システム及び移動体の構成例を示す図である。

【発明を実施するための形態】

【０００９】

〔第１実施形態〕

本発明の第１実施形態による画像読み取り装置について、図１乃至図７を用いて説明する。

【００１０】

図１は、本実施形態による画像読み取り装置の概略構成を示す斜視図である。本実施形態による画像読み取り装置１００は、図１に示すように、装置本体１０１と、原稿カバー１０３と、を有する。図１には、原稿カバー１０３を開けた状態における画像読み取り装置１００の外観斜視図を示している。

【００１１】

装置本体１０１の上面には、原稿を載置するための原稿台として透明板１０２が取り付けられている。透明板１０２は、例えばガラス板によって構成されうる。読取対象となる原稿は、その読取画像面が透明板１０２と接触するようにして、透明板１０２の上に載置される。原稿カバー１０３は、透明板１０２上に載置された原稿を透明板１０２の上面に押圧するための押圧部材として機能するものであって、装置本体１０１に対して開閉可能に取り付けられている。

【００１２】

装置本体１０１の内部には、撮像装置１０４が設けられている。撮像装置１０４は、矢印Ａの方向に並べて実装された複数の撮像素子１０５を有する。なお、複数の撮像素子１０５をこのように並べて実装することをタイリングとも言う。撮像装置１０４は、矢印Ｂの方向に沿って移動することで、透明板１０２の上に載置された原稿を２次元的に撮像することができる。このような画像読み取り装置では、撮像装置１０４又は原稿が移動する矢印Ｂの方向を副走査方向と呼び、副走査方向に直交する矢印Ａの方向を主走査方向と呼ぶ。装置本体１０１の構成例については、後述する第５実施形態において説明する。

【００１３】

図２は、撮像装置１０４の構成例を示す概略図である。撮像装置１０４は、図２に示すように、矢印Ａの方向に沿って並べて実装された複数の撮像素子１０５を有する。複数の撮像素子１０５を並べた矢印Ａの方向の幅が、読み取り可能な原稿の幅となる。ここでは一例として、４つの撮像素子１０５ａ、１０５ｂ、１０５ｃ、１０５ｄにより構成した撮像装置１０４を示しているが、撮像装置１０４を構成する撮像素子１０５の数は、特に限定されるものではなく、適宜増減することができる。なお、１つの撮像装置１０４に実装される複数の撮像素子１０５は、撮像装置１０４の製造効率を上げる観点から、同じ構成の撮像素子であることが望ましい。

【００１４】

図３は、撮像装置１０４の撮像素子１０５ａ～１０５ｄに対する入出力信号を説明する図である。撮像装置１０４には、例えば図３に示すように、電源電圧ＶＤＤ、接地電圧ＧＮＤ、基準電圧ＶＲＥＦ、トリガ信号ＴＲ、基準クロック信号ＣＬＫ、制御信号ＣＳが供給される。また、撮像装置１０４からは、出力信号ＯＵＴａ、ＯＵＴｂ、ＯＵＴｃ、ＯＵＴｄが出力される。

【００１５】

10

20

30

40

50

電源電圧VDD、接地電圧GND、基準電圧VREF、トリガ信号TR、基準クロック信号CLK、制御信号CSは、それぞれ共通配線を介して、撮像素子105a～105dの各々に供給される。

【0016】

制御信号CSは、撮像素子105a～105dの総てに共通の制御信号とはなっていない。撮像素子105のCS端子に入力する制御信号CSのレベルにより、撮像素子105の動作を切り替えることができる。本実施形態においては、主走査方向の始点側に実装される撮像素子105aのCS入力端子には、Hiレベルの制御信号CS(Hi)が供給される。その他の撮像素子105b, 105c, 105dのCS入力端子には、Loレベルの制御信号CS(Lo)が供給される。すなわち、CS入力端子に入力する制御信号CSがHiレベルである撮像素子105aと、CS入力端子に入力する制御信号CSがLoレベルである撮像素子105b, 105c, 105dとでは、動作が異なっている。

10

【0017】

図4は、撮像素子105の構成例を示す回路図である。なお、1つの撮像装置104に含まれる総ての撮像素子105(撮像素子105a～105d)は、同じ構成を有している。

【0018】

撮像素子105は、図4に示すように、複数の単位画素301と、走査回路423と、バイアス回路424と、読み出しアンプ425と、ロジック回路426と、タイミングジェネレータ427と、を有する。複数の単位画素301は、主走査方向(矢印Aの方向)に沿って並べて配置されている。ここでは一例として、単位画素301-1, 301-2, 301-3, ..., 301-4, 301-5を有する撮像素子105を示しているが、1つの撮像素子105を構成する単位画素301の数は、特に限定されるものではなく、適宜増減することができる。

20

【0019】

各々の単位画素301は、光電変換部402と、MOSトランジスタ403, 404, 405, 406, 408, 409, 413, 414, 416, 418, 419と、容量407, 410, 412, 415, 417と、オペアンプ411と、を有する。

【0020】

光電変換部402は、例えばフォトダイオードである。光電変換部402を構成するフォトダイオードのカソードは、電源電圧ノードに接続されている。フォトダイオードのアノードは、リセットトランジスタを構成するMOSトランジスタ403のドレインと、NMOSソースフォロワを構成するMOSトランジスタ404のゲートと、に接続されている。MOSトランジスタ403のソース及びMOSトランジスタ404のドレインは、電源電圧ノードに接続されている。MOSトランジスタ404のソースは、定電流源を構成するMOSトランジスタ405のドレインに接続されている。MOSトランジスタ405のソースは、接地電圧ノードに接続されている。

30

【0021】

MOSトランジスタ404のソースとMOSトランジスタ405のドレインとの間の接続ノードは、スイッチを構成するMOSトランジスタ406のソースに接続されている。MOSトランジスタ406のドレインは、容量値CMの容量407の一方の端子と、PMOSソースフォロワを構成するMOSトランジスタ408のゲートとに接続されている。MOSトランジスタ408のドレイン及び容量407の他方の端子は、接地電圧ノードに接続されている。MOSトランジスタ408のソースは、定電流源を構成するMOSトランジスタ409のドレインに接続されている。MOSトランジスタ409のソースは、電源電圧ノードに接続されている。MOSトランジスタ408のソースとMOSトランジスタ409のドレインとの間の接続ノードは、容量値C0の入力容量を構成する容量410の一方の端子に接続されている。

40

【0022】

容量410の他方の端子は、オペアンプ411の反転入力端子に接続されている。オペ

50

アンプ411の反転入力端子と出力端子との間には、容量値C_fの帰還容量を構成する容量412とスイッチを構成するMOSトランジスタ413とが並列に接続されている。オペアンプ411の出力端子には、スイッチを構成するMOSトランジスタ414のドレインと、同じくスイッチを構成するMOSトランジスタ416のドレインとが接続されている。

【0023】

MOSトランジスタ414のソースには、容量415（C_{TN}）の一方の端子と、スイッチを構成するMOSトランジスタ418のドレイン端子とが接続されている。MOSトランジスタ416のソースには、容量417（C_{TS}）の一方の端子と、スイッチを構成するMOSトランジスタ419のドレイン端子とが接続されている。容量415、417の他方の端子は、接地電圧ノードに接続されている。MOSトランジスタ418、419のゲートは、制御線420を介して走査回路423に接続されている。

【0024】

バイアス回路424は、単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ405、409及びオペアンプ411に所定のバイアス電圧を供給する回路部である。

【0025】

単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ405のゲートには、共通の信号線が接続されており、バイアス回路424からバイアス電圧B_Nが供給される。

【0026】

単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ409のゲートには、共通の信号線が接続されており、バイアス回路424からバイアス電圧B_Pが供給される。

【0027】

単位画素301-1、301-2、301-3、…、301-4、301-5のオペアンプ411の非反転入力端子には、共通の信号線が接続されており、バイアス回路424からバイアス電圧V_Cが供給される。

【0028】

タイミングジェネレータ427は、単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ403、406、413、414、416を制御するための制御信号を供給する制御部である。

【0029】

単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ403のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号P_{RES}が供給される。

【0030】

単位画素301-3、…、301-4、301-5のMOSトランジスタ406のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号P_{CMa}が供給される。また、単位画素301-1、301-2のMOSトランジスタ406のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号P_{CMb}が供給される。

【0031】

単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ413のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号P_{COR}が供給される。

【0032】

単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ414のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号P_{TN}が供給される。また、単位画素301-1、301-2、

10

20

30

40

50

301-3, ..., 301-4, 301-5のMOSトランジスタ416のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号PTSが供給される。

【0033】

単位画素301-1, 301-2, 301-3, ..., 301-4, 301-5のMOSトランジスタ418のソースは、CHN線421に接続されている。単位画素301-1, 301-2, 301-3, ..., 301-4, 301-5のMOSトランジスタ419のソースは、CHS線422に接続されている。CHN線421及びCHS線422は、読み出しアンプ425の入力端子に接続されている。読み出しアンプ425には、撮像素子105の外部から、VREF端子を介して基準電圧VREFが供給される。読み出しアンプ425は、CHN線421に出力される信号とCHS線422に出力される信号との差分を基準電圧VREFに載せて出力する出力部を構成する。読み出しアンプ425の出力端子は、OUT端子に接続されている。

【0034】

ロジック回路426には、撮像素子105の外部から、CS端子を介して制御信号CSが、TR端子を介してトリガ信号TRが、CLK端子を介して基準クロック信号CLKが、それぞれ供給される。

【0035】

図5は、バイアス回路424の構成例を示す回路図である。バイアス回路424は、バイアス電圧VCの発生回路と、バイアス電圧BNの発生回路と、バイアス電圧BPの発生回路と、を含む。バイアス電圧VCは、例えば図5に示すように、電源電圧ノードと接地電圧ノードとの間に設けられた抵抗素子の直列接続体を用いた抵抗分圧により生成することができる。バイアス電圧BNは、例えば図5に示すように、電源電圧ノードと接地電圧ノードとの間に設けられたN型MOSトランジスタと抵抗素子とを用いたバイアス回路により生成することができる。バイアス電圧BPは、例えば図5に示すように、電源電圧ノードと接地電圧ノードとの間に設けられたP型MOSトランジスタと抵抗素子とを用いたバイアス回路により生成することができる。このように、バイアス電圧VC, BN, BPは、総ての撮像素子105a~105dに共通配線を介して供給される電源電圧VDDと接地電圧GNDとから生成されうる。

【0036】

図6は、ロジック回路426及びタイミングジェネレータ427の構成例を示す回路図である。図6には、ロジック回路426及びタイミングジェネレータ427を構成する回路のうち、制御信号PCMa, PCMbの生成に関わる部分のみを示している。

【0037】

タイミングジェネレータ427は、TR端子を介してトリガ信号TRが入力されることにより内部動作を開始し、CLK端子から入力される基準クロック信号CLKをカウントする。そして、トリガ信号TRの入力後の所定のタイミングで、内部生成信号である制御信号PCM_ORG1, PCM_ORG2を生成する。次いで、タイミングジェネレータ427は、CS端子から供給される制御信号CSと、制御信号PCM_ORG1, PCM_ORG2とをもとに、制御信号PCMa, PCMbを生成する。

【0038】

具体的には、CS端子からLoレベルの制御信号CSが入力された場合には、タイミングジェネレータ427は、制御信号PCMa, PCMbとして、ともに制御信号PCM_ORG1を出力する。一方、CS端子からHiレベルの制御信号CSが入力された場合には、タイミングジェネレータ427は、制御信号PCMaとして制御信号PCM_ORG1を出力し、制御信号PCMbとして制御信号PCM_ORG2を出力する。このような論理演算を実行する論理回路は、特に限定されるものではないが、例えば図6に示す論理回路により実現することができる。

【0039】

次に、本実施形態による画像読み取り装置における撮像素子の動作について、図7を用

10

20

30

40

50

いて説明する。図7は、撮像素子の動作例を示すタイミング図である。図7(a)が撮像素子105aの動作例を示すタイミング図であり、図7(b)が撮像素子105b～105dの動作例を示すタイミング図である。図7には、撮像素子105を駆動するための信号として、制御信号CS、トリガ信号TR、基準クロック信号CLK、制御信号PCOR, PTN, PCMa, PCMb, PTS, PRES, PCM_ORG1, PCM_ORG2を示している。

【0040】

撮像素子105a～105dの単位画素301は、制御信号PCOR, PTN, PTS, PRESが供給される信号線を共通にしており、これら制御信号によって同時に駆動される。この際、制御信号PCMa, PCMbは、所定の単位画素301に選択的に供給される。

10

【0041】

まず、撮像素子105aの動作について、図7(a)を用いて説明する。撮像素子105aの動作はトリガ信号TRの入力を基準に行われるが、ここでは説明の便宜上、図7(a)に示す時刻t11からの動作を説明するものとする。なお、撮像素子105の動作は、トリガ信号TRが入力されてから、一定の数の基準クロック信号CLKが入力された後に、再びトリガ信号TRの入力へと戻る。画像読み取り装置100は、次のトリガ信号TRの入力の直前に、撮像装置104を所定の距離だけ副走査方向に移動する。このシーケンスを繰り返し行うことにより、画像の読み取りが行われる。

【0042】

20

撮像素子105aには、前述の通り、Hiレベルの制御信号CS(CS1)が供給される。したがって、タイミングジェネレータ427は、図6を用いて説明したように、制御信号PCMaとして制御信号PCM_ORG1を出力し、制御信号PCMbとして制御信号PCM_ORG2を出力する。ここで、制御信号PCM_ORG1は、時刻t7から時刻t8の期間及び時刻t13から時刻t14の期間においてHiレベルになる信号である。また、制御信号PCM_ORG2は、時刻t13から時刻t14の期間においてHiレベルになる信号である。

【0043】

まず、時刻t11から時刻t12の期間において、タイミングジェネレータ427は、制御信号PRESをHiレベルに制御する。これにより、MOSトランジスタ403がオンになり、光電変換部402が電源電圧に応じた所定の電圧VNpdにリセットされる。また、MOSトランジスタ404のゲートには、リセット状態の光電変換部402に応じた電圧VNpdが入力される。

30

【0044】

次いで、時刻t13から時刻t14の期間において、制御信号PCM_ORG1, PCM_ORG2がHiレベルとなり、タイミングジェネレータ427は、制御信号PCMa, PCMbをHiレベルに制御する。これにより、MOSトランジスタ406がオンになり、電圧VNpdを入力とするNMOSソースフォロワ(MOSトランジスタ404)の出力(電圧VNcm)が、容量407に書き込まれ保持される。この電圧VNcmが、リセット状態の光電変換部PDに基づくリセット信号である。また、MOSトランジスタ408のゲートには電圧VNcmが入力され、電圧VNcmを入力とするPMOSソースフォロワ(MOSトランジスタ408)の出力が、電圧VNcmに応じた所定の電圧となる。なお、容量407は、リセット信号及び後述する光信号を一時的に保持する保持部である。

40

【0045】

次いで、次の周期の時刻t3から時刻t4の期間において、タイミングジェネレータ427は、制御信号PCORをHiレベルに制御する。これにより、MOSトランジスタ413がオンになり、オペアンプ411の入力端子及び出力端子がバイアス電圧VCに初期化される。

【0046】

50

次いで、時刻 t_5 から時刻 t_6 の期間において、タイミングジェネレータ 427 は、制御信号 PTN を Hi レベルに制御する。これにより、 MOS トランジスタ 414 がオンになり、電圧 V_{Ncm} を入力として、 $PMOS$ ソースフォロフ、オペアンプ 411 及び MOS トランジスタ 414 を介して出力される電圧 V_{Nct} が、容量 415 に書き込まれ保持される。なお、容量 415 は、リセット信号を保持するための保持部である。

【0047】

ここで説明を簡略にするために、各ソースフォロフのゲインを 1 倍、入出力にオフセット差は生じないものとする、電圧 V_{Npd} は電圧 V_{Ncm} と等しくなり、撮像素子 105a の総ての単位画素 301 における電圧 V_{Nct} は、以下の式 (1) で表される。

【数 1】

$$V_{Nct} = \frac{C_0}{C_f} \times (V_{Npd} - VC) + VC \quad \dots (1)$$

【0048】

次いで、時刻 t_7 から時刻 t_8 の期間において、制御信号 PCM_ORG1 が Hi レベルとなり、タイミングジェネレータ 427 は、制御信号 $PCMa$ を Hi レベルに制御する。このとき、制御信号 PCM_ORG2 は Lo レベルであり、制御信号 $PCMb$ は Lo レベルのままである。これにより、単位画素 301-1, 301-2 の MOS トランジスタ 406 はオフのままで、単位画素 301-3, ..., 301-4, 301-5 の MOS トランジスタ 406 がオンになる。

【0049】

前の周期の時刻 t_{12} から時刻 t_8 までの期間において、光電変換部 402 は、入射光量に応じた信号電荷を生成しこれを蓄積している。この信号電荷に基づく光信号を電圧 V_{Spd} とすると、 MOS トランジスタ 406 がオンになっている単位画素 301-3, ..., 301-4, 301-5 では、容量 407 に、 $(V_{Ncm} + V_{Spd})$ に相当する電圧が保持されることになる。一方、 MOS トランジスタ 406 がオフになっている単位画素 301-1, 301-2 では、容量 407 には電圧 V_{Ncm} が保持されたままとなる。

【0050】

次いで、時刻 t_9 から時刻 t_{10} の期間において、タイミングジェネレータ 427 は、制御信号 PTS を Hi レベルに制御する。これにより、 MOS トランジスタ 416 がオンになり、容量 407 が保持する電圧を入力として、 $PMOS$ ソースフォロフ、オペアンプ 411 及び MOS トランジスタ 416 を介して出力される電圧 V_{Sct} が、容量 417 に書き込まれ保持される。なお、容量 417 は、光信号を保持するための保持部である。

【0051】

この結果、単位画素 301-1, 301-2 の容量 417 には、以下の式 (2) で表される電圧 V_{Sct} が保持される。この電圧 V_{Sct} は、容量 415 に保持される電圧 V_{Nct} (式 (1)) と同じである。

【数 2】

$$V_{Sct} = \frac{C_0}{C_f} \times (V_{Npd} - VC) + VC \quad \dots (2)$$

【0052】

また、単位画素 301-3, ..., 301-4, 301-5 の容量 417 には、以下の式 (3) で表される電圧 V_{Sct} が保持される。

【数 3】

$$V_{Sct} = \frac{C_0}{C_f} \times (V_{Npd} + V_{Spd} - VC) + VC \quad \dots (3)$$

【0053】

前の周期の時刻 t_{11} から時刻 t_{10} までの期間に光電変換部 402 で生成された信号

10

20

30

40

50

電荷に基づく信号の容量 415, 417 への読み出しは、総ての単位画素 301 において並列に行われる。容量 415, 417 から読み出しアンプ 425 への信号の読み出しは、時刻 t_{14} から次の周期の時刻 t_3 までの期間に、単位画素 301 毎に順次行われる。

【0054】

時刻 t_{14} から次の周期の時刻 t_3 までの期間において、走査回路 423 は、制御線 420 に出力する制御信号を単位画素 301 毎に順次 H_i レベルに制御する（図示は省略）。これにより、対応する単位画素 301 の MOS トランジスタ 418, 419 がオンになり、容量 415 に保持されている電圧 V_{Nct} が CHN 線 421 に読み出され、容量 417 に保持されている電圧 V_{Sct} が CHS 線 422 に読み出される。

【0055】

このようにして、 CHN 線 421 及び CHS 線 422 にシリアル読み出しされた画素信号は、読み出しアンプ 425 に入力される。読み出しアンプ 425 は、 CHS 線 422 の電圧と CHN 線 421 の電圧との差分を基準電圧 V_{REF} に載せて OUT 端子から出力する。

【0056】

すなわち、単位画素 301-1, 301-2 の OUT 端子から出力される出力電圧 V_{OUT} は、次の式 (4) のように表される。

【数 4】

$$V_{OUT} = \left(\frac{C_0}{C_f} \times (V_{Npd} - VC) + VC \right) - \left(\frac{C_0}{C_f} \times (V_{Npd} - VC) + VC \right) + V_{REF} \\ = V_{REF} \quad \dots (4)$$

【0057】

また、単位画素 301-3, ..., 301-4, 301-5 の OUT 端子から出力される出力電圧 V_{OUT} は、オペアンプのゲイン (C_0 / C_f) を 1 とすると、次の式 (5) のように表される。

【数 5】

$$V_{OUT} = \left(\frac{C_0}{C_f} \times (V_{Npd} + V_{Spd} - VC) + VC \right) - \left(\frac{C_0}{C_f} \times (V_{Npd} - VC) + VC \right) + V_{REF} \\ = V_{Spd} + V_{REF} \quad \dots (5)$$

【0058】

このように、撮像素子 105a においては、 CS 端子に H_i レベルの制御信号 CS を入力することによって、一部の単位画素 301-1, 301-2 からは、入射光量に依存しない出力信号を得ることができる。また、その他の単位画素 301-3, ..., 301-4, 301-5 からは、入射光量に応じた出力信号を得ることができる。

【0059】

次に、撮像素子 105b ~ 105d の動作について、図 7 (b) を用いて説明する。撮像素子 105b ~ 105d には、前述の通り、 L_o レベルの制御信号 CS (CS_2) が供給される。したがって、タイミングジェネレータ 427 は、図 6 を用いて説明したように、制御信号 $PCMa$, $PCMb$ として制御信号 PCM_ORG1 を出力する。

【0060】

撮像素子 105b ~ 105d の動作は、図 7 (b) に示すように、時刻 t_7 から時刻 t_8 の期間において制御信号 $PCMb$ が H_i レベルになっているほかは、図 7 (a) に示す撮像素子 105a の動作と同様である。

【0061】

すなわち、時刻 t_7 から時刻 t_8 の期間において、タイミングジェネレータ 427 は、制御信号 $PCMa$, $PCMb$ を H_i レベルに制御する。これにより、総ての単位画素 301 において、MOS トランジスタ 406 がオンになり、容量 407 には入射光量に応じた

10

20

30

40

50

($V_{Ncm} + V_{Spd}$) に相当する電圧が保持されることになる。

【0062】

これにより、撮像素子105b～105dにおいては、CS端子にLoレベルの制御信号CSを入力することによって、総ての単位画素301から、入射光量に応じた出力信号を得ることができる。

【0063】

ところで、上述した撮像素子105の動作時において、容量415に信号を読み出すタイミングと容量417に信号を読み出すタイミングとの間の期間に、バイアス電圧BN、BP、VCが時間的に変動することがある。例えば、時刻t11から次の周期の時刻t10における一連の読み出し動作に伴って電源電圧や接地電圧が変動することによって、図5のバイアス回路で生成されるバイアス電圧BN、BP、VCが変動することがある。

【0064】

撮像装置104において、電源電圧及び接地電圧は共通配線を介して撮像素子105a～105dの各々に供給されるため、バイアス電圧BN、BP、VCの変動は撮像素子105a～105dの総てにおいて同様の傾向で生じることになる。バイアス電圧BN、BP、VCが変動すると、撮像素子105a～105dの総ての単位画素301の出力に一律に同様のオフセット成分が重畳することになる。このようなオフセット成分は、主走査方向に沿ったスジ状のノイズとなりやすい。なお、電源電圧又は接地電圧の変動量に対するオフセット成分の比率は、PSRR（電源変動除去率）と呼ばれる。

【0065】

同じ構造の撮像素子をタイリングすることによって広い撮像範囲を得ている従来の撮像装置においては、入射光量に依存しない暗時出力を得ることができなかった。これは、撮像素子に遮光されたオプティカルブラック画素を配置してしまうと、同じ構造の撮像素子をタイリングした場合に、入射光量に依存しない画素の信号が有効撮像領域内に入り込んでしまうからである。

【0066】

撮像素子の信号オフセットや黒ノイズを差し引くためにオプティカルブラック画素から取得する信号は、有効画素の光信号と同じシーケンス内に出力することが望ましい。ここでいうシーケンスとは、撮像素子の光電変換部から信号を外部まで読み出す動作をいう。このシーケンスは、1つの画像を取得するにあたり、1回に限らず、複数回繰り返し行われることもある。オプティカルブラック画素は、遮光された画素のことで、撮像素子の有効撮像領域の端部の縦或いは横、又は縦横両方に隣接して配置されることが多い。オプティカルブラック画素から読み出される信号は、撮像素子の入射光量によらない暗信号である。そのため撮像素子の信号オフセットや黒ノイズを減算するため、光を受けるように配置された（遮光されていない）有効画素の光信号から減算処理する基準信号とされる。

【0067】

オプティカルブラック画素が配置された撮像素子を少なくとも一方向に3個以上タイリングして撮像装置を構成すると、タイリングされた撮像素子の境界にオプティカルブラック画素が配置されてしまい、撮像装置として得られる有効撮像領域に不具合が生じる。そのため、タイリングされる撮像素子にオプティカルブラック画素を配置することはできず、撮像装置を構成するタイリングされた複数の撮像素子に共通に現れる黒ノイズを差し引くための基準信号を得ることができない。その結果、撮像装置から得られる画像の黒レベルが浮いたり沈んだりすることで生じる画質劣化や、主走査方向に沿ったスジ状のノイズを補正することはできず、結果として画質が劣化してしまう。

【0068】

この点、本実施形態においては、複数の撮像素子105a～105dが同じ構成であり且つオプティカルブラック画素を備えていないにもかかわらず、一部の単位画素301から入射光量に依存しない出力信号を得ることができる。当該一部の単位画素301にも主走査方向に沿ったスジ状のノイズ成分は含まれることから、このノイズ成分を他の単位画素301の信号から差し引くことで、主走査方向に沿ったスジ状のノイズ成分の影響を抑

10

20

30

40

50

制した高品質な画像を得ることができる。

【0069】

なお、本実施形態ではオペアンプ411を備えた単位画素301を例にして説明したが、オペアンプ411をもたない構成の単位画素301においてもバイアス電圧BP、BNの変動によってスジ状のノイズ成分が重畳する課題は生じうる。したがって、本実施形態は、オペアンプをもたない構成の単位画素を有する撮像素子にも適用可能である。

【0070】

このように、本実施形態によれば、同一構成の撮像素子を複数配列して撮像領域を構成する場合にも、有効撮像領域内にオプティカルブラック画素を配置することなく、画像の黒レベルの調整やスジ状のノイズの除去を施した良質の画像を取得することができる。

10

【0071】

〔第2実施形態〕

本発明の第2実施形態による画像読み取り装置について、図8乃至図11を用いて説明する。第1実施形態による画像読み取り装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0072】

本実施形態では、MOSトランジスタ403を駆動するための制御信号PRESを切り替えることにより、第1実施形態と同様の効果を実現する例を示す。

【0073】

本実施形態による画像読み取り装置は、撮像素子105の構成が異なるほかは、第1実施形態による画像読み取り装置と同様である。

20

【0074】

図8は、本実施形態による画像読み取り装置における撮像素子105の構成例を示す回路図である。なお、1つの撮像装置104に含まれる総ての撮像素子105（撮像素子105a～105d）は、第1実施形態と同様、同じ構成を有している。

【0075】

本実施形態の撮像素子105は、図8に示すように、タイミングジェネレータ427と各単位画素301のMOSトランジスタ403、406とを接続する信号線が第1実施形態とは異なっている。

【0076】

すなわち、単位画素301-3、…、301-4、301-5のMOSトランジスタ403のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号PRESaが供給される。また、単位画素301-1、301-2のMOSトランジスタ403のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号PRESbが供給される。また、単位画素301-1、301-2、301-3、…、301-4、301-5のMOSトランジスタ406のゲートには、共通の信号線が接続されており、タイミングジェネレータ427から制御信号PCMが供給される。

30

【0077】

図9は、ロジック回路426及びタイミングジェネレータ427の構成例を示す回路図である。図9には、ロジック回路426及びタイミングジェネレータ427を構成する回路のうち、制御信号PRESa、PRESbの生成に関わる部分のみを示している。

40

【0078】

タイミングジェネレータ427は、TR端子を介してトリガ信号TRが入力されることにより内部動作を開始し、CLK端子から入力される基準クロック信号CLKをカウントする。そして、トリガ信号TRの入力後の所定のタイミングで、内部生成信号である制御信号PRES_ORG1、PRES_ORG2を生成する。次いで、タイミングジェネレータ427は、CS端子から供給される制御信号CSと、制御信号PRES_ORG1、PRES_ORG2とをもとに、制御信号PRESa、PRESbを生成する。

【0079】

50

具体的には、CS端子からLoレベルの制御信号CSが入力された場合には、タイミングジェネレータ427は、制御信号PRESa, PRESbとして、ともに制御信号PRES_ORG1を出力する。一方、CS端子からHiレベルの制御信号CSが入力された場合には、タイミングジェネレータ427は、制御信号PRESaとして制御信号PRES_ORG1を出力し、制御信号PRESbとして制御信号PRES_ORG2を出力する。このような論理演算を実行する論理回路は、特に限定されるものではないが、例えば図9に示す論理回路により実現することができる。

【0080】

次に、本実施形態による画像読み取り装置における撮像素子の動作について、図10及び図11を用いて説明する。

【0081】

図10は、撮像素子の動作例を示すタイミング図である。図10(a)が撮像素子105aの動作例を示すタイミング図であり、図10(b)が撮像素子105b~105dの動作例を示すタイミング図である。図10には、撮像素子105を駆動するための信号として、制御信号CS、トリガ信号TR、基準クロック信号CLK、制御信号PCOR, PTN, PCM, PTS, PRESa, PRESb, PRES_ORG1, PRES_ORG2を示している。

【0082】

まず、撮像素子105aの動作について、図10(a)を用いて説明する。

撮像素子105aには、前述の通り、Hiレベルの制御信号CS(CS1)が供給される。したがって、タイミングジェネレータ427は、図9を用いて説明したように、制御信号PRESaとして制御信号PRES_ORG1を出力し、制御信号PRESbとして制御信号PRES_ORG2を出力する。ここで、制御信号PRES_ORG1は、時刻t11から時刻t12の期間においてHiレベルになる信号である。また、制御信号PRES_ORG2は、時刻t1から時刻t12の期間においてHiレベルになる信号である。

【0083】

このように構成することで、単位画素301-1, 301-2の容量407に書き込まれ保持される信号は、時刻t13から時刻t14の期間においても、時刻t7から時刻t8の期間においても、光電変換部402のリセット信号(VNcm)となる。したがって、撮像素子105aの単位画素301-1, 301-2からは、入射光量に依存しない出力電圧VOUTを得ることができる。

【0084】

一方、単位画素301-3, ..., 301-4, 301-5の容量407に書き込まれ保持される信号は、時刻t7から時刻t8の期間においては、光電変換部402で生成された信号電荷に基づく光信号(VNcm+VSpd)である。したがって、撮像素子105aの単位画素301-3, ..., 301-4, 301-5からは、入射光量に応じた出力電圧VOUTを得ることができる。

【0085】

次に、撮像素子105b~105dの動作について、図10(b)を用いて説明する。

撮像素子105b~105dには、前述の通り、Loレベルの制御信号CS(CS2)が供給される。したがって、タイミングジェネレータ427は、図9を用いて説明したように、制御信号PRESa, PRESbとして制御信号PRES_ORG1を出力する。

【0086】

このように構成することで、撮像素子105b~105dの総ての単位画素301の容量407に書き込まれ保持される信号は、時刻t7から時刻t8の期間においては、光電変換部402で生成された信号電荷に基づく光信号(VNcm+VSpd)となる。したがって、撮像素子105aの単位画素301-3, ..., 301-4, 301-5からは、入射光量に応じた出力電圧VOUTを得ることができる。

【0087】

なお、撮像素子105aの単位画素301-1, 301-2に供給する制御信号PRE

10

20

30

40

50

S b は、必ずしも時刻 t 1 から時刻 t 1 2 の総ての期間において H i レベルを維持している必要はない。

【0088】

図 1 1 は、撮像素子の他の動作例を示すタイミング図である。図 1 1 (a) が撮像素子 1 0 5 a の動作を示すタイミング図であり、図 1 1 (b) が撮像素子 1 0 5 b ~ 1 0 5 d の動作を示すタイミング図である。

【0089】

撮像素子 1 0 5 a の単位画素 3 0 1 - 1 , 3 0 1 - 2 に供給する制御信号 P R E S b は、図 1 1 に示すように、時刻 t 2 から時刻 t 1 1 の期間を L o レベルとしてもよい。すなわち、制御信号 P R E S _ O R G 2 は、時刻 t 1 から時刻 t 2 の期間及び時刻 t 1 1 から時刻 t 1 2 の期間において H i レベルになる信号としてもよい。

10

【0090】

このように構成することによっても、単位画素 3 0 1 - 1 , 3 0 1 - 2 の容量 4 0 7 に書き込まれ保持される信号は、時刻 t 1 3 から時刻 t 1 4 の期間及び時刻 t 7 から時刻 t 8 の期間において、光電変換部 4 0 2 のリセット信号 (V N c m) となる。したがって、撮像素子 1 0 5 a の単位画素 3 0 1 - 1 , 3 0 1 - 2 からは、入射光量に依存しない出力電圧 V O U T を得ることができる。

【0091】

このように、本実施形態においても、複数の撮像素子 1 0 5 a ~ 1 0 5 d が同じ構成であり且つオプティカルブラック画素を備えていないにもかかわらず、一部の単位画素 3 0 1 から入射光量に依存しない出力信号を得ることができる。当該一部の単位画素 3 0 1 にも主走査方向に沿ったスジ状のノイズ成分は含まれることから、このノイズ成分を他の単位画素 3 0 1 の信号から差し引くことで、主走査方向に沿ったスジ状のノイズ成分の影響を抑制した高品質な画像を得ることができる。

20

【0092】

このように、本実施形態によれば、同一構成の撮像素子を複数配列して撮像領域を構成する場合にも、有効撮像領域内にオプティカルブラック画素を配置することなく、画像の黒レベルの調整やスジ状のノイズの除去を施した良質の画像を取得することができる。

【0093】

[第3実施形態]

30

本発明の第3実施形態による画像読み取り装置について、図 1 2 乃至図 1 4 を用いて説明する。第1及び第2実施形態による画像読み取り装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0094】

本実施形態では、M O S トランジスタ 4 1 6 を駆動するための制御信号 P T S を切り替えることにより、第1実施形態と同様の効果を実現する例を示す。

【0095】

本実施形態による画像読み取り装置は、撮像素子 1 0 5 の構成が異なるほかは、第1実施形態による画像読み取り装置と同様である。

【0096】

40

図 1 2 は、本実施形態による画像読み取り装置における撮像素子 1 0 5 の構成例を示す回路図である。なお、1つの撮像装置 1 0 4 に含まれる総ての撮像素子 1 0 5 (撮像素子 1 0 5 a ~ 1 0 5 d) は、第1実施形態と同様、同じ構成を有している。

【0097】

本実施形態の撮像素子 1 0 5 は、図 1 2 に示すように、タイミングジェネレータ 4 2 7 と各単位画素 3 0 1 の M O S トランジスタ 4 0 6 , 4 1 6 とを接続する信号線が第1実施形態とは異なっている。

【0098】

すなわち、単位画素 3 0 1 - 3 , … , 3 0 1 - 4 , 3 0 1 - 5 の M O S トランジスタ 4 1 6 のゲートには、共通の信号線が接続されており、タイミングジェネレータ 4 2 7 から

50

制御信号 $P T S a$ が供給される。また、単位画素 $301-1$ 、 $301-2$ の MOS トランジスタ 416 のゲートには、共通の信号線が接続されており、タイミングジェネレータ 427 から制御信号 $P T S b$ が供給される。また、単位画素 $301-1$ 、 $301-2$ 、 $301-3$ 、 $\dots$ 、 $301-4$ 、 $301-5$ の MOS トランジスタ 406 のゲートには、共通の信号線が接続されており、タイミングジェネレータ 427 から制御信号 $P C M$ が供給される。

【0099】

図13は、ロジック回路426及びタイミングジェネレータ427の構成例を示す回路図である。図13には、ロジック回路426及びタイミングジェネレータ427を構成する回路のうち、制御信号 $P T S a$ 、 $P T S b$ の生成に関わる部分のみを示している。

10

【0100】

タイミングジェネレータ427は、 $T R$ 端子を介してトリガ信号 $T R$ が入力されることにより内部動作を開始し、 $C L K$ 端子から入力される基準クロック信号 $C L K$ をカウントする。そして、トリガ信号 $T R$ の入力後の所定のタイミングで、内部生成信号である制御信号 $P T S_O R G 1$ 、 $P T S_O R G 2$ を生成する。次いで、タイミングジェネレータ427は、制 $C S$ 端子から供給される制御信号 $C S$ と、制御信号 $P T S_O R G 1$ 、 $P T S_O R G 2$ とをもとに、制御信号 $P T S a$ 、 $P T S b$ を生成する。

【0101】

具体的には、 $C S$ 端子から $L o$ レベルの制御信号 $C S$ が入力された場合には、タイミングジェネレータ427は、制御信号 $P T S a$ 、 $P T S b$ として、ともに制御信号 $P T S_O R G 1$ を出力する。一方、 $C S$ 端子から $H i$ レベルの制御信号 $C S$ が入力された場合には、タイミングジェネレータ427は、制御信号 $P T S a$ として制御信号 $P T S_O R G 1$ を出力し、制御信号 $P T S b$ として制御信号 $P T S_O R G 2$ を出力する。このような論理演算を実行する論理回路は、特に限定されるものではないが、例えば図13に示す論理回路により実現することができる。

20

【0102】

次に、本実施形態による画像読み取り装置における撮像素子の動作について、図14を用いて説明する。

【0103】

図14は、撮像素子の動作例を示すタイミング図である。図14(a)が撮像素子105aの動作例を示すタイミング図であり、図14(b)が撮像素子105b~105dの動作例を示すタイミング図である。図14には、撮像素子を駆動するための信号として、制御信号 $C S$ 、トリガ信号 $T R$ 、基準クロック信号 $C L K$ 、制御信号 $P C O R$ 、 $P T N$ 、 $P C M$ 、 $P T S a$ 、 $P T S b$ 、 $P R E S$ 、 $P T S_O R G 1$ 、 $P T S_O R G 2$ を示している。

30

【0104】

まず、撮像素子105aの動作について、図14(a)を用いて説明する。

撮像素子105aには、前述の通り、 $H i$ レベルの制御信号 $C S$ ($C S 1$) が供給される。したがって、タイミングジェネレータ427は、図13を用いて説明したように、制御信号 $P T S a$ として制御信号 $P T S_O R G 1$ を出力し、制御信号 $P T S b$ として制御信号 $P T S_O R G 2$ を出力する。ここで、制御信号 $P T S_O R G 1$ は、時刻 $t 9$ から時刻 $t 10$ の期間において $H i$ レベルになる信号である。また、制御信号 $P T S_O R G 2$ は、制御信号 $P T N$ と同じように、時刻 $t 5$ から時刻 $t 6$ の期間において $H i$ レベルになる信号である。

40

【0105】

このように構成することで、単位画素 $301-1$ 、 $301-2$ の容量 417 に書き込まれ保持される信号は、容量 415 に書き込まれ保持される信号と同様、光電変換部 402 のリセット信号 ($V N c t$) となる。したがって、撮像素子105aの単位画素 $301-1$ 、 $301-2$ からは、入射光量に依存しない出力電圧 $V O U T$ を得ることができる。

【0106】

50

一方、単位画素301-3, ..., 301-4, 301-5の容量417に書き込まれ保持される信号は、光電変換部402で生成された信号電荷に基づく光信号(Vsc t)となる。したがって、撮像素子105aの単位画素301-3, ..., 301-4, 301-5からは、入射光量に応じた出力電圧VOUTを得ることができる。

【0107】

次に、撮像素子105b~105dの動作について、図14(b)を用いて説明する。撮像素子105b~105dには、前述の通り、Loレベルの制御信号CS(CS2)が供給される。したがって、タイミングジェネレータ427は、図13を用いて説明したように、制御信号PTSa, PTSbとして制御信号PTS_ORG1を出力する。

【0108】

このように構成することで、撮像素子105b~105dの総ての単位画素301の容量417に書き込まれ保持される信号は、光電変換部402で生成された信号電荷に基づく光信号(Vsc t)となる。したがって、撮像素子105aの単位画素301-3, ..., 301-4, 301-5からは、入射光量に応じた出力電圧VOUTを得ることができる。

【0109】

このように、本実施形態においても、複数の撮像素子105a~105dが同じ構成であり且つオプティカルブラック画素を備えていないにもかかわらず、一部の単位画素301から入射光量に依存しない出力信号を得ることができる。当該一部の単位画素301にも主走査方向に沿ったスジ状のノイズ成分は含まれることから、このノイズ成分を他の単位画素301の信号から差し引くことで、主走査方向に沿ったスジ状のノイズ成分の影響を抑制した高品質な画像を得ることができる。

【0110】

このように、本実施形態によれば、同一構成の撮像素子を複数配列して撮像領域を構成する場合にも、有効撮像領域内にオプティカルブラック画素を配置することなく、画像の黒レベルの調整やスジ状のノイズの除去を施した良質の画像を取得することができる。

【0111】

[第4実施形態]

本発明の第4実施形態による撮像装置について、図15乃至図18を用いて説明する。第1乃至第3実施形態による画像読み取り装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0112】

はじめに、本実施形態による撮像装置の概略構成について、図15を用いて説明する。図15は、本実施形態による撮像装置の構成例を示す概略図である。

【0113】

本実施形態による撮像装置200は、図15に示すように、基板210と、複数の撮像素子220a, 220b, 220c, 220d, 220e, 220fと、を有する。撮像素子220a~220fの各々は、複数の画素が2次元状に配されたエリア型の撮像素子である。複数の画素は、光を受けるように配置された(遮光されていない)有効画素230と、遮光されているオプティカルブラック画素240(図15中、ハッチングを付した単位画素)と、を含む。

【0114】

撮像素子220a~220fは、基板210の上に2次元状に配列されている。これにより、撮像素子220a~220fは、基板210の上に1つの撮像領域を構成している。このように構成される撮像装置200は超広視野を有することができ、例えば、X線用の撮像装置や望遠鏡用の撮像装置に適用することができる。

【0115】

撮像素子220a~220fは、総て同じ構成の撮像素子である。撮像素子220d, 220e, 220fは、撮像素子220a, 220b, 220cに対して180度回転して基板210の上に実装されている。このように回転して実装することで、有効画素230

10

20

30

40

50

0が配置されていない領域、すなわちオプティカルブラック画素240や入出力端子が配置された領域が撮像素子220間のつなぎ目に配置されないようにしている。

【0116】

なお、撮像素子220d～220fを撮像素子220a～220cに対して180度回転して実装することに対応して、撮像素子220a～220cと撮像素子220d～220fとにおいて、撮像素子内における信号読み出し方向は逆方向にすることが望ましい。撮像素子220a～220fにこのような機能を付加することで、撮像装置200の全体として、信号の出力順序を同じ方向に統一することができる。

【0117】

基板210には、撮像素子220a～220fの各々に電源電圧VDD、接地電圧GND、基準電圧VREF、トリガ信号TR、基準クロック信号CLK、制御信号CSを供給するための共通配線が設けられている。また、基板210には、撮像素子220a～220fの出力信号をOUT端子(OUTa～OUTf)から出力するための出力配線が設けられている。

【0118】

ところで、同じ構成の3つ以上の撮像素子220をタイリングして1つの連続した有効撮像領域を構成するためには、撮像素子220の各々の撮像領域の周囲4辺のうち直交する2辺に沿ってオプティカルブラック画素240を配置することはできない。これは、撮像素子220の直交する2辺に沿ってオプティカルブラック画素240を配置すると、撮像素子220の間の領域のどこかに必ずオプティカルブラック画素240が配置されてしまうためである。そのため、例えば図15のように、水平方向に3つの撮像素子220を配置し、垂直方向に2つの撮像素子220を配置した場合、例えば領域250のような垂直方向の全域に渡る領域に、オプティカルブラック画素240を配置することはできない。このような配置では、垂直方向の全域に渡ってオプティカルブラック画素240がないため、オプティカルブラック画素240の信号を用いて水平方向に沿ったスジ状のノイズを除去することはできない。

【0119】

このような観点から、本実施形態の撮像装置200においては、第1乃至第3実施形態の場合と同様、入射光量に依存しない出力信号を一部の有効画素230からも得ることができるように構成している。

【0120】

図16は、本実施形態による撮像装置200における撮像素子220の構成例を示す回路図である。なお、1つの撮像装置200に含まれる総ての撮像素子220(撮像素子220a～220f)は、同じ構成を有している。

【0121】

撮像素子220は、複数の有効画素230と、複数のオプティカルブラック画素240と、を有している。これら画素は、複数の行(N行)及び複数の列(M列)に渡って2次元状に配されている。オプティカルブラック画素240は、このように構成される2次元画素アレイの第1行及び第2行に配されている。有効画素230は、2次元画素アレイの第3行以降に配されている。また、撮像素子220は、2次元画素アレイの各列に対応して設けられた複数の列回路260と、走査回路423と、読み出しアンプ425と、を有している。

【0122】

有効画素230及びオプティカルブラック画素240の各々は、第1乃至第3実施形態で説明した単位画素301の構成要素のうち、光電変換部402、MOSトランジスタ403、404、405、406、408及び容量407に対応する構成要素を含む。ここでは説明の簡略化のため、対応する構成要素には同じ符号を付している。これら構成要素の接続関係は、単位画素301と同様である。また、有効画素230及びオプティカルブラック画素240の各々は、選択トランジスタを構成するMOSトランジスタ428を更に有する。MOSトランジスタ428のドレインは、MOSトランジスタ408のソース

10

20

30

40

50

に接続されている。

【0123】

2次元画素アレイの各行には、水平方向に配された制御線429が設けられている。制御線429の各々は、対応する行に配された有効画素230又はオプティカルブラック画素240に接続されており、これら画素に共通の信号線をなしている。各々の制御線429は、制御信号PRESを供給する信号線と、制御信号PSELを供給する信号線と、制御信号PCMaを供給する信号線と、制御信号PCMbを供給する信号線と、制御信号PCMcを供給する信号線と、を含む。

【0124】

制御信号PRESを供給する信号線は、対応する行に配された有効画素230又はオプティカルブラック画素240のMOSトランジスタ403（リセットトランジスタ）のゲートに接続されている。制御信号PSELを供給する信号線は、対応する行に配された有効画素230又はオプティカルブラック画素240のMOSトランジスタ428（選択トランジスタ）のゲートに接続されている。制御信号PCMaを供給する信号線は、対応する行の第3列～第（M-2）列に配された有効画素230又はオプティカルブラック画素240のMOSトランジスタ406のゲートに接続されている。制御信号PCMbを供給する信号線は、対応する行の第1列及び第2列に配された有効画素230又はオプティカルブラック画素240のMOSトランジスタ406のゲートに接続されている。制御信号PCMcを供給する信号線は、対応する行の第（M-1）列及び第M列に配された有効画素230又はオプティカルブラック画素240のMOSトランジスタ406のゲートに接続されている。

【0125】

図16には、各行の有効画素230又はオプティカルブラック画素240に供給される制御信号を区別するために、各制御信号の符号に行番号nを付している。例えば、第3行の画素に供給される制御信号PRESは、「PRES（3）」のように表している。

【0126】

2次元画素アレイの各列には、垂直方向に配された垂直共通線430が設けられている。垂直共通線430の各々は、対応する列に配された有効画素230及びオプティカルブラック画素240のMOSトランジスタ428のソースに接続されており、これら画素に共通の信号線をなしている。

【0127】

列回路260の各々は、第1乃至第3実施形態で説明した単位画素301の構成要素のうち、MOSトランジスタ409、413、414、416、418、419、容量410、412、415、417及びオペアンプ411に対応する構成要素を含む。ここでは説明の簡略化のため、対応する構成要素には同じ符号を付している。これら構成要素の接続関係は、単位画素301と同様である。MOSトランジスタ409のドレインは、対応する列の垂直共通線430に接続されている。

【0128】

なお、図16には示していないが、撮像素子220は、有効画素230及びオプティカルブラック画素240に行単位で制御信号を供給する垂直走査回路、第1乃至第3実施形態で説明したロジック回路426及びタイミングジェネレータ427を更に有している。

【0129】

このように、本実施形態の撮像素子220は、エリア型の撮像素子である。そのため、第1乃至第3実施形態で説明したライン型の撮像素子105の単位画素301とは構成が異なっている。複数の行のうちのいずれかの制御信号PSELをHiレベルに制御して、対応する行のMOSトランジスタ428をオンにすることにより、1行分の画素の信号を、第1乃至第3実施形態と同様にして、容量415、417まで並列に読み出すことができる。

【0130】

列回路260の各々は、対応する列の有効画素230及びオプティカルブラック画素が

10

20

30

40

50

共有している。図示しない垂直走査回路から画素の制御信号を行単位で順次供給することにより、各行に属する画素の画素信号を順次、列回路 260 に読み出すことができる。

【0131】

本実施形態の撮像素子 220 は、各行の制御線 429 が、容量 407 への書き込みを制御する信号線として、制御信号 PCMa を供給する信号線と、制御信号 PCMb を供給する信号線と、制御信号 PCM c を供給する信号線と、を有している。これは、撮像素子 220 d ~ 220 f を撮像素子 220 a ~ 220 c に対して 180 度回転して実装していることによるものである。例えば、図 15 において領域 250 に配された有効画素 230 を入射光量に依存しない信号を出力する画素として用いる場合、領域 250 に属する列は、撮像素子 220 f においては第 1 列及び第 2 列である。一方、撮像素子 220 a においては、領域 250 に属する列は、第 (M-1) 列及び第 M 列である。

10

【0132】

そこで、本実施形態においては、入射光量に依存しない信号を出力する有効画素 230 を選択するための制御信号として、制御信号 PCMb と制御信号 PCM c とを用いている。また、これら 3 種類の制御信号 PCMa, PCMb, PCM c を生成するために、撮像素子 220 の各々には、2 系統の CS 端子 (CS1 端子及び CS2 端子) を設けている。CS 端子が 2 系統あれば、最大で 4 通りの動作を選択することが可能である。

【0133】

また、本実施形態においては、入射光量に依存しない信号を出力可能な有効画素 230 を、撮像素子 220 の撮像領域を構成する画素アレイの両端部の列に配している。これにより、一部の撮像素子 220 が他の撮像素子 220 に対して 180 度回転して実装されている場合にも、撮像装置 200 の撮像領域の端部の同じ列に配された総ての有効画素 230 を、入射光量に依存しない信号を出力する画素として利用することができる。

20

【0134】

図 17 は、ロジック回路 426 及びタイミングジェネレータ 427 の構成例を示す回路図である。図 17 には、ロジック回路 426 及びタイミングジェネレータ 427 を構成する回路のうち、制御信号 PCMa, PCMb, PCM c の生成に関わる部分のみを示している。

【0135】

タイミングジェネレータ 427 は、TR 端子を介してトリガ信号 TR が入力されることにより内部動作を開始し、CLK 端子から入力される基準クロック信号 CLK をカウントする。そして、トリガ信号 TR の入力後の所定のタイミングで、内部生成信号である制御信号 PCM_ORG1, PCM_ORG2 を生成する。次いで、タイミングジェネレータ 427 は、制御信号 CS1, CS2 と、制御信号 PCM_ORG1, PCM_ORG2 とをもとに、制御信号 PCMa, PCMb, PCM c を生成する。

30

【0136】

具体的には、Lo レベルの制御信号 CS1, CS2 が入力された場合には、タイミングジェネレータ 427 は、制御信号 PCMa, PCMb, PCM c として、ともに制御信号 PCM_ORG1 を出力する。Hi レベルの制御信号 CS1 と Lo レベルの制御信号 CS2 が入力された場合には、タイミングジェネレータ 427 は、制御信号 PCMa, PCMb として制御信号 PCM_ORG1 を出力し、制御信号 PCM c として制御信号 PCM_ORG2 を出力する。Lo レベルの制御信号 CS1 と Hi レベルの制御信号 CS2 が入力された場合には、タイミングジェネレータ 427 は、制御信号 PCMa, PCM c として PCM_ORG1 を出力し、制御信号 PCMb として制御信号 PCM_ORG2 を出力する。このような論理演算を実行する論理回路は、特に限定されるものではないが、例えば図 17 に示す論理回路により実現することができる。

40

【0137】

次に、本実施形態による撮像装置における撮像素子の動作について、図 18 を用いて説明する。図 18 は、撮像素子の動作例を示すタイミング図である。図 18 (a) が撮像素子 220 a の動作例を示すタイミング図であり、図 18 (b) が撮像素子 220 f の動作

50

例を示すタイミング図であり、図18(c)が撮像素子220b~220eの動作例を示すタイミング図である。図18には、撮像素子220を駆動するための信号として、制御信号PCOR, PTN, PCMa(n), PCMb(n), PCM c(n), PTS, PRES(n), PCM_ORG1, PCM_ORG2を示している。

【0138】

第1実施形態において説明した図7と同様、時刻t13から時刻t14の期間が容量407にリセット信号を書き込む期間であり、時刻t7から時刻t8の期間が容量407に光信号を書き込む期間である。

【0139】

撮像素子220aにおいては、図18(a)に示すように、時刻t7から時刻t8の期間において、第(M-1)列及び第M列の画素に対応する制御信号PCM c(n)はLoレベルのままである。したがって、図15の領域250に位置する画素は、有効画素230であっても、入射光量によらず一定の信号を出力する。一方、時刻t7から時刻t8の期間において、第1列から第(M-2)列の画素に対応する制御信号PCMa(n), PCMb(n)はHiレベルである。したがって、これらの列に配された有効画素230は、入射光量に応じた信号を出力する。

【0140】

撮像素子220fにおいては、図18(b)に示すように、時刻t7から時刻t8の期間において、第1列及び第2列の画素に対応する制御信号PCMb(n)はLoレベルのままである。したがって、図15の領域250に位置する画素は、有効画素230であっても、入射光量によらず一定の信号を出力する。一方、時刻t7から時刻t8の期間において、第3列から第M列の画素に対応する制御信号PCMa(n), PCM c(n)はHiレベルである。したがって、これらの列に配された有効画素230は、入射光量に応じた信号を出力する。

【0141】

撮像素子220b~220eにおいては、図18(c)に示すように、時刻t7から時刻t8の期間において、総ての列の画素に対応する制御信号PCMa(n), PCMb(n), PCM c(n)はHiレベルである。したがって、撮像素子220b~撮像素子220eの総ての有効画素230は、入射光量に応じた信号を出力する。

【0142】

撮像装置200をこのように動作することによって、図15の領域250に属する画素は、光を受けるように配置された(遮光されていない)有効画素230であっても、入射光量に依存しない信号を出力する。したがって、領域250に配された有効画素230の画素信号を他の領域に配された有効画素230の画素信号から差し引くことで、有効画素230から容量415, 417に信号を読み出すときに生じる水平方向に沿ったスジ状のノイズを低減することができる。これにより、撮像装置200の出力として良質な画像を得ることができる。

【0143】

水平方向に沿ったスジ状のノイズを補正するにあたっては、入射光量に応じた単位画素の信号を出力するよりも前に、領域250に属する有効画素230の信号を出力することが望ましい。このように構成することで、スジ状のノイズの量を先に算出することができるため、補正処理を容易に行うことができる。

【0144】

なお、本実施形態では、制御信号PCM(n)を制御することによって一部の有効画素230から入射光量に依存しない出力信号を得たが、第2又は第3実施形態と同様にして、制御信号PRES(n)や制御信号PTS, PTNを用いることも可能である。

【0145】

また、本実施形態では、オペアンプ411を備えた列回路260を例にして説明したが、オペアンプを持たない構成の列回路260においてもバイアス電圧BP, BNの変動によってスジ状のノイズ成分が重畳する課題は生じうる。したがって、本実施形態は、オペ

10

20

30

40

50

アンプをもたない構成の列回路を有する撮像素子にも適用可能である。

【0146】

このように、本実施形態によれば、同一構成の撮像素子を複数配列して撮像領域を構成する場合にも、有効撮像領域内にオプティカルブラック画素を配置することなく、画像の黒レベルの調整やスジ状のノイズの除去を施した良質の画像を取得することができる。

【0147】

〔第5実施形態〕

本発明の第5実施形態による画像読み取り装置及び画像形成装置について、図19を用いて説明する。図19は、本実施形態による画像読み取り装置の概略構成を示すブロック図である。

【0148】

本実施形態では、第1乃至第3実施形態で説明した撮像装置を適用した画像読み取り装置及び画像形成装置の具体的な構成例を示す。画像読み取り装置及び画像形成装置としては、特に限定されるものではないが、例えば、イメージスキャナ、複写機、マルチファンクションプリンタ等が挙げられる。ただし、第1乃至第3実施形態による撮像装置は、本実施形態に示す画像読み取り装置及び画像形成装置に限らず、光電変換装置を含む種々の装置に適用可能である。

【0149】

本実施形態による画像読み取り装置500は、図19に示すように、読取部510、画像処理部530、CPU540、不揮発性メモリ550、操作部560、モーター570、モータードライバ572、画像出力用コントローラ580を含む。読取部510は、撮像装置512、LED514、516、LEDドライバ518、IC520を含む。画像処理部530は、画像処理回路532、パラレル／シリアル変換回路534を含む。

【0150】

CPU540は、不揮発性メモリ550に格納された制御プログラムを読み出し、画像読み取り装置500の全体の制御を行う。操作部560は、ユーザがカラーコピーやモノクロコピー、両面コピーといったコピーモードの設定や、コピー開始の指示を入力するユーザインターフェースである。

【0151】

LEDドライバ518は、CPU540からのタイミング信号を受け、発光部、すなわち白色のLED514、516を発光させるための電流を供給する。これにより、LED514、516は、画像の読み取り対象物（原稿）に光を照射する。撮像装置512は、第1乃至第3実施形態のいずれかに記載の撮像装置104であって、原稿から反射された光を受光し、光電変換により電気信号に変換し、入射した光量に応じたアナログ電圧信号を出力する。IC520は、撮像装置512から出力されるアナログ電圧信号に対し、サンプルホールド処理、オフセット処理、ゲイン処理といったアナログ処理を行い、アナログ処理された電圧信号をデジタルデータ（以下、輝度データ）に変換する。IC520は、一般的にAFE（Analog Front End）と呼ばれる。なお、IC520の機能の一部或いは全部は、撮像装置512に搭載してもよい。

【0152】

モーター570は、読取部510を副走査方向に移動させる。モータードライバ572は、CPU540からのタイミング信号を受け、モーター570を回転制御させるための励磁電流を供給する。

【0153】

画像処理回路532は、IC520から出力される読取データに対して、シェーディング補正処理やフィルタ処理などの画像処理を施す。なお、画像処理を行うために必要となるフィルタの設定等は電源投入時にCPU540によって画像処理回路532内のレジスタに設定される。パラレル／シリアル変換回路534は、画像処理回路532からパラレルのデータとして出力される各種画像処理後の読取データをシリアルデータに変換する。シリアルデータに変換された読取データは、画像出力用コントローラ580に送信される。

10

20

30

40

50

【0154】

画像出力用コントローラ580に送信された読み取りデータは、画像形成部590に送られる。画像読み取り装置500と画像形成部590とにより、画像形成装置が構成される。公知の画像形成部590の一例としては、電子写真方式の画像形成部が挙げられる。電子写真方式の画像形成部590は、感光ドラムに形成された静電潜像をトナー像に現像し、紙などの記録媒体にトナー像を転写することで像形成を行う。これにより、画像形成装置は、画像読み取り装置500により読み込まれた画像を、画像形成部により記録媒体に形成することができる。

【0155】

第1乃至第3実施形態の撮像装置104によれば、スジ状のノイズが抑制された良質の画像を取得することができる。したがって、上記実施形態の撮像装置104を用いることにより、ノイズの少ない良質の画像を取得しうる画像読み取り装置、色再現性に優れた画像形成装置を実現することができる。

10

【0156】

[第6実施形態]

本発明の第6実施形態による撮像システムについて、図20を用いて説明する。図20は、本実施形態による撮像システムの概略構成を示すブロック図である。

【0157】

上記第4実施形態で述べた撮像装置200は、種々の撮像システムに適用可能である。適用可能な撮像システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、イメージスキャナ、複写機、ファックス、携帯電話、車載カメラ、X線撮影装置、超広視野カメラ、観測衛星などが挙げられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、撮像システムに含まれる。図20には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

20

【0158】

図20に例示した撮像システム600は、撮像装置601、被写体の光学像を撮像装置601に結像させるレンズ602、レンズ602を通過する光量を可変にするための絞り604、レンズ602の保護のためのバリア606を有する。レンズ602及び絞り604は、撮像装置601に光を集光する光学系である。撮像装置601は、第4実施形態で説明した撮像装置200であって、レンズ602により結像された光学像を画像データに変換する。

30

【0159】

撮像システム600は、また、撮像装置601より出力される出力信号の処理を行う信号処理部608を有する。信号処理部608は、撮像装置601が出力するアナログ信号をデジタル信号に変換するAD変換を行う。また、信号処理部608はその他、必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。信号処理部608の一部であるAD変換部は、撮像装置601が設けられた半導体基板に形成されていてもよいし、撮像装置601とは別の半導体基板に形成されていてもよい。また、撮像装置601と信号処理部608とが同一の半導体基板に形成されていてもよい。

【0160】

撮像システム600は、さらに、画像データを一時的に記憶するためのメモリ部610、外部コンピュータ等と通信するための外部インターフェース部（外部I/F部）612を有する。さらに撮像システム600は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体614、記録媒体614に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御I/F部）616を有する。なお、記録媒体614は、撮像システム600に内蔵されていてもよく、着脱可能であってもよい。

40

【0161】

さらに撮像システム600は、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部618、撮像装置601と信号処理部608に各種タイミング信号を出力するタイミング発生部620を有する。ここで、タイミング信号などは外部から入力されても

50

よく、撮像システム600は少なくとも撮像装置601と、撮像装置601から出力された出力信号を処理する信号処理部608とを有すればよい。

【0162】

撮像装置601は、撮像信号を信号処理部608に出力する。信号処理部608は、撮像装置601から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部608は、撮像信号を用いて、画像を生成する。

【0163】

このように、本実施形態によれば、第4実施形態による撮像装置200を適用した撮像システムを実現することができる。

【0164】

〔第7実施形態〕

本発明の第7実施形態による撮像システム及び移動体について、図21を用いて説明する。図21は、本実施形態による撮像システム及び移動体の構成を示す図である。

【0165】

図21(a)は、車載カメラに関する撮像システムの一例を示したものである。撮像システム700は、撮像装置710を有する。撮像装置710は、上記第4実施形態に記載の撮像装置200である。撮像システム700は、撮像装置710により取得された複数の画像データに対し、画像処理を行う画像処理部712と、撮像システム700により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部714を有する。また、撮像システム700は、算出された視差に基づいて対象物までの距離を算出する距離取得部716と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部718と、を有する。ここで、視差取得部714や距離取得部716は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部718はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA(Field Programmable Gate Array)やASIC(Application Specific Integrated circuit)等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【0166】

撮像システム700は車両情報取得装置720と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、撮像システム700は、衝突判定部718での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御ECU730が接続されている。また、撮像システム700は、衝突判定部718での判定結果に基づいて、ドライバーへ警報を発する警報装置740とも接続されている。例えば、衝突判定部718の判定結果として衝突可能性が高い場合、制御ECU730はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置740は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【0167】

本実施形態では、車両の周囲、例えば前方又は後方を撮像システム700で撮像する。図21(b)に、車両前方（撮像範囲750）を撮像する場合の撮像システムを示した。車両情報取得装置720が、撮像システム700ないしは撮像装置710に指示を送る。このような構成により、測距の精度をより向上させることができる。

【0168】

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、撮像システムは、自車両等の車両に限らず、例えば、船舶、航空機あるい

10

20

30

40

50

は産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【0169】

〔変形実施形態〕

本発明は、上記実施形態に限らず種々の変形が可能である。

【0170】

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

【0171】

また、第1乃至第3実施形態においては、入射光量に依存しない信号を出力する単位画素301を、撮像素子105aの2つの単位画素301a、301bとしたが、入射光量に依存しない信号を出力する単位画素301の数は、これに限定されるものではない。同様に、第4実施形態においては、入射光量に依存しない信号を出力する画素列を2列としたが、入射光量に依存しない信号を出力する画素列の数は、これに限定されるものではない。

【0172】

また、上記第1乃至第3実施形態に示した単位画素301、上記第4実施形態に示した有効画素230、オプティカルブラック画素240及び列回路260の回路構成は、一例を示したものであり、これらに限定されるものではない。

【0173】

また、上記第1乃至第4実施形態では、画像の取得を目的とした装置、すなわち撮像装置を例示したが、本発明の適用例は必ずしも撮像装置に限定されるものではない。例えば、上記第7実施形態で説明したような測距を目的とする装置に適用する場合にあっては、必ずしも画像を出力する必要はない。このような場合、当該装置は、光情報を所定の電気信号に変換する光電変換装置とすることができる。撮像装置は、光電変換装置の1つである。また、撮像素子についても同様である。撮像素子は、光電変換素子の1つである。

【0174】

また、上記第5実施形態に示した画像読み取り装置及び画像形成装置は、本発明の撮像装置を適用しうる画像読み取り装置及び画像形成装置を例示したものである。本発明の撮像装置を適用可能な画像読み取り装置及び画像形成装置は、図19に示した構成に限定されるものではない。

【0175】

また、上記第6及び第7実施形態に示した撮像システムは、本発明の撮像装置を適用しうる撮像システムを例示したものである。本発明の撮像装置を適用可能な撮像システムは図20及び図21に示した構成に限定されるものではない。

【0176】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【符号の説明】

【0177】

100, 500…画像読み取り装置

104, 200…撮像装置

105, 220…撮像素子

230…有効画素

240…オプティカルブラック画素

260…列回路

301…単位画素

10

20

30

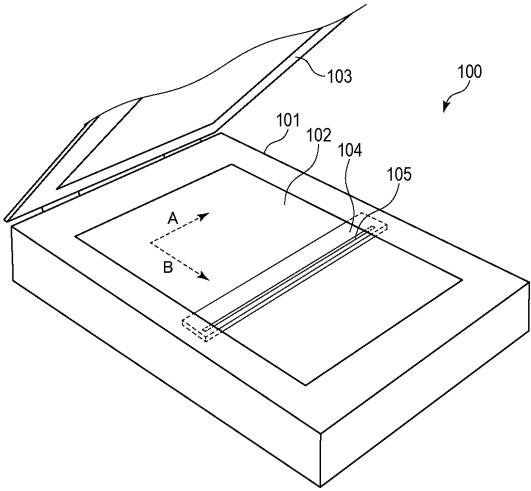
40

50

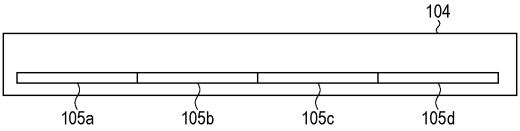
- 4 2 3 …走査回路
- 4 2 4 …バイアス回路
- 4 2 6 …ロジック回路
- 4 2 7 …タイミングジェネレータ
- 6 0 0 , 7 0 0 …撮像システム

【図面】

【図 1】



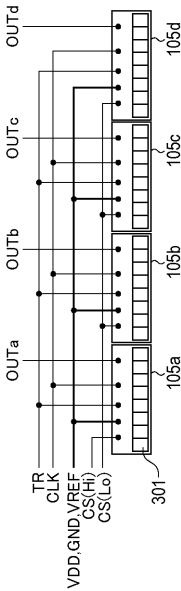
【図 2】



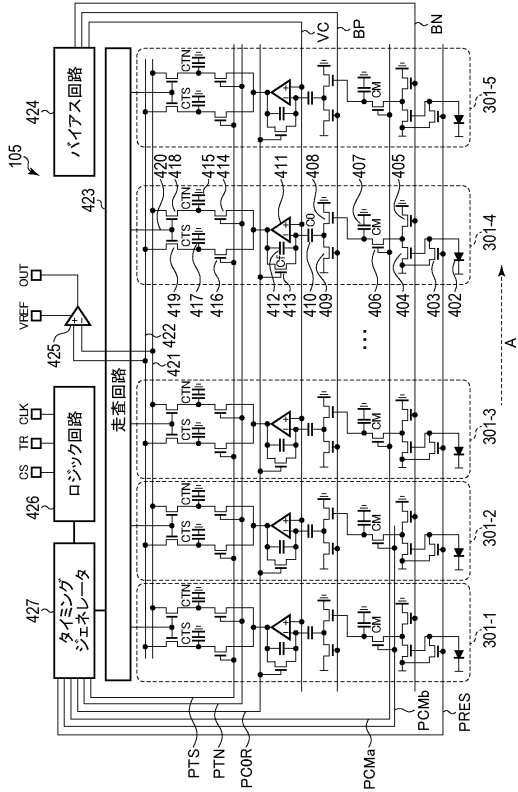
10

20

【図 3】



【図 4】

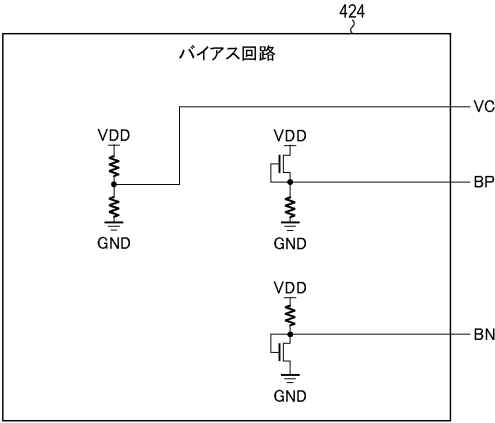


30

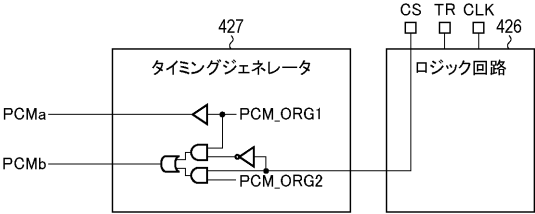
40

50

【図 5】

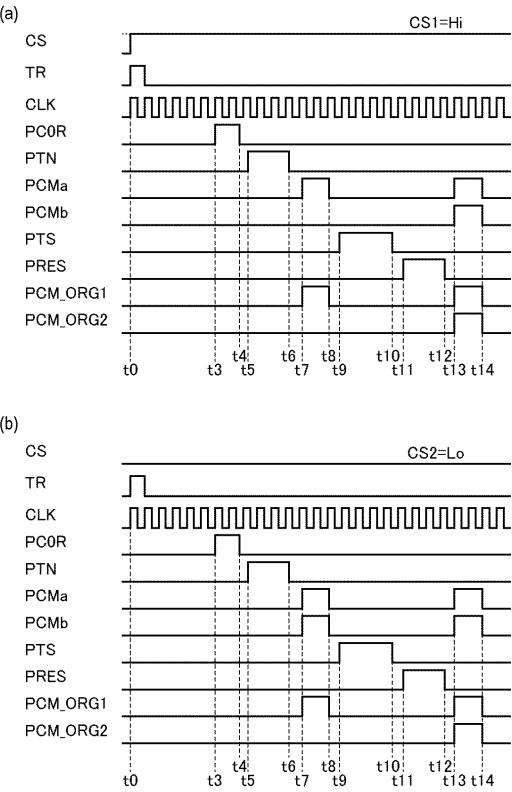


【図 6】

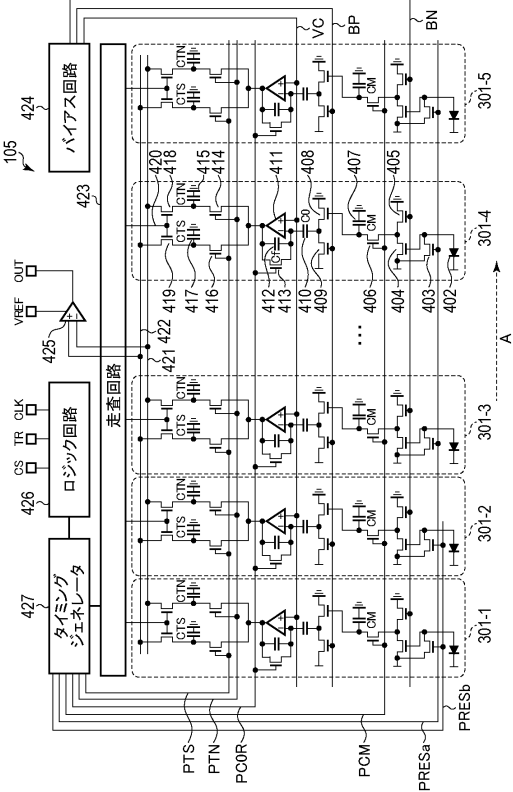


10

【図 7】



【図 8】



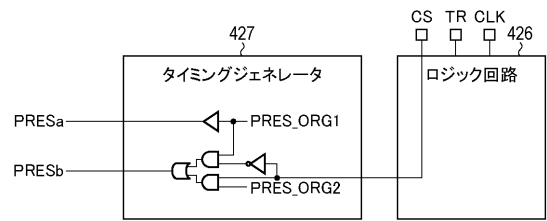
20

30

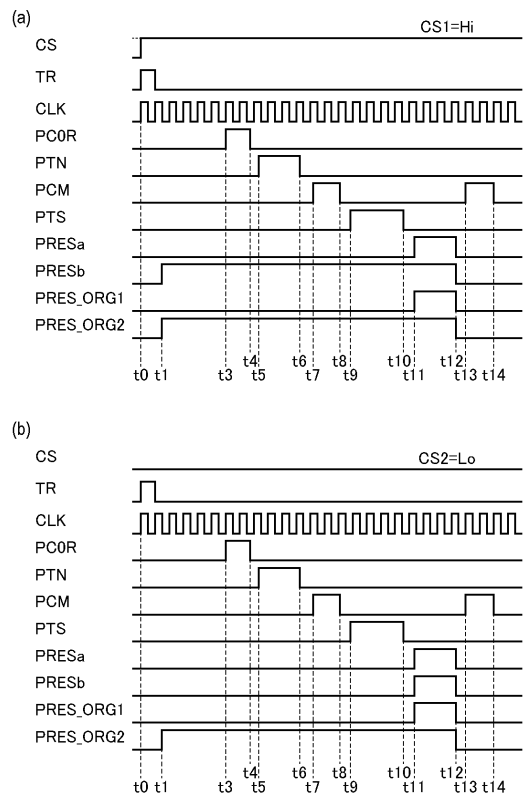
40

50

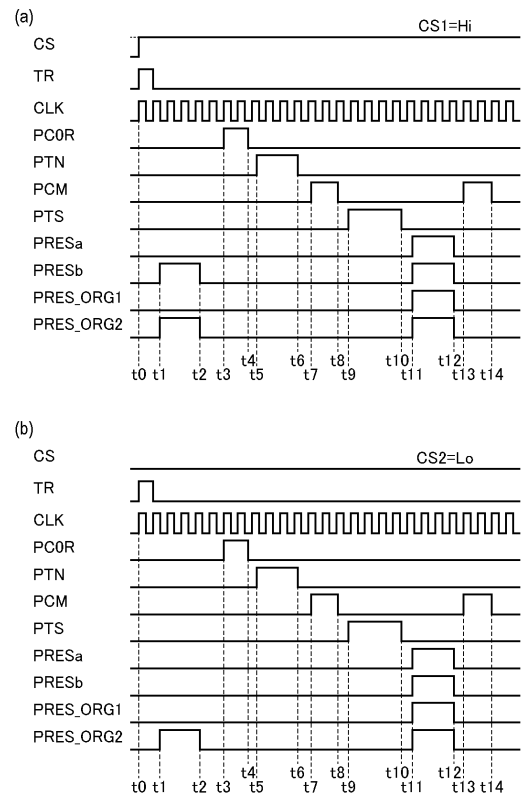
【図 9】



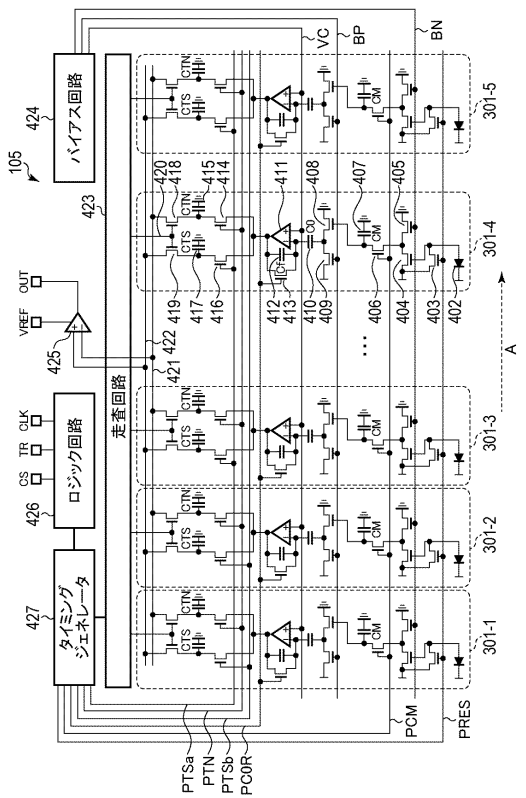
【図 10】



【図 11】



【図 12】



10

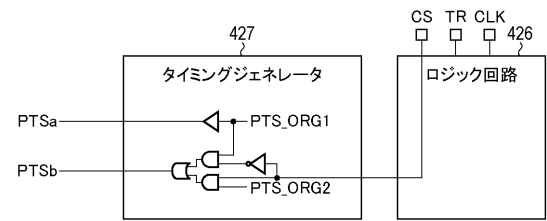
20

30

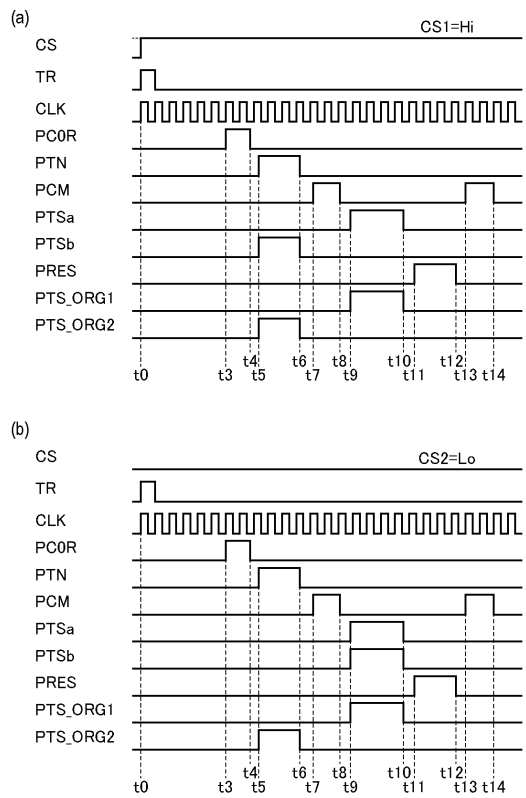
40

50

【図 1 3】



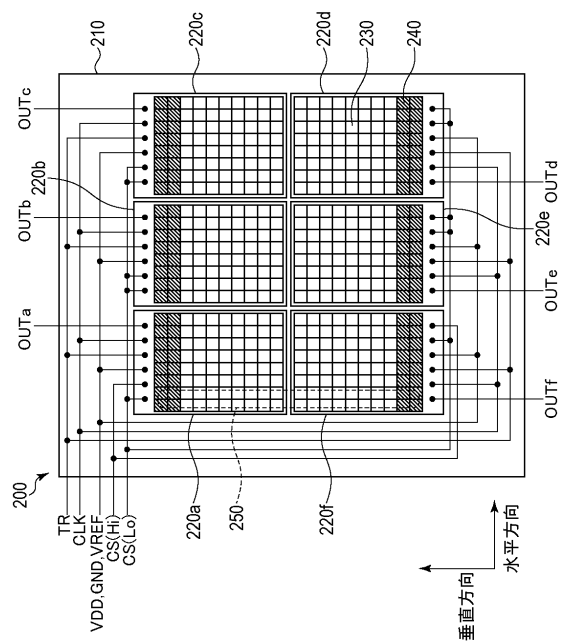
【図 1 4】



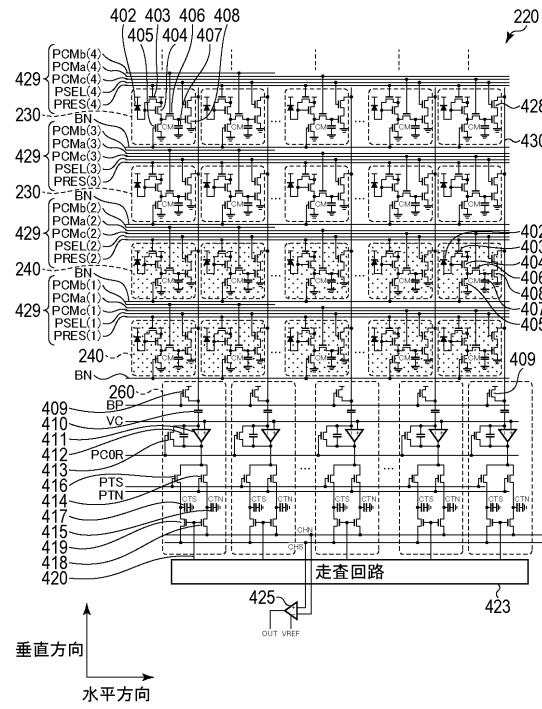
10

20

【図 1 5】



【図 1 6】

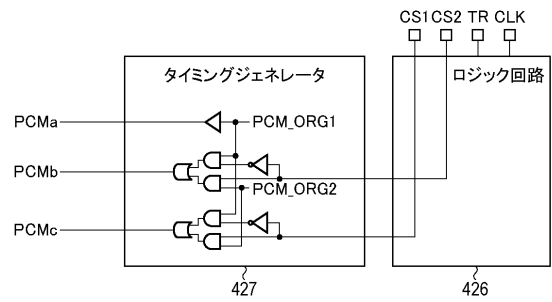


30

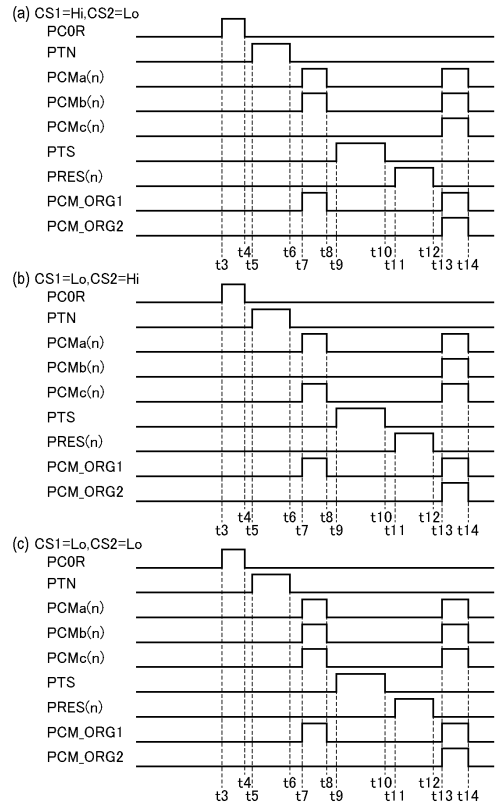
40

50

【図 17】



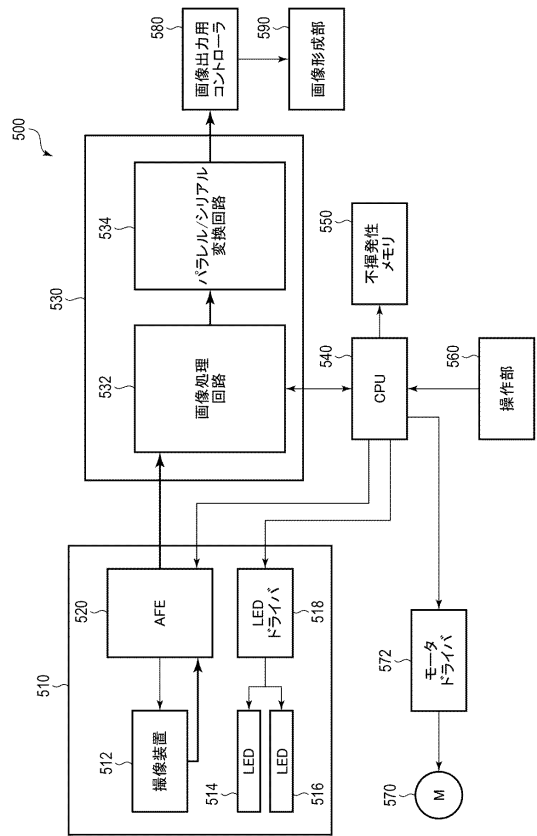
【図 18】



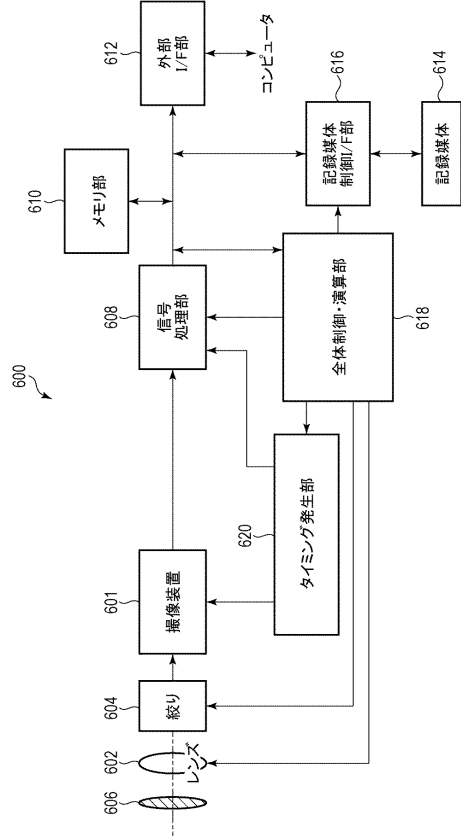
10

20

【図 19】



【図 20】

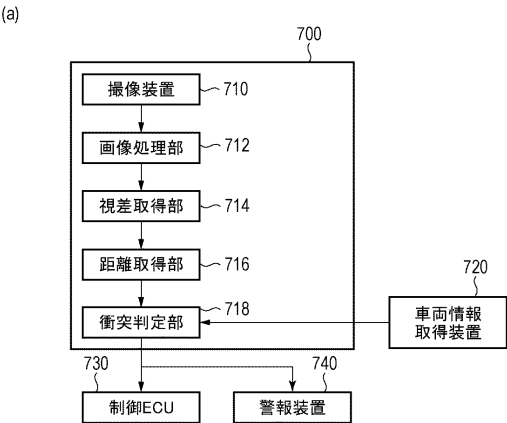


30

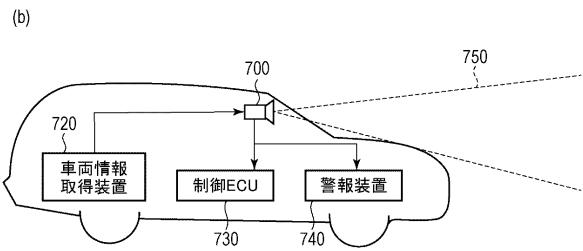
40

50

【図 2 1】



10



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2009-212603 (JP, A)
特開 2014-039159 (JP, A)
特開 2005-184358 (JP, A)
特開 2005-039379 (JP, A)
特開 2000-299760 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H04N 5/30-5/378
H01L 27/14-27/148