

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 6 部門第 4 区分
【発行日】 平成 17 年 7 月 21 日 (2005.7.21)

【公開番号】 特開 2003-85972 (P2003-85972A)
【公開日】 平成 15 年 3 月 20 日 (2003.3.20)
【出願番号】 特願 2001-277675 (P2001-277675)
【国際特許分類第 7 版】
G 1 1 C 11/407
H 0 3 K 5/14
【F I】
G 1 1 C 11/34 3 5 4 C
H 0 3 K 5/14

【手続補正書】
【提出日】 平成 16 年 11 月 26 日 (2004.11.26)
【手続補正 1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

入力信号のレベル遷移を検出するための入力ゲートと、
この入力ゲートの出力電圧の遷移を遅延させる遅延要素と、
前記入力ゲートの出力電圧を基準電圧と比較してタイミング信号を発生する比較回路と、
前記入力ゲートに与えられる電源電圧と同じ電源電圧を分圧して前記基準電圧を発生する基準電圧発生回路と、
を有することを特徴とするタイマ回路。

【請求項 2】
前記入力ゲートは、前記入力信号の低レベル状態から高レベル状態への遷移を検出するための CMOS インバータにより構成され、
前記遅延要素は、前記 CMOS インバータの出力ノードと NMOS トランジスタとの間に挿入されている
ことを特徴とする請求項 1 記載のタイマ回路。

【請求項 3】
前記入力ゲートは、前記入力信号の高レベル状態から低レベル状態への遷移を検出するための CMOS インバータにより構成され、
前記遅延要素は、前記 CMOS インバータの出力ノードと PMOS トランジスタとの間に挿入されている
ことを特徴とする請求項 1 記載のタイマ回路。

【請求項 4】
前記基準電圧発生回路は、発生する基準電圧を外部から可変できる制御端子を有することを特徴とする請求項 1 記載のタイマ回路。

【請求項 5】
メモリセルアレイと、このメモリセルアレイのワード線を選択駆動するロウデコーダと、前記メモリセルアレイのビット線データを検知増幅するセンスアンプと、前記メモリセルアレイのワード線の活性化タイミングを擬似的にモニターして疑似ワード線信号を生成する疑似ワード線回路と、前記疑似ワード線信号の出力から所定時間遅れて前記センスア

ンプを活性化するためのセンスアンプ活性化信号を発生するタイマ回路とを備え、
前記タイマ回路は、
前記疑似ワード線回路から発生される疑似ワード線信号を検出するための入力ゲートと
、
この入力ゲートの出力電圧の遷移を遅延させる遅延要素と、
前記入力ゲートの出力電圧を基準電圧と比較してタイミング信号を発生する比較回路と
、
前記入力ゲートに与えられる電源電圧と同じ電源電圧を分圧して前記基準電圧を発生する基準電圧発生回路と、
を有することを特徴とする半導体メモリ装置。