

[19] 中华人民共和国国家知识产权局



## [12] 发明专利申请公布说明书

[21] 申请号 200610131724.5

[43] 公开日 2007 年 4 月 4 日

[51] Int. Cl.

G11C 7/10 (2006.01)

G11C 29/56 (2006.01)

[11] 公开号 CN 1941167A

[22] 申请日 2006.9.29

[21] 申请号 200610131724.5

[30] 优先权

[32] 2005.9.29 [33] KR [31] 90916/05

[32] 2006.4.11 [33] KR [31] 32947/06

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 都昌镐

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临 王志森

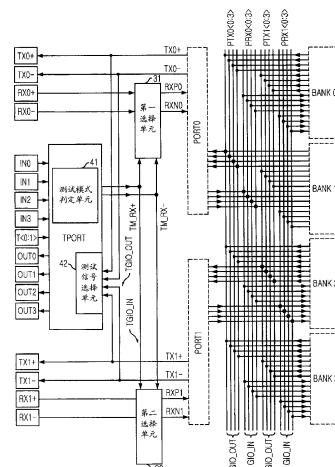
权利要求书 10 页 说明书 16 页 附图 12 页

### [54] 发明名称

具有串行输入/输出接口的多端口存储器装置

### [57] 摘要

一种多端口存储器装置，其包括：多个串行输入/输出(I/O)数据垫；多个并行I/O数据垫；多个第一端口，其用于经由这些串行I/O数据垫而执行与外部装置的串行I/O数据通信；多个存储组，其用于经由多个第二数据总线而执行与这些第一端口的并行I/O数据通信；及第二端口，其用于在测试模式期间，经由这些并行I/O数据垫执行与这些外部装置的并行I/O数据通信，及经由多个第二数据总线执行与这些第一端口的串行I/O数据通信。



1. 一种多端口存储器装置，其包含：

多个串行输入/输出（I/O）数据垫；

多个并行 I/O 数据垫；

多个第一端口，其用于经由这些串行 I/O 数据垫而执行与外部装置的串行 I/O 数据通信；

多个存储组，其用于经由多个第一数据总线而执行与这些第一端口的并行 I/O 数据通信；

第二端口，其用于在测试模式期间，经由这些并行 I/O 数据垫而执行与这些外部装置的并行 I/O 数据通信，及经由多个第二数据总线而执行与这些第一端口的串行 I/O 数据通信。

2. 根据权利要求 1 的多端口存储器装置，其中在该测试模式期间，该第二端口串行化经由这些并行 I/O 数据垫并行输入的测试信号，并经由这些第二数据总线而将这些经串行化的测试信号传送至这些第一端口。

3. 根据权利要求 2 的多端口存储器装置，其中该第二端口解串行化经由这些第一端口自这些存储组串行输入的测试数据信号，并经由这些并行 I/O 数据垫将这些经解串行化的测试数据信号输出至这些外部装置。

4. 根据权利要求 3 的多端口存储器装置，其中这些测试数据信号是从与输入至这些第一端口的这些经串行化测试信号对应的存储组的核心所输出的单元数据。

5. 根据权利要求 3 的多端口存储器装置，其中该多个并行 I/O 数据垫包括：

多个第一接收垫，其用于接收这些并行的测试信号；

多个第二接收垫，每一第二接收垫用于接收用于判定是否进入该测试模式的测试模式控制信号；及

多个第一传输垫，其用于传输这些并行的经解串行化测试数据信号。

6. 根据权利要求 5 的多端口存储器装置，其中这些第一接收垫的数目与这些第一传输垫的数目相同。

7. 根据权利要求 5 的多端口存储器装置，其中这些第一数据总线包括：

多个输入数据总线，其用于将来自这些第一端口的这些测试信号传送至这些存储组；及

多个输出数据总线，其用于将来自这些存储组的这些测试数据信号传送至这些第一端口。

8. 根据权利要求 7 的多端口存储器装置，其中这些输入数据总线的数目与这些输出数据总线的数目相同。

9. 根据权利要求 7 的多端口存储器装置，其中这些输入数据总线的数目及这些输出数据总线的数目分别与这些第一接收垫的数目及这些第一传输垫的数目相同。

10. 根据权利要求 5 的多端口存储器装置，其中该第二端口包括：

测试模式判定单元，其用于基于这些测试模式控制信号而产生测试模式启用信号；及

串行器&解串器 (SERDES)，其用于串行化这些测试信号，以经由这些第二数据总线将这些经串行化的测试信号传送至这些第一端口，及解串行化经由这些第二总线自这些第一端口输入的这些测试数据信号，以将这些经解串行化的测试数据信号传送至这些第一传输垫。

11. 根据权利要求 10 的多端口存储器装置，其中该测试模式判定单元产生端口选择信号，该端口选择信号用于基于这些测试模式控制信号而选择这些第一端口中的一个。

12. 根据权利要求 11 的多端口存储器装置，其中这些第二数据总线包括：

输入数据总线，其用于将来自该 SERDES 的这些经串行化测试信号传送至这些第一端口；及

输出数据总线，其用于将来自这些第一端口的这些测试数据信号传送至该 SERDES。

13. 根据权利要求 12 的多端口存储器装置，其还包含第一选择单元，该第一选择单元用于响应于该端口选择信号而选择经由该输出数据总线传送的这些测试数据信号中的一个，并将该选定的测试数据信号输出至该 SERDES。

14. 根据权利要求 13 的多端口存储器装置，其中该第一选择单元包括：反相单元，其用于使该端口选择信号反相及输出经反相的端口选择信号；及

多个传输门，其用于响应于该经反相的端口选择信号而将这些测试数据信号传送至该 SERDES。

15. 根据权利要求 13 的多端口存储器装置，其中该 SERDES 包括：

输入锁存器，其用于锁存经由这些第一接收垫输入的测试信号；

串行器，其用于串行化及输出这些经锁存的测试信号；

驱动器，其用于将这些经串行化的测试信号驱动至这些第二数据总线；

取样器，其用于取样藉由该第一选择单元选择的这些经串行化测试数据信号；

解串器，其用于解串行化及输出这些经取样的测试数据信号；及

数据输出单元，其用于经由这些测试传输垫而将这些经解串行化的测试数据信号输出至这些外部装置。

16. 根据权利要求 15 的多端口存储器装置，其进一步包含用于产生内部时钟的时钟产生器，该内部时钟用于使藉由该 SERDES 串行化及解串行化的输入信号与输出信号同步。

17. 根据权利要求 16 的多端口存储器装置，其中该时钟产生器基于来自外部装置的参考时钟而产生该内部时钟。

18. 根据权利要求 16 的多端口存储器装置，其中该输入锁存器、该串行器、该取样器及该解串器与该内部时钟同步。

19. 根据权利要求 13 的多端口存储器装置，其中该多个串行 I/O 数据垫包括：

多个第三接收垫，其用于在正常模式期间接收串行输入的外部信号；及

多个第二传输垫，其用于在该正常模式期间传输从这些第一端口串行输出的信号。

20. 根据权利要求 19 的多端口存储器装置，其进一步包含第二选择单元，该第二选择单元用于响应于该端口选择信号而选择经由这些第三接收垫输入的这些外部信号及从该 SERDES 输出的这些经串行化测试信号中的一个，并将该选定信号输出至这些第一端口中的对应端口。

21. 根据权利要求 20 的多端口存储器装置，其中该第二选择单元包括：

反相单元，其用于使该端口选择信号反相并输出经反相的端口选择信号；

多个第一传输门，其用于响应于该经反相的端口选择信号，而将经由这些第三接收垫输入的这些外部信号传送至这些第一端口；及

多个第二传输门，其用于响应于该端口选择信号，而将自该 SERDES 输出的这些经串行化测试信号传送至这些第一端口。

22. 根据权利要求 20 的多端口存储器装置，其中这些第一端口解串行化自该第二选择单元串行输入的该选定信号，以经由这些第一数据总线，将这些经解串行化的信号输出至这些存储组，并串行化经由这些第一数据总线自这些存储组并行输入的信号，以将该经串行化信号输出至这些串行 I/O 数据垫。

23. 根据权利要求 20 的多端口存储器装置，其中每一第一端口包括：

取样器，其用于取样自该第二选择单元串行输入的该选定信号；

解串器，其用于解串行化及输出该经取样的信号；

数据输出单元，其用于经由这些第一数据总线而将这些经解串行化的信号输出至这些存储组；

输入锁存器，其用于锁存经由这些第一数据总线自这些存储组并行输入的信号；

串行器，其用于串行化及输出这些经锁存的信号；及

驱动器，其用于将该经串行化信号驱动至这些串行 I/O 数据垫。

24. 根据权利要求 23 的多端口存储器装置，其进一步包含用于产生内部时钟的时钟产生器，该内部时钟用于使藉由这些第一端口串行化及解串行化的输入信号与输出信号同步。

25. 根据权利要求 24 的多端口存储器装置，其中该时钟产生器基于来自外部装置的参考时钟而产生该内部时钟。

26. 根据权利要求 24 的多端口存储器装置，其中该输入锁存器、该串行器、该取样器及该解串器与该内部时钟同步。

27. 一种多端口存储器装置，其包含：

多个串行 I/O 数据垫；

多个第一端口，其用于经由这些串行 I/O 数据垫而执行与外部装置的串行 I/O 数据通信；

多个存储组，其用于经由多个第一数据总线而执行与这些第一端口的并行 I/O 数据通信；

第二端口，其用于在测试模式期间，经由这些串行 I/O 数据垫而执行与这些外部装置的并行 I/O 数据通信，及经由多个第二数据总线而执行与这些

---

第一端口的串行 I/O 数据通信。

28. 根据权利要求 27 的多端口存储器装置，其中在该测试模式期间，该第二端口串行化经由这些串行 I/O 数据垫并行输入的测试信号，且经由这些第二数据总线将这些经串行化的测试信号传送至这些第一端口。

29. 根据权利要求 28 的多端口存储器装置，其中该第二端口解串行化经由这些第一端口自这些存储组串行输入的测试数据信号，并经由这些并行 I/O 数据垫将这些经解串行化的测试数据信号输出至这些外部装置。

30. 根据权利要求 29 的多端口存储器装置，其中这些测试数据信号是自与输入至这些第一端口的这些经串行化测试信号对应的存储组的核心所输出的单元数据。

31. 根据权利要求 29 的多端口存储器装置，其中该多个串行 I/O 数据垫包括：

多个接收垫，其用于接收自这些外部装置串行或并行输入的外部信号，并将这些外部信号传送至这些第一端口及这些第二端口中的一个；及

多个传输垫，其用于将自这些第一端口串行输出或自这些第二端口并行输出的信号传输至这些外部装置。

32. 根据权利要求 31 的多端口存储器装置，其中这些接收垫的数目与这些传输垫的数目相同。

33. 根据权利要求 31 的多端口存储器装置，其中这些第一数据总线包括：

多个输入数据总线，其用于将来自这些第一端口的这些测试信号传送至这些存储组；及

多个输出数据总线，其用于将来自这些存储组的这些测试数据信号传送至这些第一端口。

34. 根据权利要求 33 的多端口存储器装置，其中这些输入数据总线的数目与这些输出数据总线的数目相同。

35. 根据权利要求 33 的多端口存储器装置，其中这些输入数据总线的数目及这些输出数据总线的数目分别与这些接收垫的数目及这些传输垫的数目相同。

36. 根据权利要求 31 的多端口存储器装置，其中该第二端口包括串行器&解串器 (SERDES)，该 SERDES 用于响应于在该测试模式期间启动的测试模

式启用信号，而串行化经由这些接收垫输入的这些测试信号，以经由这些第二数据总线将这些经串行化测试信号传送至这些第一端口，并用于解串行化经由这些第二数据总线自这些第一端口输入的这些测试数据信号，以将这些测试数据信号传送至这些传输垫。

37. 根据权利要求 36 的多端口存储器装置，其进一步包含多个并行 I/O 数据垫，该多个并行 I/O 数据垫用于接收来自外部装置的并行的测试模式控制信号。

38. 根据权利要求 37 的多端口存储器装置，该第二端口进一步包括一测试模式判定单元，该测试模式判定单元用于产生该测试模式启用信号及用于基于这些测试模式控制信号而选择这些第一端口中的一一个的端口选择信号。

39. 根据权利要求 38 的多端口存储器装置，其中这些第二数据总线包括：

输入数据总线，其用于将来自该 SERDES 的这些经串行化测试信号传送至这些第一端口；及

输出数据总线，其用于将来自这些第一端口的这些测试数据信号传送至该 SERDES。

40. 根据权利要求 39 的多端口存储器装置，其中该第二端口进一步包括第一选择单元，该第一选择单元用于响应于该端口选择信号而选择经由该输出数据总线传送的这些测试数据信号中的一个，并将该选定测试数据信号输出至该 SERDES。

41. 根据权利要求 40 的多端口存储器装置，其中该第一选择单元包括：反相单元，其用于使该端口选择信号反相并输出经反相的端口选择信号；及

多个传输门，其用于响应于该经反相的端口选择信号而将这些测试数据信号传送至该 SERDES。

42. 根据权利要求 40 的多端口存储器装置，其中该 SERDES 包括：输入锁存器，其用于锁存经由这些接收垫输入的这些测试信号；串行器，其用于串行化及输出这些经锁存测试信号；驱动器，其用于将这些经串行化的测试信号驱动至这些第二数据总线；取样器，其用于取样藉由该第一选择单元选择的这些经串行化测试数据

---

信号；

解串器，其用于解串行化及输出这些经取样的测试数据信号；及

数据输出单元，其用于经由这些传输垫将这些经解串行化的测试数据信号输出至这些外部装置。

43. 根据权利要求 42 的多端口存储器装置，其进一步包含用于产生内部时钟的时钟产生器，该内部时钟用于使藉由该 SERDES 串行化及解串行化的输入信号与输出信号同步。

44. 根据权利要求 43 的多端口存储器装置，其中该时钟产生器基于来自外部装置的参考时钟而产生该内部时钟。

45. 根据权利要求 43 的多端口存储器装置，其中该输入锁存器、该串行器、该取样器及该解串器与该内部时钟同步。

46. 根据权利要求 40 的多端口存储器装置，其进一步包含第二选择单元，该第二选择单元用于选择经由这些接收垫输入的这些外部信号及自该 SERDES 输出的这些经串行化测试信号中的一个，并响应于该端口选择信号而将该选定信号输出至这些第一端口及这些第二端口中的一个。

47. 根据权利要求 46 的多端口存储器装置，其中该第二选择单元包括：

反相单元，其用于使该端口选择信号反相并输出经反相的端口选择信号；

多个第一传输门，其用于响应于该经反相的端口选择信号，而将经由这些接收垫输入的这些外部信号传送至这些第一端口中的对应端口；及

多个第二传输门，其用于响应于该端口选择信号，而将自该 SERDES 输出的这些经串行化测试信号传送至这些第一端口中的对应端口。

48. 根据权利要求 46 的多端口存储器装置，其中这些第一端口解串行化自该第二选择单元串行输入的该选定信号，以经由这些第一数据总线而将这些经解串行化的信号输出至这些存储组，并串行化经由这些第一数据总线自这些存储组并行输入的信号，以将该经串行化的信号输出至这些串行 I/O 数据垫或该第二端口。

49. 根据权利要求 48 的多端口存储器装置，其中每一第一端口包括：

取样器，其用于取样自该第二选择单元串行输入的该选定信号；

解串器，其用于解串行化及输出该经取样的信号；

数据输出单元，其用于经由这些第一数据总线而将这些经解串行化的信号并行输出至这些存储组；

---

输入锁存器，其用于锁存经由这些第一数据总线自这些存储组并行输入的信号；

串行器，其用于串行化及输出这些经锁存信号；及

驱动器，其用于将该经串行化信号驱动至这些串行 I/O 数据垫。

50. 根据权利要求 49 的多端口存储器装置，其进一步包含用于产生一内部时钟的时钟产生器，该内部时钟用于使藉由这些第一端口串行化及解串行化的输入信号与输出信号同步。

51. 根据权利要求 50 的多端口存储器装置，其中该时钟产生器基于来自外部装置的参考时钟而产生该内部时钟。

52. 根据权利要求 50 的多端口存储器装置，其中该输入锁存器、该串行器、该取样器及该解串器与该内部时钟同步。

53. 一种多端口存储器装置，其包括：多个第一端口，其用于执行与外部装置的串行 I/O 数据通信；多个存储组，其用于经由多个全局数据总线而执行与这些第一端口的并行 I/O 数据通信，该多端口存储器装置包含：

第二端口，其在测试模式期间，串行化经由外部垫并行输入的测试信号，以将这些经串行化的测试信号传送至这些第一端口，并响应于这些测试信号而解串行化自这些第一端口串行输入的测试数据信号，以将这些经解串行化的测试数据信号输出至这些外部装置。

54. 根据权利要求 53 的多端口存储器装置，其中该第二端口包括：

测试模式判定单元，其用于基于经由这些外部垫输入的测试模式控制信号而产生测试模式启用信号；及

串行器&解串器 (SERDES)，其用于响应于该测试模式启用信号而串行化这些测试信号，以将这些经串行化的测试信号传送至这些第一端口，并解串行化自这些第一端口输入的这些测试数据信号，以将这些经解串行化的测试数据信号传送至这些外部垫。

55. 根据权利要求 54 的多端口存储器装置，其中该测试模式判定单元产生端口选择信号，该端口选择信号用于基于这些测试模式控制信号而选择这些第一端口中的一个。

56. 根据权利要求 55 的多端口存储器装置，其进一步包含第一选择单元，该第一选择单元用于响应于该端口选择信号而选择自这些第一端口输出的这些测试数据信号中的一个，并将该选定测试数据信号输出至该 SERDES。

57. 根据权利要求 56 的多端口存储器装置，其中该第一选择单元包括：反相单元，其用于使该端口选择信号反相并输出经反相的端口选择信号；及

多个传输门，其用于响应于该经反相的端口选择信号而将这些测试数据信号传送至该 SERDES。

58. 根据权利要求 56 的多端口存储器装置，其中该 SERDES 包括：输入锁存器，其用于锁存经由这些外部垫输入的这些测试信号；串行器，其用于串行化及输出这些经锁存的测试信号；驱动器，其用于将这些经串行化的测试信号驱动至这些第一端口；取样器，其用于取样藉由该第一选择单元选择的这些经串行化测试数据信号；

解串器，其用于解串行化及输出这些经取样的测试数据信号；及数据输出单元，其用于经由这些外部垫将这些经解串行化的测试数据信号输出至这些外部装置。

59. 根据权利要求 58 的多端口存储器装置，其进一步包含用于产生内部时钟的时钟产生器，该内部时钟用于使藉由该 SERDES 串行化及解串行化的输入信号与输出信号同步。

60. 根据权利要求 56 的多端口存储器装置，其进一步包含第二选择单元，该第二选择单元用于响应于该端口选择信号而选择经由这些外部垫输入的这些外部信号及自该 SERDES 输出的这些经串行化测试信号中的一个，并将该选定信号输出至这些第一端口中的对应端口。

61. 根据权利要求 60 的多端口存储器装置，其中该第二选择单元包括：反相单元，其用于使该端口选择信号反相并输出经反相的端口选择信号；多个第一传输门，其用于响应于该经反相的端口选择信号，而将这些外部信号中的一个传送至这些第一端口；

多个第二传输门，其用于响应于该端口选择信号而将这些经串行化测试信号中的多个传送至这些第一端口中的对应端口。

62. 根据权利要求 60 的多端口存储器装置，其中这些第一端口解串行化自该第二选择单元串行输入的该选定信号，以将该经解串行化的信号输出至这些存储组，并串行化经由这些全局数据总线自这些存储组并行输入的信号，以将该经串行化的信号输出至这些外部垫。

63. 根据权利要求 62 的多端口存储器装置，其中每一第一端口包括：

取样器，其用于取样自该第二选择单元串行输入的该选定信号；

解串器，其用于解串行化及输出该经取样的信号；

数据输出单元，其用于经由这些全局数据总线将这些经解串行化的信号输出至这些存储组；

输入锁存器，其用于锁存经由这些全局数据总线自这些存储组并行输入的信号；

串行器，其用于串行化及输出这些经锁存的信号；及

驱动器，其用于经由这些外部垫将该经串行化的信号驱动至这些外部装置。

64. 根据权利要求 63 的多端口存储器装置，其进一步包含用于产生内部时钟的时钟产生器，该内部时钟用于使藉由这些第一端口串行化及解串行化的输入信号与输出信号同步。

65. 根据权利要求 64 的多端口存储器装置，其中该时钟产生器基于来自外部装置的参考时钟而产生该内部时钟。

66. 根据权利要求 64 的多端口存储器装置，其中该输入锁存器、该串行器、该取样器及该解串器与该内部时钟同步。

## 具有串行输入/输出接口的多端口存储器装置

### 技术领域

本发明关于一种多端口存储器装置，且更具体而言，关于具串行输入/输出 (I/O) 接口的多端口存储器装置的测试接口，其用于处理与外部装置的多个同时操作。

### 背景技术

一般而言，包括随机存取存储器 (RAM) 的大多数存储器装置具有一具有多个输入/输出插脚组的单个端口。亦即，提供单个端口以用于存储器装置与外部晶片组之间的数据交换。具有单个端口的此种存储器装置使用一并行输入/输出 (I/O) 接口来经由连接至多个输入/输出 (I/O) 插脚的信号线同时传输多位元 (multi-bit) 数据。存储器装置经由并行的多个 I/O 插脚与外部装置交换数据。

I/O 接口是一经由信号线连接具有不同功能的单元装置并对传输/接收数据进行精确传输的电气及机械系统 (scheme)。以下描述的 I/O 接口必须具有相同精确度。信号线为传输位址信号、数据信号及控制信号的总线。可将以下描述的信号线称为总线。

并行 I/O 接口具有高数据处理效率 (速度)，此是因为其可经由多个总线同时传输多位元数据。因此，并行 I/O 接口广泛应用于需要高速度的短距离传输中。然而，在并行 I/O 接口中，用于传输 I/O 数据的总线的数目增加。因此，随着距离增加，制造成本增加。归因于单个端口的限制，独立配置多个存储器装置以便在多媒体系统的硬体方面支援各种多媒体功能。当进行某一功能的操作时，不能同时进行另一功能的操作。

考虑到并行 I/O 接口的缺点，已多次试图将并行 I/O 接口变成串行 I/O 接口。而且，考虑与具有其他串行 I/O 接口的装置的可相容扩充，需要到半导体存储器装置的 I/O 环境中的串行 I/O 接口的改变。此外，音频及视频的设备装置 (appliance device) 被具体化为显示装置，诸如高清晰度电视 (HDTV) 及液晶显示器 (LCD) TV。因为此等设备装置需要独立数据处理，所

以需要具有使用多个端口的串行 I/O 接口的多端口存储器装置。

具有串行 I/O 接口的传统多端口存储器装置包括用于处理串行 I/O 信号的处理器，及用于执行并行低速操作的 DRAM 核心。该处理器及该 DRAM 核心被实施于相同晶圆 (wafer) (亦即，单个晶片) 上。

图 1 为具有串行 I/O 接口的传统多端口存储器装置的方块图。为便于阐述，说明具有两个端口及四个存储组的多端口存储器装置。

具有串行 I/O 接口的多端口存储器装置包括串行 I/O 垫 (pad) TX+、TX-、RX+ 及 RX-，第一端口 PORT0 与第二端口 PORT1，第一存储组 BANK0 至第四存储组 BANK3，第一全局输入/输出 (I/O) 数据总线 GIO\_IN 与第二全局输入/输出 (I/O) 数据总线 GIO\_OUT。

必须对多端口存储器装置进行配置以使得可将经由第一端口 PORT0 与第二端口 PORT1 输入的信号 (下文中称为“输入有效数据信号”) 输入至所有存储组 BANK0 至 BANK3，且可将自第一存储组 BANK0 至第四存储组 BANK3 输出的信号 (下文中称为“输出有效数据信号”) 选择性地传送至所有端口 PORT0 及 PORT1。

出于此目的，第一端口 PORT0 与第二端口 PORT1 以及第一存储组 BANK0 至第四存储组 BANK3 经由第一及第二全局 I/O 数据总线 GIO\_IN 及 GIO\_OUT 而连接在一起。第一及第二全局 I/O 数据总线 GIO\_IN 及 GIO\_OUT 包括：输入总线 PRX0<0: 3>及 PRX1<0: 3>，其用于将来自第一端口 PORT0 与第二端口 PORT1 的并行输入有效数据信号传送至第一存储组 BANK0 至第四存储组 BANK3；及输出总线 PTX0<0: 3>及 PTX1<0: 3>，其用于将来自第一存储组 BANK0 至第四存储组 BANK3 的并行输出有效数据信号传送至第一端口 PORT0 与第二端口 PORT1。

来自第一端口 PORT0 与第二端口 PORT1 的输入有效数据信号含有关于用于选择第一存储组 BANK0 至第四存储组 BANK3 中的对应存储组的组选择信号的信息。因此，将用于指示信号存取哪些端口且经由这些端口存取哪些存储组的这些信号输入至第一存储组 BANK0 至第四存储组 BANK3。相应地，将端口信息选择性地传送至这些存储组，且将组信息经由第一及第二全局 I/O 数据总线 GIO\_IN 及 GIO\_OUT 而传送至第一端口 PORT0 与第二端口 PORT1。

第一端口 PORT0 与第二端口 PORT1 的每一个包括串行器&解串器 (SERDES)，其将经由接收垫 RX+ 及 RX- 输入的信号转换成并行输入有效数据

信号作为低速数据通信机制，且第一端口 PORT0 与第二端口 PORT1 的每一个经由输入总线 PRX0<0: 3>及 PRX1<0: 3>而将这些信号传送至第一存储组 BANK0 至第四存储组 BANK3 的一 DRAM 核心，并亦将这些并行输出有效数据信号（其是经由输出总线 PTX0<0: 3>及 PTX1<0: 3>而自第一存储组 BANK0 至第四存储组 BANK3 的 DRAM 核心予以输出）转换成串行信号作为高速数据通信机制，并将这些信号输出至传输垫 TX+ 及 TX-。

图 2 为图 1 所说明的第一端口 PORT0 的方块图。第二端口 PORT1 具有与第一端口 PORT0 的结构相同的结构，且因此将描述第一端口 PORT0 作为例示性结构。

第一端口 PORT0 经由串行 I/O 接口而执行与外部装置的数据通信，该串行 I/O 接口包括传输垫 TX+ 及 TX- 以及接收垫 RX+ 及 RX-。经由接收垫 RX+ 及 RX- 输入的信号为串行高速输入信号，且经由传输垫 TX+ 及 TX- 输出的信号为串行高速输出信号。一般而言，高速 I/O 信号包括用于平稳地识别高速 I/O 信号的差动信号。差动 I/O 信号是藉由指示具 “+” 及 “-” 的串行 I/O 接口 TX+、TX-、RX+ 及 RX- 加以区分。

第一端口 PORT0 包括驱动器 21、串行器 22、输入锁存器 23、时钟产生器 24、取样器 25、解串器 26 及数据输出单元 27。

时钟产生器 24 接收来自外部装置的参考时钟 RCLK 以产生内部时钟。该内部时钟具有等于参考时钟 RCLK 的周期及相位的周期及相位，或不同于参考时钟 RCLK 的周期及相位的周期及相位。而且，时钟产生器 24 可使用参考时钟 RCLK 产生内部时钟或可产生具有不同周期及相位的至少两个内部时钟。

输入锁存器 23 同步于内部时钟而锁存经由输出总线 PTX0<0: 3>自存储组输出的输出有效数据信号，并将这些锁存信号传送至串行器 22。

串行器 22 同步于内部时钟而串行化自输入锁存器 23 输入的并行输出有效数据信号，并将这些串行输出有效数据信号输出至驱动器 21。

驱动器 21 经由传输垫 TX+ 及 TX- 将藉由串行器 22 串行化的输出有效数据信号以差动形式输出至外部装置。

取样器 25 同步于内部时钟而取样经由接收垫 RX+ 及 RX- 自外部装置输入的外部信号并将经取样的信号传送至解串器 26。

解串器 26 同步于内部时钟而解串行化自取样器 25 输入的外部信号，并将并行输入有效数据信号输出至数据输出单元 27。

数据输出单元 27 经由输入总线 PRX0<0: 3>将来自解串器 26 的输入有效数据信号传送至存储组。

以下将详细描述第一端口 PORT0 的操作特征。

首先，将描述经由输入总线 PRX0<0: 3>传送外部信号的过程。外部信号是以高速以帧(frame)形式经由接收垫 RX+及 RX-自外部装置输入的。

同步于自时钟产生器 24 输出的内部时钟而经由取样器 25 取样外部信号。取样器 25 将经取样的外部信号传送至解串器 26。解串器 26 同步于内部时钟而解串行化自取样器 25 输入的外部信号，并将解串行化的信号作为并行输入有效数据信号而输出至数据输出单元 27。数据输出单元 27 经由输入总线 PRX0<0: 3>将并行输入有效数据信号传送至存储组。

接着，以下将描述将经由输出总线 PTX0<0: 3>输出的并行输出有效数据信号转换成串行信号及经由传输垫 TX+及 TX-将这些信号传送至外部装置的过程。

并行输出有效数据信号是经由输出总线 PTX0<0: 3>而传送至输入锁存器 23。输入锁存器 23 同步于内部时钟而锁存输出有效数据信号并将经锁存的信号传送至串行器 22。串行器 22 同步于内部时钟而串行化自输入锁存器 23 传送的输出有效效率信号并将这些串行信号传送至驱动器 21。驱动器 21 经由传输垫 TX+及 TX-将这些串行信号输出至外部装置。

如上所述，传统多端口存储器装置被配置来在高速串行 I/O 接口中执行与外部装置的数据通信。因此，其以较之现有典型 DRAM 装置更高的速度传输数据以保证高速数据处理。

在此状况下，用于测试典型 DRAM 装置的传统测试装置在传送及识别高速数据信号方面存在限制。因此，难以验证多端口存储器装置的操作，以致需要高速测试装置。然而，因为引入高速测试装置需要较大投资，所以单位制造成本增加且产品的竞争力相应地减弱。

## 发明内容

因此，本发明的目的为提供一种多端口存储器装置，其能够在并行 I/O 接口中藉由使用用于执行低速测试操作的测试装置来执行高速测试操作。

根据本发明的一个方面，提供一多端口存储器装置，其包括：多个串行 I/O 数据垫；多个并行 I/O 数据垫；多个第一端口，其用于经由这些串行 I/O

数据垫执行与外部装置的串行 I/O 数据通信；多个存储组，其用于经由多个第一数据总线执行与这些第一端口的并行 I/O 数据通信；及第二端口，其用于在测试模式期间经由这些并行 I/O 数据垫执行与外部装置的并行 I/O 数据通信及经由多个第二数据总线执行与这些第一端口的串行 I/O 数据通信。

根据本发明的另一个方面，提供一多端口存储器装置，其包括：多个串行 I/O 数据垫；多个第一端口，其用于经由这些串行 I/O 数据垫执行与外部装置的串行 I/O 数据通信；多个存储组，其用于经由多个第一数据总线执行与这些第一端口的并行 I/O 数据通信；及第二端口，其用于在测试模式期间经由这些串行 I/O 数据垫执行与外部装置的并行 I/O 数据通信及经由多个第二数据总线执行与这些第一端口的串行 I/O 数据通信。

根据本发明的又一个方面，提供一多端口存储器装置，其包括：多个第一端口，其用于执行与外部装置的串行 I/O 数据通信；多个存储组，其用于经由多个全局数据总线执行与这些第一端口的并行 I/O 数据通信；第二端口，其在测试模式期间串行化经由外部垫并行输入的测试信号以将这些经串行化的测试信号传送至第一端口，并响应于这些测试信号而解串行化自第一端口串行输入的测试数据信号以经由外部垫将这些解串行化的测试数据信号输出至外部装置。

#### 附图说明

图 1 为传统多端口存储器装置的方块图。

图 2 为图 1 所说明的第一端口的方块图。

图 3 为根据本发明的第一实施例的多端口存储器装置的方块图。

图 4 为图 3 所说明的测试端口的电路图；

图 5 为图 3 所说明的测试信号选择单元的电路图；

图 6 为图 3 所说明的第一端口的电路图；

图 7 为图 3 所说明的第一选择单元的电路图；

图 8 为图 3 所说明的第二端口的电路图；

图 9 为图 3 所说明的第二选择单元的电路图；

图 10 为根据本发明的第二实施例的多端口存储器装置的方块图；

图 11 为图 10 所说明的第一端口的电路图；

图 12 为图 10 所说明的第二端口的电路图。

**【主要元件符号说明】**

- 21、51、61、433 驱动器  
22、52、62、152、162、432 串行器  
23、53、63、153、163、431 输入锁存器  
24、54、64、154、164、434 时钟产生器  
25、55、65、155、165、437 取样器  
26、56、66、156、166、436 解串器  
27、57、67、157、167 数据输出单元  
31 第一选择单元  
32 第二选择单元  
41 测试模式判定单元  
42 测试信号选择单元  
43 串行器&解串器 (SERDES)  
151、161 普通差动驱动器  
158、168 测试差动驱动器  
435 测试数据输出单元  
BANK0 第一存储组  
BANK1 第二存储组  
BANK2 第三存储组  
BANK4 第四存储组  
GIO\_IN 第一全局输入/输出 (I/O) 数据总线  
GIO\_OUT 第二全局输入/输出 (I/O) 数据总线  
INV1 至 INV12 反相器  
PORT0 第一端口  
PORT1 第二端口  
PRX0<0: 3>、PRX1<0: 3>输入总线  
PTX0<0: 3>、PTX1<0: 3>输出总线  
TG1 至 TG12 传输门  
TGPIO\_IN 第一测试全局数据 I/O 总线  
TGPIO\_OUT 第二测试全局数据 I/O 总线  
TPORT 测试端口

### 具体实施方式

下文中，将参看附图详细描述根据本发明的例示性实施例的具串行输入/输出（I/O）接口的多端口存储器装置的测试接口。

图3为根据本发明的第一实施例的多端口存储器装置的方块图。为便于阐述，说明具有两个端口及四个存储组的多端口存储器装置。

该多端口存储器装置包括：多个串行I/O垫 TX0+、TX0-、TX1+、TX1-、RX0+、RX0-、RX1+及RX1-；多个并行I/O垫 IN<0: 3>、T<0: 1>及 OUT<0: 3>；测试端口 TPOT；第一选择单元31及第二选择单元32；第一端口 PORT0与第二端口 PORT1；第一存储组 BANK0至第四存储组 BANK3；及第一全局输入/输出（I/O）数据总线 GIO\_IN与第二全局输入/输出（I/O）数据总线 GIO\_OUT。

在高速串行I/O接口中，多个串行I/O垫支持第一端口PORT0与第二端口PORT1与外部装置之间的数据通信。串行I/O垫包括传输垫（诸如 TX0+、TX0-、TX1+及 TX1-）及接收垫（诸如 RX0+、RX0-、RX1+及 RX1）。这些传输垫 TX0+、TX0-、TX1+及 TX1-将经串行化且输出自第一端口PORT0与第二端口PORT1的输出有效数据信号传送至外部装置。这些接收垫 RX0+、RX0-、RX1+及 RX1-将自外部装置输入的输入有效数据信号传送至第一端口PORT0与第二端口PORT1。

多个并行I/O垫包括测试信号垫 IN<0: 3>、测试模式控制信号垫 T<0: 1>及测试数据垫 OUT<0: 3>。这些测试信号垫 IN<0: 3>（下文中称为“第一测试接收垫”）将自外部测试装置并行输入的测试信号传送至测试端口TPORT。这些测试模式控制信号垫 T<0: 1>（下文中称为“第二测试接收垫”）将自外部测试装置并行输入的测试模式控制信号传送至测试端口TPORT。测试数据垫 OUT<0: 3>（下文中称为“测试传输垫”）将自测试端口TPORT并行输入的测试数据信号传送至外部测试装置。在本文中，可根据正常操作期间处理数据的位元数目来调整第一测试接收垫及测试传输垫的数目。为便于阐述，将处理数据的单位设定为4位元单位。

测试端口TPORT响应于经由第二测试接收垫 T<0: 1>并行输入的模式控制信号而判定是否进入测试模式，并响应于经由第一测试接收垫 IN<0: 3>并行输入的测试信号而判定哪些端口执行与存储组BANK1至BANK0的数据通信。此外，在测试模式期间，测试端口TPORT将自端口PORT0及PORT1输出的测

试数据信号传送至测试传输垫 OUT<0: 3>。

图 4 为图 3 所说明的测试端口 TPORT 的电路图。

测试端口 TPORT 包括测试模式判定单元 41、测试信号选择单元 42 及串行器&解串器 (SERDES) 43。

测试模式判定单元 41 解码经由第二测试接收垫 T<0: 1>并行输入的测试模式控制信号并响应于这些测试模式控制信号而产生测试模式启用信号 TMEN 以判定是否进入测试模式。此外，测试模式判定单元 41 基于测试模式控制信号产生用于选择端口 PORT0 及 PORT1 中的一个的第一端口及第二端口选择信号 TMEN\_P0 及 TMEN\_P1。测试模式启用信号 TMEN 可藉由使用第一端口及第二端口选择信号 TMEN\_P0 及 TMEN\_P1 而产生。

SERDES 43 接收并串行化经由第一测试垫 IN<0: 3>以 1 位元单位并行输入的测试信号，藉此经由第一测试全局数据 I/O 总线 TGIO\_IN 将串行化的测试信号 TM\_RX+ 及 TM\_RX- 传送至端口 PORT0 及 PORT1。此外，SERDES 43 接收及解串行化经第二测试全局数据 I/O 总线 TGIO\_OUT 自端口 PORT0 及 PORT1 输入的经串行化测试数据信号 TM\_TX+ 及 TM\_TX-，藉此将解串行化的测试数据信号传送至测试传输垫 OUT<0: 3>。具体而言，SERDES 43 包括输入锁存器 431、串行器 432、驱动器 433、时钟产生器 434、测试数据输出单元 435、解串器 436 及取样器 437。

时钟产生器 434 自外部装置接收参考时钟 RCLK 以产生内部时钟。该内部时钟可包括：锁相回路 (PLL)，其用于产生具有各种周期或预定相位差的多个内部时钟；或延迟锁定回路 (DLL)，其用于藉由使该参考时钟 RCLK 延迟一预定时间而产生内部时钟。

输入锁存器 431 同步于内部时钟而锁存经由第一测试接收垫 IN<0: 3>输入的测试信号。

串行器 432 同步于内部时钟而串行化输入锁存器 431 的输出信号。

驱动器 433 将这些串行化信号以差动形式驱动至第一测试全局数据 I/O 总线 TGIO\_IN。驱动器 433 可藉由测试模式启用信号 TMEN 而启用。

取样器 437 同步于内部时钟而取样藉由测试信号选择单元 42 选择的经串行化测试数据信号 TM\_TX+ 及 TM\_TX-。

解串器 436 同步于内部时钟而解串行化自取样器输入的取样信号。

测试数据输出单元 435 经由测试传输垫 OUT<0: 3>将来自解串器 436 的经

解串行化的信号传送至外部测试装置。

测试信号选择单元 42 响应于第一端口及第二端口选择信号 TMEN\_P0 及 TMEN\_P1 而选择经由第二测试全局数据 I/O 总线 TGI0\_OUT 自第一端口 PORT0 输出的第一测试数据信号对 TX0+及 TX0-以及自第二端口 PORT1 输出的第二测试数据信号对 TX1+及 TX1-中的一对，藉此将选定测试数据信号对输出至取样器 437。

图 5 为图 3 所说明的测试信号选择单元 42 的电路图。

测试信号选择单元 42 包括：多个反相器 INV1、INV2、INV3 及 INV4；多个传输门 TG1、TG2、TG3 及 TG4，其包含 PMOS 电晶体及 NMOS 电晶体。

当选择第一端口 PORT0 时，以逻辑电平“高 (HIGH)”启动第一端口选择信号 TMEN\_P0 以藉此开启第一及第三传输门 TG1 及 TG3。相应地，自第一端口 PORT0 输出的第一测试数据信号对 TX0+及 TX0-被传送至取样器 437。

当选择第二端口 PORT1 时，以逻辑电平“高”启动第二端口选择信号 TMEN\_P1 以藉此开启第二及第四传输门 TG2 及 TG4。相应地，自第二端口 PORT1 输出的第二测试数据信号对 TX1+及 TX1-被传送至取样器 437。

图 6 为图 3 所说明的第一端口 PORT0 的电路图。

第一选择单元 31 响应于自测试模式判定单元 41 输出的第一端口选择信号 TMEN\_P0 而选择经由接收垫 RX0+及 RX0-输入的外部信号及经由第一测试全局数据 I/O 总线 TGI0\_IN 输入的串行化测试信号 TM\_RX+及 TM\_RX 中的一个，并将选定信号作为第一接收信号 RXP0 及 RXP1 输出至第一端口 PORT0。

亦即，在正常模式中，将经由接收垫 RX0+及 RX0-输入的外部信号传送至第一端口 PORT0。在测试模式中，将经由第一测试全局数据 I/O 总线 TGI0\_IN 输入的串行化测试信号 TM\_RX+及 TM\_RX-传送至第一端口 PORT0。

具体而言，第一端口 PORT0 包括驱动器 51、串行器 52、输入锁存器 53、时钟产生器 54、取样器 55、解串器 56 及数据输出单元 57。

时钟产生器 54 自外部装置接收参考时钟 RCLK 以产生内部时钟。

输入锁存器 53 同步于该内部时钟而锁存经由第一输出总线 PTX0<0:3>自存储组输出的测试数据信号。

串行器 52 同步于内部时钟而串行化输入锁存器 431 的输出信号。

驱动器 51 经由传输垫 TX0+及 TX0-将串行化信号以差动形式驱动至外部装置。

取样器 55 同步于内部时钟而取样自第一选择单元 31 输出的第一接收信号 RXPO 及 RXNO。

解串器 56 同步于内部时钟而解串行化所取样的信号。

数据输出单元 57 将来自解串器 56 的解串行化信号传送至第一数据输入总线 PRX0<0:3>。

图 7 为图 3 所说明的第一选择单元 31 的电路图。

第一选择单元 31 包括第一及第二反相器 INV5 及 INV6，及第一至第四传输门 TG5、TG6、TG7 及 TG8。

在测试模式中，以逻辑电平“高”启动第一端口选择信号 TMEN\_P0，使得第一及第三传输门 TG5 及 TG7 关闭且第二及第四传输门 TG6 及 TG8 开启。因此，经由第一测试全局数据 I/O 总线 TGI0\_IN 输入的经串行化测试信号 TM\_RX+ 及 TM\_RX- 是传送至第一端口 PORT0。亦即，第一端口 PORT0 的取样器 55 接收串行化的测试信号 TM\_RX+ 及 TM\_RX- 作为第一接收信号 RXPO 及 RXNO。

在正常模式中，以逻辑电平“低”撤销 (inactivate) 第一端口选择信号 TMEN\_P0，使得第二及第四传输门 TG6 及 TG8 关闭且第一及第三传输门 TG5 及 TG7 开启。因此，经由接收垫 RX0+ 及 RX0- 输入的外部信号传送至第一端口 PORT0。亦即，第一端口 PORT0 的取样器 55 接收经由接收垫 RX0+ 及 RX0- 输入的外部信号作为第一接收信号 RXPO 及 RXNO。

图 8 为图 3 所说明的第二端口 PORT1 的电路图。

第二选择单元 32 响应于自测试模式判定单元 41 输出的第二端口选择信号 TMEN\_P1 而选择经由接收垫 RX1+ 及 RX1- 输入的外部信号及经由第一测试全局数据 I/O 总线 TGI0\_IN 输入的串行化测试信号 TM\_RX+ 及 TM\_RX- 中的一个，并将选定信号作为第二接收信号 RXP1 及 RXN1 输出至第二端口 PORT1。

亦即，在正常模式中，将经由接收垫 RX1+ 及 RX1- 输入的外部信号传送至第二端口 PORT1。在测试模式中，将经由第一测试全局数据 I/O 总线 TGI0\_IN 输入的串行化测试信号 TM\_RX+ 及 TM\_RX- 传送至第二端口 PORT1。

具体而言，第二端口 PORT1 包括驱动器 61、串行器 62、输入锁存器 63、时钟产生器 64、取样器 65、解串器 66 及数据输出单元 67。第二端口 PORT1 具有与第一端口 PORT0 的结构相同的结构，且因此省略详细描述。

同时，第一端口 PORT0 与第二端口 PORT1 及测试端口 TPOT 各自的以上提及的时钟产生器 54、64 及 434 可彼此独立，或可在一晶片中被共同地共用。

图 9 为图 3 所说明的第二选择单元 32 的电路图。

第二选择单元 32 包括第一及第二反相器 INV7 及 INV8，及第一至第四传输门 TG9、TG10、TG11 及 TG12。

在测试模式中，以逻辑电平“高”启动第二端口选择信号 TMEN\_P1，使得第一及第三传输门 TG9 及 TG11 关闭且第二及第四传输门 TG10 及 TG12 开启。因此，经由第一测试全局数据 I/O 总线 TGPIO\_IN 输入的串行化测试信号 TM\_RX+ 及 TM\_RX- 传送至第二端口 PORT0。亦即，第二端口 PORT1 的取样器 65 接收串行化测试信号 TM\_RX+ 及 TM\_RX- 作为第一接收信号 RXP1 及 RXN1。

在正常模式中，以逻辑电平“低”撤销第二端口选择信号 TMEN\_P1，使得第二及第四传输门 TG10 及 TG12 关闭且第一及第三传输门 TG9 及 TG11 开启。因此，经由接收垫 RX1+ 及 RX1- 输入的外部信号传送至第二端口 PORT1。亦即，第二端口 PORT1 的取样器 65 接收经由接收垫 RX1+ 及 RX1- 输入的外部信号作为第二接收信号 RXP1 及 RXN1。

在下文中，将参看图 3 至图 9 详细描述根据第一实施例的多端口存储器装置的操作。为便于阐述，将处理数据的单位设定为 4 位元单位。

若测试模式控制信号是经由第二测试接收垫 T<0:1> 输入，则测试端口 TPORT 的测试模式判定单元 41 解码这些测试模式控制信号以判定晶片的操作模式，意即，正常模式与测试模式中的一个。

首先，若晶片的操作模式为正常模式，则 SERDES 43 不运作。相应地，经由第一测试接收垫 IN<0:3> 输入的测试信号未被传送至第一测试全局数据 I/O 总线 TGPIO\_IN。另一方面，第一端口 PORT0 与第二端口 PORT1 经由多个串行 I/O 垫 TX0+、TX0-、TX1+、TX1-、RX0+、RX0-、RX1+ 及 RX1- 而执行与外部装置的串行数据通信。

第一选择单元 31 及第二选择单元 32 的每一个分别将经由接收垫 RX0+、RX0-、RX1+ 及 RX1- 输入的外部信号作为第一及第二接收信号 RXP0、RXN0、RXP1 及 RXN1 传送至第一端口 PORT0 与第二端口 PORT1。

第一端口 PORT0 与第二端口 PORT1 的每一取样器 55 及 56 同步于内部时钟而取样第一及第二接收信号 RXP0、RXN0、RXP1 及 RXN1。每一解串器 56 及 66 同步于内部时钟而解串行化取样信号，并将并行信号输出至每一数据输出单元 57 及 67，以便将这些并行信号传送至第一全局数据 I/O 总线 GIO\_IN。若将处理数据的单位设定为 4 位元单位，则将 4 位元数据分配给每一端口

PORT0 及 PORT1。

将施加至第一全局数据 I/O 总线 GIO\_IN 的并行信号传送至每一存储组且接着将这些信号传送至藉由组控制单元 (bank control unit) (未图示) 加以控制的 DRAM 核心的存储器单元阵列。此时，因为端口 PORT0 及 PORT1 中的任一个可存取存储组 BANK0 至 BANK3，所以需要关于上述解串行化信号对哪一存储组有效的信息。因此，经由接收垫 RX0+、RX0-、RX1+及 RX1- 输入的外部信号需要额外位元，这些额外位元具有关于一用于选择这些存储组中的一对 应存储组的组选择信号的信息 (处理数据的单位 (意即，4 位元) 除外)。当输入包括组选择信号的外部信号时，第一端口 PORT0 与第二端口 PORT1 解码组选择信号并经由第一全局数据 I/O 总线 GIO\_IN 将该组选择信号传送至组控制单元。每一组控制单元判定组选择信号对于其存储组是否有效。若组选择信号有效，则将经由第一全局数据 I/O 总线 GIO\_IN 输入的其他数据传送至对应存储组。

响应于组选择信号自 DRAM 核心的存储器单元阵列读取的并行单元数据被经由第二全局数据 I/O 总线 GIO\_OUT 而传送至每一端口 PORT0 及 PORT1，且接着藉由对应存储组对其进行串行化。因此，平行单元数据被经由传输垫 TX0+、TX0-、TX1+及 TX1- 而传送至外部装置。

接着，若晶片的操作模式为测试模式，则测试模式判定单元 41 启动第一及第二端口选择信号 TMEN\_P0 及 TMEN\_P1 中的一个，并基于这些测试模式控制信号而启动测试模式启用信号 TMEN。相应地，判定哪一端口经由第一全局数据 I/O 总线 GIO\_IN 执行与对应存储组的并行数据通信，且测试端口 TPORT 运作。

举例而言，假定以逻辑电平“高”启动第一端口选择信号 TMEN\_P0，意即，选择第一端口 PORT0。

测试端口 TPORT 的 SERDES 43 响应于测试模式启用信号 TMEN 而运作。具体而言，输入锁存器 431 同步于内部时钟而锁存经由第一测试接收垫 IN<0:3> 输入的测试信号。串行器 432 同步于内部时钟而串行化输入锁存器 431 的输出信号，并将这些经串行化信号输出至驱动器 433。驱动器 433 以高速以差动形式将这些经串行化信号作为串行化的测试信号 TM\_RX+ 及 TM\_RX- 而驱动至第一测试全局数据 I/O 总线 TGIO\_IN。

第一选择单元 31 响应于第一端口选择信号 TMEN\_P0 而选择经串行化的测

试信号 TM\_RX+及 TM\_RX-并将这些选定信号作为第一接收信号 RXP0 及 RXN 而输出至第一端口 PORT0。

第一端口 PORT0 的取样器 55 同步于内部时钟而取样第一接收信号 RXP0 及 RXN 并将这些经取样的信号传送至解串器 56。解串器 56 同步于内部时钟而解串行化经取样信号并将并行信号输出至数据输出单元 57。数据输出单元 57 经由第一全局数据 I/O 总线 GIO\_IN 将这些并行信号作为测试信号传送至存储组。

将传送至存储组的测试信号传送至藉由组控制单元加以控制的 DRAM 核心的存储器单元阵列。经由第二全局数据 I/O 总线 GIO\_OUT 将响应于测试信号自 DRAM 核心的存储器单元阵列读取的并行单元数据传送至第一端口 PORT0。第一端口 PORT0 串行化并行单元数据并将其作为第一测试数据信号对 TX0+及 TX0-而传送至测试端口 TPORT 的测试信号选择单元 42。

测试信号选择单元 42 响应于以逻辑电平“高”启动的第一端口选择信号 TMEN\_P0，而选择自第一端口 PORT0 输出的第一测试数据信号对 TX0+及 TX0-，以藉此将其作为串行化的测试数据信号 TM\_TX+及 TM\_TX-而输出。SERDES 43 的取样器 437 同步于内部时钟而取样经串行化的测试数据信号 TM\_TX+及 TM\_TX-，并将经取样的信号传送至解串器 436。解串器 436 同步于内部时钟而解串行化经取样的信号，并将解串行化的信号输出至测试数据输出单元 435。测试数据输出单元 435 经由测试传输垫 OUT<0:3>而将解串行化的信号传送至外部测试装置。

启动第二端口选择信号 TMEN\_P1 的操作与启动第一端口选择信号 TMEN\_P0 的操作相同，惟选择单元 31、32 及 42 的操作除外。

图 10 为根据本发明的第二实施例的多端口存储器装置的方块图。与第一实施例相比，第二实施例可减少并行 I/O 垫的数目。

与根据第一实施例的多端口存储器装置相同，根据第二实施例的多端口存储器装置包括：多个串行 I/O 垫，其包括诸如 TX0+、TX0-、TX1+及 TX1-的传输垫，及诸如 RX0+、RX0-、RX1+及 RX1 的接收垫；第一存储组 BANK0 至第四存储组 BANK3；第一端口 PORT0 与第二端口 PORT1；测试端口 TPORT；第一选择单元 31 及第二选择单元 32；及第一全局输入/输出 (I/O) 数据总线 GIO\_IN 与第二全局输入/输出 (I/O) 数据总线 GIO\_OUT。然而，第二实施例的多端口存储器装置仅包括测试接收垫 T<0:1>，且相应地改变第一端口

PORT0 与第二端口 PORT1 的结构。

具体而言，在测试模式期间不使用多个串行 I/O 垫 TX0+、TX0-、TX1+、TX1-、RX0+、RX0-、RX1+及 RX1-，以便将其用作为第一测试接收垫 IN<0: 3> 及测试传输垫 OUT<0: 3>。亦即，在测试模式期间，将传输垫 TX0+、TX0-、TX1+ 及 TX1- 用作为测试传输垫 OUT<0: 3>，且将接收垫 RX0+、RX0-、RX1+ 及 RX1- 用作为第一测试接收垫 IN<0: 3>。另外，必须相应地改变第一端口 PORT0 与第二端口 PORT1 的结构。

图 11 为图 10 所说明的第一端口 PORT0 的电路图。

除第二实施例的第一端口 PORT0 包括两个差动输出驱动器之外，第二实施例的第一端口 PORT0 具有与第一实施例的第一端口 PORT0 的结构相同的结构。具体而言，与图 6 所示第一实施例的第一端口 PORT0 相同，第二实施例的第一端口 PORT0 包括普通差动驱动器 151、串行器 152、输入锁存器 153、时钟产生器 154、取样器 155、解串器 156 及数据输出单元 157。此外，第二实施例的第一端口 PORT0 进一步包括测试差动驱动器 158，其用于在测试模式期间将藉由串行器 152 串行化及输出的单元数据输出至测试端口 TPORT。

图 10 及图 11 所示测试信号 “TXP0” 及 “TXN0” 为在测试模式期间自存储组输出的单元数据 (cell data)。测试信号 “TXP0” 及 “TXN0” 为与图 4 至图 7 所示第一测试数据信号对 TX0+ 及 TX0- 相同的信号，且其不同于在正常模式期间自普通差动驱动器 151 输出的输出信号 TX0+ 及 TX0-。

测试差动驱动器 158 响应于自图 4 所示测试模式判定单元 41 输出的测试模式启用信号 TMEN 而运作。亦即，由于以逻辑电平“高”启动测试模式启用信号 TMEN，所以测试差动驱动器 158 在测试模式期间运作。另一方面，普通差动驱动器 151 响应于反相的测试模式启用信号 TMENB 而运作。亦即，普通差动驱动器 151 基于具有逻辑电平“低”的反相测试模式启用信号 TMENB 而变成高阻抗状态，以便在测试模式期间不将藉由串行器 152 输出的单元数据经由传输垫 TX0+ 及 TX0- 而传送至外部装置。

图 12 为图 10 所说明的第二端口 PORT1 的电路图。

第二实施例的第二端口 PORT1 的结构相同于第一实施例的第二端口 PORT1 结构，惟第二实施例的第二端口 PORT1 包括两个差动输出驱动器除外。具体而言，第二实施例的第二端口 PORT1 包括普通差动驱动器 161、串行器 162、输入锁存器 163、时钟产生器 164、取样器 165、解串器 166 及数据输

出单元 167。此外，第二实施例的第二端口 PORT1 进一步包括测试差动驱动器 168，其用于在测试模式期间将藉由串行器 162 串行化及输出的单元数据输出至测试端口 TPORT。

图 10 及图 12 所示的测试信号 “TXP1” 及 “TXN1” 为在测试模式期间自存储组输出的单元数据。测试信号 “TXP1” 及 “TXN1” 为与图 4、图 5、图 8 及图 9 所示的第二测试数据信号对 TX1+及 TX1-相同的信号，且其不同于在正常模式期间自普通差动驱动器 161 输出的输出信号 TX1+及 TX1-。

测试差动驱动器 168 响应于自图 4 所示测试模式判定单元 41 输出的测试模式启用信号 TMEN 而运作。亦即，由于以逻辑电平 “高” 启动测试模式启用信号 TMEN，所以测试差动驱动器 168 在测试模式期间运作。另一方面，普通差动驱动器 161 响应于反相的测试模式启用信号 TMENB 而运作。亦即，普通差动驱动器 161 基于具有逻辑电平 “低”的经反相测试模式启用信号 TMENB 而变成高阻抗状态，以便在测试模式期间不将藉由串行器 162 输出的单元数据传送至传输垫 TX1+及 TX1-。

同时，根据第二实施例，图 4 所示测试端口 TPORT 的测试数据输出单元 435 包括一输出驱动器，其在正常模式期间变成高阻抗状态，以便不将任何信号传送至传输垫 TX0+、TX0-、TX1-及 TX1-。相应地，该输出驱动器可响应于经反相的测试模式启用信号 TMENB 而运作。

图 3 及图 10 所示第一及第二全局 I/O 数据总线 GIO\_IN 及 GIO\_OUT 可包括锁存器，其用于在端口与存储组之间稳定地传送信号。

为便于阐述，在本发明的第一及第二实施例中，将处理数据的单位设定为 4 位元单位。相应地，第一及第二实施例的多端口存储器装置为每一端口分配四个全局 I/O 数据总线。另外，根据第一实施例的多端口存储器装置包括四个并行 I/O 垫。然而，可相应地改变全局 I/O 数据总线的数目及并行 I/O 垫的数目。

根据本发明，经由串行 I/O 接口执行与外部装置的数据通信的多端口存储器装置可测试 DRAM 核心而无需额外的高速测试装置，藉此藉由使用现有 DRAM 装置的测试环境而节省成本。

而且，在执行低速测试（例如，晶圆测试）中，多端口存储器装置可在内部以高速运作，藉此可稳定地对其进行测试。

根据本发明的第二实施例，可在以高速测试多端口存储器装置的 DRAM

核心期间，最小化并行 I/O 垫的增加。

本申请案含有与在 2005 年 9 月 29 日及 2006 年 4 月 11 日于韩国知识产权局 (Korean Intellectual Property Office) 申请的韩国专利申请案第 2005-90916 & 2006-32947 号有关的主题，这些申请案的全文以引用的方式并入本文中。

虽然已参考某些较佳实施例描述本发明，但本领域技术人员可明显看出，可在不偏离以下申请专利范围中所界定的本发明的精神及范畴的情况下，进行各种改变及修改。

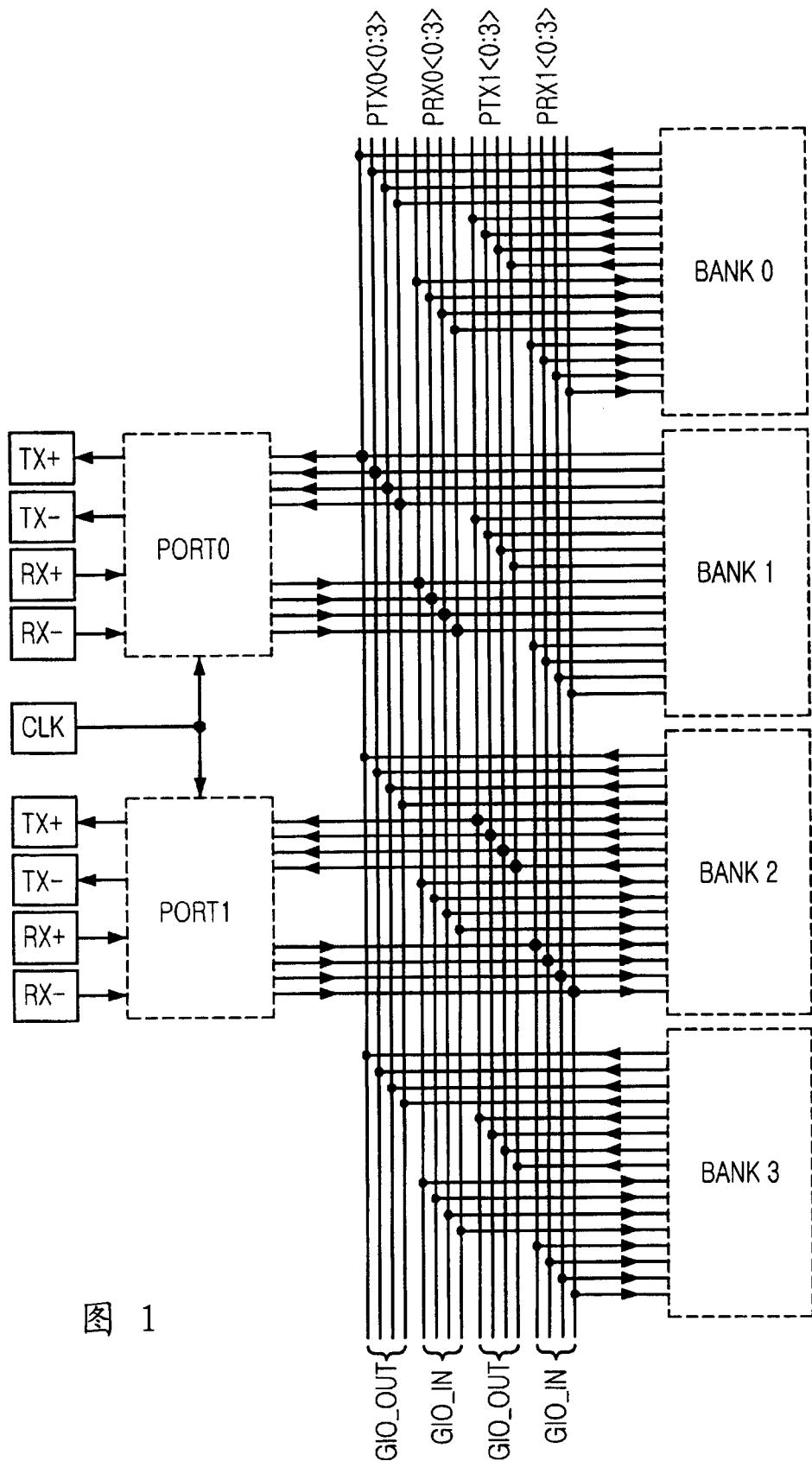


图 1

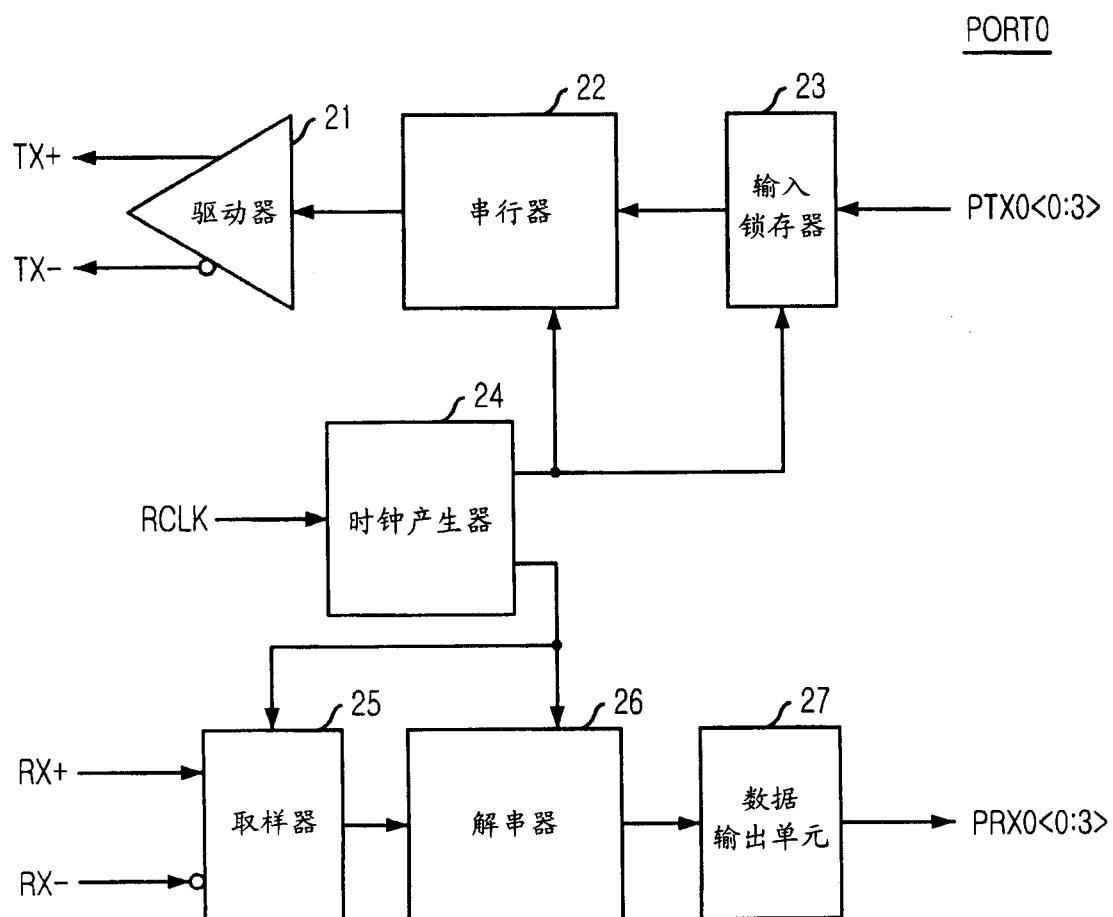


图 2

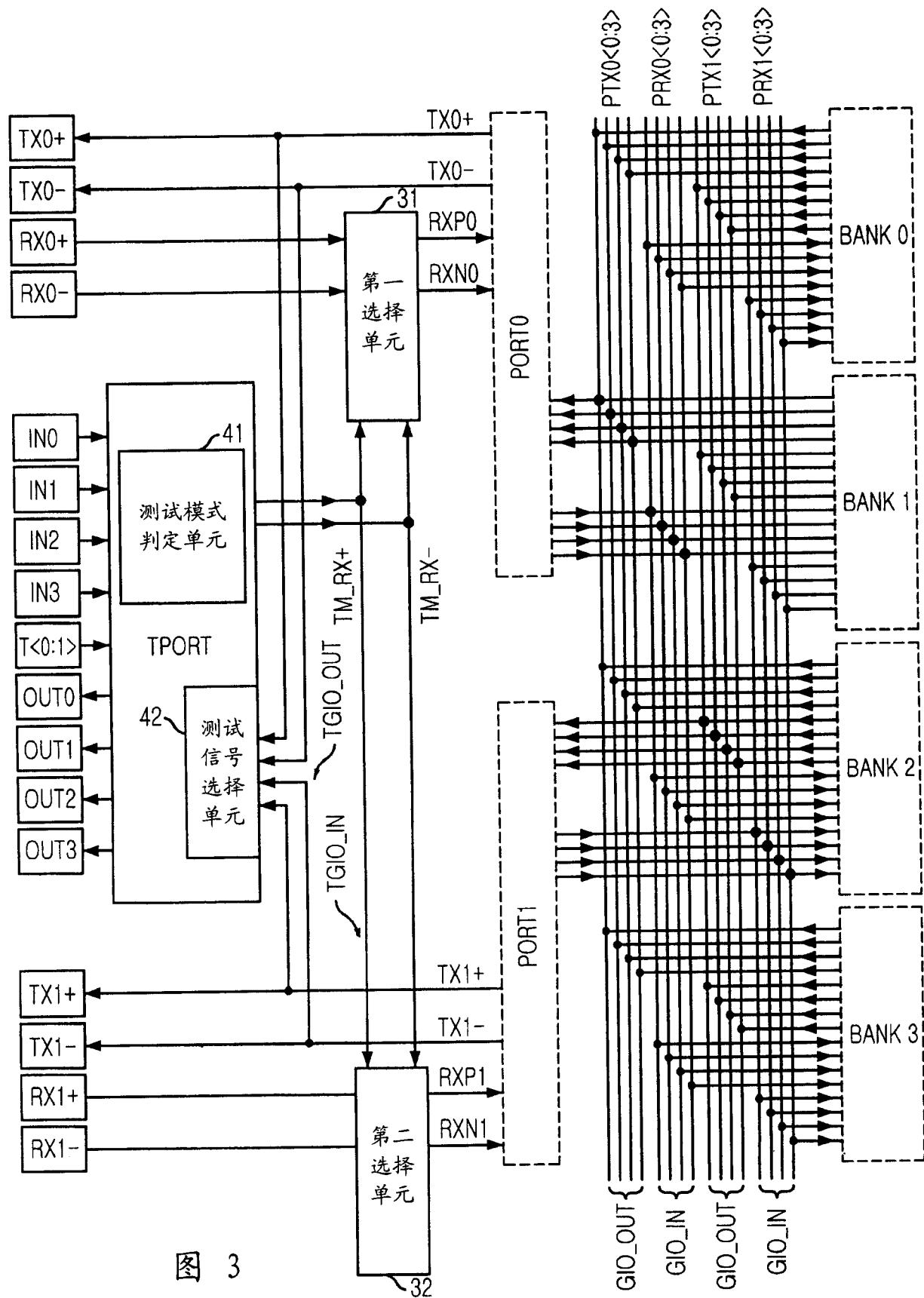


图 3

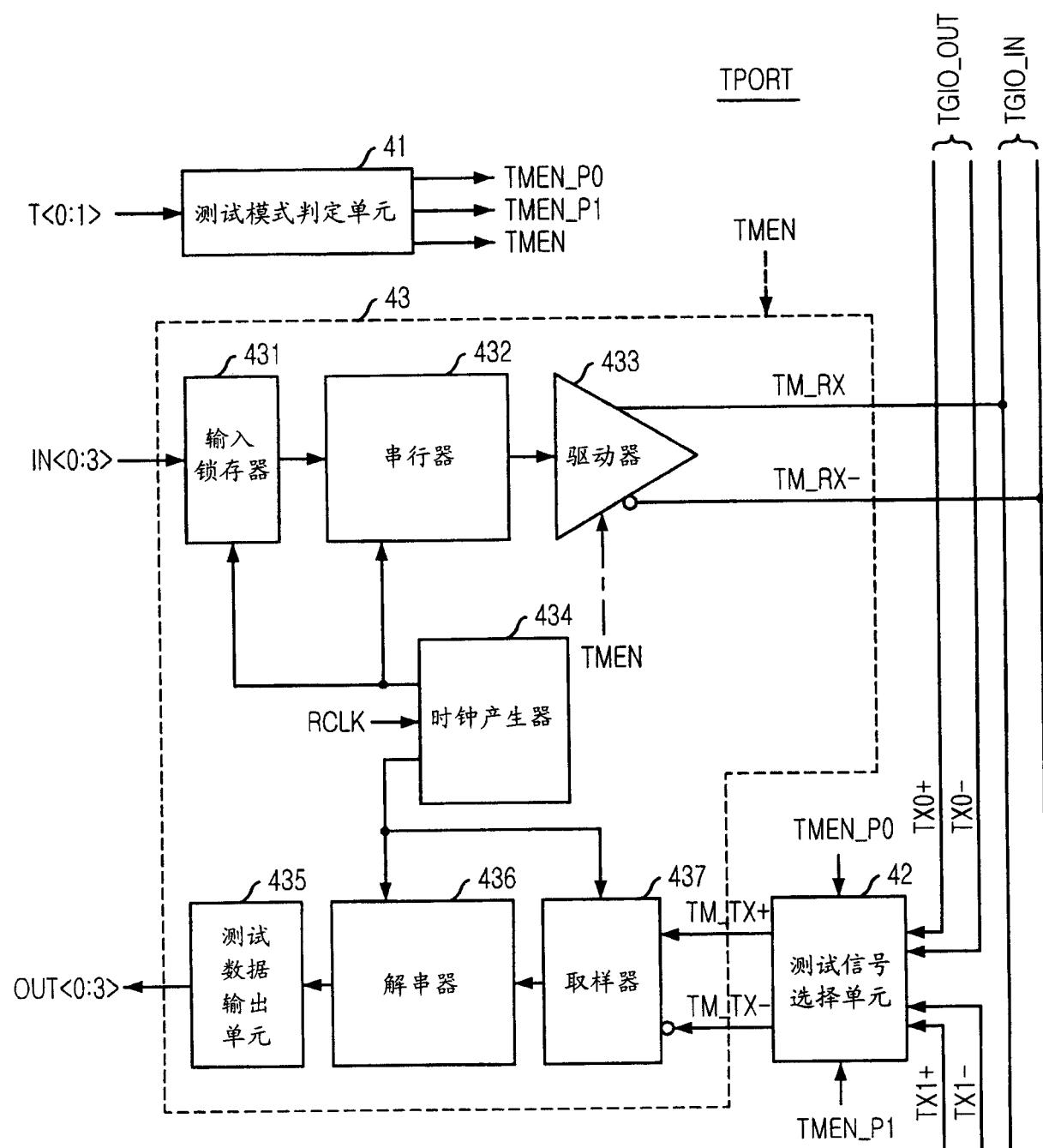


图 4

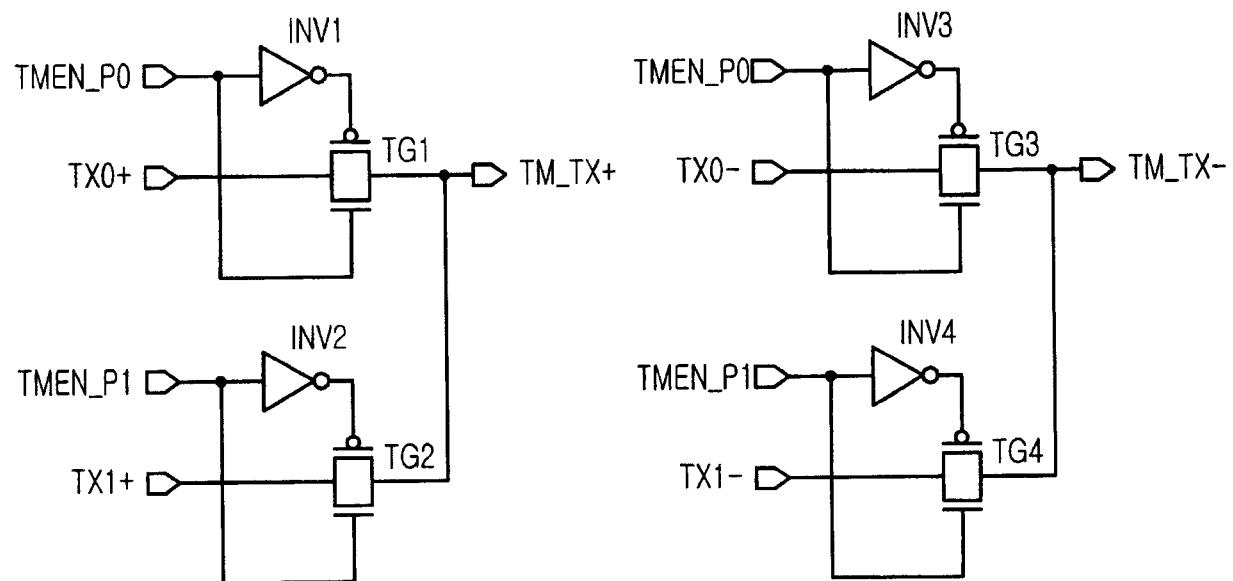
42

图 5

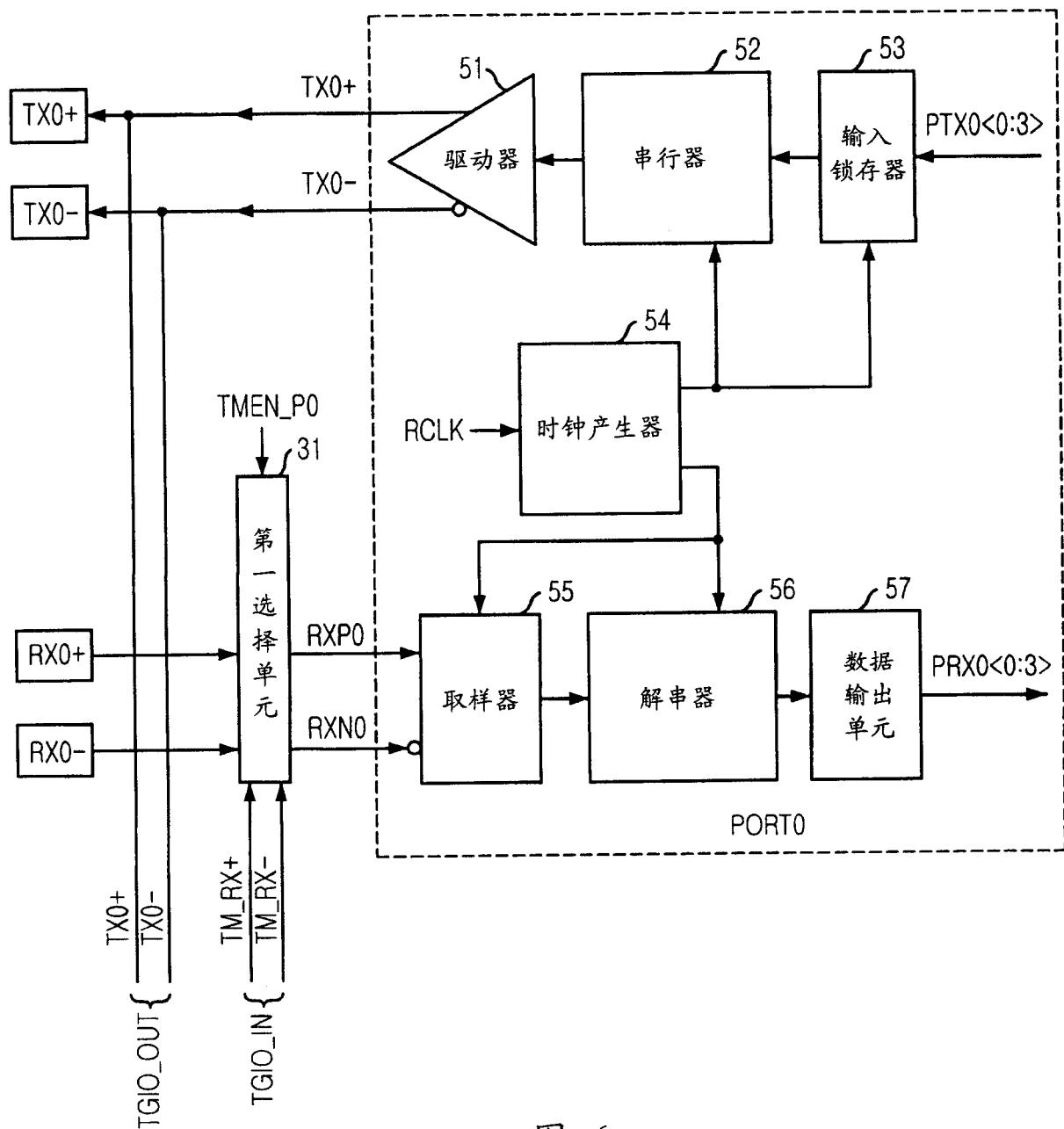


图 6

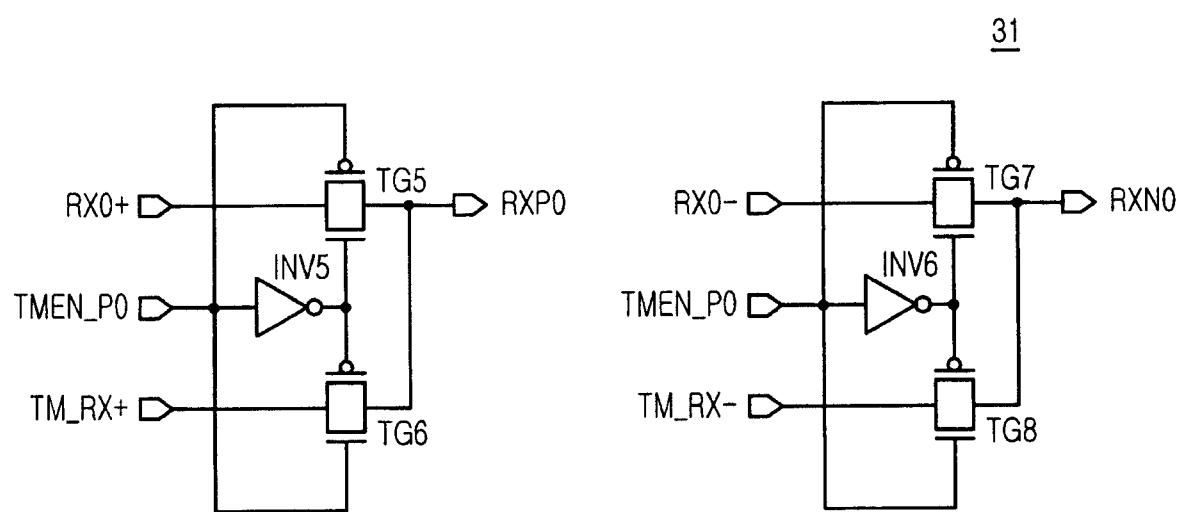


图 7

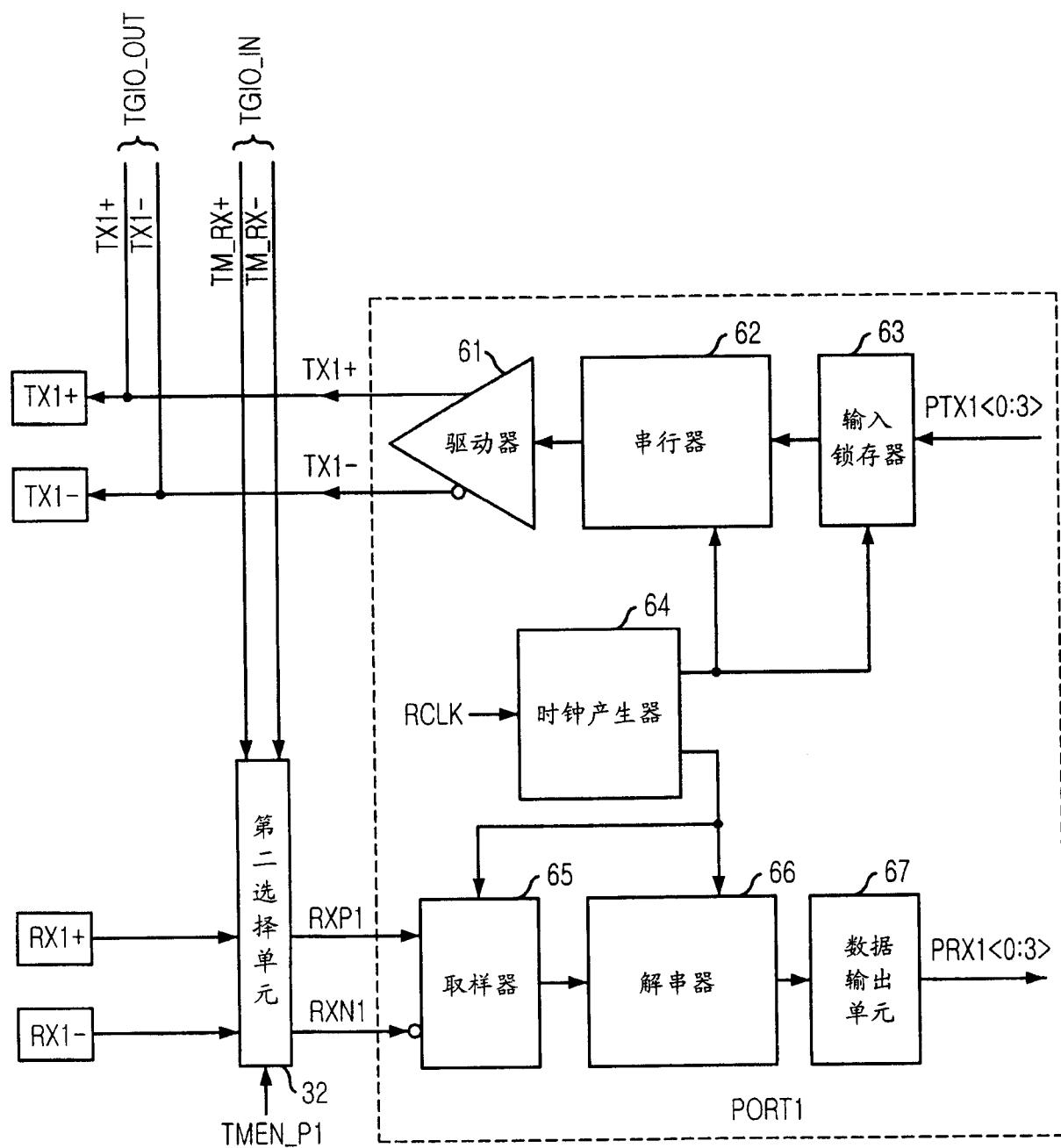


图 8

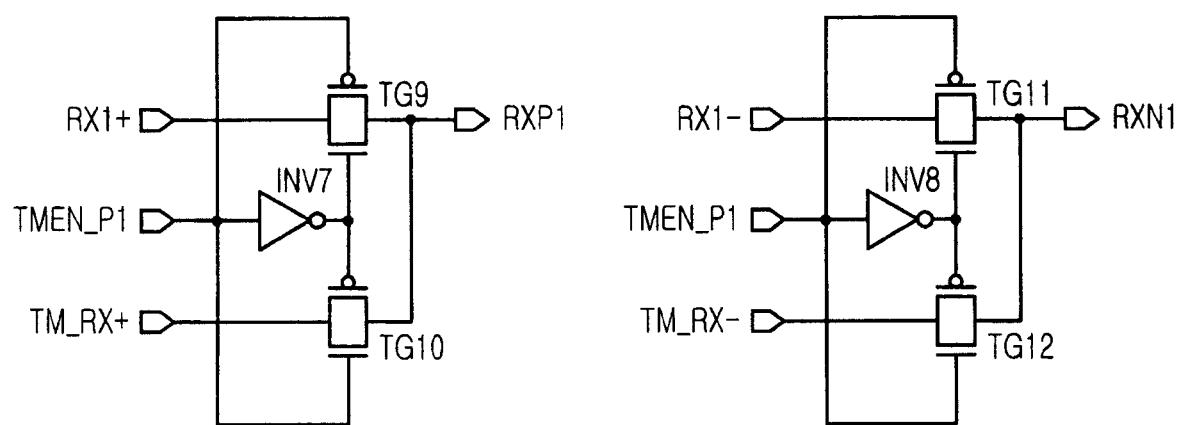
32

图 9

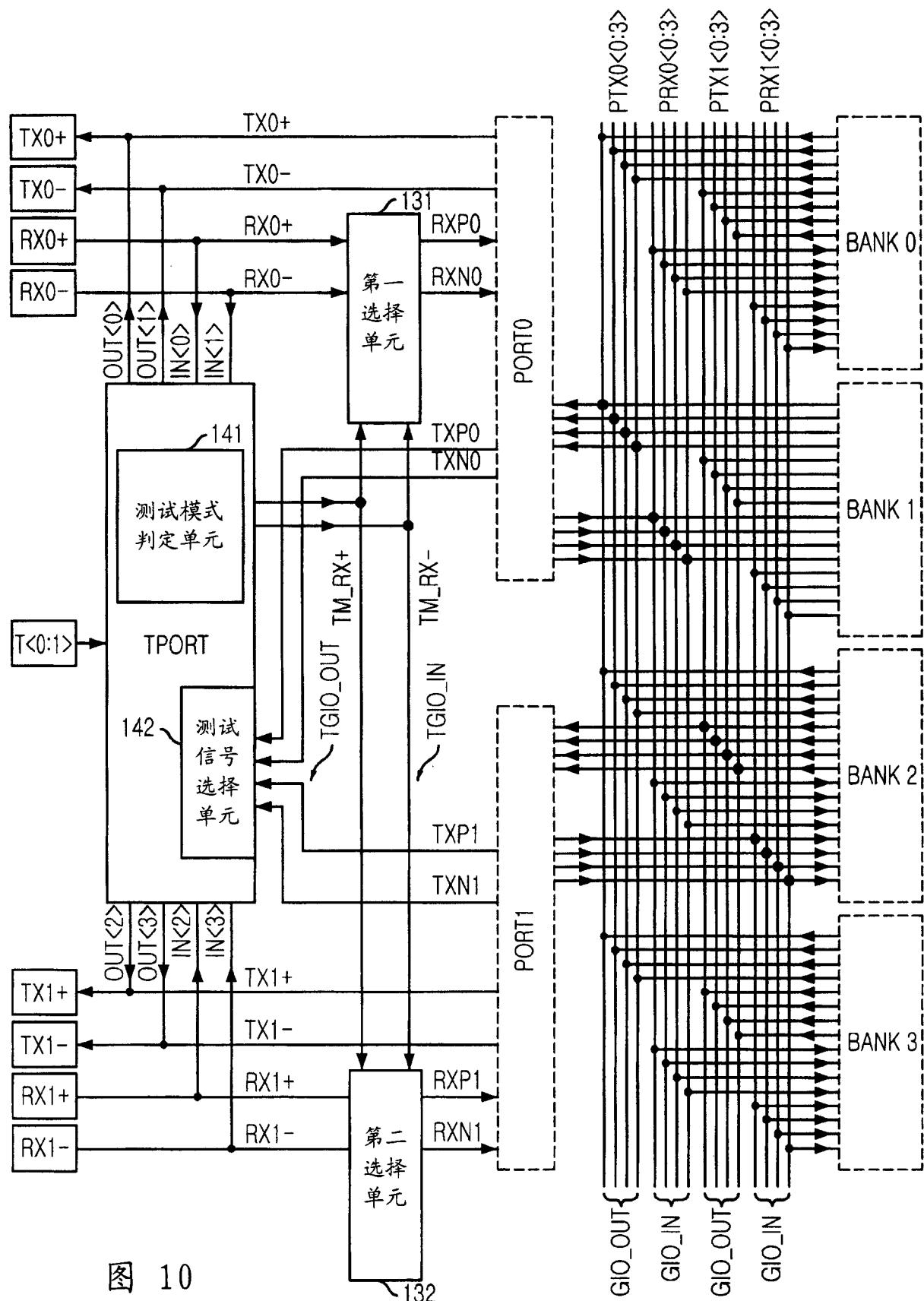


图 10

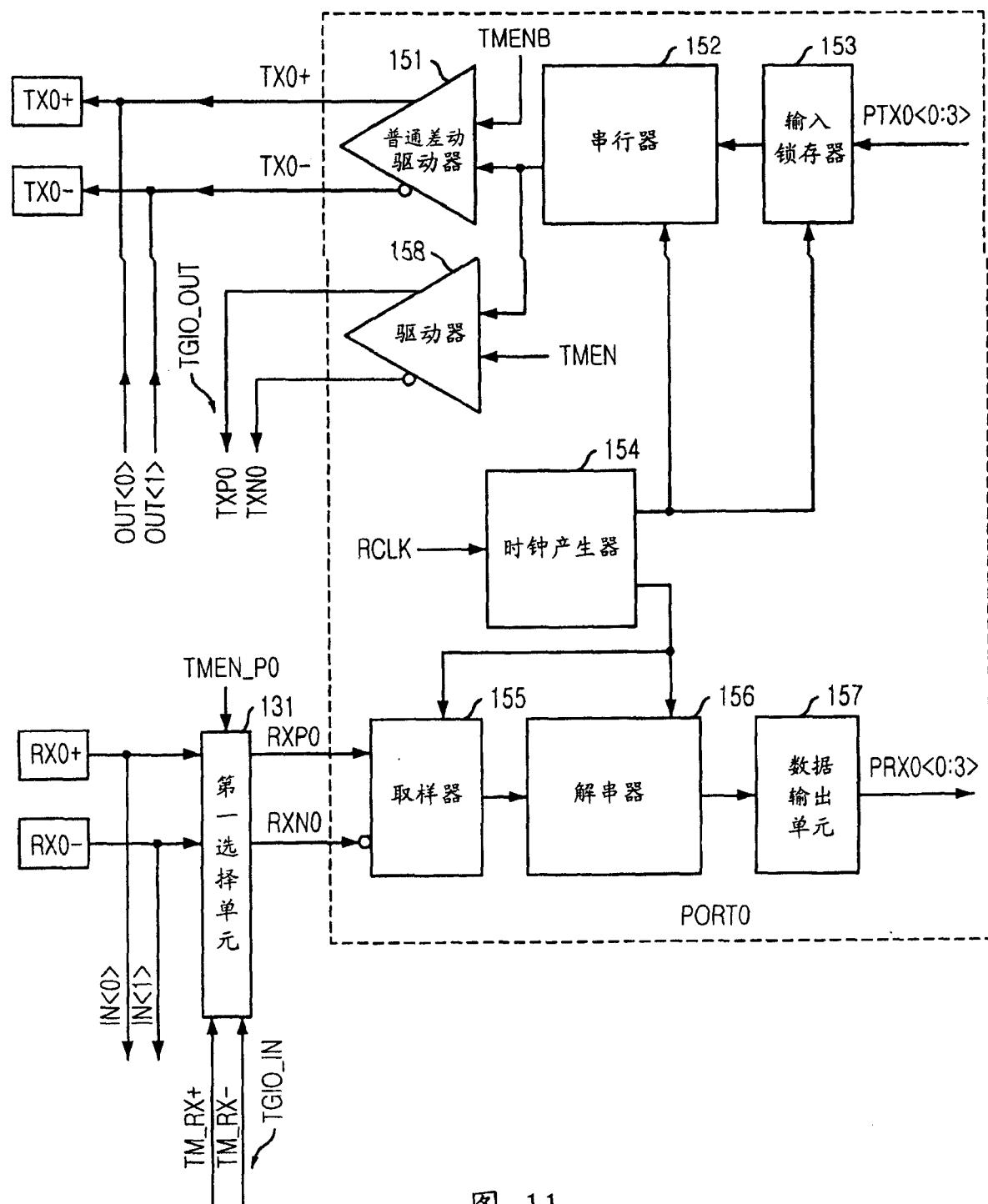


图 11

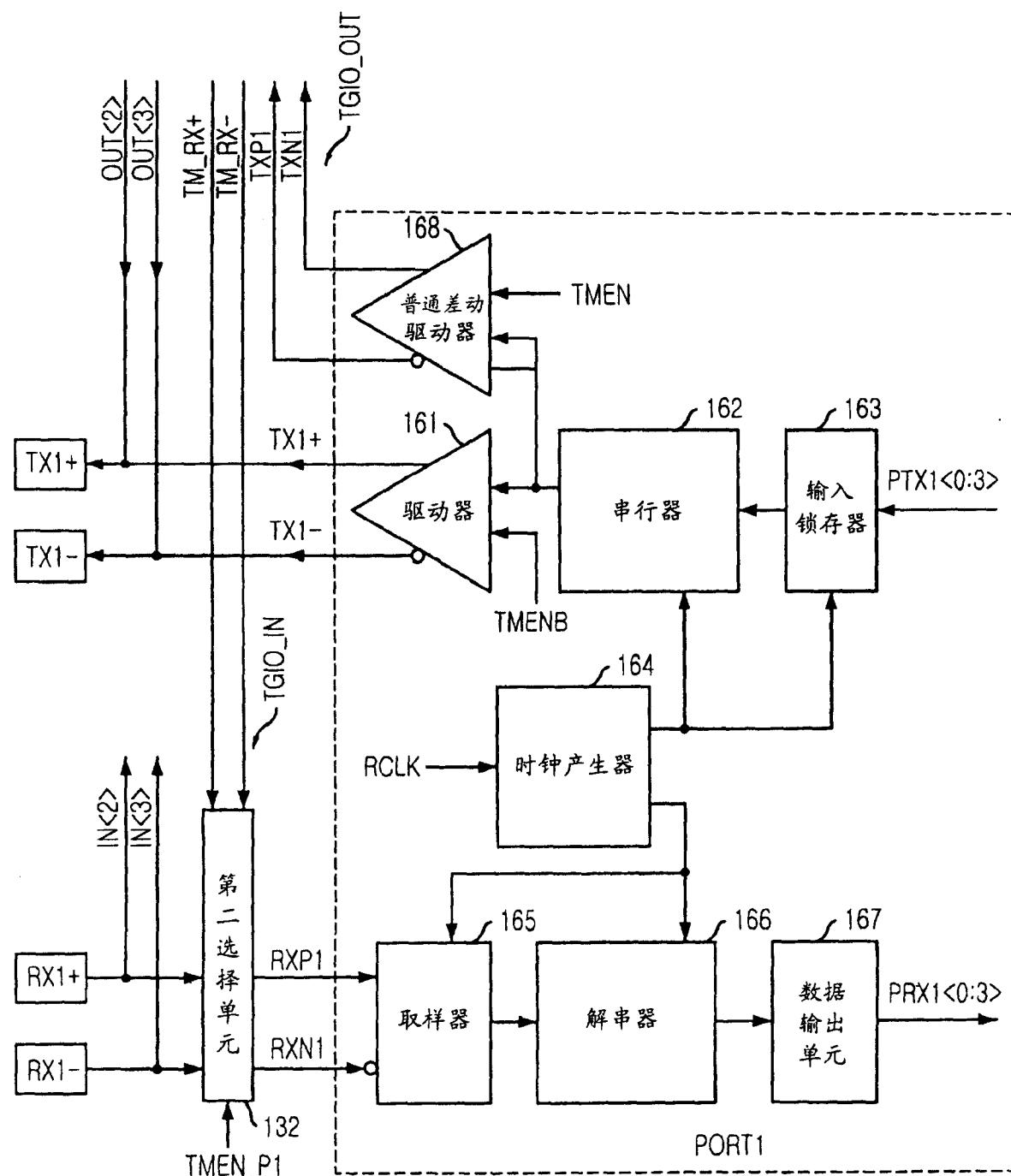


图 12