

【特許請求の範囲】**【請求項 1】**

N (N は 1 以上の数) ビットの比較結果を得る逐次比較型 A / D (アナログ / デジタル) 変換器を含む集積回路であって、

前記逐次比較型 A / D 変換器の動作に干渉する所定の回路の動作タイミングに基づいて、前記逐次比較型 A / D 変換器における比較動作の中断タイミングを決定する変換動作制御部を含み、

前記逐次比較型 A / D 変換器は、アナログ信号をサンプリングするサンプリング期間と、前記サンプリングされた信号を比較電圧と 1 ビットごとに逐次比較する N ステートの比較期間と、M (M は 1 以上の数) ビットの比較が可能な、前記比較期間に続く M ステートの予備期間とにより前記 N ビットの比較結果を得るものであり、

前記決定された中断タイミングに従って動作を中断し、前記中断により前記比較期間において比較不足となったビットの比較動作を前記予備期間において実行する、集積回路。

【請求項 2】

前記変換動作制御部は、

各回路の動作を制御する制御回路により出力される動作制御信号を取得する取得部と、

前記取得された前記動作制御信号に基づいて前記中断タイミングを決定し、前記逐次比較型 A / D 変換器の動作を中断させるタイミングを示す動作中断信号を生成する生成部と

、生成された前記動作中断信号を前記逐次比較型 A / D 変換器へ出力する出力部とを含み

、前記逐次比較型 A / D 変換器は、前記動作中断信号に従って前記比較動作を中断する、請求項 1 記載の集積回路。

【請求項 3】

前記逐次比較型 A / D 変換器は、

アナログ信号をサンプリングするサンプル / ホールド回路と、

入力されるデジタル値に応じた比較基準電圧のアナログ信号を出力する内蔵 D / A (デジタル / アナログ) 変換器と、

前記サンプリングされた信号を、前記比較基準電圧のアナログ信号と比較して比較結果を出力する比較器と、

前記比較器の出力結果に応じて前記内蔵 D / A 変換器に入力するデジタル値を制御する制御部とを含み、

前記制御部は、

比較中のビット位置を示すカウンタ値を保持する保持部と、

比較中のビットの位置に応じて、次のビットの比較動作における比較基準電圧の大きさを示す次デジタル値を生成するデジタル値生成部と、

前記内蔵 D / A 変換器により出力されている、前記サンプリング信号と比較中のビットの位置にかかる比較基準電圧の大きさを示す現デジタル値、および、前記生成された次デジタル値を保持し、いずれか一方を前記内蔵 D / A 変換器に出力するデジタル値保持部と

を含み、前記比較動作の中断は、前記変換動作制御部により決定された中断タイミングで前記保持部における前記カウンタ値の更新を停止し、前記デジタル値保持部により現デジタル値を前記出力することによりなされる、

請求項 1 記載の集積回路。

【請求項 4】

前記変換動作制御部は、

前記逐次比較型 A / D 変換器の前記比較動作において、干渉の影響を受けやすいタイミングおよび干渉の影響を受けにくいタイミングを、前記比較動作における各ステートと対応付けて記憶しており、

10

20

30

40

50

前記干渉の影響を受けにくいステートについては前記比較動作の中断タイミングとしな
いよう前記決定する、
請求項 1 記載の集積回路。

【請求項 5】

前記変換動作制御部は、
各回路の動作を制御する制御回路により出力される動作制御信号を取得する取得部と、
前記取得された前記動作制御信号に基づいて前記中断タイミングを決定し、前記逐次比
較型 A / D 変換器の動作を中断させるタイミングを示す動作中断信号を生成する生成部と
、
生成された前記動作中断信号を前記逐次比較型 A / D 変換器へ出力する出力部とを含み

10

、
前記生成部は、前記記憶にかかる前記逐次比較型 A / D 変換器の比較動作において干渉
の影響を受けやすいステートと、前記動作制御信号に示される前記所定の回路の動作タイ
ミングとが一致するステートにおいて前記動作中断信号を生成し、

前記逐次比較型 A / D 変換器は、前記動作中断信号に示される中断タイミングに従って
前記比較動作を中断する、
請求項 4 記載の集積回路。

【請求項 6】

前記変換動作制御部は、
前記逐次比較型 A / D 変換器の比較動作により前記逐次比較型 A / D 変換器が他の回路
に干渉する動作タイミングを前記各ステートと対応付けて記憶しており、
前記逐次比較型 A / D 変換器が他の回路に干渉する動作タイミングと、前記他の回路の
動作タイミングとに基づいて前記逐次比較型 A / D 変換器の中断タイミングを決定する、
請求項 1 記載の集積回路。

20

【請求項 7】

前記変換動作制御部は、
前記逐次比較型 A / D 変換器の前記比較動作において、干渉の影響を受けやすいタイミ
ングおよび干渉の影響を受けにくいタイミングを、前記比較動作における各ステートと対
応付けて記憶しており、

各回路の動作を制御する制御回路により出力される動作制御信号を取得する取得部と、
前記取得された前記動作制御信号に基づいて前記中断タイミングを決定し、前記逐次比
較型 A / D 変換器の動作を中断させるタイミングを示す動作中断信号を生成する生成部と
、

30

生成された前記動作中断信号を前記逐次比較型 A / D 変換器へ出力する出力部とを含み
、
前記生成部は、前記記憶にかかる前記逐次比較型 A / D 変換器の比較動作において干渉
の影響を受けやすいステートと、前記逐次比較型 A / D 変換器が他の回路に干渉するステ
ートと、前記動作制御信号に示される前記所定の回路の動作タイミングとに基づいて前記
動作中断信号を生成し、

前記逐次比較型 A / D 変換器は、前記動作中断信号に従って前記比較動作を中断する、
請求項 6 記載の集積回路。

40

【請求項 8】

前記逐次比較型 A / D 変換器が干渉する他の回路とは、他の逐次比較型 A / D 変換器で
あり、

各逐次比較型 A / D 変換器は、前記サンプリング期間、前記比較期間、前記予備期間に
より比較動作をし、

前記変換動作制御部の生成部は、前記各逐次比較型 A / D 変換器が互いに干渉するステ
ートにおいて、各逐次比較型 A / D 変換器の動作を中断した中断回数に基づいて、いずれ
かの逐次比較型 A / D 変換器の動作を中断させるよう前記動作中断信号を生成する、

請求項 7 記載の集積回路。

50

【請求項 9】

前記生成部は、

前記動作制御信号に示される前記所定の回路の動作タイミングにかかるステートでは前記所定の回路の動作タイミングに基づいて前記動作中断信号を生成し、

前記所定の回路が動作していないタイミングにかかるステートでは、前記記憶にかかる前記逐次比較型 A / D 変換器の比較動作において干渉の影響を受けやすいステートと、前記逐次比較型 A / D 変換器が他の回路に干渉するステートとに基づいて前記動作中断信号を生成する、

請求項 7 記載の集積回路。

【請求項 10】

前記取得部が動作制御信号を取得する制御回路は、前記集積回路の外部にある、請求項 2 記載の集積回路。

【請求項 11】

前記逐次比較型 A / D 変換器は、冗長 2 進数逐次比較型 A / D 変換器であり、

前記変換動作制御部は、前記逐次比較型 A / D 変換器の前記比較期間の開始から所定数のステートについては干渉の影響を受けにくいタイミングとし、以後のステートについては干渉の影響を受けやすいタイミングとして前記記憶している、

請求項 4 記載の集積回路。

【請求項 12】

前記集積回路における前記逐次比較型 A / D 変換器と前記所定の回路は、非同期である、
請求項 1 記載の集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、集積回路に関し、特に、アナログ入力信号を複数の比較基準電圧と逐次比較し、その比較結果に基づいてアナログ入力信号をデジタル信号に変換する逐次比較型アナログ / デジタル変換回路を含む集積回路に関する。

【背景技術】**【0002】**

一般に、処理回路はデジタル回路で構成されているため、アナログ信号はデジタル信号に変換されて処理に用いられる。例えば、マイクロコンピュータなどのプロセッサにおいては、温度センサや速度センサなど、動作環境を検知するセンサからアナログ信号が入力される。プロセッサは、このアナログ信号をデジタル信号に変換し、デジタル信号に基づいて、センサが検知した動作環境に応じた処理を実行する。

【0003】

アナログ信号からデジタル信号への変換は、アナログ / デジタル変換回路 (A / D 変換回路) によりなされる。このような A / D 変換回路の 1 つに、逐次比較型 A / D 変換回路 (SAR ADC: Successive Approximation Register Analog Digital Converter) がある。

【0004】

逐次比較型 A / D 変換回路は、入力されるアナログ信号をサンプリングし、サンプリングされた入力信号を、内蔵の D / A 変換器 (デジタル / アナログ変換器) で生成された比較基準信号と比較器を用いて比較する。この比較結果に応じて次の比較基準信号を内蔵の D / A 変換器で生成する。この操作を繰返すことにより、アナログ入力信号をデジタル信号に変換する。

【0005】

通常、逐次比較型 A / D 変換回路は、2 進探索アルゴリズムを用いてアナログ / デジタル変換を行なう。N ビットの分解能となる A / D 変換は、N ステップ (N 回の比較) で行われる。比較器は、アナログ入力信号 V_{in} を、比較信号 (比較基準電圧) と比較する。

10

20

30

40

50

1ステップ目においては、比較基準電圧 $V_{ref}(1)$ は $2^{(N-1)}$ である。比較結果において、アナログ入力信号 V_{in} が1回目の比較基準電圧 $V_{ref}(1)$ よりも大きいときには、比較器の出力が“1”となり、2ステップ目の比較基準電圧 $V_{ref}(2)$ は、次式で表わされる電圧となる：

$$V_{ref}(2) = 2^{(N-1)} + 2^{(N-2)}$$

一方、このアナログ入力信号 V_{in} が、1回目の比較基準電圧 $V_{ref}(1)$ よりも低いときには、比較器の出力信号は“-1”(0)となり、比較基準電圧 $V_{ref}(2)$ は次式で表わされる：

$$V_{ref}(2) = 2^{(N-1)} - 2^{(N-2)}$$

すなわち、2進探索アルゴリズムにおいては、次の比較基準電圧は、比較結果に応じて前のサイクルの比較基準電圧の1/2倍が加減算されたものとなる。

【0006】

逐次比較型A/D変換回路の動作シーケンスは、下記の特開2010-124405号公報(特許文献1)にも示されるように、(1)サンプルホールド回路により入力アナログ信号のサンプリングを行うサンプリング期間と、(2)比較器等によりNビットのデジタル信号を得る比較期間とに分けられる。例えば、サンプリング期間に11ステート、比較期間に10ステートを割り当てて10ビットのA/D変換が行われる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2010-124405号公報

【特許文献2】特開2009-290540号公報

【特許文献3】特開2006-80646号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

近年では、さらなる回路の小型化等の要請に応えるため、複数の回路について、電源を共通にしていることがある。しかし、電源を共通にしているために、ある回路の動作に応じて動作電流が発生し、電源ラインを介して他の回路に干渉等の悪影響を及ぼすことがある。

【0009】

このような悪影響への対処方法は様々なものが考案されている。例えば、回路ごとに電源を別にする、電源ラインのインピーダンスを下げる等の物理的な対策もある。しかし、このような物理的な対策は、別ピンを用意したり、配線を太くしたり、電源とグランド間に容量を挿入したりなど、ピン数の増加やチップ面積の増加につながる。その結果、コスト増につながる。

【0010】

特開2009-290540号公報(特許文献2)は、アナログ回路内のサンプルアンドホールド回路と比較器とが同時に動作しないようにすることで、サンプルアンドホールド回路の動作による電源ノイズの悪影響を低減する。しかし、サンプルアンドホールド回路と比較器との間の干渉のみを対象としており、他のアナログ回路(D/Aコンバータ等)との干渉は解決されていない。

【0011】

この他に、ある回路が動作している間は、もう一方の動作を制限することで干渉を避ける技術も開示されている。例えば、特開2006-80646号公報(特許文献3)では、デジタル回路とアナログ回路とが同時に動作しないようにすることで、デジタル回路の動作に基づく干渉等の影響を低減する。しかし、A/D変換を途中で中断しているため、動作を中断した分、変換結果の出力が遅延する。例えば、比較が完了していないため、比較結果を放棄するか、次の比較期間まで比較結果の出力がなされない。

【0012】

10

20

30

40

50

このように、上記特許文献等に記載の技術では、電源を介した干渉の影響の低減になお課題があり、また、A/D変換の結果の出力が遅延しうる。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

一実施の形態によれば、Nビットの出力を得る逐次比較型A/D変換器は、集積回路の各回路の動作タイミングに基づき、逐次比較型A/D変換器の動作に影響を及ぼすタイミングで動作を中断する。逐次比較型A/D変換器は、サンプリング信号と比較基準電圧との比較を、アナログ信号をサンプリングするサンプリング期間と、サンプリングされた信号を比較電圧と1ビットごとに逐次比較するNステートの比較期間と、比較期間に続くMステートの予備期間とにより実行する。逐次比較型A/D変換器は、動作の中断があると、比較期間において比較されなかったビットの比較動作を予備期間において実行する。

10

【発明の効果】

【0014】

前記一実施の形態によれば、逐次比較型A/D変換器を含む集積回路において、電源を介した干渉の影響を低減し、A/D変換の出力の遅延を防ぐことができる。

【図面の簡単な説明】

【0015】

【図1】逐次比較型A/D変換器100の構成を示す図である。

【図2】遷移コードStを示す図である。

20

【図3】逐次比較型A/D変換器100の動作期間を示す図である。

【図4】逐次比較型A/D変換器の動作の詳細を示す図である。

【図5】逐次比較型A/D変換器を搭載した集積回路の一例を示す図である。

【図6】実施例1における集積回路1の構成を示す図である。

【図7】逐次比較型A/D変換器200の構成を示す図である。

【図8】関連技術における比較動作の各期間を示す図である。

【図9】実施例1における比較動作の各期間を示す図である。

【図10】実施例2における集積回路の構成を示す図である。

【図11】実施例2における動作例を示す図である。

【図12】実施例3における集積回路の構成を示す図である。

30

【図13】信号AD__stateを示す図である。

【図14】各逐次比較型A/D変換器の動作状態に応じた動作中断信号の出力を示す図である。

【図15】各逐次比較型A/D変換器の動作状態に応じて、比較動作の中断を制御する処理を示すフローチャートである。

【図16】逐次比較型A/D変換器の動作状態において、動作電流による影響が大きいステートおよび干渉の影響を受けやすいステートを示す図である。

【図17】実施例4における集積回路の構成を示す図である。

【図18】DAC8の動作状態に応じて動作中断信号を生成する処理を示すフローチャートである。

40

【図19】実施例5における集積回路の構成を示す図である。

【図20】冗長2進数逐次比較型A/D変換器を用いる場合の、干渉により影響を受けやすいステートを示す図である。

【図21】各IPコアが同期していない場合のタイミングチャートである。

【発明を実施するための形態】

【0016】

以下、図面を用いて各実施の形態について説明する。

< 関連技術との対比 >

まず、各実施の形態の逐次比較型A/D(アナログ/デジタル)変換器(SAR A/D C:)の説明と対比するため、関連する逐次比較型A/D変換器の技術について説明する

50

。

【0017】

< 関連技術の構成 >

図1は、逐次比較型A/D変換器100の構成を示す図である。

【0018】

逐次比較型A/D変換器100は、入力されるアナログ入力電圧を、二分探索アルゴリズムによりデジタル値として出力する。逐次比較型A/D変換器100は、サンプル/ホールド回路11と、コンパレータ12と、LocalDAC13と、制御部50とを含む。

。

【0019】

サンプル/ホールド回路11は、逐次比較型A/D変換器100に入力されるアナログ電圧をサンプリングし、逐次比較型A/D変換器100のA/D変換動作の間、保持する。

。

【0020】

コンパレータ12は、サンプル/ホールド回路11の出力と、後述するLocalDAC13の出力を受け付けて大小を比較し、比較結果を出力する。比較結果の出力を逐次行うことにより、NビットのA/D変換が行われる。

【0021】

LocalDAC13は、逐次比較型A/D変換器100に内蔵されるD/A(デジタル/アナログ)変換器であり、比較コードに従ってアナログ電圧を出力する。比較コードは、コンパレータ12においてサンプル/ホールド回路11の出力と比較するためのアナログ電圧の大きさを示すものであり、制御部50により出力される。

【0022】

制御部50は、LocalDAC13により出力されるアナログ電圧の大きさを制御するため、比較コードを決定してLocalDAC13に出力する。具体的には、制御部50は、カウンタ16と、遷移コード生成部17と、加算器18と、減算器19と、セレクタ15と、FF(フリップフロップ)14とを含み、コンパレータ12の出力結果に応じて比較コードを決定する。

【0023】

カウンタ16は、カウント値を遷移コード生成部17に出力する。カウンタ16は、逐次比較型A/D変換器100においてサンプル/ホールド回路11の出力とLocalDAC13の出力とを逐次比較する比較期間において、1ステートごとにカウントダウンする。比較期間については後述する。

【0024】

遷移コード生成部17は、カウンタ16の出力結果に応じて、遷移コードStを加算器18および減算器19に出力する。遷移コードStは、LocalDAC13の出力電圧を遷移させる量を示す。

【0025】

図2は、遷移コードStを示す図である。図2に示すように、カウンタ16のカウント値に応じて遷移コードStが対応付けられている。図2に示す例では、カウンタ16はカウント値「8」からカウントダウンし、遷移コードStは、カウンタ16のカウント値に応じて遷移コードStを出力する。

【0026】

加算器18と減算器19は、LocalDAC13が出力中の比較コードに基づいて、次に出力する比較コードの候補を予め算出する。

【0027】

加算器18は、後述するFF14により保持されている比較コードと遷移コードStとを加算してセレクタ15に出力する。

【0028】

減算器19は、FF14により保持されている比較コードから遷移コードStを減算し

10

20

30

40

50

てセレクタ 15 に出力する。

【0029】

セレクタ 15 は、逐次比較型 A / D 変換器 100 により次に比較するビット位置に用いる比較コードを、コンパレータ 12 の比較結果に応じて選択する。セレクタ 15 は、加算器 18 および減算器 19 の出力と、コンパレータ 12 の比較結果を受け付けて、加算器 18 と減算器 19 との出力のいずれかを FF 14 へ出力する。

【0030】

例えば、コンパレータ 12 において、サンプル/ホールド回路 11 により保持されているアナログ電圧が Local DAC 13 の出力より大きいという比較結果（同図ではコンパレータ 12 が「1」を出力する場合）を出力したとする。この場合、セレクタ 15 は、比較コードに遷移コード St を加えた値（加算器 18 の出力）を選択して FF 14 に出力する。

【0031】

またコンパレータ 12 において、アナログ電圧の入力が Local DAC 13 の方が大きいという比較結果（同図ではコンパレータ 12 が「0」を出力する場合）を出力したとする。この場合、セレクタ 15 は、比較コードに遷移コード St を減算した値（減算器 19 の出力）を選択して FF 14 に出力する。

【0032】

FF 14 は、セレクタ 15 の出力結果である比較コードを保持して Local DAC 13 に出力する。

【0033】

< 関連技術の動作 >

上記の構成を備える逐次比較型 A / D 変換器 100 の動作について説明する。

【0034】

逐次比較型 A / D 変換器 100 の動作は、主に、サンプリング期間と比較期間とによりなされる。

【0035】

図 3 は、逐次比較型 A / D 変換器 100 の動作期間を示す図である。

サンプリング期間とは、A / D 変換の対象となるアナログ入力電圧を受け付けてサンプル/ホールド回路 11 によりアナログ信号をサンプリングする期間である。

【0036】

比較期間とは、コンパレータ 12、Local DAC 13、制御部 50 等の動作によって、Local DAC 13 の出力を逐次切り替えてコンパレータ 12 において比較を行って A / D 変換を行う期間である。

【0037】

コンパレータ 12 において N 回の比較が行われることにより、N ビットの比較結果（A / D 変換結果）が得られる。

【0038】

例えば、図 3 に示すように、サンプリング期間として 11 ステート、比較期間として 10 ステートを用意しており、この逐次比較型 A / D 変換器では 10 ビットの A / D 変換結果が得られる。

【0039】

具体的に逐次比較型 A / D 変換器の動作を説明する。

図 4 は、逐次比較型 A / D 変換器の動作の詳細を示す図である。

【0040】

図 4 では、4 ビットの A / D 変換を行う逐次比較型 A / D 変換器について示している。

図 4 に示すように、この 4 ビットの出力を得る逐次比較型 A / D 変換器は、サンプリング期間において、クロック MCLK に同期して動作し、サンプル/ホールド回路 11 にアナログ入力電圧がサンプリングされる。サンプル/ホールド回路 11 は、サンプリングが終了した時の電圧を、比較期間において保持する。図示する例のように、所定数のクロッ

10

20

30

40

50

クMCLKを1ステートとして比較動作がなされる。

【0041】

このサンプル/ホールド回路11において保持された電圧を、LocalDAC13が生成する電圧と比較していく。LocalDAC13が比較期間において初めに出力する電圧を $(1/2 \text{ Vref})$ とする。サンプル/ホールド回路11において保持された電圧がLocalDAC13よりも大きい場合は、比較結果を「1」とする。またサンプル/ホールド回路11において保持された電圧がLocalDAC13よりも小さい場合は、比較結果を「0」とする。二分探索アルゴリズムにより、1回目の比較後は、LocalDAC13により出力する電圧を $(1/4 \text{ Vref})$ 変化させる。2回目の比較後は、同様に $(1/8 \text{ Vref})$ 変化させる。以下同様に比較をしていく。

10

【0042】

電圧をこのように変化させると、比較期間において、上位ビットより順に比較結果が出力される。図4の例では、1回目の比較ではサンプル/ホールド回路11の電圧の方が大きいためコンパレータ12の出力は「1」となる。

【0043】

2回目の比較では、 $(1/2 \text{ Vref})$ に $(1/4 \text{ Vref})$ を加算した $(3/4 \text{ Vref})$ をLocalDAC13の出力とする。

【0044】

2回目の比較においては、LocalDAC13の出力のほうが大きいためコンパレータ12は「0」を出力する。そのため、制御部50は、3回目の比較では、 $(3/4 \text{ Vref})$ から $(1/8 \text{ Vref})$ を減算した電圧により比較が行われるよう比較コードを決定する。

20

【0045】

3回目の比較においては、 $(3/4 \text{ Vref})$ から $(1/8 \text{ Vref})$ を減算した $(5/8 \text{ Vref})$ をLocalDAC13の出力とする。3回目の比較においても、LocalDAC13の出力の方が大きいためコンパレータ12は「0」を出力する。そのため、制御部50では、4回目の比較では、 $(5/8 \text{ Vref})$ から $(1/16 \text{ Vref})$ を減算した $(9/16 \text{ Vref})$ をLocalDAC13の出力とする。

【0046】

4回目の比較においては、LocalDAC13の出力を $(9/16 \text{ Vref})$ としてサンプル/ホールド回路11の出力との比較がコンパレータ12においてなされる。4回目の比較では、サンプル/ホールド回路11の出力の方が大きいためコンパレータ12は「1」を出力する。

30

【0047】

このようにして逐次比較型A/D変換器100は比較期間において1ビットごとに逐次LocalDAC13の出力を切り替えてサンプル/ホールド回路11の出力と比較している。これにより逐次比較型A/D変換器100は4ビットの比較結果「1001」を得る。

【0048】

<関連技術を搭載した集積回路>

上記のように関連技術として説明した逐次比較型A/D変換器は、集積回路等に搭載されてその機能を発揮する。

40

【0049】

集積回路に対して小型化等の機能向上が求められるにつれて、複数の回路が共通の電源を用いるようになってきている。

【0050】

図5は、逐次比較型A/D変換器を搭載した集積回路の一例を示す図である。

同図に示すように、集積回路1は、複数のIPコア(intellectual property core)(IPコア3、4、5、6、7)と、MCU(Micro Control Unit)2を含む。MCU2は、各IPコアの動作を制御するための動作制御信号を各IPコアに出力することにより、各IPコアの動作を統括的に制御する。

50

【0051】

同図では、逐次比較型 A / D 変換器 100 と D A C (digital to analog converter) 8 とが電源を共通にしている。D A C 8 の動作電流により、電源線に基づいて逐次比較型 A / D 変換器 100 に干渉し、逐次比較型 A / D 変換器 100 の動作に影響を与える。

【0052】

< 1 実施例 1 >

次に、関連技術における問題点（電源線を各 I P コアで共通にしていることによる干渉の問題）に対処する逐次比較型 A / D 変換器および集積回路について、一実施形態を説明する。実施例 1 では、逐次比較型 A / D 変換器 200 の動作に干渉する他の回路として、D A C 8 を例にして説明する。

10

【0053】

図 6 は、実施例 1 における集積回路 1 の構成を示す図である。

同図の例においても、逐次比較型 A / D 変換器 200 と D A C 8 とが電源を共通にしているものとする。そのため D A C 8 の動作電流により、逐次比較型 A / D 変換器 100 の動作に影響を与えるとする。

【0054】

上記関連技術と比較すると、相違点は、集積回路 1 が変換動作制御部（コントローラ）61 と、逐次比較型 A / D 変換器 200 を含んでいる点である。以下、この相違点を具体的に説明する。

【0055】

20

< 1.1 実施例 1 の構成 >

実施例 1 では、D A C 8 の動作タイミングにおいて逐次比較型 A / D 変換器 200 の動作を中断することにより、上記問題に対処する。

【0056】

図 6 に示すように、変換動作制御部 61 は、逐次比較型 A / D 変換器 200 の動作に干渉する回路の動作タイミングに基づいて、逐次比較型 A / D 変換器 200 における各ビットの比較動作の中断タイミングを決定する。

【0057】

具体的には、M C U 2 は、逐次比較型 A / D 変換器 200 へ動作制御信号 (S a d) を出力し、D A C 8 へ動作制御信号 (S d a) を出力する。変換動作制御部 61 は、M C U 2 により D A C 8 へ出力される動作制御信号 (S d a) を取得する。変換動作制御部 61 には、D A C 8 の動作電流により逐次比較型 A / D 変換器 200 の動作に干渉を及ぼすタイミングが予め記憶されている。変換動作制御部 61 は、動作制御信号 (S d a) を取得したタイミングから、D A C 8 が逐次比較型 A / D 変換器 200 の動作に干渉を及ぼすタイミングを決定し、決定したタイミングにおいて動作中断信号 (A D C _ f r z) をオンにして逐次比較型 A / D 変換器 200 へ出力する。

30

【0058】

例えば、変換動作制御部 61 は、M C U 2 から D A C 8 への動作制御信号の出力（活性化）から特定周期の間を、逐次比較型 A / D 変換器 200 における比較動作の中断タイミングと決定し、この特定周期の間、活性化される動作中断信号を生成することとしてもよい。なお、中断する特定周期は、レジスタ等により保持して可変とすることとしてもよい。

40

【0059】

図 7 は、逐次比較型 A / D 変換器 200 の構成を示す図である。

逐次比較型 A / D 変換器 200 は、動作制御信号 (S d a) に基づいて動作する。関連技術と比較すると、制御部 51 の構成においてセレクタ 22 を含んでいる。またカウンタ 16 に代えてカウンタ 21 を含んでいる。図 7 において、動作中断信号 (A D C _ f r z) は、変換動作制御部 61 により出力される。逐次比較型 A / D 変換器 200 は、この動作中断信号 (A D C _ f r z) に従って、コンパレータ 12 における各ビットの比較動作を中断する（中断時は、次のビットの比較に進まない）。同図の例では、逐次比較型 A /

50

D変換器200は、動作中断信号(ADC_frz)が「1(オン)」のとき、コンパレータ12における比較動作を中断し、「0(オフ)」のとき、比較動作を行う。

【0060】

逐次比較型A/D変換器200では、遷移コード生成部17と加算器18と減算器19とセレクタ15とを含むことにより、デジタル値生成部91を構成する。デジタル値生成部91は、カウンタ21のカウント値、すなわちコンパレータ12において比較しているビット位置に応じて、次のビット位置の比較動作におけるLocalDAC13の出力電圧の大きさを示すデジタル値を生成する。

【0061】

デジタル値保持部92は、セレクタ22を含むことにより、コンパレータ12において比較しているビット位置に応じてLocalDAC13より出力されているアナログ電圧の大きさを示すデジタル値、および、デジタル値生成部91により生成されたデジタル値の入力を受け付けて、いずれか一方をFF14へ出力する。

10

【0062】

セレクタ22は、逐次比較型A/D変換器200による比較動作を中断するか否かに応じてLocalDAC13へ出力する比較コードを切り替える。図示するように、セレクタ22は、FF14により保持されているLocalDAC13の比較コードと、セレクタ15により出力されている、次のステートにおける比較コードと、動作中断信号(ADC_frz)の入力を受け付ける。動作中断信号(ADC_frz)がオンのとき(図示する例では「1」のとき)、セレクタ22は、FF14により保持されている比較コード

20

【0063】

カウンタ21は、動作中断信号に応じてカウンタ値のカウントダウンを制御する。同図に示すように、逐次比較型A/D変換器200の比較動作を中断する場合、カウンタ21は、カウントダウンを停止する。カウンタ21は、逐次比較型A/D変換器200の比較動作を行う場合はカウントダウンする。

【0064】

このようにして、逐次比較型A/D変換器200は動作中断信号(ADC_frz)により比較動作を中断する。

【0065】

< 1.2 実施例1の動作 >

30

逐次比較型A/D変換器200は、A/D変換を行うために、サンプリング期間、比較期間に加え、M(Mは1以上の自然数)ステートの予備期間を設けている。比較期間において比較がなされなかったビットについては、予備期間において比較動作がなされる。この実施形態の説明では、逐次比較型A/D変換器200は、予備期間に3ステートを設けている。

【0066】

関連技術における比較動作と、実施形態における比較動作について中断があった場合を対比する。

【0067】

図8は、関連技術における比較動作の各期間を示す図である。

40

図8(a)に示すように、中断がない場合は、図示する例では11ステートあるサンプリング期間においてサンプル/ホールド回路11にアナログ信号がサンプリングされ、10ステートある比較期間において10ビットのA/D変換が行われる(ステート12~21)。

【0068】

しかし、図8(b)に示すように、比較動作において中断があった場合(例えばステート18において中断あり)は、その中断のあったステートの比較が次のステートにおいてなされる。そのため比較期間において9ステートの比較動作が行われる。10ビット目の比較動作は完了していない。そのためこの比較結果が破棄されるか、10ビット目の比較

50

が次の逐次比較型 A / D 変換器の動作時になされる。

【 0 0 6 9 】

図 9 は、実施例 1 における比較動作の各期間を示す図である。

図 9 (a) に示すように、比較動作において中断があった場合 (例えばステート 1 8 において中断あり) は、比較期間において 9 ステートの比較が行われる。中断があったため、10 ビット目の比較は、比較期間においてなされない。しかし、本実施形態では予備期間を設けているため、10 ビット目の比較が予備期間においてなされることとなる。

【 0 0 7 0 】

このように動作中断信号が逐次比較型 A / D 変換器 2 0 0 に入力されることにより、逐次比較型 A / D 変換器 2 0 0 は比較動作を中断する。比較動作では、予備期間を設けている。そのため、逐次比較型 A / D 変換器 2 0 0 は、中断があったとしても、逐次比較型 A / D 変換器 2 0 0 が出力するビット数分の比較を完了することができる。

10

【 0 0 7 1 】

上記実施例 1 の構成によれば、逐次比較型 A / D 変換器 2 0 0 の動作に干渉する他の回路 (D A C 8) の動作タイミングに応じて逐次比較型 A / D 変換器 2 0 0 における比較動作を中断する。そのため干渉の影響を回避できる。

【 0 0 7 2 】

また、関連技術のような逐次比較型 A / D 変換器の構成では、比較動作の中断があった場合に、アナログからデジタルへの変換が全てのビットについてなされず、比較結果が破棄される等、必ずしも変換が完了するとは限らない。これに対し逐次比較型 A / D 変換器 2 0 0 では、比較動作において予備期間を設けている。比較動作の中断があった場合も、予備期間において比較がなされるため、アナログ信号の入力に対してデジタルへの変換時間を安定させることができる。

20

【 0 0 7 3 】

D A C が動作する際に発生する電源電圧変動は、一定時間の経過により減衰し定常状態に至る。そのため上記実施例 1 の構成により、電源電圧が変動している間に逐次比較型 A / D 変換器 2 0 0 の動作を中断し、ある程度、D A C による電源電圧変動が減衰してから動作を再開することができる。これにより、干渉による影響を低減できる。

【 0 0 7 4 】

< 2 実施例 2 >

次に、別の実施の形態にかかる逐次比較型 A / D 変換器および集積回路について説明する。

30

【 0 0 7 5 】

< 2 . 1 実施例 2 の構成 >

図 1 0 は、実施例 2 における集積回路の構成を示す図である。

【 0 0 7 6 】

図 1 0 では、集積回路の一部の構成を示しており、実施例 1 の構成と比較すると、変換動作制御部 6 2 を含んでいる。

【 0 0 7 7 】

実施例 2 では、実施例 1 のように D A C 8 が逐次比較型 A / D 変換器 2 0 0 の動作に干渉するタイミングに加えて、逐次比較型 A / D 変換器 2 0 0 による比較動作において、干渉を受けにくいステートであるか否かに応じて変換動作制御部 6 2 が動作中断信号を出力する。

40

【 0 0 7 8 】

同図 (A) に示すように、変換動作制御部 6 2 は、論理回路 A 7 1 と、論理回路 B 7 2 と、AND 回路 7 3 とを含む。また同図 (B) には論理回路 A 7 1 の構成をより具体的に示しており、論理回路 A 7 1 は、論理回路 C 7 5 とレジスタ 7 6 を含む。

【 0 0 7 9 】

変換動作制御部 6 2 は、M C U 2 から逐次比較型 A / D 変換器 2 0 0 へ出力される動作制御信号 (S a d) と、D A C 8 へ出力される動作制御信号 (S d a) を取得する。

50

【0080】

論理回路A71は、取得された動作制御信号(Sad)に基づいて、逐次比較型A/D変換器200が干渉の影響を受けやすい状態か否かを示す信号(AD__active)をAND回路73へ出力する。逐次比較型A/D変換器200が干渉の影響を受けやすいタイミングにおいて信号AD__activeをオンにする。例えば、Sadに逐次比較型A/D変換器200の動作開始信号と、サンプリングに用いる状態数と、変換動作時の遷移コードStとが含まれていれば、これらにより信号AD__activeを生成する。または、逐次比較型A/D変換器200のサンプリングに用いる状態数等が固定されており、論理回路A71のレジスタ76に書き込まれている場合もある。

【0081】

具体的には、同図に示すように、論理回路A71は、論理回路C75とレジスタ76を含む。論理回路C75では、動作制御信号(Sad)の入力を受け付けて、逐次比較型A/D変換器200が干渉の影響を受けやすいタイミング(例えば、サンプリング期間の後半と比較期間)において信号AD__activeをオンにする。なお、干渉の影響を受けやすいタイミングについては、レジスタ76に記憶させ、可変としてもよい。また、論理回路C75は、動作中断信号(ADC__frz)を受け付けて、信号AD__activeの出力を制御する。動作中断信号(ADC__frz)により逐次比較型A/D変換器200の比較動作が中断するため、中断後の逐次比較型A/D変換器200の比較動作は中断した状態数だけずれた状態に行われる。したがって、論理回路C75は、動作中断信号(ADC__frz)を受け付けて、中断後の逐次比較型A/D変換器200の比較動作と信号AD__activeが対応するように、中断後の信号AD__activeは中断した状態数だけずれるように制御して出力する。

【0082】

論理回路B72は、取得された動作制御信号(Sda)に基づいて、実施例1の変換動作制御部61と同様に、DAC8が逐次比較型A/D変換器200の動作に干渉を及ぼすタイミングにおいて信号(DA__active)をオンにしてAND回路73へ出力する。例えば、SdaにはDAC8の起動信号やDAC8にアナログ信号を出力させるための入力コード等が含まれている。DAC8が大きな動作電流を発生させる入力コードの変化があった場合に、論理回路B72は、信号DA__activeをオンにする。

【0083】

なお、“大きな動作電流を発生させる入力コードの変化”は、予めシミュレーション等により判明しており、このような変化があった場合にのみ信号DA__activeをオンにすることとしてもよい。またレジスタ等により、信号DA__activeをオンとするだけの“大きな動作電流を発生させる入力コードの変化”がどの程度が設定できることとしてもよい。

【0084】

AND回路73は、逐次比較型A/D変換器200が干渉の影響を受けやすいタイミングで、かつ、DAC8が逐次比較型A/D変換器200の動作に干渉を及ぼすタイミングにおいて動作中断信号(ADC__frz)を逐次比較型A/D変換器200へ出力する。図示するように、信号AD__activeと信号DA__activeを受け付けてAND回路により動作中断信号(ADC__frz)を出力する。

【0085】

< 2.2 実施例2の動作 >

このように構成された実施例2におけるAND回路73の動作、および逐次比較型A/D変換器200の比較動作について説明する。

【0086】

図11は、実施例2における動作例を示す図である。

図11(a)は、逐次比較型A/D変換器200が干渉の影響を受けやすい状態を示している。干渉の影響を受けやすい状態であるか否かは、設計時に予め確認しておく、その情報を組み込んでおくか、設計後に確認してレジスタ76に設定できるようにし

10

20

30

40

50

ておく。

【0087】

干渉の影響を受けやすい状態とは、例えばサンプリング期間の後半や比較期間としている。同図においては、状態11から状態20を、干渉の影響を受けやすい状態としている。例えば状態11は、サンプリング期間の終端である。この状態において干渉を受けると、サンプリングの結果への影響が大きくなる。また比較期間において逐次比較型A/D変換器200が干渉の影響を受けると、比較結果であるデジタル値の出力にも影響しうる。

【0088】

図11(a)に示すように、信号AD__activeと信号DA__activeがともにオンの場合に、動作中断信号(ADC__frz)が変換動作制御部62から出力される。

10

【0089】

図11(b)では、状態7、18においてDAC8が干渉を及ぼす動作をし、逐次比較型A/D変換器200の動作が状態11から20において干渉の影響を受けやすい場合の動作例を示している。

【0090】

状態18において動作中断信号(ADC__frz)がオンとなっている。そのため、逐次比較型A/D変換器200は、動作を停止し、1状態後に状態18の比較動作を再開する。なお、信号AD__activeは、比較動作の中断がなければ、同図中の点線のようになるが、中断動作が1状態発生したために実線のように出力される。

20

【0091】

上記の実例2によれば、逐次比較型A/D変換器が影響を受けやすい動作タイミングであるか否かに応じて、逐次比較型A/D変換器における比較動作の中断を制御することができる。

【0092】

<3 実施例3>

次に、別の実施の形態にかかる逐次比較型A/D変換器および集積回路について説明する。

【0093】

30

<3.1 実施例3の構成>

図12は、実施例3における集積回路の構成を示す図である。

【0094】

実施例1、2の構成と比較すると、変換動作制御部63を含んでおり、2つの逐次比較型A/D変換器(逐次比較型A/D変換器301、逐次比較型A/D変換器302)を含んでいる。

【0095】

逐次比較型A/D変換器も動作時に動作電流が発生するため、他のIPコアに影響を及ぼしうる。そのため実施例3では、逐次比較型A/D変換器が他のIPコアに影響を及ぼす場合の構成を示している。例えば2つの逐次比較型A/D変換器(逐次比較型A/D変換器301、逐次比較型A/D変換器302)が電源を共通にしている場合である。

40

【0096】

変換動作制御部63は、各逐次比較型A/D変換器への動作制御信号を取得する。取得した動作制御信号に基づいて、上記実施例のように各逐次比較型A/D変換器が影響を受けるタイミングに加え、各逐次比較型A/D変換器が他のIPコアに影響を及ぼす動作タイミングに応じて動作中断信号を各逐次比較型A/D変換器へ出力する。

【0097】

逐次比較型A/D変換器が2つ(逐次比較型A/D変換器301、逐次比較型A/D変換器302)あるため、双方が動作電流を発生させ、双方がいずれかもう一方の動作電流に影響される。そこで、変換動作制御部63は、各逐次比較型A/D変換器の状態を示す

50

ための信号 `AD__state` をそれぞれの逐次比較型 A / D 変換器について生成する。信号 `AD__state` は、各逐次比較型 A / D 変換器の動作状態が、他の IP コアへ与える影響が大きいか（大きな動作電流を発生させるか）、および、干渉の影響を受けやすいかを示している。

【0098】

また、変換動作制御部 63 は、各逐次比較型 A / D 変換器において、予備期間による比較動作が可能なステートがどれだけ残存しているかを記憶し（残存回数記憶部 97）、残存回数を示す信号 `AD__wait` を生成する。予備期間のステート数は予め判明しているものとし、変換動作制御部 63 より各逐次比較型 A / D 変換器へ出力した動作中断信号の回数により信号 `AD__wait` を減算する。これにより、変換動作制御部 63 が各逐次比較型 A / D 変換器のいずれか一方の比較動作を中断させる場合に、各逐次比較型 A / D 変換器における予備期間の残存期間に応じていずれを中断させるかを決定することができる。

10

【0099】

図 13 は、信号 `AD__state` を示す図である。

図示するように、逐次比較型 A / D 変換器の状態を 4 つに分類している。

【0100】

図 14 は、各逐次比較型 A / D 変換器の動作状態に応じた動作中断信号の出力を示す図である。

20

【0101】

図 14 では、2 つの逐次比較型 A / D 変換器の動作状態について、第 1 の逐次比較型 A / D 変換器（SAR ADC 1）の動作状態を信号 `AD0__state`、第 2 の逐次比較型 A / D 変換器（SAR ADC 2）の動作状態を信号 `AD1__state` としている。

【0102】

図 14 に示すように、いずれか一方の逐次比較型 A / D 変換器の動作状態が干渉の影響を受けるタイミングで、もう一方の逐次比較型 A / D 変換器の動作状態が他の IP コアへ与える影響が大きい場合に、動作中断信号をオンにする。

【0103】

変換動作制御部 63 は、取得した各逐次比較型 A / D 変換器の動作制御信号により、それぞれの逐次比較型 A / D 変換器について信号 `AD__state` を生成する。

30

【0104】

図 15 は、各逐次比較型 A / D 変換器の動作状態に応じて、比較動作の中断を制御する処理を示すフローチャートである。

【0105】

同図では、変換動作制御部 63 より第 1 の逐次比較型 A / D 変換器へ出力する動作中断信号を信号 `AD0__frz` とし、第 2 の逐次比較型 A / D 変換器へ出力する動作中断信号を信号 `AD1__frz` としている。

【0106】

図 15 に示すように、変換動作制御部 63 は、各逐次比較型 A / D 変換器についての信号 `AD__state` を取り込む（S11、S12）。

40

【0107】

変換動作制御部 63 は、各逐次比較型 A / D 変換器についての信号 `AD__wait` を取り込む（S13、S14）。

【0108】

なお、図 15 に示すフローチャートは逐次比較型 A / D 変換器の比較期間における 1 ステート分（1 比較分）のフローチャートであり、`AD__wait` は A / D 変換開始時に初期値が与えられるものとする。初期値は予備期間に割り当てられたステート数である。

【0109】

変換動作制御部 63 は、図 14 において信号 `ADC__frz` が 0、すなわち各逐次比較型 A / D 変換器が干渉により比較動作を中断する必要がない場合は、各逐次比較型 A / D

50

変換器を中断させないよう動作中断信号をオフにする（信号 `AD0_frz` および信号 `AD1_frz` をともにオフにする）（S15、S16、S17、S19）。

【0110】

変換動作制御部63は、図14において信号 `ADC_frz` が1、すなわち逐次比較型A/D変換器のいずれかが干渉により影響を受ける場合は、各逐次比較型A/D変換器の予備期間の残存回数を比較する（S18）。

【0111】

変換動作制御部63は、ステップS18において、残存回数の大きい方の逐次比較型A/D変換器を優先して比較動作を中断するよう動作中断信号を生成する（S18、S20、S22）。また変換動作制御部63は、比較動作を中断させる逐次比較型A/D変換器の残存回数を示す信号 `AD_wait` をデクリメントする（S21、S23）。

10

【0112】

変換動作制御部63は、生成した動作中断信号を各逐次比較型A/D変換器へ出力する（S24）。

【0113】

ここで、逐次比較型A/D変換器の動作状態において、どのステートを、“動作電流により他のIPコアへの影響が大きいか”、“干渉の影響を受けやすいか”とするかの具体例を説明する。

【0114】

なお図15において、ステップS15、S16、S17、S18、S19、S20、S21、S22、S23の各処理を処理 `chart_11` とする。

20

【0115】

図16は、逐次比較型A/D変換器の動作状態において、動作電流による影響が大きいステートおよび干渉の影響を受けやすいステートを示す図である。

【0116】

図16(a)に示すように、逐次比較型A/D変換器の動作において、干渉の影響を受けやすいステートは、例えばサンプリング期間の終端と、比較期間である。

【0117】

図16(b)に示すように、逐次比較型A/D変換器の動作において、他のIPコアへの影響が大きいステートは、サンプリング期間の一部と、サンプリング期間から比較期間へと切り替わるステートであるとしてもよい。

30

【0118】

図16(c)には、各ステートにおける信号 `AD_state` を示している。

実施例3の構成によれば、逐次比較型A/D変換器が他のIPコア（例えば、他の逐次比較型A/D変換器）に影響を及ぼす場合にも干渉の影響を低減することができる。

【0119】

また、複数の逐次比較型A/D変換器が互いに干渉する場合において、各逐次比較型A/D変換器における比較動作の中断回数に応じて、または予備期間の残存回数に応じて、いずれの逐次比較型A/D変換器の比較動作を中断させるか制御することができる。

【0120】

<4 実施例4>

次に、別の実施の形態にかかる逐次比較型A/D変換器および集積回路について説明する。

40

【0121】

<4.1 実施例4の構成>

図17は、実施例4における集積回路の構成を示す図である。

【0122】

実施例4では、実施例3のように逐次比較型A/D変換器が複数ある構成と、実施例1、2のようにDACがある構成である。図示するように2つの逐次比較型A/D変換器と1つのDACが電源を共通にしている場合である。

50

【0123】

変換動作制御部64は、各逐次比較型A/D変換器（逐次比較型A/D変換器301、逐次比較型A/D変換器302）とDAC8への動作制御信号を取得する。変換動作制御部64は、DAC8が動作していない場合は上記実施例3の動作をする。変換動作制御部64は、DAC8が動作している場合は、各逐次比較型A/D変換器が干渉されやすい状態であるか否かにより動作中断信号の出力を制御する。

【0124】

変換動作制御部64では、実施例2で説明したように、DAC8が各逐次比較型A/D変換器に影響を及ぼすタイミングを示す信号DA__activeを生成する。

【0125】

図18は、DAC8の動作状態に応じて動作中断信号を生成する処理を示すフローチャートである。

【0126】

変換動作制御部64は、実施例3において説明したように、各逐次比較型A/D変換器の動作状態についての信号AD__state（AD0__state、AD1__state）を取り込む（S11、S12）。

【0127】

変換動作制御部64は、各逐次比較型A/D変換器についての信号AD__wait（AD0__wait、AD1__wait）を取り込む（S13、S14）。

【0128】

変換動作制御部64は、DAC8が各逐次比較型A/D変換器に影響を及ぼすタイミングであるか否かに応じて、影響を及ぼすタイミングでなければ（S35：YES）、図15に示す処理chart__11の処理を実行して各逐次比較型A/D変換器についての動作中断信号を生成する（S36）。

【0129】

変換動作制御部64は、DAC8が各逐次比較型A/D変換器に影響を及ぼすタイミングであれば（S35：NO）、第一の逐次比較型A/D変換器が干渉の影響を受けない場合（AD0__stateが図13に示す「0」または「2」の場合）には（S37：YES）、第一の逐次比較型A/D変換器の比較動作を中断させないよう動作中断信号をオフにする（S38）。

【0130】

変換動作制御部64は、ステップS37において第一の逐次比較型A/D変換器が干渉の影響を受ける動作状態であれば（S37：NO）、第一の逐次比較型A/D変換器の比較動作を中断し、予備期間の残存回数を示す信号AD0__waitをデクリメントする（S39）。

変換動作制御部64は、DAC8が各逐次比較型A/D変換器に影響を及ぼすタイミングであれば（S35：NO）、第二の逐次比較型A/D変換器が干渉の影響を受けない場合（AD1__stateが図13に示す「0」または「2」の場合）には（S40：YES）、第二の逐次比較型A/D変換器の比較動作を中断させないよう動作中断信号をオフにする（S41）。

【0131】

変換動作制御部64は、ステップS40において第二の逐次比較型A/D変換器が干渉の影響を受ける動作状態であれば（S40：NO）、第二の逐次比較型A/D変換器の比較動作を中断し、予備期間の残存回数を示す信号AD1__waitをデクリメントする（S42）。

【0132】

変換動作制御部64は、上記ステップS36、37、38、39、40、41、42に従って各逐次比較型A/D変換器の動作中断信号を出力する（S24）。

【0133】

上記の実施例の構成によれば、DAC8が動作しているか否かに応じて、複数の逐次比

10

20

30

40

50

較型 A / D 変換器の比較動作を制御することができる。DAC8 が動作していない場合は実施例 3 と同様の効果を得られ、DAC8 が動作している場合は実施例 2 と同様の効果が得られる。

【0134】

< 5 実施例 5 >

次に、別の実施の形態にかかる逐次比較型 A / D 変換器および集積回路について説明する。

【0135】

< 5.1 実施例 5 の構成 >

図 19 は、実施例 5 における集積回路の構成を示す図である。

10

【0136】

実施例 1 ~ 4 においては、逐次比較型 A / D 変換器や DAC8 へ動作制御信号を出力する制御回路 (MCU2) が集積回路 1 の内部にあるものとして説明してきた。

【0137】

これに限らず、MCU2 を搭載せず、各 IP コアにより構成されており、逐次比較型 A / D 変換器や DAC8 の制御信号が外部から入力される場合も、変換動作制御部 65 において動作制御信号を取り込むことにより、上記実施例 1 等と同等の効果を得ることができる。

【0138】

< 6 実施例 6 >

20

次に、別の実施の形態にかかる逐次比較型 A / D 変換器および集積回路について説明する。

【0139】

実施例 6 では、上記の実施例 1 ~ 5 で説明してきた逐次比較型 A / D 変換器を、冗長 2 進数逐次比較型 A / D 変換器としたものである。

【0140】

冗長 2 進数逐次比較型 A / D 変換器では、比較期間の後半において補正が行われる。そこで、比較期間の比較的前半のステートにおいては、干渉により影響を受けにくいものとしてもよい。

【0141】

30

図 20 は、冗長 2 進数逐次比較型 A / D 変換器を用いる場合の、干渉により影響を受けやすいステートを示す図である。

【0142】

N ビットの変換を行う冗長 2 進数逐次比較型 A / D 変換器の場合、比較回数は N 回を上回る。この図の例では、ADC の変換精度を 10 ビットとし、比較を 14 回行う構成としている。比較期間における前半の比較では (同図の例ではステート 12 から 17)、ある程度の誤差が生じたとしても、後半の比較で補正される。そのためこれらのステートでは干渉の影響を受けないものとしている。

【0143】

なお、実施例 2 と同様に、干渉の影響を受けない期間を、レジスタ等により記憶させ、可変としてもよい。

40

【0144】

実施例 6 の構成によれば、干渉の影響を受けるステートを、より限定することができる。

【0145】

< 7 実施例 7 >

次に、別の実施の形態にかかる逐次比較型 A / D 変換器および集積回路について説明する。

【0146】

上記実施例 1 ~ 6 の構成において、各 IP コアが同期していない場合においても、干渉

50

の影響を低減し、A/D変換の出力の遅延を防ぐことができる。

【0147】

図21は、各IPコアが同期していない場合のタイミングチャートである。

図21では、実施例2と同じ構成としている。DAC8はクロックMCLK1に同期し、逐次比較型A/D変換器200はクロックMCLK2に同期している。

【0148】

この場合、信号DA__activeと信号AD__activeは、対応するDAC8と逐次比較型A/D変換器200の動作制御信号に基づき生成されるため、信号DA__activeは、クロックMCLK1に同期したものとなる。信号AD__activeは、クロックMCLK2に同期したものとなる。

10

【0149】

同図では、ステート18において、信号DA__activeが遅れて立ち上がっている。この場合、実施例2の構成における変換動作制御部62は、所定ステート先の(例えば2つ先のステート)信号DA__activeと信号AD__activeにより、生成すべき信号AD__frzを予測して生成することとしてもよい。例えばステート18の期間において信号DA__activeが立ち上がることを動作制御信号により予測する。

【0150】

今回開示された実施の形態はすべての点で例示であって制限的なものでないと考えられるべきである。この発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

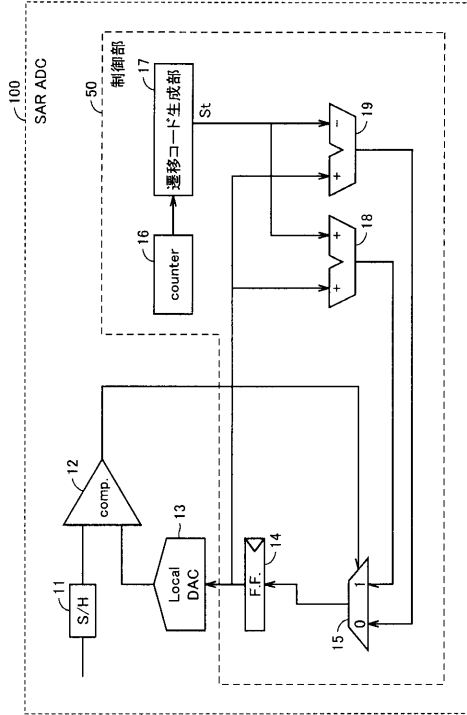
【符号の説明】

【0151】

11 サンプル/ホールド回路、12 コンパレータ、13 Local DAC、14 FF、15 セレクタ、16 カウンタ、17 遷移コード生成部、18 加算器、19 減算器、21 カウンタ、22 セレクタ、50 制御部、51 制御部、61 変換動作制御部、63 変換動作制御部、64 変換動作制御部、65 変換動作制御部、71 論理回路A、72 論理回路B、73 AND回路、75 論理回路C、76 レジスタ、91 デジタル値生成部、92 デジタル値保持部、97 残存回数記憶部、100 逐次比較型A/D変換器、200 逐次比較型A/D変換器、301 逐次比較型A/D変換器、302 逐次比較型A/D変換器、1 集積回路1、2 MCU、3 IPコア、4 IPコア、5 IPコア、6 IPコア、7 IPコア、8 DAC。

30

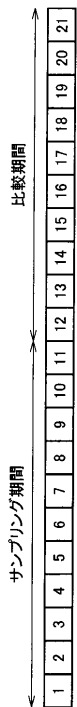
【図 1】



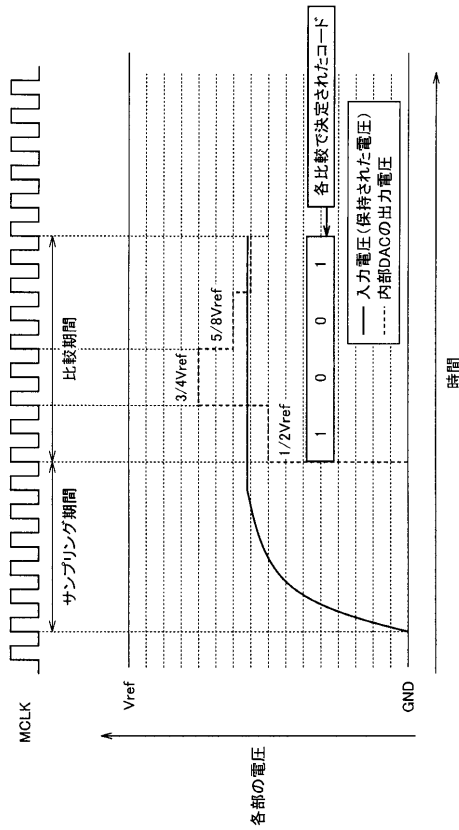
【図 2】

COUNT	St (遷移量)
8	256
7	128
6	64
5	32
4	16
3	8
2	4
1	2
0	1

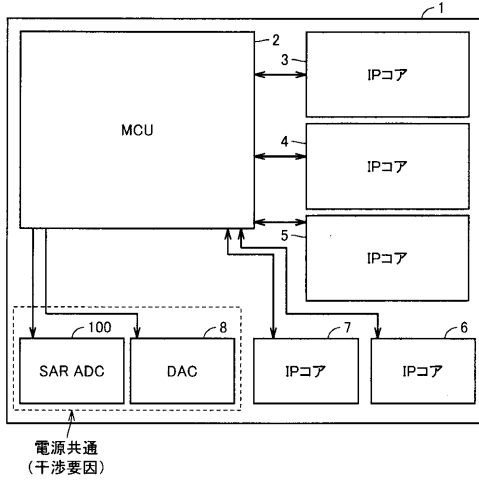
【図 3】



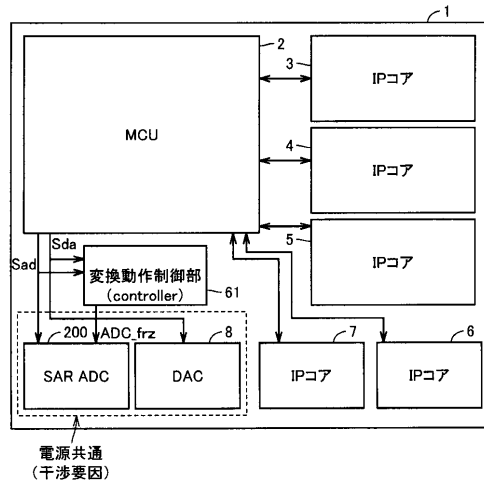
【図 4】



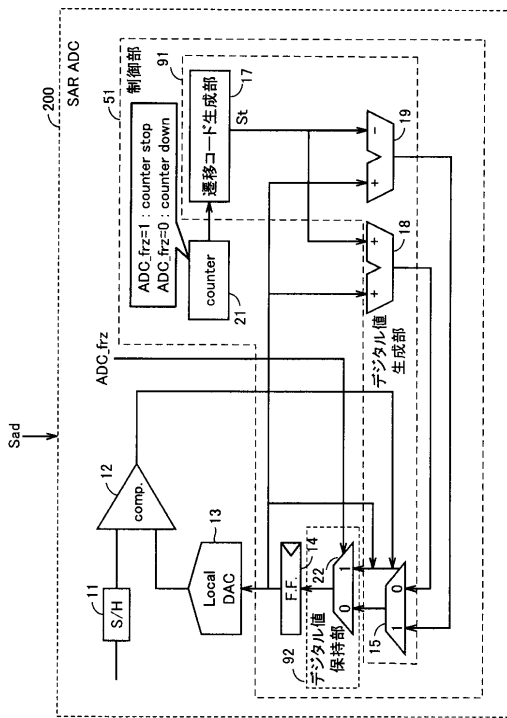
【図5】



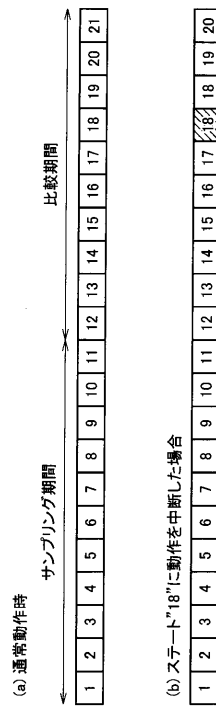
【図6】



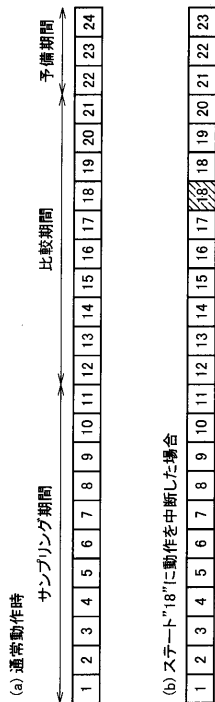
【図7】



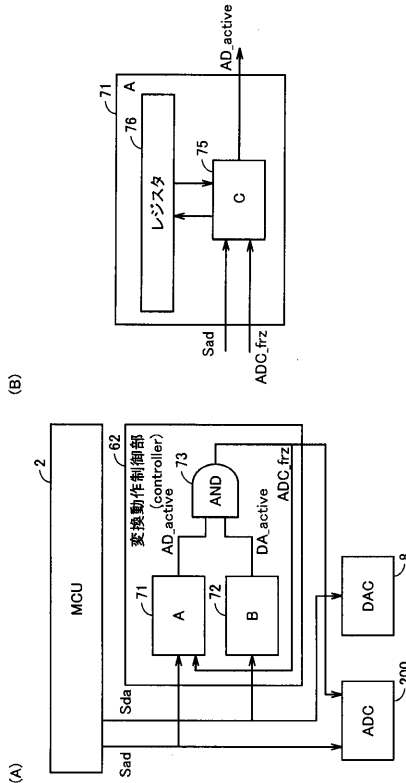
【図8】



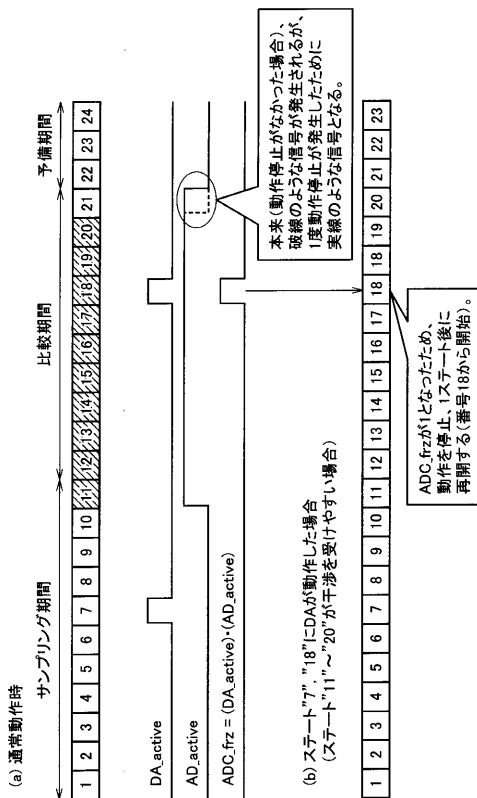
【 図 9 】



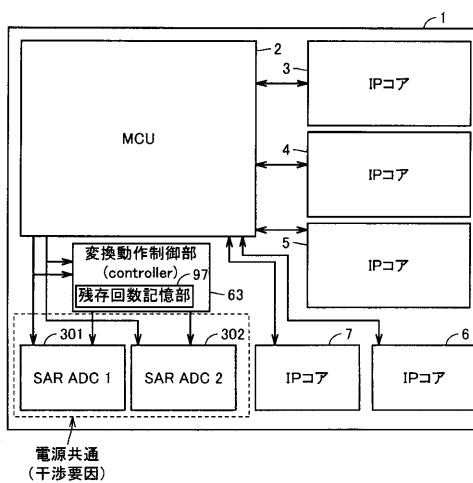
【 図 10 】



【 図 11 】



【 図 12 】



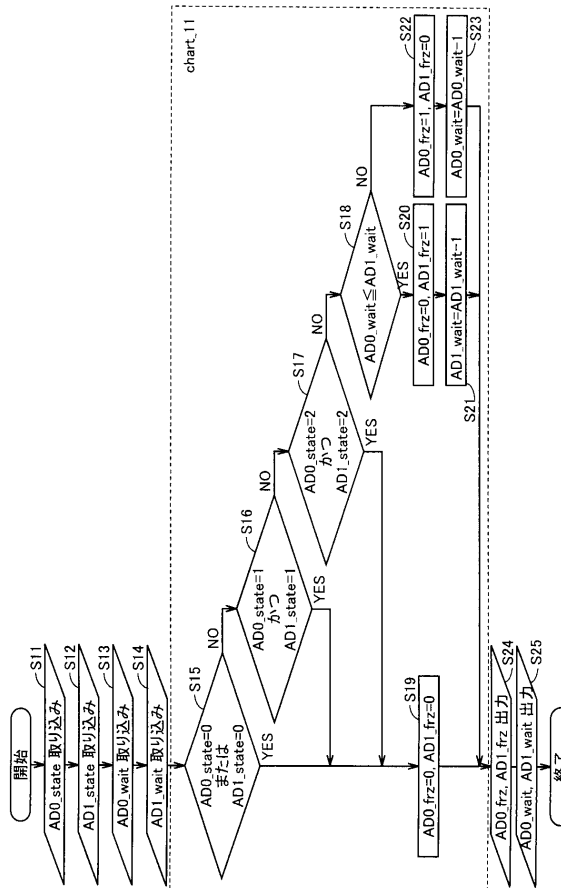
【 図 13 】

AD_state (2進表記)	状態	
	動作電流	干渉の影響
0 (00)	小	受けない
1 (01)	小	受ける
2 (10)	大	受けない
3 (11)	大	受ける

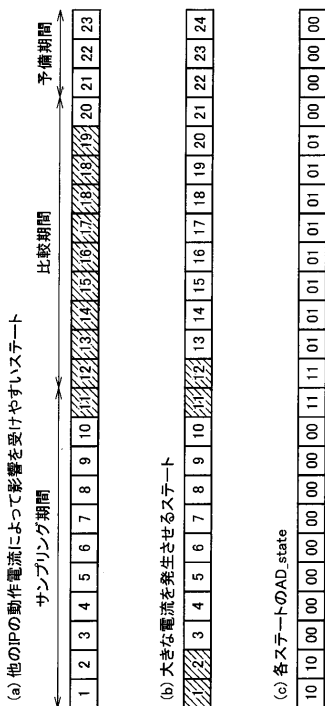
【図 1 4】

AD0_state	AD1_state	状態(AD0_state)		状態(AD1_state)		ADC_frz
		動作電流	干渉の影響	動作電流	干渉の影響	
0	0	小	受けない	小	受けない	0
0	1	小	受けない	小	受ける	0
0	2	小	受けない	大	受けない	0
0	3	小	受けない	大	受ける	0
1	0	小	受ける	小	受けない	0
1	1	小	受ける	小	受ける	0
1	2	小	受ける	大	受けない	1
1	3	小	受ける	大	受ける	1
2	0	大	受けない	小	受けない	0
2	1	大	受けない	小	受ける	1
2	2	大	受けない	大	受けない	0
2	3	大	受けない	大	受ける	1
3	0	大	受ける	小	受けない	0
3	1	大	受ける	小	受ける	1
3	2	大	受ける	大	受けない	1
3	3	大	受ける	大	受ける	1

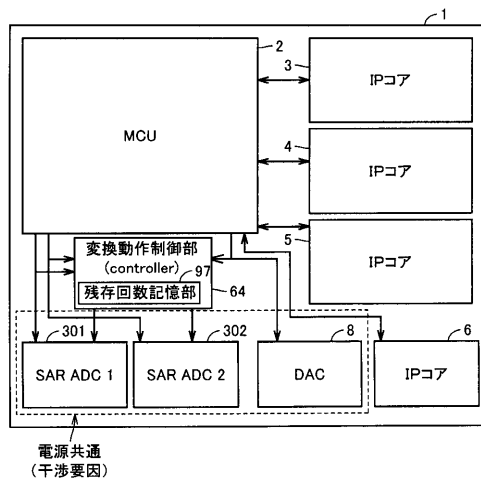
【図 1 5】



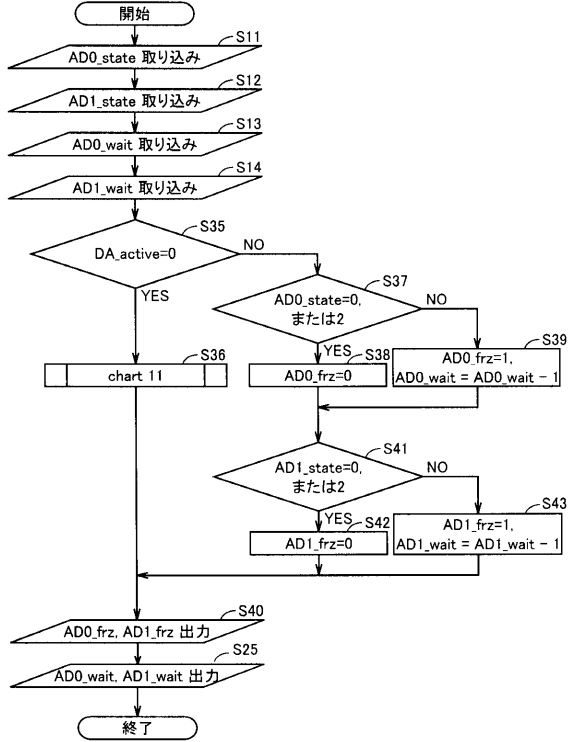
【図 1 6】



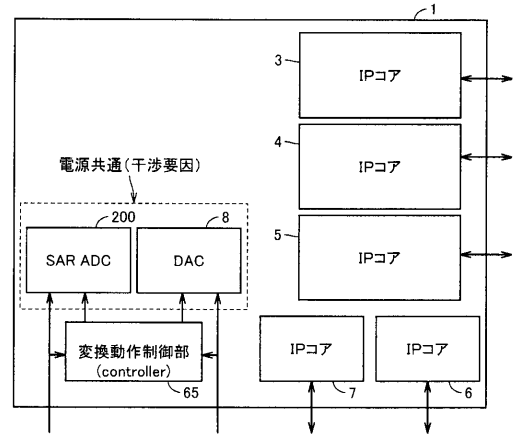
【図 1 7】



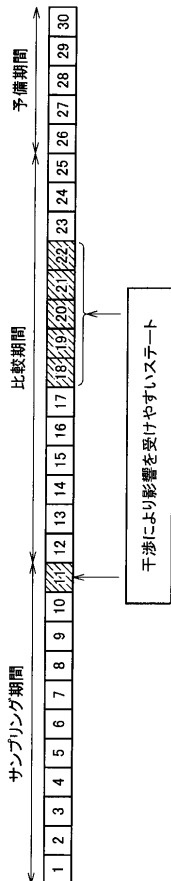
【 図 1 8 】



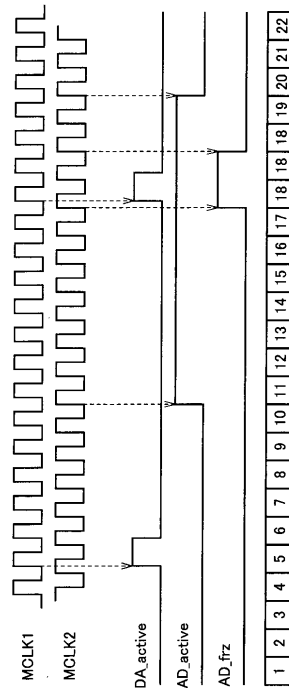
【 図 1 9 】



【 図 2 0 】



【 図 2 1 】



フロントページの続き

(72)発明者 鈴木 寛人

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

Fターム(参考) 5J022 AA02 AB02 BA02 CA10 CE02 CF01