

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294518

(P2005-294518A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 21/768

H O 1 L 21/90

A

5 F O 3 3

H O 1 L 21/8242

H O 1 L 27/10

4 3 4

5 F O 8 3

H O 1 L 21/8247

H O 1 L 27/10

6 2 5 A

5 F 1 O 1

H O 1 L 27/108

H O 1 L 27/10

6 5 1

H O 1 L 27/115

H O 1 L 27/10

6 8 1 B

審査請求 未請求 請求項の数 5 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2004-107154 (P2004-107154)

(22) 出願日 平成16年3月31日 (2004. 3. 31)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71) 出願人 598082433

中部東芝エンジニアリング株式会社

愛知県名古屋市中区栄1-16-6 名古屋三蔵東邦生命ビル6階

(74) 代理人 100071135

弁理士 佐藤 強

(74) 代理人 100119769

弁理士 小川 清

(72) 発明者 渡野 恒

三重県四日市市山之一色町800番地 株式会社東芝四日市工場内

最終頁に続く

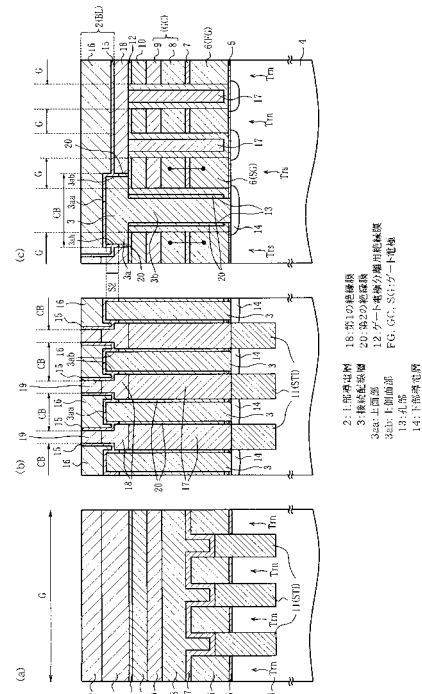
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 上部導電層および下部導電層を接続する接続配線層の外周面にスペーサを使用したとしてもスペーサの機能を生かしながら上部導電層および接続配線層間の接触面積を増加させることができ、接触部分の抵抗を低減できるようにする。

【解決手段】 第3の多結晶シリコン層3の上板部3aの上面部3a aおよび上側面部3a bにおいてチタン層15が第3の多結晶シリコン層3に接触するようになっている。これにより第3の多結晶シリコン層3およびチタン層15間の接触面積を増加させることができるようになる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

上部導電層および下部導電層間に形成された第 1 の絶縁膜と、
前記上部導電層と上面部において接触すると共に前記下部導電層と接触するように形成され、前記上部導電層および下部導電層間を電氣的に接続する接続配線層と、
前記接続配線層の側壁外周面に対して前記第 1 の絶縁膜とは異なる材質により隣接する接続配線層との間のスペーサとして形成された第 2 の絶縁膜とを備え、
前記接続配線層は、当該接続配線層の上面部および上側面部において前記上部導電層と接触するように構成されていることを特徴とする半導体装置。

【請求項 2】

半導体基板と、
この半導体基板上に形成された複数のゲート電極と、
このゲート電極上に形成された第 1 の絶縁膜と、
この第 1 の絶縁膜上に形成されたビット線と、
前記半導体基板の表面の隣接するゲート電極間に形成された拡散層と、
前記ビット線と前記拡散層とを電氣的に接続する接続配線層であって、隣接するゲート電極に挟まれた下配線部とこの下配線部の上に位置し側端が前記ゲート電極の上面上に張り出した上配線部とを有し、この上配線部の上面および側面の上部が前記ビット線に接続した接続配線層と、
前記下配線部と前記ゲート電極との間および前記側面の下部と前記ビット線との間に設けられた第 2 の絶縁膜とを具備したことを特徴とする半導体装置。

【請求項 3】

下部導電層の上層側に第 1 の絶縁膜を形成する工程と、
前記下部導電層の上部に対して接続配線層を少なくとも第 1 の絶縁膜の上方まで埋込み形成する工程と、
隣接する接続配線層との間のスペーサとして前記接続配線層の側壁外周面に第 2 の絶縁膜を形成する工程と、
前記接続配線層の側壁外周面について当該接続配線層上面部から下方にかけて形成された前記第 2 の絶縁膜の上部を除去する工程と、
この第 2 の絶縁膜が除去された位置において前記接続配線層の上側面部に接触するように上部導電層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 4】

半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上のゲート電極形成領域にゲート電極を形成する工程と、
このゲート電極を覆うようにゲート電極分離用絶縁膜を形成する工程と、
前記ゲート電極分離用絶縁膜の上部にビット線コンタクト形成領域を除いて第 1 の絶縁膜を形成する工程と、
複数の前記ゲート電極分離用絶縁膜間に位置するビット線コンタクト形成領域に対して隣接するビット線コンタクト形成領域との間のスペーサとして第 2 の絶縁膜を形成する工程と、
前記ビット線コンタクト形成領域において下部導電層と接触すると共に前記ゲート電極分離用絶縁膜の上方まで上面部が形成されるように接続配線層を前記第 2 の絶縁膜内に埋込み形成する工程と、
前記接続配線層の上面部から下方に上面が位置するように第 1 の絶縁膜を除去する工程と、
前記接続配線層の上面部から下方まで当該接続配線層の上側面部に形成された前記第 2 の絶縁膜を除去する工程と、
前記第 1 および第 2 の絶縁膜の除去された前記接続配線層の上側面部に接触するように上部導電層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 5】

10

20

30

40

50

半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上のゲート電極形成領域に前記ゲート電極を形成する工程と、
このゲート電極を覆うようにゲート電極分離用絶縁膜を形成する工程と、
前記ゲート電極分離用絶縁膜の上部にビット線コンタクト形成領域を除いて第1の絶縁膜を形成する工程と、

複数の前記ゲート電極分離用絶縁膜間に位置するビット線コンタクト形成領域に対して隣接するビット線コンタクト形成領域との間のスペーサとして第2の絶縁膜を形成する工程と、

前記ビット線コンタクト形成領域において下部導電層と接触すると共に前記ゲート電極分離用絶縁膜の上方まで上面部が形成されるように接続配線層を前記第2の絶縁膜内に埋込み形成する工程と、

前記接続配線層の上面部から下方まで当該接続配線層の上側面部について前記第2の絶縁膜を除去する工程と、

前記接続配線層の上面部から下方に上面部が位置するように第1の絶縁膜を除去する工程と、

前記第1および第2の絶縁膜の除去された前記接続配線層の上側面部に接触するように上部導電層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、上部導電層および下部導電層を電氣的に接続する接続配線層構造を備えた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年の設計ルールの縮小化に伴い、隣接する接続配線層との間の接触（ショート）や電氣的相互作用を防ぐため、接続配線層の外周面に絶縁膜を形成しスペーサを設ける技術が開発されている。具体的には、複数の配線層間を接続する接続配線層の構造として例えば特許文献1に開示された技術が知られている。この特許文献1に開示されている技術によれば、配線層（接続配線層に相当）の周囲に構成した絶縁膜（第2の絶縁膜に相当）により配線層同士あるいは配線層と基板が接触するのを防ぐと共に、腐食による信頼性低下を抑制している。またこの絶縁膜をCVD法を使用して形成することにより配線層の上側だけでなく、側面、裏面にも被着させることで有効な絶縁構造を構成している。

【0003】

他方、複数の配線層間を接続する接続配線層の構造として例えば特許文献2に開示された技術が知られている。この特許文献2に開示されている技術によれば、導電体層を接続する埋込み配線について絶縁膜を選択的に後退させることで導電体層の表面を露出させることにより接触面積を増加させている。

【特許文献1】特開平6-310612号公報（第5頁，図1）

【特許文献2】特開2002-198421（第6頁）

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、配線層の外周に絶縁膜をスペーサとして形成すると、その後、別工程で上部導電層を形成する場合には、接続配線層および上部導電層間の接触面は接続配線層の上面部とのみしか接触させることができない。

近年、さらに設計ルールが縮小化しているため、接続配線層および上部導電層の接触面が接続配線層の上面部のみに限られると接触面積を増加させることができず、接触抵抗を低減することができない。さらに、特許文献2に開示された技術を適用したとしても、スペーサを選択的に後退させて接続配線層との間の接触面積を増加させることができるもの

の、スペーサを構成する絶縁膜を後退させる場所によってはスペーサとしての機能を十分に発揮できなくなってしまう。

【0005】

本発明は、上記事情に鑑みてなされたものであり、その目的は、上部導電層および下部導電層を接続する接続配線層の側壁外周面にスペーサを使用したとしてもスペーサの機能を生かしながら上部導電層および接続配線層間の接触面積を増加させることができ、接触部分の抵抗を低減できる半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

本発明の半導体装置は、上部導電層および下部導電層間に形成された第1の絶縁膜と、上部導電層と上面部において接触すると共に下部導電層と接触するように形成され上部導電層および下部導電層間を電氣的に接続する接続配線層と、接続配線層の側壁外周面に対して第1の絶縁膜とは異なる材質により隣接する接続配線層との間のスペーサとして形成された第2の絶縁膜とを備え、接続配線層は、接続配線層の上面部および上側面部において上部導電層と接触するように構成されていることに特徴を有している。

10

【0007】

このような構成によれば、接続配線層が、当該接続配線層の上面部および上側面部において上部導電層と接触するため、接続配線層の上面部のみで上部導電層と接触する構成に比較して接触部分の抵抗値が低減される。したがって、たとえ上部導電層および下部導電層を接続するための接続配線層の側壁外周面にスペーサを使用したとしても、接続配線層の上側面外周部以外についてはスペーサとして機能するようになるため、スペーサの機能を生かしながら上部導電層および接続配線層間の接触面積を増加させることができ、接触部分の抵抗を低減できるという効果を奏する。

20

【0008】

しかもリソグラフィ技術により上部導電層を形成する場合にマスクの合わせずれが少なからず生じるが、このマスクの合わせずれに起因して上部導電層および接続配線層の上面部間の接触面積が減少しても、上部導電層および接続配線層は当該接続配線層の上面部のみに関わらず上側面部でも接触するため、接触面積の減少に伴う接触部分の高抵抗化を抑制できるようになる。

【0009】

本発明の半導体装置は、半導体基板と、この半導体基板上に形成された複数のゲート電極と、このゲート電極上に形成された第1の絶縁膜と、この第1の絶縁膜上に形成されたビット線と、半導体基板の表面の隣接するゲート電極間に形成された拡散層と、ビット線と拡散層とを電氣的に接続する接続配線層であって、隣接するゲート電極に挟まれた下配線部とこの下配線部の上に位置し側端がゲート電極の上面上に張り出した上配線部とを有し、この上配線部の上面および側面の上部がビット線に接続した接続配線層と、下配線部とゲート電極との間および側面の下部とビット線との間に設けられた第2の絶縁膜とを具備したことを特徴としている。

30

【0010】

本発明の半導体装置の製造方法は、下部導電層の上層側に第1の絶縁膜を形成する工程と、下部導電層の上部に対して接続配線層を少なくとも第1の絶縁膜の上方まで埋込み形成する工程と、隣接する接続配線層との間のスペーサとして前記接続配線層の側壁外周面に第2の絶縁膜を形成する工程と、接続配線層の側壁外周面について当該接続配線層上面部から下方にかけて形成された第2の絶縁膜の上部を除去する工程と、この第2の絶縁膜が除去された位置において接続配線層の上側面部に接触するように上部導電層を形成する工程とを備えたことを特徴としている。

40

【0011】

このような半導体装置の製造方法によれば、スペーサとしての第2の絶縁膜が形成された接続配線層の側壁外周面のうち接続配線層上面部から下方にかけて形成された第2の絶縁膜の上部を除去し、この第2の絶縁膜の除去位置において接続配線層の上側面部に接触

50

するように上部導電層を形成するため、この接続面として形成される接続配線層の上側面外周部以外ではスペーサとして機能するようになり、スペーサの機能を維持しながら上部導電層および接続配線層間の接触面積を増加させることができ、接触部分の抵抗を低減できる。

【0012】

本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上のゲート電極形成領域にゲート電極を形成する工程と、このゲート電極を覆うようにゲート電極分離用絶縁膜を形成する工程と、ゲート電極分離用絶縁膜の上部にビット線コンタクト形成領域を除いて第1の絶縁膜を形成する工程と、複数のゲート電極分離用絶縁膜間に位置するビット線コンタクト形成領域に対して隣接するビット線コンタクト形成領域との間のスペーサとして第2の絶縁膜を形成する工程と、ビット線コンタクト形成領域において下部導電層と接触すると共にゲート電極分離用絶縁膜の上方まで上面部が形成されるように接続配線層を第2の絶縁膜内に埋込み形成する工程と、接続配線層の上面部から下方に上面が位置するように第1の絶縁膜を除去する工程と、接続配線層の上面部から下方まで当該接続配線層の上側面部に形成された第2の絶縁膜を除去する工程と、第1および第2の絶縁膜の除去された接続配線層の上側面部に接触するように上部導電層を形成する工程とを備えたことを特徴としている。

10

【0013】

このような半導体装置の製造方法によれば、第1および第2の絶縁膜が除去された接続配線層の上側面部に接触するように上部導電層を形成しているので、接触面積を増加させることができ、接触抵抗を低減することができるようになると共に、上部導電層、下部導電層およびゲート電極について相互の絶縁性を保つことができるようになる。

20

本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上のゲート電極形成領域にゲート電極を形成する工程と、このゲート電極を覆うようにゲート電極分離用絶縁膜を形成する工程と、ゲート電極分離用絶縁膜の上部にビット線コンタクト形成領域を除いて第1の絶縁膜を形成する工程と、複数のゲート電極分離用絶縁膜間に位置するビット線コンタクト形成領域に対して隣接するビット線コンタクト形成領域との間のスペーサとして第2の絶縁膜を形成する工程と、接続配線層の上面部から下方まで当該接続配線層の上側面部について第2の絶縁膜を除去する工程と、接続配線層の上面部から下方に上面部が位置するように第1の絶縁膜を除去する工程と、第1および第2の絶縁膜の除去された接続配線層の上側面部に接触するように上部導電層を形成する工程とを備えたことに特徴を有している。

30

【0014】

このような半導体装置の製造方法によれば、第1および第2の絶縁膜の除去された接続配線層の上側面部に接触するように上部導電層を形成するため、接触面積を増加させることができ、接触部分の抵抗を低減できると共に、上部導電層、下部導電層およびゲート電極について相互の絶縁性を保つことができるようになる。

【発明の効果】

【0015】

本発明によれば、上部導電層および下部導電層を接続する接続配線層の側壁外周面にスペーサを使用したとしてもスペーサの機能を生かしながら上部導電層および接続配線層間の接触面積を増加させることができるという優れた効果を奏する。

40

【発明を実施するための最良の形態】

【0016】

（第1の実施形態）

以下、本発明をNAND型フラッシュメモリ装置に適用した第1の実施形態について図1～図19を参照しながら説明する。

NAND型フラッシュメモリ装置（不揮発性記憶装置、半導体記憶装置、半導体装置）は、メモリセル領域および周辺回路領域に区画されている。図2は、メモリセル領域におけるメモリセルアレイの配置形態の一例を示している。メモリセルアレイArは、ビット

50

線 B L 側やソース線 S 側にそれぞれ接続された選択ゲートトランジスタ T_{rs} および T_{rs} と、これらの選択ゲートトランジスタ T_{rs} および T_{rs} 間に複数個直列接続されたメモリセルトランジスタ T_{rn} とから構成されている。これらのメモリセルアレイ A r が図 2 に示すように縦列方向に配列されることによりメモリセル領域が形成される。

【0017】

図 1 は、この回路例におけるメモリセルアレイの概略配置の一部（図 2 の X 領域）を模式的な平面図により示している。この図 3 において、G C はコントロールゲート電極配線、F G はフローティングゲート電極、S G は選択ゲート配線、C B はビット線コンタクト形成領域、A A はアクティブエリア（活性領域）、S T I は素子分離領域を示している。

また、図 1 (a) は、図 3 における A - A 線に沿う模式的な縦断側面図を示しており、図 1 (b) は、図 3 における B - B 線に沿う模式的な縦断側面図を示しており、さらに図 1 (c) は、図 3 における C - C 線に沿う模式的な縦断側面図を示している。

【0018】

本実施形態においては、図 1 (a) ~ 図 1 (c) に示す上部導電層 2 （ビット線 B L に相当）および接続配線層（後述する第 3 の多結晶シリコン層 3 に相当）の接続形態に特徴を備えているため、その接続形態の説明について詳細に行う。

図 1 (a) および図 1 (c) に示すように、各トランジスタ T_{rs} , T_{rn} におけるゲート電極形成領域 G には、p 型のシリコン半導体基板 4 上にシリコン酸化膜 5 , 第 1 の多結晶シリコン層 6 , O N O (O x i d e N i t r i d e O x i d e) 膜 7 , 第 2 の多結晶シリコン層 8 , タングステンシリサイド (W S i) 層 9 , 第 1 のシリコンナイトライド膜 1 0 の順に下から積層形成されている。尚、選択ゲート形成領域 G において、第 1 および第 2 の多結晶シリコン層 6 および 8 はその外部において電氣的に接続されているが、この接続形態については図示していない。尚、p 型のシリコン半導体基板 4 上に形成された実施形態を示すが、これは p ウェル領域に形成されていても良いし、必要に応じて逆導電型のシリコン半導体基板に形成されていても良い。

【0019】

シリコン酸化膜 5 は、例えば 8 n m の膜厚により形成されており、各トランジスタ T_{rs} , T_{rn} のゲート絶縁膜として機能する。

第 1 の多結晶シリコン層 6 は、p 型の不純物がドーブされた多結晶シリコンにより例えば 1 6 0 n m の膜厚で形成されており、トランジスタ T_{rn} のフローティングゲート電極 F G として機能する。

【0020】

O N O 膜 7 は、図 1 (a) に示すように、第 1 の多結晶シリコン層 6 の側壁にも形成されている。この O N O 膜 7 は、素子分離領域 (S T I) として機能する第 2 のシリコン酸化膜 1 1 と共に第 1 の多結晶シリコン層 6 を覆うように例えば 1 7 n m (O x i d e 5 n m : S i N 7 n m : O x i d e 5 n m) の膜厚により形成され、トランジスタ T_{rn} のゲート電極形成領域 G における第 1 および第 2 の多結晶シリコン層 6 および 8 （フローティングゲート電極 F G およびコントロールゲート電極 G C ）を電氣的に絶縁するために形成されている。

【0021】

第 2 の多結晶シリコン層 8 は、p 型の不純物がドーブされた多結晶シリコンにより例えば 1 0 0 n m 膜厚で形成されており、トランジスタ T_{rn} のゲート電極形成領域 G においては、タングステンシリサイド層 9 と共にコントロールゲート電極 G C として機能し、トランジスタ T_{rs} のゲート電極形成領域においてはタングステンシリサイド層 9 と共に選択ゲート電極 S G として機能し、所謂ワード線として形成される。タングステンシリサイド層 9 は、例えば 9 0 n m の膜厚により形成されている。また、第 1 のシリコンナイトライド膜 1 0 は、絶縁膜として機能する。

【0022】

各トランジスタ T_{rs} , T_{rn} のゲート電極形成領域 G に形成された各層 6 ~ 1 0 を覆うように、第 2 のシリコンナイトライド膜 1 2 が形成されている。この第 2 のシリコンナイトライド膜 1 2 は、隣接するトランジスタ T_{rs} , T_{rn} ... のゲート電極形成領域 G 間

10

20

30

40

50

を電氣的に絶縁するようになっておりゲート電極分離用絶縁膜として機能する。

また、図 1 (b) および図 1 (c) 並びに図 3 に示すように、隣接するトランジスタ T_{rs} および T_{rs} のゲート電極形成領域 G 間 (隣接する選択ゲート SG 間) には、ビット線コンタクト形成領域 CB が設けられている。

【 0 0 2 3 】

このビット線コンタクト形成領域 CB には孔部 1 3 が形成されており、この孔部 1 3 に接続配線層として第 3 の多結晶シリコン層 3 が埋込み形成されている。この第 3 の多結晶シリコン層 3 は、図 1 (c) に示すように、トランジスタ T_{rs} および T_{rs} を構成する各層 6 ~ 1 0 を覆う第 2 のシリコンナイトライド膜 1 2 の間に埋込み形成される。第 3 の多結晶シリコン層 3 は縦長楕円柱状に縦長片部 3 b (本発明の下配線部に相当) として形成されると共に、この上部に円板状に上板部 3 a (本発明の上配線部に相当) として形成されることにより、第 3 の多結晶シリコン層 3 は縦断面 T 字形状に形成される。第 3 の多結晶シリコン層 3 はシリコン半導体基板 4 に形成された拡散層 1 4 (本発明の下部導電層に相当) と上部導電層 2 を構成するチタン層 1 5 とを電氣的に接続している。

【 0 0 2 4 】

この第 3 の多結晶シリコン層 3 の上板部 3 a は、図 1 (c) に示すように、トランジスタ T_{rs} のゲート電極形成領域 G の第 2 のシリコンナイトライド膜 1 2 の上部にまで水平方向に形成されている。また、図 1 (b) に示すように、隣接するビット線コンタクト形成領域 CB 間には第 2 のシリコン酸化膜 1 7、第 3 のシリコン酸化膜 1 8 (本発明の第 1 の絶縁膜に相当) および第 4 のシリコン酸化膜 1 9 が埋込み形成されている。これらの第 2、第 3 および第 4 のシリコン酸化膜 1 7 ~ 1 9 は、隣接する第 3 の多結晶シリコン層 3 を電氣的に絶縁するために設けられている。

【 0 0 2 5 】

図 1 (b) および図 1 (c) に示すように、第 3 の多結晶シリコン層 3 の縦長片部 3 b の外周面には第 3 のシリコンナイトライド膜 2 0 が形成されている。この第 3 のシリコンナイトライド膜 2 0 は、図 1 (b) に示すように、第 3 の多結晶シリコン層 3 と、第 2 および第 3 のシリコン酸化膜 1 7 および 1 8 との間に縦長状に形成されると共に第 3 の多結晶シリコン層 3 の側壁に形成されるもので、隣接する第 3 の多結晶シリコン層 3 間の電氣的絶縁機能を強化するためのスペーサとして機能する。

【 0 0 2 6 】

また、第 3 の多結晶シリコン層 3 の上板部 3 a における側壁外周面下部には第 3 のシリコンナイトライド膜 2 0 (本発明の第 2 の絶縁膜に相当) が形成されている。この第 3 のシリコンナイトライド膜 2 0 も前述したシリコンナイトライド膜と同様に、隣接する第 3 の多結晶シリコン層 3 間のスペーサとして機能するようになっている。

図 1 (c) に示すように、1つのメモリセルアレイを構成する各トランジスタ T_{rn} および T_{rs} のゲート電極形成領域 G 間には、第 2 のシリコン酸化膜 1 7 が埋込み形成されている。この部位に埋め込まれる第 2 のシリコン酸化膜 1 7 は、各トランジスタ T_{rs} および T_{rn} ... のゲート電極形成領域 G 間の電氣的絶縁機能を向上するために埋込み形成されており、第 2 のシリコンナイトライド膜 1 2 の上面に対して面一になるように埋込み形成されている。

【 0 0 2 7 】

第 2 のシリコンナイトライド膜 1 2 および第 2 のシリコン酸化膜 1 7 の上部には、ビット線コンタクト形成領域 CB 以外の領域に対して第 3 のシリコン酸化膜 1 8 が形成されている。この第 3 のシリコン酸化膜 1 8 は、第 3 の多結晶シリコン層 3 の側方に水平方向に薄板状に形成されており、各種ゲート電極 (コントロールゲート電極 GC 、選択ゲート電極 SG 、フローティングゲート電極 FG) やタングステンシリサイド層 9 とビット線 BL (タングステン層 1 6 およびチタン層 1 5) との間の絶縁性能を保持するために設けられている。

【 0 0 2 8 】

また、図 1 (b) および図 1 (c) に示すように、第 3 の多結晶シリコン層 3 の上板部

10

20

30

40

50

3 a のうちの上面部 3 a a および上側面部 3 a b に接触するように上部導電層としてタングステン (W) 層 1 6 およびチタン (Ti) 層 1 5 が形成されている。

これらのタングステン層 1 6 およびチタン層 1 5 は、所謂ビット線 B L として機能する。チタン層 1 5 は例えば 4 5 n m の膜厚により形成され、第 3 の多結晶シリコン層 3 の上板部 3 a のうちの上面部 3 a a および上側面部 3 a b , 並びに第 3 のシリコンナイトライド膜 2 0 の上部に接触するように形成されていると共に、第 3 のシリコン酸化膜 1 8 の上部に例えば 4 5 n m の膜厚により形成されている。このチタン層 1 5 は、第 3 のシリコン酸化膜 1 8 とタングステン層 1 6 との間に両層 1 6 および 1 8 が非接触状態を保つように形成されている。タングステン層 1 6 は、例えば 4 0 0 n m の膜厚により形成され、その下部がチタン層 1 5 に覆われるように形成されている。

10

【0029】

第 1 の実施形態の構成によれば、第 3 の多結晶シリコン層 3 の上板部 3 a の全側壁が第 3 のシリコンナイトライド膜 2 0 により覆われてはおらず、第 3 の多結晶シリコン層 3 の上板部 3 a の上面部 3 a a および上側面部 3 a b においてチタン層 1 5 が第 3 の多結晶シリコン層 3 に接触するようになっているため、第 3 の多結晶シリコン層 3 およびチタン層 1 5 間の接触面積を増加させることができる (図 1 (b) および図 1 (c) の接触面積 S 2 を参照)。

【0030】

< 詳細な製造方法について >

以下、図 4 ないし図 1 9 をも参照しながら、詳細な製造方法について説明する。尚、図 4 ~ 図 1 6 の図面中、同一の添え字 (a) ~ (c) を付した図面については、それぞれ図 3 の平面図における A - A 線, B - B 線, C - C 線に沿う縦断側面図を示している。尚、前記した構成を形成することができれば、以下に示す工程については必要に応じて省いても良いし付加しても良い。

20

【0031】

(1) 図 4 に示す構造を形成する工程について

p 型のシリコン半導体基板 4 の上にシリコン酸化膜 5 を例えば 8 n m 形成する。そして、減圧 C V D (Low Pressure Chemical Vapor Deposition) 法により p 型の不純物がドーピングされた第 1 の多結晶シリコン層 6 を例えば 1 6 0 n m 形成し、さらに第 4 のシリコンナイトライド膜 2 1 を例えば 7 0 n m 形成する。そして、その上にフォトレジスト (図示せず) を塗布しリソグラフィ技術により所定のレジストパターンに加工し、このレジストパターンをマスクとして R I E (Reactive Ion Etching) 法により第 4 のシリコンナイトライド膜 2 1 , 第 1 の多結晶シリコン層 6 , 第 1 のシリコン酸化膜 5 , およびシリコン半導体基板 4 を同時に所定の深さまで加工することにより素子分離領域 S T I を形成するための溝部 2 2 を形成し、フォトレジストを除去する。すると図 4 に示すように形成される。

30

【0032】

(2) 図 5 に示す構造を形成する工程について

(1) の形成工程終了後、H D P (High Density Plasma) - C V D 法により第 2 のシリコン酸化膜 1 1 を溝部 2 2 に埋込むように例えば 5 5 0 n m 堆積する。そして、第 4 のシリコンナイトライド膜 2 1 が露出するように C M P (Chemical Mechanical Polishing) 法により第 2 のシリコン酸化膜 1 1 を平坦化し、窒素雰囲気において例えば 9 0 0 °C に加熱する。次に、例えば 1 5 0 °C のリン酸処理により第 4 のシリコンナイトライド膜 2 1 を除去する。そして、フォトレジスト (図示せず) を塗布し、リソグラフィ技術により所定のレジストパターンに加工し、このレジストパターンをマスクとして R I E 法により第 2 のシリコン酸化膜 1 1 を落とし込む。フォトレジストを除去後、減圧 C V D 法により第 2 のゲート絶縁膜としての O N O 膜 7 を 1 7 n m (Oxide: 5 n m , SiN: 7 n m , Oxide: 5 n m) 等方的に形成する。すると図 5 に示すように形成される。

40

【0033】

(3) 図 6 に示す構造を形成する工程について

(2) の形成工程終了後、酸化性雰囲気において加熱する。そして、O N O 膜 7 の上に

50

減圧CVD法によりP型の不純物がドーブされた第2の多結晶シリコン層8を例えば100nm形成する。そして、第2の多結晶シリコン層8の上にスパッタ法によりタングステンシリサイド層9を例えば90nm形成する。そして、減圧CVD法により第1のシリコンナイトライド膜10を300nm形成する。すると、図6に示すように形成される。

【0034】

(4) 図7に示す構造を形成する工程について

(3)の形成工程終了後、フォトレジスト(図示せず)を塗布しリソグラフィ技術によりフォトレジストを所定のレジストパターンに加工し、このフォトレジストをマスクとしてRIE法により第1のシリコンナイトライド膜10をエッチングする。このエッチングは、ゲート電極形成領域G以外の領域について行われる。フォトレジストをアッシングにより除去した後、第1のシリコンナイトライド膜10をマスクとしてタングステンシリサイド層9、第2の多結晶シリコン層8、ONO膜7、および第1の多結晶シリコン層6をRIE法によりエッチングする(図7(b)および図7(c)参照)。

10

【0035】

このとき、ビット線BLを接続形成するためのビット線コンタクト形成領域CBおよびその周辺においては、第1のシリコンナイトライド膜10やタングステンシリサイド層9、第2の多結晶シリコン層8、ONO膜7、および第1の多結晶シリコン層6をRIE法によりエッチングし、図7(b)に示すように、シリコン酸化膜5を除きシリコン半導体基板4上に形成された全層を除去する。すると図7に示すように形成される。

【0036】

20

(5) 図8に示す構造の形成工程について

(4)の形成工程終了後、例えば1050程度のRTO(Rapid Thermal Oxidation)処理を行う。そして、第2のシリコンナイトライド膜12を例えば20nm等方的に形成する。その後、隣接するトランジスタTrnおよびTrsのゲート電極形成領域G間に形成された第2のシリコン窒化膜12および第2のシリコン酸化膜17を介してシリコン半導体基板4にn型の不純物を打込むことによりトランジスタTrnおよびTrsのソース/ドレイン拡散層22を形成する。

【0037】

その後、トランジスタTrnおよびTrsのゲート電極形成領域G間に形成された第2のシリコンナイトライド膜12の上部に第2のシリコン酸化膜17を埋込み形成すると共に、トランジスタTrnおよびTrnのゲート電極形成領域G間に形成された第2のシリコンナイトライド膜12の上部に第2のシリコン酸化膜17を埋込み形成する。

30

このとき、図8(b)に示すように、第2のシリコン酸化膜17を形成する。この第2のシリコン酸化膜17は、隣接する第3の多結晶シリコン層3間の電氣的絶縁用として設けられている。

【0038】

そして、燃焼酸化雰囲気において800程度でリフロー処理し、第2および第1のシリコンナイトライド膜12および10をストップパとしてCMP法により第2のシリコン酸化膜17を平坦化する。その後、第2および第1のシリコンナイトライド膜12および10や第2のシリコン酸化膜17の上部に対してプラズマCVD法により第3のシリコン酸化膜18を形成する。フォトレジスト(図示せず)を塗布しリソグラフィ技術により所定のレジストパターンに加工し、第3のシリコン酸化膜18を除去する。すると図9に示すように形成される。

40

【0039】

(5)の形成工程終了後、図10に示すように、第3のシリコンナイトライド膜20を例えば10nm等方的に形成する。さらに、図11に示すように、第3のシリコンナイトライド膜20をドライエッチングすることにより、第3のシリコン酸化膜18上に形成された第3のシリコンナイトライド膜20と、トランジスタTrsのゲート電極形成領域G上に形成された第3のシリコンナイトライド膜20と、シリコン半導体基板4の直上部に形成された第1のシリコン酸化膜5とをゲート電極形成領域Gの側壁絶縁膜として形成さ

50

れる部分を除き除去する。すると、図 1 1 に示すように、第 3 のシリコン酸化膜 1 8 のビット線コンタクト形成領域 C B 側の側壁、および 2 のトランジスタ T r s のゲート電極形成領域 G 間に挟まれたビット線コンタクト形成領域 C B 側の側壁に第 2 および第 3 のシリコンナイトライド膜 1 2 および 2 0 が残存する。

【 0 0 4 0 】

さらに、図 1 2 に示すように、第 3 の多結晶シリコン層 3 をビット線コンタクト形成領域 C B に埋込み形成し、C D E (Chemical Dry Etching) 法により第 3 の多結晶シリコン層 3 の上部をエッチバックし高さを調整する。その後、窒素性雰囲気において 9 7 0 の熱処理を行いドーパントを活性化させる。

さらに、図 1 3 に示すように、プラズマ C V D 法により第 3 のシリコン酸化膜 1 8 , 第 3 のシリコンナイトライド膜 2 0 , および第 3 の多結晶シリコン膜 3 の上に、さらに第 4 のシリコン酸化膜 1 9 を形成することによりシリコン酸化膜の厚さを増加させる。

【 0 0 4 1 】

その後、フォトリソスト (図示せず) を塗布し当該フォトリソストに所定のレジストパターンを形成しこのレジストパターンをマスクとして R I E 法により第 3 および第 4 のシリコン酸化膜 1 8 および 1 9 を、多結晶シリコンおよびシリコン窒化膜に対して高選択性を有するエッチング条件によりエッチバックしビット線 B L の領域を形成する。

このときビット線コンタクト形成領域 C B 周辺では、第 3 の多結晶シリコン層 3 の上板部 3 a の上面部 3 a a よりも下方まで第 3 のシリコン酸化膜 1 8 をエッチバックする。第 3 のシリコン窒化膜 2 0 は、第 3 の多結晶シリコン層 3 の上板部 3 a の上方部分については第 3 および第 4 のシリコン酸化膜 1 8 および 1 9 と略同時に除去されるが、第 3 の多結晶シリコン層 3 の上板部 3 a の側壁に第 3 のシリコン窒化膜 2 0 が付着し残存するようになる。

【 0 0 4 2 】

その後、図 1 5 に示すように、シリコン酸化膜や多結晶シリコンに対して高選択性を有するエッチング条件により (例えば、1 5 0 のリン酸処理等によるウェットエッチング処理) 、第 3 のシリコン酸化膜 1 8 の上面より下方で、且つ、第 2 のシリコンナイトライド膜 1 2 の上面より上方まで第 3 のシリコンナイトライド膜 2 0 を除去する。尚、ドライエッチングにより第 3 のシリコンナイトライド膜 2 0 を除去するようにしても良い。すなわち、第 3 の多結晶シリコン層 3 の側壁の上部について第 3 のシリコンナイトライド膜 2 0 を除去する。すると図 1 5 に示すように形成される。

【 0 0 4 3 】

この後、図 1 6 に示すように、P V D 法により T i 膜 1 5 を例えば 4 5 n m 等方的に形成する。そして水素を含む窒素性雰囲気において 5 5 0 , 9 0 分加熱する。さらに、図 1 に示すように、P V D 法により W (タングステン) 膜 1 6 を例えば 4 0 0 n m 等方的に形成し、その後、タンゲステン膜 1 6 および T i 膜 1 5 を第 4 の多結晶シリコン酸化膜 1 9 が露出するまで C M P 法により平坦化する。そして、水素を含む窒素性雰囲気中において 4 0 0 , 3 0 分熱処理する。さらに後工程を行うことにより、N A N D 型不揮発性記憶装置 1 のメモリセル領域を形成することができるようになる。

【 0 0 4 4 】

従来、第 3 の多結晶シリコン層 3 の上板部 3 a の外周面の側壁に第 3 のシリコンナイトライド膜 2 0 をスペーサとして形成してしまうと、第 3 の多結晶シリコン層 3 は上板部 3 a の上面部 3 a a とのみしかチタン層 1 5 と接触しないため接触部分の高抵抗化を免れない。

そこで本実施形態の製造方法では、第 2 のシリコンナイトライド膜 1 2 および第 2 のシリコン酸化膜 1 7 の上部にビット線コンタクト形成領域 C B を除いて第 3 のシリコン酸化膜 1 8 を形成し、ビット線コンタクト形成領域 C B にスペーサとして第 2 のシリコンナイトライド膜 1 2 を等方的に形成し、シリコン半導体基板 4 の上面に位置する第 2 および第 3 のシリコンナイトライド膜 1 2 および 2 0 を除去し、ビット線コンタクト形成領域 C B にソース / ドレイン拡散層 1 4 と接触すると共に第 2 のシリコンナイトライド膜 1 2 の上

10

20

30

40

50

方まで上板部 3 a の上面部 3 a a が形成されるように第 3 の多結晶シリコン層 3 を埋込み形成し、第 3 のシリコン酸化膜 1 8 を第 3 の多結晶シリコン層 3 の上面部 3 a a から水平方向下方に上面が位置するように第 3 のシリコン酸化膜 1 8 を除去し、第 3 の多結晶シリコン層 3 の上面部 3 a a から水平方向下方まで第 3 のシリコンナイトライド層 2 0 を除去し、第 3 の多結晶シリコン層 3 の上側面部 3 a b にチタン層 1 5 を形成するため、第 3 の多結晶シリコン層 3 およびチタン層 1 5 間の接触面積を増加させることができ、これにより接触部分の抵抗を低減することができるようになる。

【 0 0 4 5 】

また、ビット線 B L (チタン層 1 5 およびタングステン層 1 6) を形成するときに、図 1 7 (a) に模式的な平面図を示すように、ビット線コンタクト形成領域 C B に対してビット線 B L の形成領域のリソグラフィ技術によるマスク合わせずれが生じない場合には問題ないものの、図 1 7 (b) に示すように、特に隣接するビット線コンタクト形成領域 C B 側にリソグラフィ技術によるマスクの合わせずれが特にワード線方向 (ゲート電極形成方向) に生じると、第 3 の多結晶シリコン層 3 およびチタン層 1 5 の接触形態の基本構成例の模式的な断面図を図 1 9 に示すように、第 3 の多結晶シリコン層 3 およびチタン層 1 5 の接触部分が上面部 3 a a のみに留まってしまうと、第 3 の多結晶シリコン層 3 の上面部 3 a a では接触するが接触面積 S 1 が少なくなってしまう。

【 0 0 4 6 】

本実施形態の製造方法によれば、マスクずれが生じると接触面積の低下に伴う抵抗値の増大が懸念されるものの第 3 の多結晶シリコン層 3 の外周面側壁の上側面部 3 a b について第 3 のシリコンナイトライド膜 2 0 の上部を除去し、その上側面部 3 a b においても第 3 の多結晶シリコン層 3 およびチタン層 1 5 が接触するため、第 3 の多結晶シリコン層 3 の上面部 3 a a およびチタン層 1 5 間の接触面積 (接触面積 S 1 参照) が少なくなったとしても上側面部 3 a b でも接触する (接触面積 S 2 参照) ようになるため、接触面積の低下を抑制できるようになる。

【 0 0 4 7 】

(第 2 の実施形態)

図 2 0 は、本発明の第 2 の実施形態の説明図を示すもので、上記実施形態と異なるところは製造工程にある。以下、上記実施形態と同一部分については同一符号を付して説明を省略し、以下異なる部分について説明する。

本実施形態においては、図 1 2 を使用して説明を行った製造工程終了後、前述実施形態に説明した工程に代えて次に示す製造工程を行う。

【 0 0 4 8 】

すなわち、図 2 0 に示すように、第 3 の多結晶シリコン層 3 および第 3 のシリコン酸化膜 1 8 に対して高選択性を有するエッチング条件により第 3 の多結晶シリコン層 3 の上面部 3 a a から下方にかけて第 3 のシリコンナイトライド膜 2 0 の上部 (第 3 の多結晶シリコン層 3 の上側面部 3 a b) を除去する。そして、図示はしないが、前述実施形態と同様にビット線 B L 領域を除いて第 3 のシリコン酸化膜 1 8 の上部に第 4 のシリコン酸化膜 1 9 を形成した後、第 3 および第 4 のシリコン酸化膜 1 8 および 1 9 を第 3 の多結晶シリコン層 3 および第 3 のシリコンナイトライド膜 2 0 に対して高選択性を有するエッチング条件下において除去する。そして前述実施形態と同様にチタン層 1 5 およびタングステン層 1 6 を埋込み形成する。このような第 2 の実施形態においても、前述実施形態と略同様な作用効果を奏する。

【 0 0 4 9 】

(第 3 の実施形態)

図 2 1 ~ 図 3 1 は、本発明の第 3 の実施形態の説明図を示すもので、上記各実施形態と異なるところは、トレンチ型の D R A M 半導体記憶装置に適用したところにある。

まず、図 2 1 および図 2 2 を参照しながら D R A M 半導体記憶装置 3 1 の機能的な構造について説明する。図 2 2 は、D R A M 半導体記憶装置の模式的な平面図を示しており、図 2 1 (a) は、この図 2 2 における D - D 線に沿う断面図を示しており、図 2 1 (b)

は、図 2 2 における E - E 線に沿う断面図を示しており、図 2 1 (c) は、図 2 2 における F - F 線に沿う断面図を示している。

【 0 0 5 0 】

この図 2 1 において、半導体装置としての D R A M 半導体記憶装置 3 0 は、メモリセル領域においては、1メモリセルとして1のM O S 型のセルトランジスタ T r および1のトレンチキャパシタ C が形成されており、これらのメモリセルが複数配列されている。シリコン半導体基板 3 1 には、深いトレンチ 3 2 (溝部) が形成されており、このトレンチ 3 2 の底部側に位置してトレンチキャパシタ C が形成されている。尚、トレンチ 4 は、図 2 2 に示すように楕円形状に形成されている。

【 0 0 5 1 】

以下、トレンチキャパシタ C の構成について概略的に説明する。トレンチ 3 2 の外周には、当該トレンチ 3 2 の底部側からある所定の高さまでプレート拡散層 3 3 が形成されている。このプレート拡散層 3 3 はトレンチキャパシタ C のプレート電極として機能する。トレンチ 3 2 の内面で且つプレート拡散層 3 3 の上には、キャパシタ絶縁膜 3 4 が形成されている。このキャパシタ絶縁膜 3 4 は、S i N - S i O 2 膜または A l 2 O 3 - S i O 2 膜、または H f O 2 - S i O 2 膜等により形成されており、トレンチキャパシタ C の両プレート電極分離用の絶縁膜として機能する。

【 0 0 5 2 】

トレンチ 3 2 の内面且つキャパシタ絶縁膜 3 4 の上には、多結晶シリコン層またはポリサイド材料による第 1 の導電層 3 5 が埋込み形成されている。この第 1 の導電層 3 5 は、トレンチキャパシタ C のプレート電極として機能する。このようにしてトレンチキャパシタ C は、第 1 の導電層 3 5 、キャパシタ絶縁膜 3 4 、プレート拡散層 3 3 により構成されている。

【 0 0 5 3 】

第 1 の導電層 3 5 の上部には、素子分離領域 3 6 (S T I (Shallow Trench Isolation)) が形成されている。図 2 1 に示すように、この素子分離領域 3 6 は、セルトランジスタ T r が形成される側とは逆側に形成される層であり、トレンチキャパシタ C と隣接した他のメモリセルとの間で電氣的に絶縁分離するように形成されている。また、この素子分離領域 3 6 は、図 2 1 (c) に示すように、この素子分離領域 3 6 上を通過するように形成されたワード線 W L (ゲート電極 G 2) とトレンチキャパシタ C とを電氣的に絶縁分離する機能を有しているものである。

【 0 0 5 4 】

セルトランジスタ T r は、トレンチキャパシタ C に対して隣接して配設されていると共に電氣的に接続するようにトレンチ 3 2 の所定方向側に形成されている。セルトランジスタ T r は、ワード線 W L としても機能するゲート電極 G 2 、n 型の拡散層 3 7 および 3 8 (ソース / ドレイン拡散層) 、並びにゲート絶縁膜として機能する第 1 のシリコン酸化膜 3 9 を備えている。一方の拡散層 3 7 には、トレンチキャパシタ C を構成する第 1 の導電層 3 8 が接続されている。

【 0 0 5 5 】

また、他方の拡散層 3 8 (本発明の下部導電層に相当) の上部にはビット線 B L 2 に電氣的に接続するための第 2 の多結晶シリコン層 4 0 (ビット線コンタクト : 本発明の接続配線層に相当) が埋込み形成されている。他方の拡散層 3 8 には、当該第 2 の多結晶シリコン層 4 0 を介して上層側のビット線 B L 2 を構成するチタン層 4 1 が接触しており、この第 2 の多結晶シリコン層 4 0 を介して拡散層 3 8 とチタン層 4 1 とが電氣的に接続されている。

【 0 0 5 6 】

また、ゲート電極 G 2 を覆うようにゲート電極分離用絶縁膜としてゲート側壁絶縁膜 4 2 が形成されている。このゲート側壁絶縁膜 4 2 は、第 1 のシリコンナイトライド膜として形成されており、隣接するゲート電極 G 2 間を絶縁分離するために設けられている膜である。

10

20

30

40

50

さらに、ビット線 B L 2 とメモリセルを電氣的に絶縁分離するように層間絶縁膜 4 3 (本発明の第 1 の絶縁膜に相当) が形成されている。第 2 の導電層 4 0 の側壁外周面にはスペーサとして第 2 のシリコンナイトライド膜 4 4 (本発明の第 2 の絶縁膜に相当) が形成されている。この第 2 のシリコンナイトライド膜 4 4 は、チタン層 4 1 と第 2 の導電層 4 0 の上面部 4 0 a および上側面部 4 0 b において接触するようになっている。

【0057】

また、チタン層 4 1 の上部にはタングステン層 4 5 が形成されている。これらチタン層 4 1 およびタングステン層 4 5 によりビット線 B L 2 が構成されている。このようにして 1 のメモリセルが構成されており、図 2 2 に示すように複数のメモリセルが密接するように配設されている。尚、図 2 2 において、アクティブエリア A A は、メモリセルの活性領域を示している。

10

【0058】

このような場合、図 2 2 (a) に示すように、ビット線 B L 2 (チタン層 4 1 およびタングステン層 4 5) が図中上下方向にマスク合わせずれが生じることなく形成される場合には、ビット線 B L 2 と隣接する第 2 の導電層 4 0 間の距離も長いために、その電氣的相互作用も無視できるが、近年の設計ルールの縮小化に伴いその距離が短くなってきているため、図 2 2 (b) に示すようにビット線 B L 2 の形成時にマスクの合わせずれが生じると、ビット線 B L 2 と隣接する第 2 の導電層 4 0 間の距離も短くなってしまふと共に、ビット線 B L 2 と第 2 の導電層 4 0 との接触面積も低下してしまふ。本実施形態では、上面部 4 0 a だけでなく上側面部 4 0 b でもビット線 B L 2 と第 2 の導電層 4 0 とが接触するようになっているため、ビット線 B L 2 と第 2 の導電層 4 0 との接触面積の低下を抑制することができ、接触部分の抵抗を極力抑えることができるようになる。

20

【0059】

<製造方法(プロセス)について>

以下、前述した機能的部分を形成する場合の実質的な層の形成方法について図 2 1 ないし図 3 1 を参照しながら説明する。本実施形態では、特にビット線 B L 2 (後述するチタン層 4 1) とコンタクトプラグ(後述する第 2 の多結晶シリコン層 4 0) とを接続する構成部分およびその周辺関連部分に特徴があるため、トレンチキャパシタ C やゲート電極 G 2 の形成方法については省略し、本実施形態の特徴部分に関連するシリコン半導体基板 3 1 の上層部分について、その説明を行う。

30

【0060】

(1) 図 2 3 ないし図 2 5 に示す構造の形成方法について

図 2 3 に示すように、p 型のシリコン半導体基板 3 1 上に例えば 8 nm 膜厚のシリコン酸化膜をゲート絶縁膜 3 9 として形成すると共に、トレンチキャパシタ C や素子分離領域 3 6 を形成した後ゲート電極 G 2 を形成する。

このゲート電極 G 2 は次のように形成される。

【0061】

図 2 4 に示すように、減圧 C V D 法により p 型の不純物がドーブされた第 1 の多結晶シリコン層 4 6 をゲート絶縁膜 3 9 の上部に 100 nm 形成し、第 1 の多結晶シリコン層 4 6 の上部に対してタングステンシリサイド層 4 7 を 55 nm 形成する。タングステンシリサイド層 4 7 の上部に第 3 のシリコンナイトライド膜 4 8 を減圧 C V D 法により 200 nm 形成する。そして、フォトレジスト(図示せず)を塗布し、リソグラフィ技術により所定のレジストパターンに加工し、このレジストパターンをマスクとして第 3 のシリコンナイトライド膜 4 8 を R I E 法によりエッチングする。

40

【0062】

すると、第 1 の多結晶シリコン層 4 6 およびタングステンシリサイド層 4 8 が分断され、これらの第 1 の多結晶シリコン層 4 6 およびタングステンシリサイド層 4 8 によりゲート電極 G 2 が構成されると共に、各ゲート電極 G 2 間の第 3 のシリコンナイトライド膜 4 8 が除去される。

その後、フォトレジストをアッシングにより剥離し、残存した第 3 のシリコンナイトラ

50

イド膜 48 をマスクとしてタングステンシリサイド層 47 , p 型の不純物がドーブされた第 1 の多結晶シリコン層 46 を R I E 法により加工する。すると、各ゲート電極 G 2 間の第 1 の多結晶シリコン層 46 およびタングステンシリサイド層 47 が除去される。その後、1050 程度の R T O (Rapid Thermal Oxidation) 処理を施した後、第 1 のシリコンナイトライド膜 42 を 40 nm 程度等方的に形成する。すると図 25 に示すように、各ゲート電極 G 2 間に第 1 のシリコンナイトライド膜 42 がゲート側壁絶縁膜として薄く形成されるようになる。

【0063】

(2) 図 26 に示す構造の形成方法について

(1) の形成工程後、各ゲート電極 G 2 間に第 4 のシリコン酸化膜 49 を埋込み形成する。第 1 のシリコンナイトライド膜 42 の上部に形成された第 4 のシリコン酸化膜 49 を第 1 および第 3 のシリコンナイトライド膜 42 および 48 をストッパとして C M P (Chemical Mechanical Polish) 法により平坦化する。

10

【0064】

その後、露出した第 1 もしくは第 3 のシリコンナイトライド膜 42 , 48 の上部および第 4 のシリコン酸化膜 49 の上部に、第 2 のシリコン酸化膜 43 a を例えば 150 nm 形成する。その後、第 2 のシリコン酸化膜 43 a の上部に第 3 のシリコン酸化膜 43 b を 350 nm 形成する。すると、図 26 に示すように形成される。尚、これらの第 2 および第 3 シリコン酸化膜 43 a および 43 b が形成工程が終了すると層間絶縁膜 43 として機能するようになる。

20

【0065】

(2) の形成工程後、第 3 のシリコン酸化膜 43 b の上部にフォトレジスト (図示せず) を塗布し、リソグラフィ技術によりフォトレジストを所定のレジストパターンに加工する。その後、フォトレジストをマスクとして R I E 法により第 3 および第 2 のシリコン酸化膜 43 b および 43 a を加工 (除去) し、さらに、図 27 に示すように、ビット線コンタクト形成領域 C B 2 として形成される部分に対してセルフアラインコンタクト形成技術により第 4 のシリコン酸化膜 49 を除去すると共に、この部分に第 2 のシリコンナイトライド膜 44 を等方的に形成する。この第 2 のシリコンナイトライド膜 44 がスペーサとして機能するようになる。

【0066】

そして、ゲート電極 G 2 間の底部に形成された第 2 および第 1 のシリコンナイトライド膜 44 および 42 をドライエッチングする。すると、各ゲート電極 G 2 の側壁に第 2 のシリコンナイトライド膜 44 がスペーサとして残存するようになり孔部が形成される。そして、この孔部を通じて n 型の不純物をシリコン半導体基板 31 に拡散させることによりソース/ドレイン拡散層 38 を形成する。

30

【0067】

その後、第 2 のシリコンナイトライド膜 44 の内側に p 型の不純物がドーブされた多結晶シリコンを埋込み形成することによりコンタクトプラグとして機能する第 2 の多結晶シリコン層 40 を埋込み形成する。そして、図 28 に示すように、C D E (Chemical Dry Etching) 法により第 2 の多結晶シリコン層 40 の上部を除去することにより高さを調整する。さらに、970 の窒素性雰囲気内で加熱処理を行いドーパントを活性化させる。

40

【0068】

そして、図 29 に示すように、多結晶シリコンおよびシリコン窒化膜に対して選択性の高いエッチング条件において、第 2 の多結晶シリコン層 40 の上面部 40 a よりも下方まで第 2 のシリコン酸化膜 43 b をエッチングにより除去する。すると、図 29 に示すように、第 2 のシリコンナイトライド膜 44 も同時に第 2 の多結晶シリコン層 40 の上面部 40 a まで除去されるようになる。

【0069】

そして、図 30 に示すように、第 2 の多結晶シリコン層 40 の外周面の上部側壁に形成された第 2 のシリコンナイトライド膜 44 を 150 のリン酸処理等のウェットエッチン

50

グにより除去する。このとき、第2の多結晶シリコン層40の上面部40aよりも下方まで第2のシリコンナイトライド膜44をシリコン酸化膜および多結晶シリコンに対して選択性の高いエッチング条件下におけるウェットエッチングにより除去し、第2の多結晶シリコン層40の側壁外周面の上側面部40bを露出させる。

【0070】

このとき、図30に示すように、第2のシリコンナイトライド膜44の上部が第3のシリコン酸化膜43bの上面より下方に位置するように第2のシリコンナイトライド膜44を除去することが望ましい。尚、このとき、第2のシリコンナイトライド膜44を除去するときにはドライエッチングにより除去しても良い。

さらに、図31に示すように、第2および第3のシリコン酸化膜43aおよび43bの上部並びに第2のシリコンナイトライド膜44の上部にチタン膜41をPVD法により例えば45nm程度等方的に堆積する。すると、第2の多結晶シリコン層40の上面部40aおよび上側面部40bに接触するようにチタン膜41が形成されるようになる。さらに、550℃、90分の水素を含む窒素性雰囲気内で加熱する。

【0071】

続いて、図21に示すように、このチタン層41の上部にPVD法によりタングステン層45を例えば400nm程度堆積し、図21(b)に示すように、タングステン膜45およびチタン膜41を平坦化し、水素を含む窒素性雰囲気において400℃で30分間加熱する。このようにしてビット線コンタクト(コンタクトプラグ)としての第2の多結晶シリコン層40とビット線BL2との接触部分が構成される。

【0072】

このような第3の実施形態においても、ビット線コンタクトとしての第2の多結晶シリコン層40とビット線BL2とが第2の多結晶シリコン層40の上面部40aのみに留まらず第2の多結晶シリコン層40の上側面部40bにおいても接触するため、第1の実施形態と略同様の作用効果を奏すると共に、DRAM半導体記憶装置30にも適用できるようになる。

【0073】

(第4の実施形態)

図32は、本発明の第4の実施形態の説明図を示すもので、第3の実施形態と異なるところはその製造方法にある。上記実施形態と同一部分には同一符号を付して説明を省略し、以下異なる製造方法について説明する。

図28に示す構造を形成した後、シリコン半導体基板31の拡散層38の上面に位置する第2および第1のシリコンナイトライド膜44および42およびシリコン酸化膜39を除去し、第2の多結晶シリコン層40を埋込み形成する。そして、この第2の多結晶シリコン層40の上部を高さ調整した後、第2の多結晶シリコン層40の側壁外周面の上側面部40bに形成された第2のシリコンナイトライド膜44を除去する。この場合、シリコン酸化膜および多結晶シリコンに対して選択性の高いエッチング条件下においてエッチングすることにより第2のシリコンナイトライド膜44を除去し、第2の多結晶シリコン層40の上面部40aより下方に第2のシリコンナイトライド膜44の上部が位置するように第2のシリコンナイトライド膜44を除去し、第2の多結晶シリコン層40の上側面部40bを露出させる。

【0074】

その後、図21に示すように、多結晶シリコンおよびシリコンナイトライドに対して選択性の高いエッチング条件下において第3のシリコン酸化膜43bをエッチングすることにより、第3のシリコン酸化膜43bの上部を第2の多結晶シリコン層40の上面部40aの下方で、且つ、第2のシリコンナイトライド膜44の上方まで除去する。

そして、前述実施形態と同様に第3のシリコン酸化膜43bの上部および第2の多結晶シリコン層40の上面部40aおよび上側面部40bにチタン層41を形成し、その上部にタングステン層45を形成することにより前述実施形態と同様の構成を形成することができるようになる。このような第4の実施形態においても、第3の実施形態と略同様の作

10

20

30

40

50

用効果を奏する。

【図面の簡単な説明】

【 0 0 7 5 】

【図 1】本発明の第 1 の実施形態の構成を模式的に示す要部の断面図（（ a ）図 3 の A - A 線に沿う断面図、（ b ）図 3 の B - B 線に沿う断面図、（ c ）図 3 の C - C 線に沿う断面図）

【図 2】回路構成を概略的に示す図

【図 3】要部の平面図

【図 4】一製造工程を模式的に示す図（その 1）

【図 5】一製造工程を模式的に示す図（その 2）

10

【図 6】一製造工程を模式的に示す図（その 3）

【図 7】一製造工程を模式的に示す図（その 4）

【図 8】一製造工程を模式的に示す図（その 5）

【図 9】一製造工程を模式的に示す図（その 6）

【図 10】一製造工程を模式的に示す図（その 7）

【図 11】一製造工程を模式的に示す図（その 8）

【図 12】一製造工程を模式的に示す図（その 9）

【図 13】一製造工程を模式的に示す図（その 10）

【図 14】一製造工程を模式的に示す図（その 11）

【図 15】一製造工程を模式的に示す図（その 12）

20

【図 16】一製造工程を模式的に示す図（その 13）

【図 17】（ a ）ビット線とビット線コンタクトとの接続形態を模式的に示す平面図、（ b ）ビット線の形成時にマスクずれが生じたときの一例を模式的に示す平面図

【図 18】ビット線の形成時にマスクずれが生じたときの一例を模式的に示す断面図

【図 19】ビット線の形成時にマスクずれが生じたときの基本構成例を模式的に示す断面図

【図 20】本発明の第 2 の実施形態の一製造工程を模式的に示す図

【図 21】本発明の第 3 の実施形態を模式的に示す要部の断面図（（ a ）図 22（ a ）の D - D 線に沿う断面図、（ b ）図 22（ a ）の E - E 線に沿う断面図、（ c ）図 22（ a ）の F - F 線に沿う断面図）

30

【図 22】要部を模式的に示す平面図（（ a ）はビット線のマスクずれが生じない場合、（ b ）はビット線のマスクずれが生じた場合）

【図 23】一製造工程を模式的に示す図（その 1）

【図 24】一製造工程を模式的に示す図（その 2）

【図 25】一製造工程を模式的に示す図（その 3）

【図 26】一製造工程を模式的に示す図（その 4）

【図 27】一製造工程を模式的に示す図（その 5）

【図 28】一製造工程を模式的に示す図（その 6）

【図 29】一製造工程を模式的に示す図（その 7）

【図 30】一製造工程を模式的に示す図（その 8）

40

【図 31】一製造工程を模式的に示す図（その 9）

【図 32】本発明の第 4 の実施形態の一製造工程を模式的に示す図

【符号の説明】

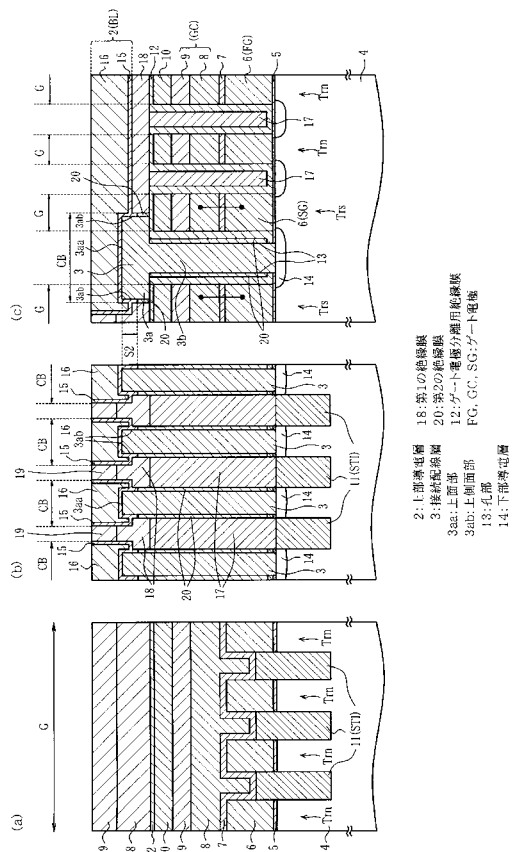
【 0 0 7 6 】

図面中、2 および B L はビット線（上部導電層）、3 は接続配線層、3 a a は上面部、3 a b は上側面部、6 は第 1 の多結晶シリコン層、8 は第 2 の多結晶シリコン層、10 は第 1 のシリコンナイトライド膜、11 は第 2 のシリコン酸化膜（素子分離領域，S T I）、12 は第 2 のシリコンナイトライド膜（第 2 の絶縁膜，ゲート電極分離用絶縁膜）、13 は孔部、14 は拡散層（下部導電層）、18 はシリコン酸化膜（第 1 の絶縁膜）、20 はシリコンナイトライド膜（第 2 の絶縁膜）、A r はメモリセルアレイ、B L はビット線

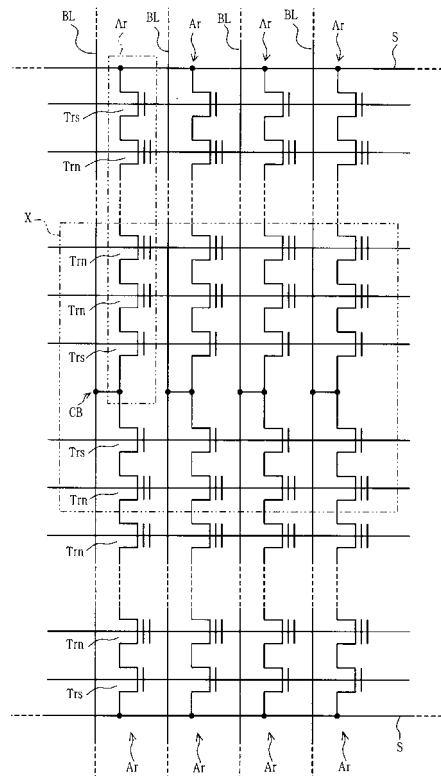
50

、C BおよびC B 2はビット線コンタクト形成領域、Gはゲート電極形成領域、F Gはフローティングゲート電極（ゲート電極）、G Cはコントロールゲート電極（ゲート電極）、Sはソース線、S Gは選択ゲート電極（ゲート電極）、T r sは選択ゲートトランジスタ、T r nはメモリセルトランジスタを示す。

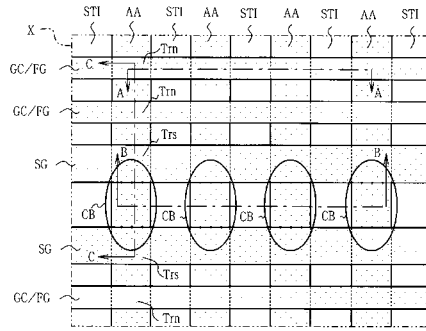
【図 1】



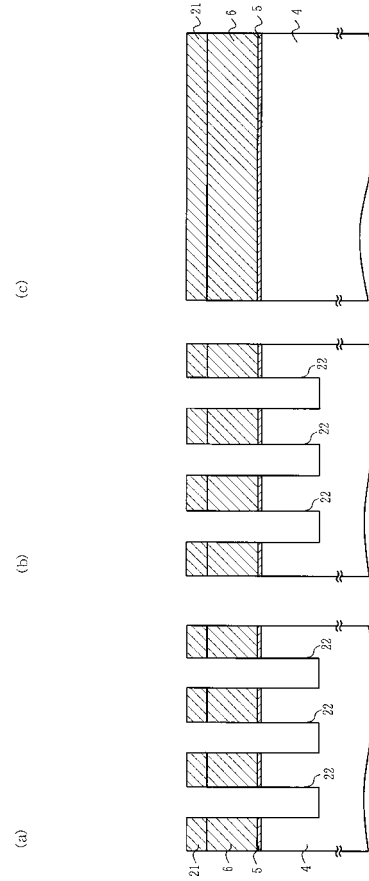
【図 2】



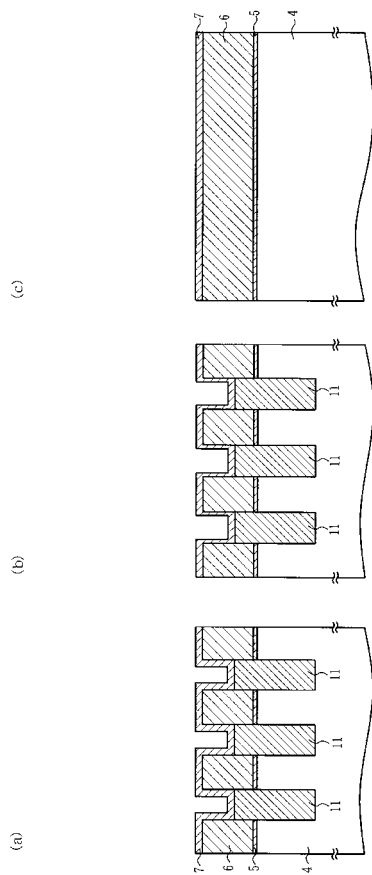
【図 3】



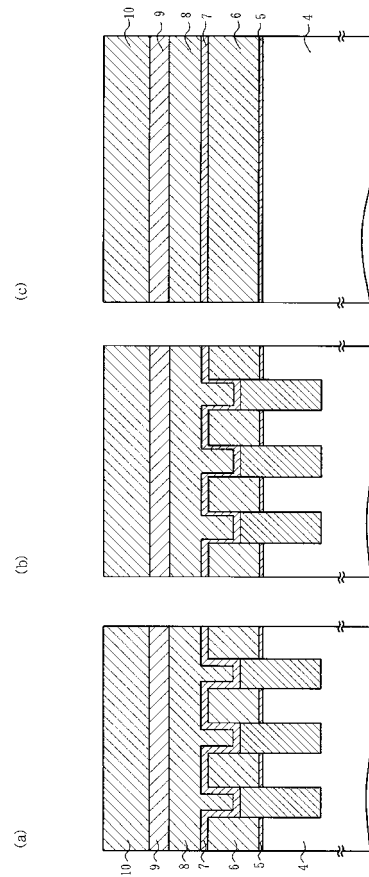
【図 4】



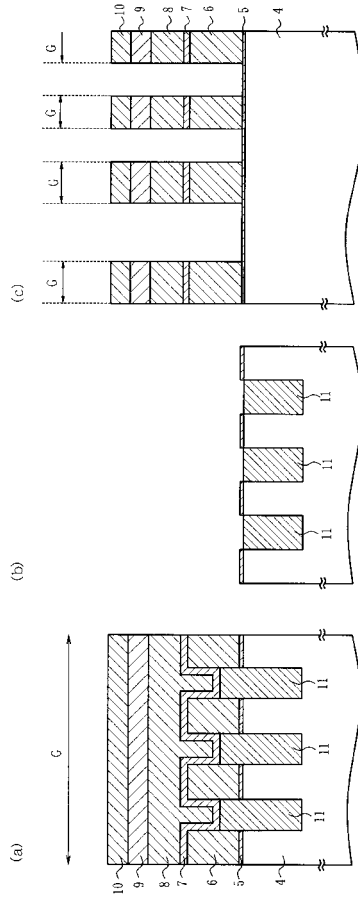
【図 5】



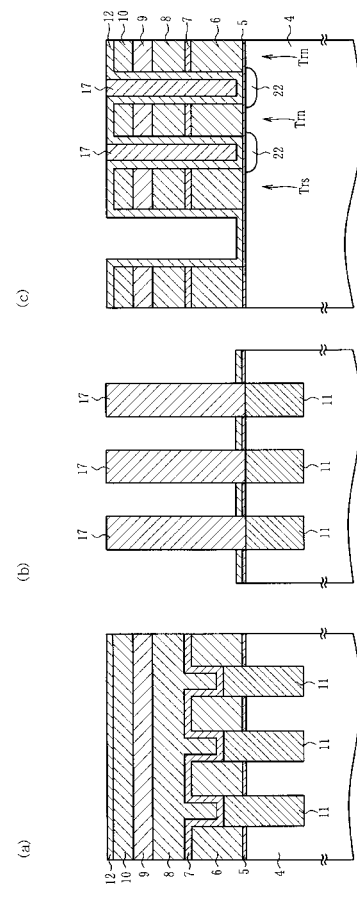
【図 6】



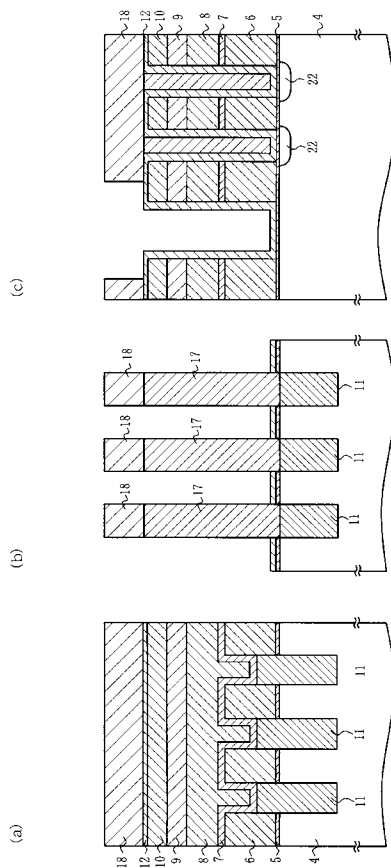
【図 7】



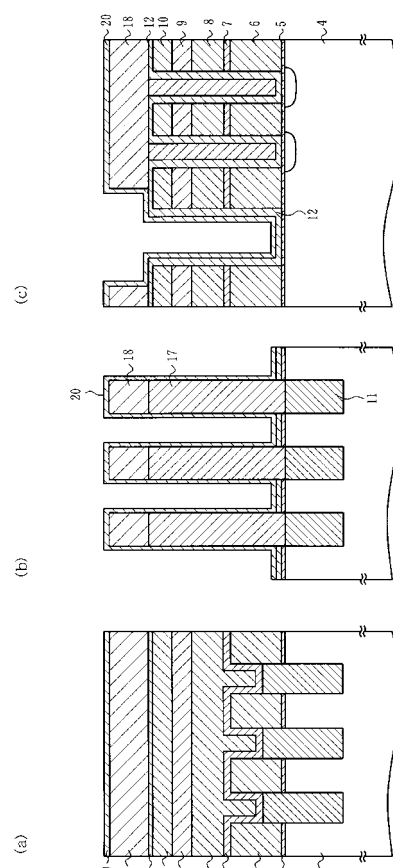
【図 8】



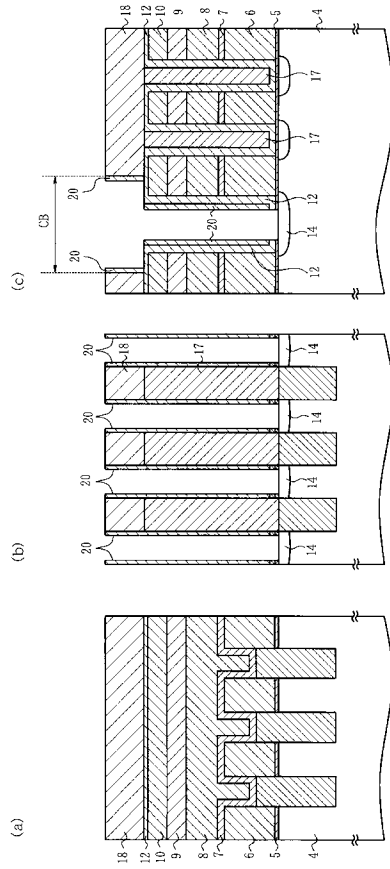
【図 9】



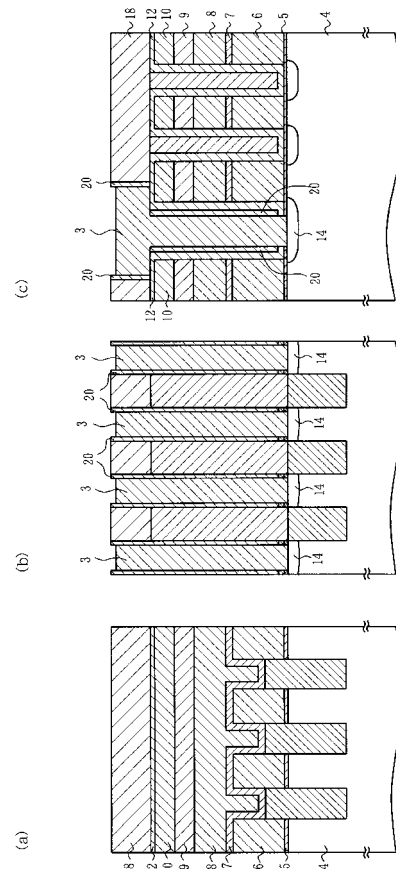
【図 10】



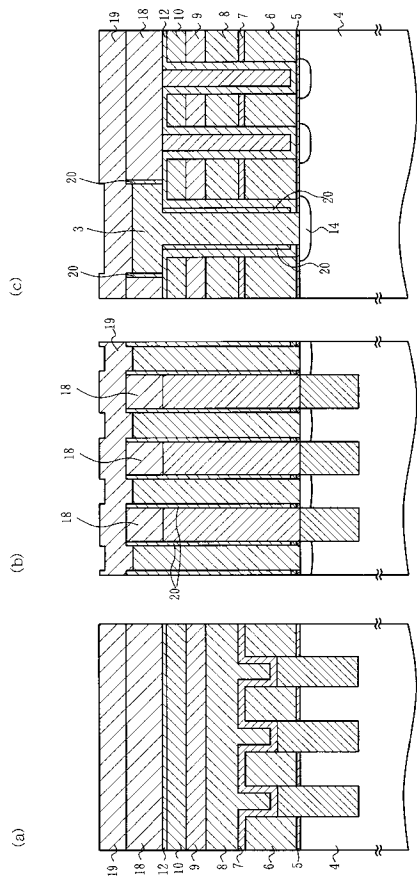
【図 1 1】



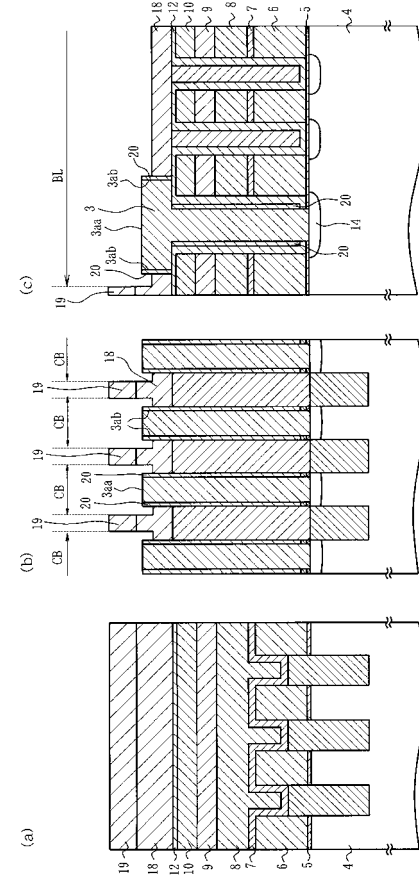
【図 1 2】



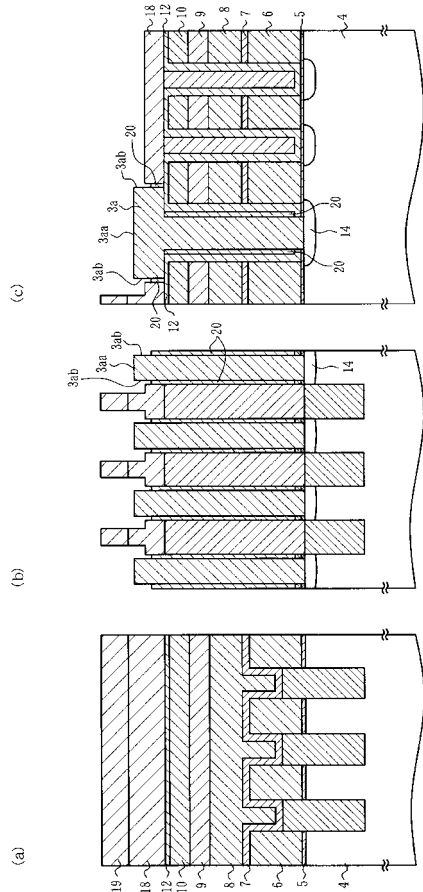
【図 1 3】



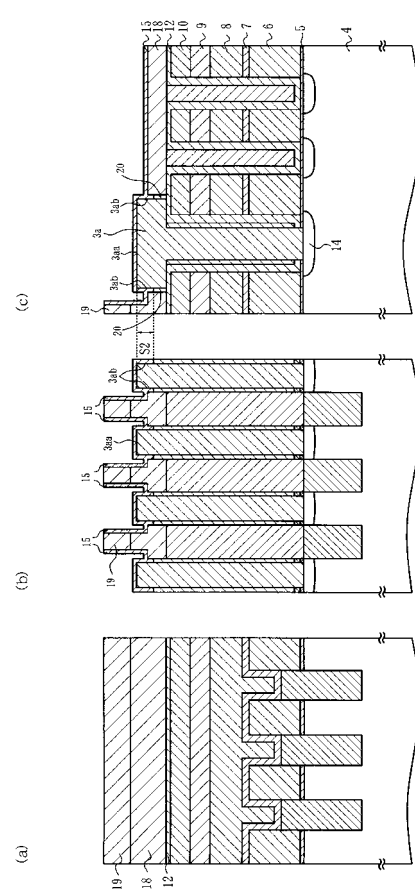
【図 1 4】



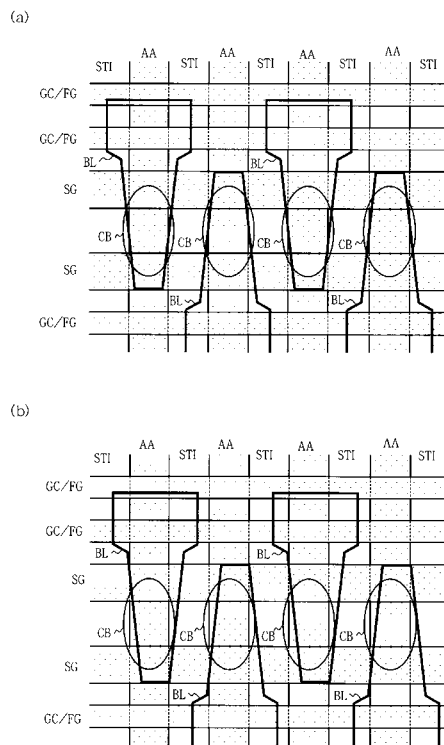
【図 15】



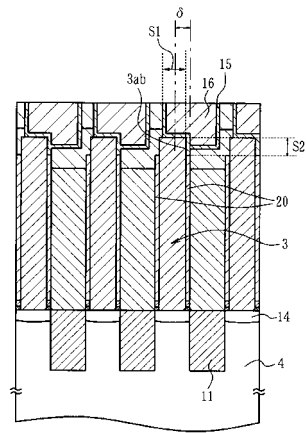
【図 16】



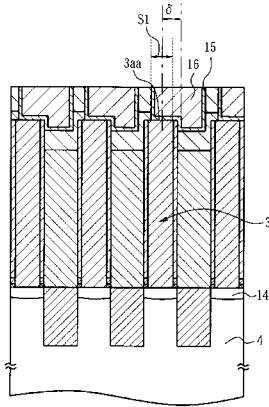
【図 17】



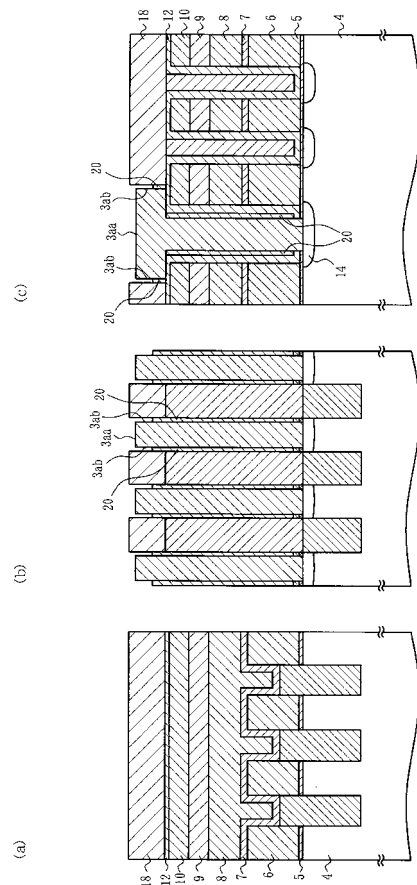
【図 18】



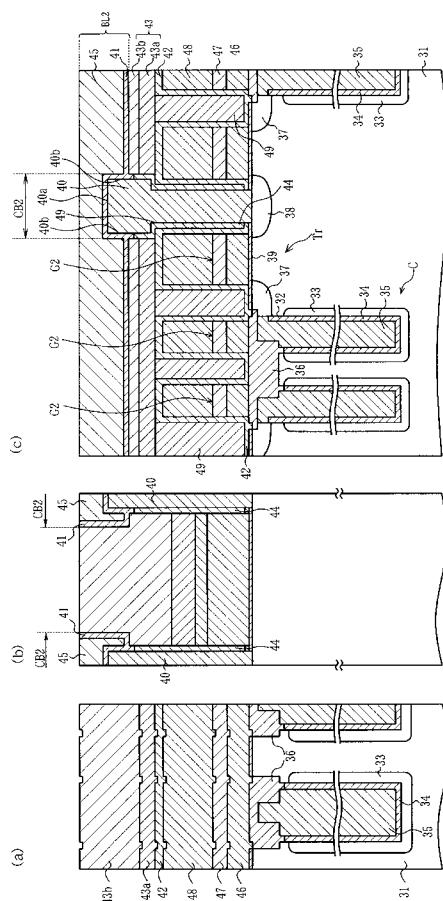
【図 19】



【図 20】

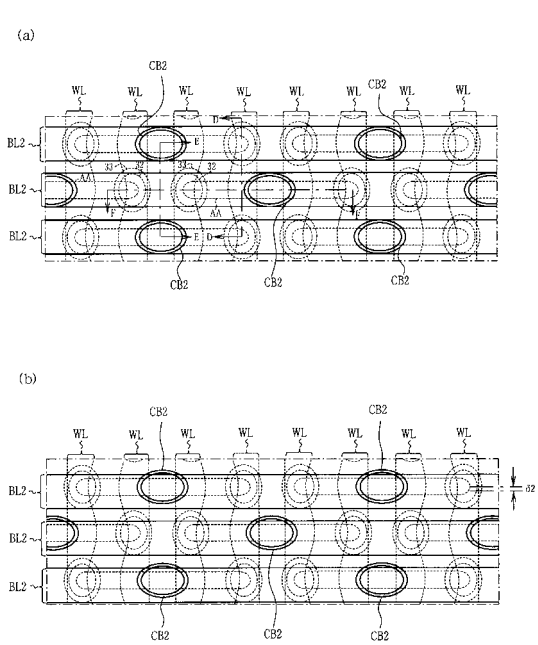


【図 21】



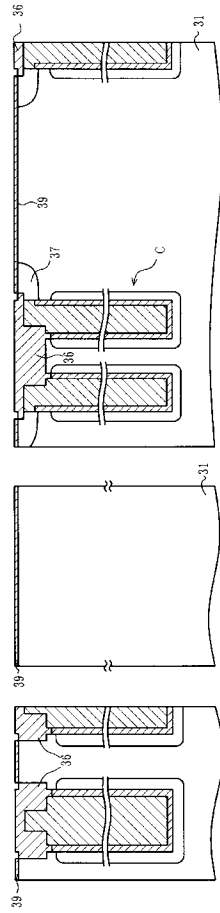
38: 下部配線層
40: 接点配線層
40a: 上面部
40b: 上面部
41: 上面配線層
42: ゲート電極分離用絶縁膜
43: 第1の絶縁膜
44: 第2の絶縁膜
45: ゲート電極分離用絶縁膜
46: 上面部
47: 上面部
48: 上面部
49: 上面部
50: 上面部
51: 上面部
52: 上面部
53: 上面部
54: 上面部
55: 上面部
56: 上面部
57: 上面部
58: 上面部
59: 上面部
60: 上面部
61: 上面部
62: 上面部
63: 上面部
64: 上面部
65: 上面部
66: 上面部
67: 上面部
68: 上面部
69: 上面部
70: 上面部
71: 上面部
72: 上面部
73: 上面部
74: 上面部
75: 上面部
76: 上面部
77: 上面部
78: 上面部
79: 上面部
80: 上面部
81: 上面部
82: 上面部
83: 上面部
84: 上面部
85: 上面部
86: 上面部
87: 上面部
88: 上面部
89: 上面部
90: 上面部
91: 上面部
92: 上面部
93: 上面部
94: 上面部
95: 上面部
96: 上面部
97: 上面部
98: 上面部
99: 上面部
100: 上面部

【図 22】



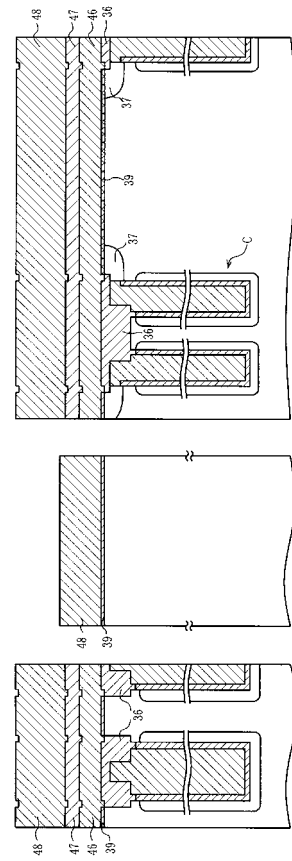
【図 2 3】

(a) (b) (c)



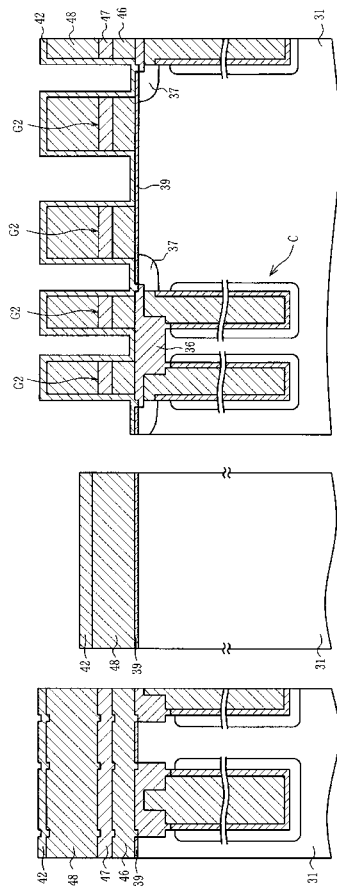
【図 2 4】

(a) (b) (c)



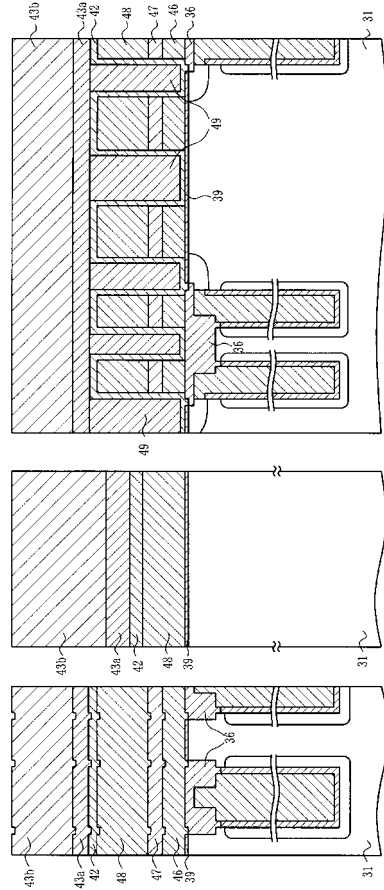
【図 2 5】

(a) (b) (c)

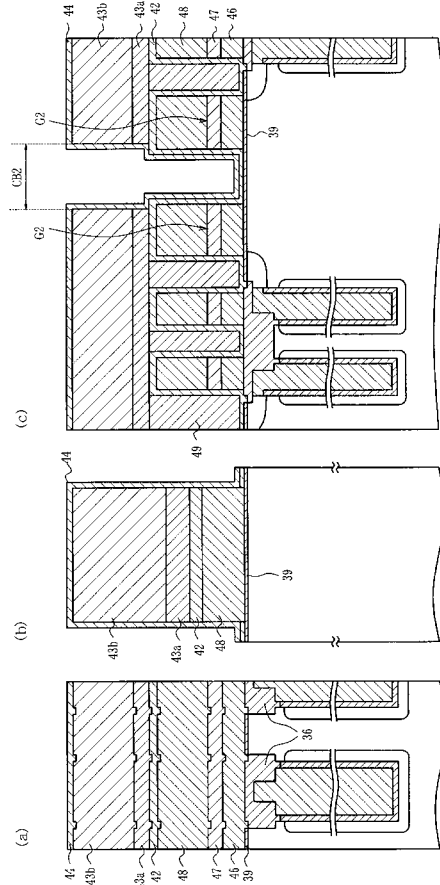


【図 2 6】

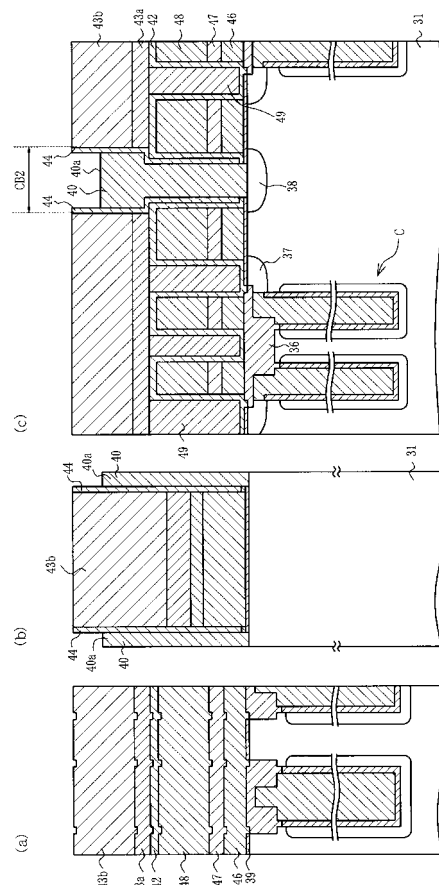
(a) (b) (c)



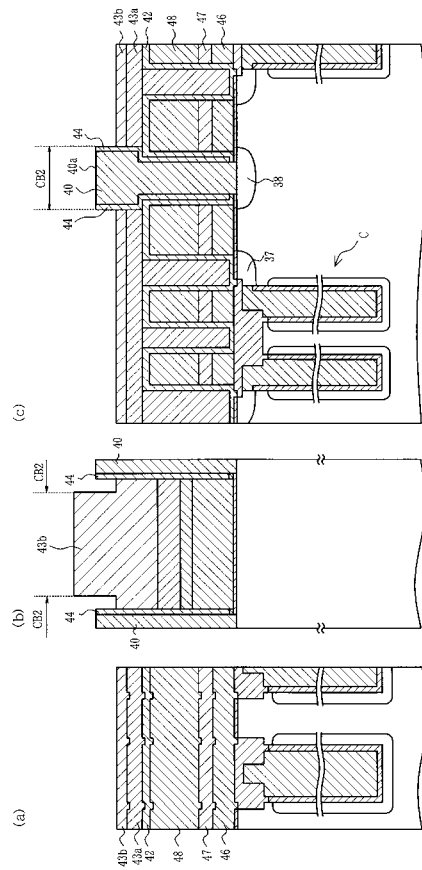
【図 27】



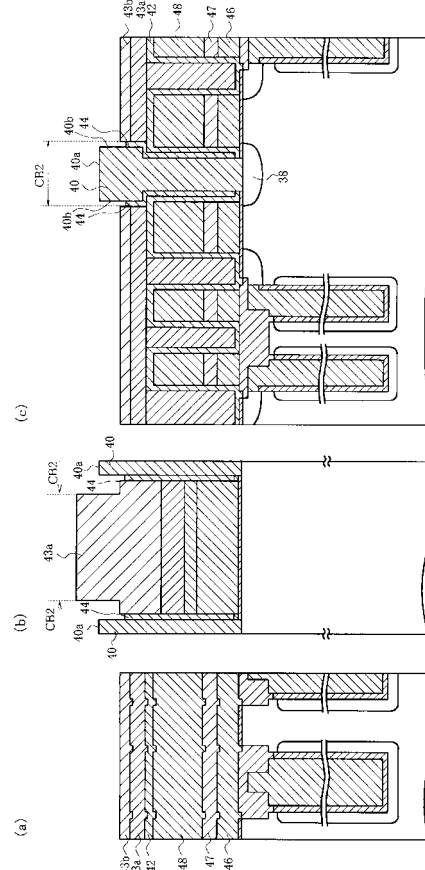
【図 28】



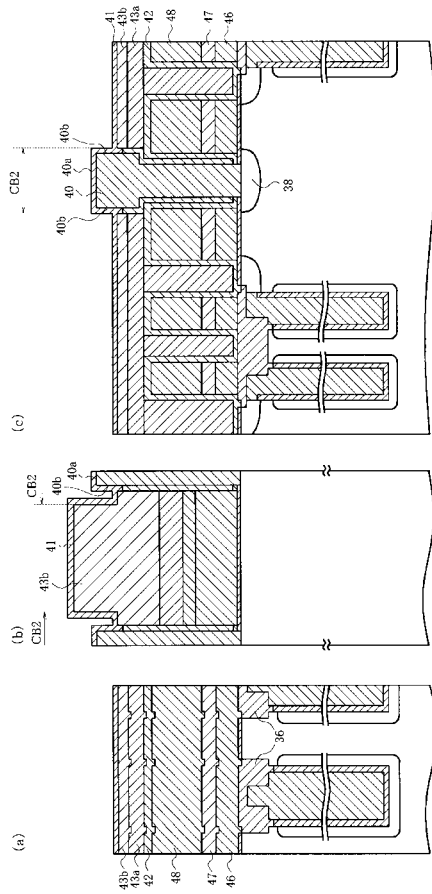
【図 29】



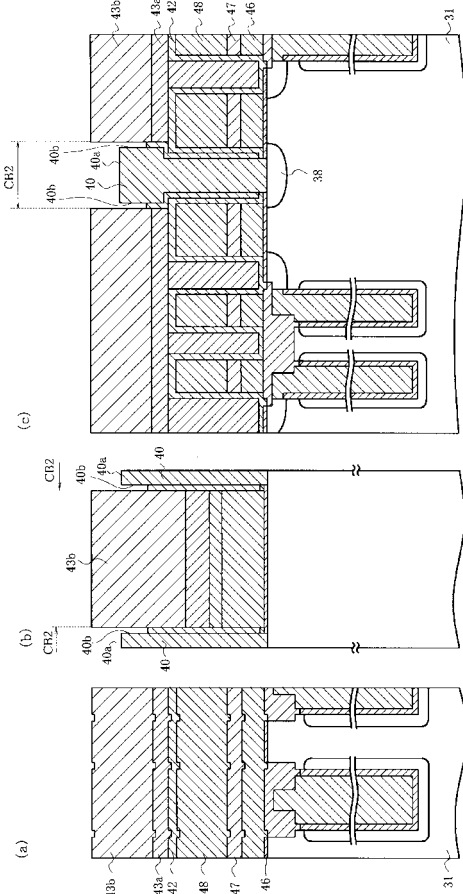
【図 30】



【図 3 1】



【図 3 2】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/788	H 0 1 L 29/78	3 7 1
H 0 1 L 29/792		

(72)発明者 原 徹

愛知県名古屋市中区栄一丁目16番6号 名古屋三蔵東邦生命ビル6階 中部東芝エンジニアリング株式会社内

F ターム(参考) 5F033 HH04 HH18 HH19 HH28 JJ04 KK01 LL04 MM12 MM30 NN15
 NN31 NN37 NN40 PP09 PP14 PP15 QQ08 QQ09 QQ10 QQ11
 QQ13 QQ16 QQ19 QQ28 QQ31 QQ48 QQ58 QQ73 QQ74 QQ75
 QQ76 QQ82 RR03 RR04 RR06 SS11 SS13 SS15 TT02 TT07
 TT08 VV06 VV10 VV16 XX01 XX09 XX15
 5F083 AD17 AD60 EP02 EP23 EP33 EP34 EP55 EP60 EP76 ER22
 GA02 GA27 JA03 JA04 JA35 JA39 KA05 MA03 MA06 MA20
 NA01 NA06 PR05 PR13 PR18 PR40
 5F101 BA02 BA29 BB05 BB08 BD02 BD22 BD34 BD35 BH03 BH17