

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年6月17日(17.06.2010)

PCT

(10) 国際公開番号
WO 2010/067643 A1

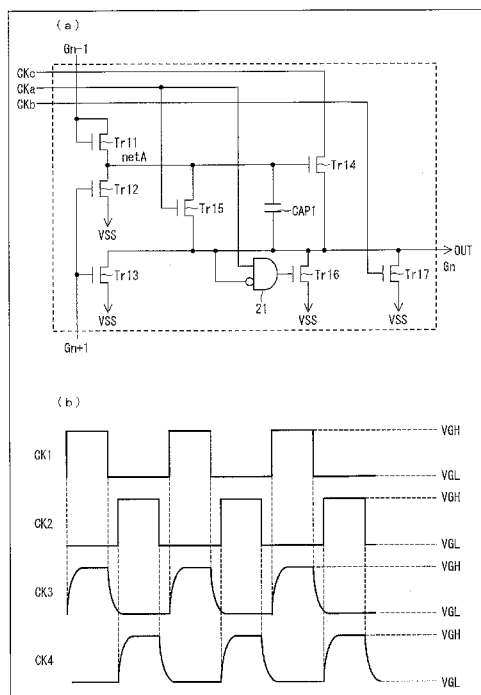
- (51) 国際特許分類:
G11C 19/00 (2006.01) G09G 3/36 (2006.01)
G09G 3/20 (2006.01) G11C 19/28 (2006.01)
- (21) 国際出願番号: PCT/JP2009/063998
- (22) 国際出願日: 2009年8月7日(07.08.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-316655 2008年12月12日(12.12.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森井 秀樹
(MORII, Hideki), 岩本 明久(IWAMOTO, Akihisa),
水永 隆行(MIZUNAGA, Takayuki), 太田 裕己
(OHTA, Yuuki), 生田 慶(IKUTA, Kei).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-
MARK); 〒5300041 大阪府大阪市北区天神橋 2 丁
目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: SHIFT REGISTER CIRCUIT, DISPLAY DEVICE, AND SHIFT REGISTER CIRCUIT DRIVE METHOD

(54) 発明の名称: シフトレジスタ回路および表示装置ならびにシフトレジスタ回路の駆動方法

[図1]



(57) Abstract: When supply lines of clock signals (CK3, CK4) of a first type and clock signals (CK1, CK2) of a second type are both in the non-load state, the fall time of a clock pulse of the clock signal of the first type supplied to the supply line of the clock signal of the first type is longer than the fall time of a clock pulse of the clock signal of the second type supplied to the supply line of the clock signal of the second type.

(57) 要約: 第1の種類のクロック信号(CK3、CK4)と第2の種類のクロック信号(CK1、CK2)との各供給配線の無負荷状態で、第1の種類のクロック信号の供給配線に供給されている第1の種類のクロック信号のクロックパルスの立ち下がり時間が、第2の種類のクロック信号の供給配線に供給されている第2の種類のクロック信号のクロックパルスの立ち下がり時間よりも大きい。

WO 2010/067643 A1

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：

シフトレジスタ回路および表示装置ならびにシフトレジスタ回路の駆動方法

技術分野

[0001] 本発明は、表示パネルにモノリシックに作り込まれるシフトレジスタ回路に関する。

背景技術

[0002] 近年、ゲートドライバを液晶パネル上にアモルファスシリコンで形成しコスト削減を図るゲートモノリシック化が進められている。ゲートモノリシックは、ゲートドライバレス、パネル内蔵ゲートドライバ、ゲートインパネルなどとも称される。

[0003] 図9に、ゲートモノリシックにより形成されるゲートドライバを構成するシフトレジスタ回路の構成例を示す。

[0004] 当該シフトレジスタ回路においては、各段（シフトレジスタ段） SR （…、 SR_{n-1} 、 SR_n 、 SR_{n+1} 、…）が、セット入力端子 G_{n-1} 、出力端子 G_n 、リセット入力端子 G_{n+1} 、 Low 電源入力端子 VSS 、および、クロック信号入力端子 CK を備えている。セット入力端子 G_{n-1} には前段の出力信号 OUT （…、 OUT_{n-1} 、 OUT_n 、 OUT_{n+1} 、…）が入力される。出力端子 G_n は、対応する走査信号線に出力信号 OUT を出力する。リセット入力端子 G_{n+1} には、次段の出力信号 OUT が入力される。Low電源入力端子 VSS には、各段 SR における低電位側の電源電圧であるLow電源電圧 VSS が入力される。クロック信号入力端子 CK には、1段ごとにクロック信号 CK_1 とクロック信号 CK_2 とが交互に入力される。クロック信号 CK_1 とクロック信号 CK_2 とは、図11に示すような、アクティブなクロックパルス期間が互いに重ならない位相関係を有している。クロック信号 CK_1 ・ CK_2 のHighレベル側の電圧は VGH で、Lo

wレベル側の電圧はVGLである。Low電源電圧VSSはクロック信号CK1・CK2のLowレベル側の電圧VGLに等しい。

[0005] 図10に、図9のシフトレジスタ回路の各段SRの構成例を示す。この構成は非特許文献1に記載されたものである。

[0006] 各段SRは、4つのトランジスタTr1・Tr2・Tr3・Tr4および容量CAP1を備えている。上記トランジスタは全てnチャンネル型のTFTである。

[0007] トランジスタTr1において、ゲートおよびドレインはセット入力端子Gn-1に、ソースはトランジスタTr4のゲートに、それぞれ接続されている。トランジスタTr4において、ドレインはクロック信号入力端子CKに、ソースは出力端子Gnに、それぞれ接続されている。すなわち、トランジスタTr4は伝送ゲートとして、クロック信号入力端子CKに入力されるクロック信号の通過および遮断を行う。容量CAP1は、トランジスタTr4のゲートとソースとの間に接続されている。トランジスタTr4のゲートと同電位のノードをnetAと称する。

[0008] トランジスタTr2において、ゲートはリセット入力端子Gn+1に、ドレインはノードnetAに、ソースはLow電源入力端子VSSに、それぞれ接続されている。トランジスタTr3において、ゲートはリセット入力端子Gn+1に、ドレインは出力端子Gnに、ソースはLow電源入力端子VSSに、それぞれ接続されている。

[0009] 次に、図11を用いて、図10の構成の各段SRの動作について説明する。

[0010] セット入力端子Gn-1にシフトパルスが入力されるまでは、トランジスタTr3・Tr4が高インピーダンス状態であることにより、出力端子GnはLowを保持する期間となる。

[0011] セット入力端子Gn-1にシフトパルスである前段の出力信号OUT（図11ではOUTn-1）のゲートパルスが入力されると、出力端子Gnは出力パルスを生成する期間となり、トランジスタTr1がON状態となって容

容量CAP1が充電される。容量CAP1が充電されることによりノードnet Aの電位が上昇し、トランジスタTr4がON状態になり、クロック信号入力端子CKから入力されたクロック信号がトランジスタTr4のソースに現れるが、クロック信号入力端子CKにクロックパルスが入力された瞬間に容量CAP1のブートストラップ効果によってノードnet Aの電位が突き上げられ、入力されたクロックパルスが段SRの出力端子Gnに伝送されて出力され、ゲートパルス（ここでは出力信号OUTnのパルス）となる。

[0012] セット入力端子Gn-1へのゲートパルスの入力が終了すると、トランジスタTr1がOFF状態となる。そして、ノードnet Aおよび段SRの出力端子Gnがフローティングとなることによる電荷の保持を解除するために、リセット入力端子Gn+1に入力されるリセットパルスによってトランジスタTr2・Tr3をON状態とし、ノードnet Aおよび出力端子GnをLow電源電圧VSSに接続する。これによりトランジスタTr4がOFF状態となる。リセットパルスの入力が終了すると、出力端子Gnが出力パルス生成する期間は終了し、再びLowを保持する期間となる。

[0013] このようにして、各ゲートラインに順次ゲートパルスが出力されていく。

[0014] 上記のシフトレジスタ回路では、出力端子GnがLowを保持する期間にトランジスタTr3・Tr4がハイインピーダンス状態となることにより、出力端子Gnがフローティング状態となる。従って、出力端子Gnがゲートバスラインとソースバスラインとのクロスカップリングなどにより伝搬されるノイズなどでLowを保持できなくなることを防ぐために、当該Low保持期間に出力端子GnをLowレベルであるLow電源電圧VSSに接続する、いわゆるLow引き用のトランジスタを設けることが行われる。また、当該Low保持期間には、トランジスタTr2もハイインピーダンス状態となることによりノードnet Aがフローティング状態となるため、トランジスタTr4がリークしないように、当該Low保持期間にノードnet AをLowレベルである電源電圧VSSに接続するLow引き用のトランジスタを設けることも行われる。

- [0015] しかし、このように出力端子G_nやノードn_{et}AをLowレベルに接続するLow引き用のトランジスタを設けると、非特許文献1にも記載されているように、これらのトランジスタのゲートに常にDCバイアスが印加されることにより閾値電圧のシフト現象が発生する。この閾値電圧のシフト現象は特に高温下において著しい。TFTがnチャンネル型である場合には、閾値電圧が上昇する方向にシフトする。出力端子G_nをLowレベルに接続するトランジスタが閾値電圧のシフト現象を起こした場合には、次第にON状態へ移行しにくくなることにより、出力端子G_nをLowレベルに接続することが困難となる。また、ノードn_{et}AをLowレベルに接続するトランジスタが閾値電圧のシフト現象を起こした場合には、次第にON状態へ移行しにくくなることにより、ノードn_{et}AをLowレベルに接続することが困難となるので、ノードn_{et}Aが電位不安定や各トランジスタのリークなどで電位上昇を起こすと出力トランジスタ（図10ではトランジスタTr4）がリークし、出力端子G_nをやはりLowレベルに保持することが困難となる。
- [0016] このような閾値電圧のシフト現象により、常にゲートにDCバイアスが印加されているTFTは長時間の動作においてそのスイッチング機能を失い、最終的にはシフトレジスタ回路が本来の機能を果たさなくなると誤動作を起こしてしまう。この結果、ゲートバスラインがソースバスラインなどから受ける電位変動の影響を抑制できず、クロストークが発生することなどによって安定した表示を行うことができなくなってしまう。
- [0017] そこで、非特許文献1では、このようなLow引き用のTFTのゲートに印加するON電圧の期間を短く抑制した構成のシフトレジスタ回路を提案している。
- [0018] 図12および図13に、このシフトレジスタ回路と類似のシフトレジスタ回路の構成を示す。
- [0019] 図12に示すシフトレジスタ回路においては、各段SRの端子として、図9のシフトレジスタ回路の各段SRのクロック信号入力端子CKをクロック

信号入力端子CK a・CK bとしたものである。クロック信号入力端子CK a・CK bにはクロック信号CK 1・CK 2の一方と他方とが入力され、クロック信号入力端子CK aにクロック信号CK 1が入力されるとともにクロック信号入力端子CK bにクロック信号CK 2が入力される段と、クロック信号入力端子CK aにクロック信号CK 2が入力されるとともにクロック信号入力端子CK bにクロック信号CK 1が入力される段とが交互に配置されている。クロック信号CK 1とクロック信号CK 2とは、図14に示すような、アクティブなクロックパルス期間が互いに重ならない位相関係を有している。クロック信号CK 1・CK 2のHighレベル側の電圧はVGHで、Lowレベル側の電圧はVGLである。Low電源電圧VSSはクロック信号CK 1・CK 2のLowレベル側の電圧VGLに等しい。

- [0020] 図13に、図12のシフトレジスタ回路の各段SRの構成例を示す。
- [0021] この構成は、図10の構成に、さらにnチャネル型TFTからなるLow引き用のトランジスタTr5~Tr7と、2入力のANDゲート101とを追加したものである。
- [0022] トランジスタTr5においては、ゲートがクロック信号入力端子CK aに、ドレインがノードnet Aに、ソースが出力端子Gnに、それぞれ接続されている。トランジスタTr6においては、ゲートがANDゲート101の出力に、ドレインが出力端子Gnに、ソースがLow電源入力端子VSSに、それぞれ接続されている。トランジスタTr7においては、ゲートがクロック信号入力端子CK bに、ドレインが出力端子Gnに、ソースがLow電源入力端子VSSに、それぞれ接続されている。ANDゲート101においては、一方の入力端子がクロック信号入力端子CK aに、他方のローアクティブの入力端子が出力端子Gnに、それぞれ接続されている。
- [0023] 次に、図14を用いて、図13の構成の各段SRの動作について説明する。
- [0024] 出力端子Gnに出力信号OUTを出力する動作は、前述の図11と同様であるが、出力端子GnをLowレベルとする期間においては、トランジスタ

- Tr5・Tr6・Tr7およびANDゲート101が付加的な動作を行う。
- [0025] トランジスタTr5はクロック信号入力端子CKaに入力されるクロック信号CK1またはCK2（図14ではクロック信号CK1）のクロックパルスごとにON状態となって、ノードnetAと出力端子Gnとを短絡する。ANDゲート101は、出力端子GnがLowレベルである限りはクロック信号入力端子CKaに入力されるクロック信号（図14ではクロック信号CK1）のクロックパルスごとにHighレベルを出力し、トランジスタTr6をON状態とする。トランジスタTr7はクロック信号入力端子CKbに入力されるクロック信号CK1またはCK2（図14ではクロック信号CK2）のクロックパルスごとにON状態となって、出力端子GnをLow電源電圧VSSに接続する。
- [0026] 出力端子Gnは、トランジスタTr6がON状態となる期間と、トランジスタTr7がON状態となる期間とが交互に現れてLow引きされる。また、トランジスタTr5がON状態となるときはトランジスタTr6もON状態となるため、この期間にノードnetAがLow引きされる。
- [0027] 図14の動作では、出力端子GnはLow引きされる期間がクロック信号CK1・CK2の各クロックパルス期間の和となって大きいにも関わらず、トランジスタTr6・Tr7のそれぞれは、各クロック信号のONデューティである50%程度の期間だけゲートにDCバイアスが印加されることになる。トランジスタTr5のDCバイアス期間も同様である。
- [0028] 図12～図14の構成のシフトレジスタ回路では、このように、Low引き用のTFETのDCバイアス印加時間を短くして、閾値電圧のシフト現象を抑制している。
- [0029] 図12～図14に示したような、Low引き用のTFETのDCバイアス印加時間を50%程度に短くする従来のシフトレジスタ回路では、ノートPC用途などで一般的な最大動作温度である50℃での高温状態での動作エージングに対して、長期動作エージングに耐えるものとされている。しかしながら、TFET液晶モジュールの用途はノートPCやモニターなどのOA (Office

Automation)用途に限定されるものではなく、F A (Factory Automation)・I A (Industry Application)用途や車載用途などその応用範囲はどんどん広がってきている。それに伴い、T F T液晶モジュールに要求される高温側の動作温度範囲は5 0℃ではなく、8 5℃(I A用途)や9 5℃(車載用途)など更に高温条件での動作を実現するための技術が求められている。

[0030] すなわち図1 2～図1 4に示した構成よりも更に信頼性の高いアモルファスシリコンゲートモノリシックシフトレジスタ回路の実現が求められている。

[0031] 図1 5に、タイプ1とタイプ2との2種類のT F Tについて、本件出願人が調べた閾値電圧のシフト量 ΔV_{th} と、ゲートにD Cバイアスを印加する時間との関係を示す。タイプ1とタイプ2とは、両者ともチャンネル長Lは4 μm 、チャンネル幅Wは1 0 0 μm であり、互いに構造形状が異なっている。ソースの電圧 $V_s = 0 V$ 、ドレインの電圧 $V_d = 0.1 V$ であり、温度は8 5℃である。両タイプとも同様のシフト量 ΔV_{th} を示し、ゲート電圧 V_g をD C 2 0 Vとした場合に、1 0 Vとした場合よりも大幅にシフト量 ΔV_{th} が増加している。このように、T F Tの閾値電圧のシフト量 ΔV_{th} は、ゲートに印加されるD Cバイアスに大きく依存している。

先行技術文献

特許文献

[0032] 特許文献1：日本国公開特許公報「特開2 0 0 5 - 5 0 5 0 2 (2 0 0 5年2月2 4日公開)」

非特許文献

[0033] 非特許文献1：Seung-Hwan Moon et al., "Integrated a-Si:H TFT Gate Driver Circuits on Large Area TFT-LCDs", SID 2007 46.1, pp1478-1481

発明の概要

発明が解決しようとする課題

[0034] アモルファスシリコンT F Tでは、上述のようにゲートへのO N電圧印加

時間に応じて閾値電圧の特性がシフトする現象はよく知られているが、このアモルファスシリコンで構成したゲートモノリシックシフトレジスタ回路について、高温時の誤動作の一つが、出力トランジスタのOFFリーク電流を主要原因としていることが分ってきている。これは、温度上昇に伴いアモルファスシリコンTFTのOFF電流が増加する温度特性に原因がある。アモルファスシリコンを用いたゲートモノリシックシフトレジスタ回路は、アモルファスシリコンで構成されたシフトレジスタ段を液晶パネルの走査線数（数百から数千）だけ並べたシフトレジスタ回路であるが、ON状態にある（Highレベルを出力している）段は1つだけであり、それ以外の段はOFF状態にある（Lowレベルを出力している）。従って、大半の段は、出力トランジスタ（例えば図13のトランジスタTr4）を制御する制御回路はOFF制御を行っており、出力トランジスタはOFF状態にある。

[0035] ゲートモノリシックシフトレジスタ回路の動作の不具合は、このアモルファスシリコンTFTのOFF電流が温度によって微増し、それがシフトレジスタ段数倍（数百から数千）されることによってクロック信号の波形を鈍らせる程度まで増加した結果、上記制御回路に悪影響が及んで正確に出力トランジスタを制御することができなくなることが主要原因となっている。従って、アモルファスシリコンで作製されたゲートモノリシックシフトレジスタ回路を制御するためのクロック信号は、高温時の出力トランジスタのリーク電流増加に対しても安定して駆動できるように、できるだけ出力インピーダンス（出力ON抵抗）の低い供給源から供給され、波形の立ち上がり、立ち下がりが急峻である特性が望ましい。

[0036] 以下に、クロック信号の波形なまり、および、各シフトレジスタ段が備える出力トランジスタのOFFリークと、シフトレジスタ回路の誤動作との関係について詳細に説明する。

[0037] 図12～図14の構成のような従来のシフトレジスタ回路は、各段SRがクロック信号入力端子CKaに入力されるクロック信号CK1またはCK2を、トランジスタTr4を介して出力端子OUTに出力するものであるため

、以下のような問題を生じる。すなわち、トランジスタ T_{r4} が ON 状態にあると、クロック信号入力端子 CK_a に入力されるクロック信号 CK_1 または CK_2 をシフトレジスタ回路に供給するクロック信号配線が走査信号線と接続されるため、当該クロック信号配線におけるクロック信号の配線遅延が大きくなる（これを第 1 の遅延とする）。また、トランジスタ T_{r4} が OFF 状態であっても、トランジスタ T_{r4} にサブスレッショルド領域におけるドレイン・ソース間のリークが存在しているために、やはり上記クロック信号配線におけるクロック信号の配線遅延が大きくなる（これを第 2 の遅延とする）。特に、トランジスタ T_{r4} は、移動度の小さいアモルファスシリコンを用いている場合には、ゲートパルスを出力するだけのチャンネルコンダクタンスを得るために、ドレイン電極とソース電極とを櫛歯状に噛み合わせるなどして nm オーダーの非常に大きなチャンネル幅を確保しているために、チャンネル領域でのいずれかの場所において、サブスレッショルド領域でサブスレッショルド伝導によらずともリーク欠陥による伝導を誘発しやすい。第 1 の遅延は第 2 の遅延よりも大きな配線遅延である。

[0038] 従って、出力端子 OUT にクロック信号の出力を行っている期間にある段 SR の、クロック信号入力端子 CK_a に入力されるクロック信号 $CK_1 \cdot CK_2$ のうちの一方は、当該段 SR の第 1 の遅延と、当該段 SR に対して 1 つおきにある他の段 SR の第 2 の遅延との和の効果（第 1 の和の効果とする）による非常に大きな配線遅延を受けることとなり、残りの段のクロック信号入力端子 CK_a に入力されるクロック信号 $CK_1 \cdot CK_2$ のうちの他方は、他の段 SR の第 2 の遅延の和の効果（第 2 の和の効果とする）による比較的大きな配線遅延を受ける。第 1 の和の効果による遅延は第 2 の和の効果による遅延よりも大きい。

[0039] クロック信号 $CK_1 \cdot CK_2$ の配線遅延による波形のなまりが大きいと、波形の立ち上がりおよび立ち下がりが緩やかになるので、クロック信号 $CK_1 \cdot CK_2$ がゲートに入力されるトランジスタのゲート電圧の、波形の立ち上がり開始から閾値電圧を越えるまでの時間と、波形の立ち下がり開始から

閾値電圧以下に達するまでの時間とが、より配線遅延の小さい状態のものよりも長くなる。それゆえ、トランジスタのONタイミングおよびOFFタイミングが本来あるべきタイミングよりも遅れてしまう。

[0040] 従って、図12において、例えばいずれかの段でクロック入力端子CK_aから入力された大きいほうの遅延（第1の和の効果による遅延）を有するクロック信号の出力端子G_nへの出力がまだ終了しないうちに、クロック信号入力端子CK_bから入力された、小さいほうの遅延（第2の和の効果による遅延）を有するクロック信号によってトランジスタT_{r7}がON状態へ移行してしまうといったハザードの起こる虞がある。さらには、出力を行う段SRが奇数段と偶数段とで入れ替わるごとに、遅延がより大きくなるほうのクロック信号がCK₁とCK₂とで入れ替わる。従って、このようなハザードが起これば、シフトレジスタ回路は誤動作を起こしてしまう。

[0041] このように、クロック信号を、走査信号線への出力信号に用いる一方、シフトレジスタの各段のLow引きに用いる従来のシフトレジスタ回路は、クロック信号の配線遅延による誤動作を招来するという問題があった。

[0042] 本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、クロック信号が、各シフトレジスタ段の出力信号に用いる信号として入力される一方、シフトレジスタの各シフトレジスタ段の回路の駆動信号として入力される構成でありながら、クロック信号の配線遅延による誤動作が生じることを防止することのできるシフトレジスタ回路、および、それを備える表示装置ならびにシフトレジスタの駆動方法を実現することにある。

課題を解決するための手段

[0043] 本発明のシフトレジスタ回路は、上記課題を解決するために、1つ以上のクロック信号からなる第1の種類のクロック信号と1つ以上のクロック信号からなる第2の種類のクロック信号とが供給されるシフトレジスタ回路であって、縦続接続された各シフトレジスタ段において、上記第1の種類のクロック信号の所定のクロック信号が、上記シフトレジスタ段の出力端子にスイッチング素子を介して伝送されることにより上記シフトレジスタ段の出力信

号となる信号として入力されるとともに、上記第2の種類のクロック信号の所定のクロック信号が、上記シフトレジスタ段に含まれる回路である第1の回路の駆動信号として入力され、上記シフトレジスタ回路を上記第1の種類のクロック信号と上記第2の種類のクロック信号との各供給配線に対する負荷とした場合に、各上記供給配線の無負荷状態で、上記第1の種類のクロック信号の上記供給配線に供給されている上記第1の種類のクロック信号のクロックパルスの立ち下がり時間が、上記第2の種類のクロック信号の上記供給配線に供給されている上記第2の種類のクロック信号のクロックパルスの立ち下がり時間よりも大きいことを特徴としている。

[0044] 上記の発明によれば、各シフトレジスタ段において、第1の種類のクロック信号の所定のクロック信号がスイッチング素子を介して伝送されて出力信号となる信号として入力され、第2の種類のクロック信号の所定のクロック信号がシフトレジスタ段に含まれる回路である第1の回路の駆動信号として入力される。従って、第1の種類のクロック信号にとって、スイッチング素子がON状態であるとき、および、スイッチング素子がOFF状態にあるときにサブスレッシュホールド領域でリークを生じたときに、シフトレジスタ段の出力端子に接続された配線が負荷となっても、第2の種類のクロック信号の波形に影響は及ばないので、第2の種類のクロック信号による第1の回路の駆動タイミングを第1のクロック信号のタイミングとは独立に設定することができる。

[0045] そして、シフトレジスタ回路を第1の種類のクロック信号と第2の種類のクロック信号との各供給配線に対する負荷とした場合に、各上記供給配線の無負荷状態で、第1の種類のクロック信号の供給配線に供給されている第1の種類のクロック信号のクロックパルスの立ち下がり時間が、第2の種類のクロック信号の供給配線に供給されている第2の種類のクロック信号のクロックパルスの立ち下がり時間よりも大きいので、第1の種類のクロック信号は、ON状態またはOFF状態にあるスイッチング素子を介してシフトレジスタ段の出力端子に接続された配線が負荷となっても、さらなる配線遅延に

よる立ち下がり時間の増大を小さく抑制することが可能である。

[0046] 従って、第1の種類のクロック信号と第2の種類のクロック信号とは、上記の無負荷状態で、互いにアクティブな期間が重ならないようにするなどして、互いの位相関係を予めシフトレジスタ回路が誤動作を起こしにくいものに設定しやすい信号となる。

[0047] 以上により、クロック信号が、各シフトレジスタ段の出力信号に用いる信号として入力される一方、シフトレジスタの各シフトレジスタ段の回路の駆動信号として入力される構成でありながら、クロック信号の配線遅延による誤動作が生じることを防止することのできるシフトレジスタ回路を実現することができるという効果を奏する。

[0048] また、第1の種類のクロック信号は、クロックパルスの立ち下がり時間がシフトレジスタ回路に入力される前に十分に大きく設定されていれば、シフトレジスタ回路の出力端子に接続されている配線に出力されたときに、配線遅延によるそれ以上の立ち下がり時間の増大を抑えやすいので、上記配線に出力されたパルスの立ち下がり時間は、パネル面内でほぼ均一になる。従って、液晶表示パネルにおいて絵素にデータ信号を書き込んだ後に、絵素電極とゲートラインとの間の寄生容量を介したいわゆる引き込み現象が生じてても、引き込み電圧 ΔV が面内で均一になるため、高品位表示に大きく寄与するという効果を奏する。

[0049] 本発明のシフトレジスタ回路は、上記課題を解決するために、上記第1の種類のクロック信号と上記第2の種類のクロック信号とは、High側の電圧およびLow側の電圧が互いに等しいことを特徴としている。

[0050] 上記の発明によれば、第1の種類のクロック信号と第2の種類のクロック信号とで電源を共有することができるので、シフトレジスタ回路に電源を供給する電源回路の回路規模を小さくすることができるという効果を奏する。また、第2の種類のクロック信号のクロックパルスの振幅が、シフトレジスタ回路の出力に用いられる第1の種類のクロック信号のクロックパルスの大きな振幅と等しくなってパルスが大電力化されるので、第1の回路の駆動の

駆動能力が高まるという効果を奏する。

- [0051] 本発明のシフトレジスタ回路は、上記課題を解決するために、上記第1の種類のクロック信号のそれぞれは、上記第2の種類のクロック信号のいずれか1つが時定数型に遅延した波形であることを特徴としている。
- [0052] 上記の発明によれば、第1の種類のクロック信号を、CR遅延回路などを用いて、矩形波のまたは矩形波に近い第2の種類のクロック信号から容易に生成することができるという効果を奏する。
- [0053] 本発明のシフトレジスタ回路は、上記課題を解決するために、上記スイッチング素子はTFTであることを特徴としている。
- [0054] 上記の発明によれば、スイッチング素子が、サブスレッショルド領域におけるドレイン・ソース間のリークが大きいTFTであるので、第2の種類のクロック信号が上記リークによる配線遅延の影響を受けない効果が顕著であるという効果を奏する。
- [0055] 本発明のシフトレジスタ回路は、上記課題を解決するために、上記第1の回路は、上記各シフトレジスタ段の所定箇所を低電位側電源に接続する回路であることを特徴としている。
- [0056] 上記の発明によれば、シフトレジスタ段の回路におけるLow引きを行う回路を、適正なタイミングで動作させることができるという効果を奏する。
- [0057] 本発明のシフトレジスタ回路は、上記課題を解決するために、上記所定箇所は、上記出力信号の伝達経路であることを特徴としている。
- [0058] 上記の発明によれば、第1の種類のクロック信号が出力端子に伝送されない適切な期間に、第2の種類のクロック信号による第1の回路の駆動によって、出力信号の伝達経路をLow引きすることができるという効果を奏する。
- [0059] 本発明のシフトレジスタ回路は、上記課題を解決するために、アモルファスシリコンを用いて形成されていることを特徴としている。
- [0060] 上記の発明によれば、アモルファスシリコンを用いたシフトレジスタ回路に特有なフローティング箇所、例えばnチャネル型のTFTのみでシフトレ

ジスタ回路を構成せざるを得ないことにより生じるフローティング箇所を、適切な期間にLow引きすることができるという効果を奏する。

[0061] 本発明のシフトレジスタ回路は、上記課題を解決するために、多結晶シリコンを用いて形成されていることを特徴としている。

[0062] 上記の発明によれば、多結晶シリコンを用いたシフトレジスタ回路において、適切な期間にLow引きを行うことができるという効果を奏する。

[0063] 本発明のシフトレジスタ回路は、上記課題を解決するために、CG (Continuous Grain) シリコンを用いて形成されていることを特徴としている。

[0064] 上記の発明によれば、CGシリコンを用いたシフトレジスタ回路において、適切な期間にLow引きを行うことができるという効果を奏する。

[0065] 本発明のシフトレジスタ回路は、上記課題を解決するために、微結晶シリコンを用いて形成されていることを特徴としている。

[0066] 上記の発明によれば、微結晶シリコンを用いたシフトレジスタ回路において、適切な期間にLow引きを行うことができるという効果を奏する。

[0067] 本発明の表示装置は、上記課題を解決するために、上記シフトレジスタ回路を表示の駆動に用いることを特徴としている。

[0068] 上記の発明によれば、シフトレジスタ回路の動作が安定することにより、良好な表示を行うことができるという効果を奏する。

[0069] 本発明の表示装置は、上記課題を解決するために、上記第2の種類のクロック信号の各クロック信号を出力するバッファ回路を上記第2の種類のクロック信号の各クロック信号ごとに備えており、1つ以上の上記バッファ回路の出力のそれぞれに、上記バッファ回路の出力のクロックパルスの立ち下がり時間をより大きくする回路である立ち下がり時間拡大回路が接続されており、上記立ち下がり時間拡大回路の各出力を上記第1の種類のクロック信号に含まれるクロック信号とすることを特徴としている。

[0070] 上記の発明によれば、第1の種類のクロック信号に含まれるクロック信号を立ち下がり時間拡大回路によって第2の種類のクロック信号から生成するので、バッファ回路の数を減少させることができ、回路構成を簡略化するこ

とができる。また、第2の種類のカロック信号と、当該第2の種類のカロック信号から生成される第1の種類のカロック信号との電源を共有することができるので、電源回路の構成を簡略化することができるという効果を奏する。

[0071] 本発明の表示装置は、上記課題を解決するために、上記第1の種類のカロック信号の少なくとも1つのカロック信号の源カロック信号を出力する第1のバッファ回路を上記第1の種類のカロック信号の上記少なくとも1つのカロック信号ごとに備えており、上記第2の種類のカロック信号の各カロック信号を出力する第2のバッファ回路を上記第2の種類のカロック信号の各カロック信号ごとに備えており、上記第1のバッファ回路の出力のそれぞれに、上記源カロック信号のカロックパルスの立ち下がり時間をより大きくする回路である立ち下がり時間拡大回路が接続されており、上記立ち下がり時間拡大回路の各出力を上記第1の種類のカロック信号に含まれるカロック信号とすることを特徴としている。

[0072] 上記の発明によれば、第1の種類のカロック信号に含まれるカロック信号を、第2の種類のカロック信号から独立したバッファ回路を用いて生成するので、上記第1の種類のカロック信号に含まれるカロック信号を、必要な信号電力に応じた構成のバッファ回路によって生成することができるという効果を奏する。

[0073] 本発明の表示装置は、上記課題を解決するために、上記立ち下がり時間拡大回路はCR遅延回路であることを特徴としている。

[0074] 上記の発明によれば、立ち下がり時間拡大回路を容易に構成することができるという効果を奏する。

[0075] 本発明の表示装置は、上記課題を解決するために、上記シフトレジスタ回路が走査信号線駆動回路に用いられていることを特徴としている。

[0076] 上記の発明によれば、走査信号線を安定にLow引きすることができ、良好な表示を行うことができるという効果を奏する。

[0077] 本発明の表示装置は、上記課題を解決するために、上記シフトレジスタ回

路が、表示パネルに表示領域とモノリシックに形成されていることを特徴としている。

[0078] 上記の発明によれば、シフトレジスタ回路が表示パネルに表示領域とモノリシックに形成された、構成簡略化に有利な表示装置に、シフトレジスタ回路の動作を安定させることにより、良好な表示を行わせることができるという効果を奏する。

[0079] 本発明のシフトレジスタ回路の駆動方法は、上記課題を解決するために、シフトレジスタ回路を駆動するシフトレジスタ回路の駆動方法であって、上記シフトレジスタ回路に1つ以上のクロック信号からなる第1の種類のクロック信号と1つ以上のクロック信号からなる第2の種類のクロック信号とを供給し、縦続接続された各シフトレジスタ段において、上記第1の種類のクロック信号の所定のクロック信号を、上記シフトレジスタ段の出力端子にスイッチング素子を介して伝送されることにより上記シフトレジスタ段の出力信号となる信号として入力するとともに、上記第2の種類のクロック信号の所定のクロック信号を、上記シフトレジスタ段に含まれる回路である第1の回路の駆動信号として入力し、上記シフトレジスタ回路を上記第1の種類のクロック信号と上記第2の種類のクロック信号との各供給配線に対する負荷とした場合に、各上記供給配線の無負荷状態で、上記第1の種類のクロック信号の上記供給配線に供給されている上記第1の種類のクロック信号のクロックパルスの立ち下がり時間が、上記第2の種類のクロック信号の上記供給配線に供給されている上記第2の種類のクロック信号のクロックパルスの立ち下がり時間よりも大きいことを特徴としている。

[0080] 上記の発明によれば、クロック信号が、各シフトレジスタ段の出力信号に用いる信号として入力される一方、シフトレジスタの各シフトレジスタ段の回路の駆動信号として入力される構成でありながら、クロック信号の配線遅延による誤動作が生じることを防止することのできるシフトレジスタ回路の駆動方法を実現することができるという効果を奏する。

[0081] また、液晶表示パネルにおいて絵素にデータ信号を書き込んだ後に、絵素

電極とゲートラインとの間の寄生容量を介したいわゆる引き込み現象が生じてても、引き込み電圧 ΔV が面内で均一になるため、高品位表示に大きく寄与するという効果を奏する。

- [0082] 本発明のシフトレジスタ回路の駆動方法は、上記課題を解決するために、上記第1の種類のクロック信号と上記第2の種類のクロック信号とで、High側の電圧およびLow側の電圧を互いに等しくすることを特徴としている。
- [0083] 上記の発明によれば、シフトレジスタ回路に電源を供給する電源回路の回路規模を小さくすることができるという効果を奏する。また、第1の回路の駆動の駆動能力が高まるという効果を奏する。
- [0084] 本発明のシフトレジスタ回路の駆動方法は、上記課題を解決するために、上記第1の種類のクロック信号のそれぞれは、上記第2の種類のクロック信号のいずれか1つが時定数型に遅延した波形であることを特徴としている。
- [0085] 上記の発明によれば、第1の種類のクロック信号を、CR遅延回路などを用いて矩形波から容易に生成することができるという効果を奏する。

発明の効果

- [0086] 本発明のシフトレジスタ回路は、以上のように、1つ以上のクロック信号からなる第1の種類のクロック信号と1つ以上のクロック信号からなる第2の種類のクロック信号とが供給されるシフトレジスタ回路であって、縦続接続された各シフトレジスタ段において、上記第1の種類のクロック信号の所定のクロック信号が、上記シフトレジスタ段の出力端子にスイッチング素子を介して伝送されることにより上記シフトレジスタ段の出力信号となる信号として入力されるとともに、上記第2の種類のクロック信号の所定のクロック信号が、上記シフトレジスタ段に含まれる回路である第1の回路の駆動信号として入力され、上記シフトレジスタ回路を上記第1の種類のクロック信号と上記第2の種類のクロック信号との各供給配線に対する負荷とした場合に、各上記供給配線の無負荷状態で、上記第1の種類のクロック信号の上記供給配線に供給されている上記第1の種類のクロック信号のクロックパルス

の立ち下がり時間が、上記第2の種類のクロック信号の上記供給配線に供給されている上記第2の種類のクロック信号のクロックパルスの立ち下がり時間よりも大きい。

[0087] 以上により、クロック信号が、各シフトレジスタ段の出力信号に用いる信号として入力される一方、シフトレジスタの各シフトレジスタ段の回路の駆動信号として入力される構成でありながら、クロック信号の配線遅延による誤動作が生じることを防止することのできるシフトレジスタ回路を実現することができるという効果を奏する。

図面の簡単な説明

[0088] [図1]本発明の実施形態に係るシフトレジスタ回路の説明図であり、(a)はシフトレジスタの各段の構成を示す回路図であり、(b)は(a)の動作における特定の波形を示すタイミングチャートである。

[図2]図1の構成の各段を備えるシフトレジスタ回路の構成を示す回路ブロック図である。

[図3]図1の構成の各段の第1の動作を説明するタイミングチャートである。

[図4]図1の構成の各段の第2の動作を説明するタイミングチャートである。

[図5]本発明の実施形態を示すものであり、表示装置の構成を示すブロック図である。

[図6]図5の表示装置が備えるコントロール基板の第1の構成を示すブロック図である。

[図7]図5の表示装置が備えるコントロール基板の第2の構成を示すブロック図である。

[図8]本発明の実施形態を示すものであり、シフトレジスタの各段の動作における変形例の波形を示すタイミングチャートである。

[図9]従来技術を示すものであり、第1のシフトレジスタ回路の構成を示す回路ブロック図である。

[図10]図9のシフトレジスタ回路が備える各段の構成を示す回路図である。

[図11]図10の構成の各段の動作を示すタイミングチャートである。

[図12]従来技術を示すものであり、第2のシフトレジスタ回路の構成を示す回路ブロック図である。

[図13]図12のシフトレジスタ回路が備える各段の構成を示す回路図である。

[図14]図13の構成の各段の動作を示すタイミングチャートである。

[図15]TFTの閾値電圧のシフト量とストレス時間との関係を示すグラフである。

発明を実施するための形態

[0089] 本発明の一実施形態について図1ないし図8に基づいて説明すると以下の通りである。

[0090] 図5に、本実施形態に係る表示装置である液晶表示装置11の構成を示す。

[0091] 液晶表示装置11は、表示パネル12、フレキシブルプリント基板13、コントロール基板14、フレキシブル接続配線17を備えている。

[0092] 表示パネル12は、ガラス基板上にアモルファスシリコンを用いて表示領域12a、複数のゲートライン（走査信号線）GL…、複数のソースライン（データ信号線）SL…、および、ゲートドライバ（走査信号線駆動回路）15が作りこまれたアクティブマトリクス型の表示パネルである。この他に、表示パネル12は、多結晶シリコン、CG(Continuous Grain)シリコン、微結晶シリコンなどを用いて形成されていてもよい。表示領域12aは、複数の絵素PIX…がマトリクス状に配置された領域である。絵素PIXは、絵素PIXの選択素子であるTFT21、液晶容量CL、および、補助容量Csを備えている。TFT21のゲートはゲートラインGLに接続されており、TFT21のソースはソースラインSLに接続されている。液晶容量CLおよび補助容量CsはTFT21のドレインに接続されている。

[0093] 複数のゲートラインGL…はゲートラインGL1・GL2・GL3…・GLnからなり、それぞれゲートドライバ（走査信号線駆動回路）15の出力に接続されている。複数のソースラインSL…はソースラインSL1・S

L₂・S_{L3}・…・S_{Lm}からなり、それぞれ後述するソースドライバ16の出力に接続されている。また、図示しないが、絵素PIX…の各補助容量Csに補助容量電圧を与える補助容量配線が形成されている。

[0094] ゲートドライバ15は、表示パネル12上で表示領域12aに対してゲートラインGL…の延びる方向の一方側に隣接する領域に設けられており、ゲートラインGL…のそれぞれに順次ゲートパルス（走査パルス）を供給する。このゲートドライバ15は表示パネル12に、アモルファスシリコンや多結晶シリコン、CGシリコン、微結晶シリコンなどを用いて、表示領域12aとモノリシックに作りこまれており、ゲートモノリシック、ゲートドライバレス、パネル内蔵ゲートドライバ、ゲートインパネルなどと称されるゲートドライバは全てゲートドライバ15に含まれ得る。

[0095] フレキシブルプリント基板13は、ソースドライバ16を備えている。ソースドライバ16はソースラインSL…のそれぞれにデータ信号を供給する。コントロール基板14はフレキシブル接続配線17を介してフレキシブルプリント基板13に接続されており、ゲートドライバ15およびソースドライバ16に必要な信号や電源を供給する。コントロール基板14においては、後述するように、走査信号として出力されるクロック信号と、シフトレジスタにおいてLow引きを行う回路を駆動するクロック信号とを、同じクロック信号からレベルシフト回路によって個別に生成する。コントロール基板14から出力されたゲートドライバ15へ供給する信号および電源は、フレキシブル接続配線17およびフレキシブルプリント基板13を介した後、表示パネル12上に引き回された配線（供給配線）RLを通してゲートドライバ15へ供給される。

[0096] ゲートドライバ15のようにゲートドライバをゲートモノリシックで構成する場合には、一行分の絵素PIX…を全て同色絵素で構成し、ゲートドライバ15がRGBの色ごとにゲートラインGL…を駆動するのに適している。この場合には、ソースドライバ16を色ごとに用意する必要がないので、ソースドライバ16やフレキシブルプリント基板13の規模を縮小すること

ができるので有利である。

[0097] 図2に、ゲートドライバ15の構成例を示す。

[0098] 図2に示すように、ゲートドライバ15はシフトレジスタ回路15aを備えている。シフトレジスタ回路15aにおいては、縦続接続される各段SR(…、 SR_{n-1} 、 SR_n 、 SR_{n+1} 、…)が、セット入力端子 G_{n-1} 、出力端子 G_n 、リセット入力端子 G_{n+1} 、Low電源入力端子VSS、および、クロック信号入力端子 $CK_a \cdot CK_b \cdot CK_c$ を備えている。セット入力端子 G_{n-1} には前段の出力信号OUT(…、 OUT_{n-1} 、 OUT_n 、 OUT_{n+1} 、…)が入力される。初段のSR1のセット入力端子 G_{n-1} には、コントロール基板14から供給されるゲートスタートパルスが入力される。出力端子 G_n は、対応するゲートラインGLに出力信号OUTを出力する。リセット入力端子 G_{n+1} には、次段の出力信号OUTが入力される。Low電源入力端子VSSには、各段SRにおける低電位側の電源電圧であるLow電源電圧VSSが入力される。

[0099] クロック信号入力端子 $CK_a \cdot CK_b$ には、コントロール基板14から供給されるクロック信号 $CK_1 \cdot CK_2$ (第2の種類のクロック信号、駆動信号)の一方と他方とが入力され、クロック信号入力端子 CK_a にクロック信号 CK_1 が入力されるとともにクロック信号入力端子 CK_b にクロック信号 CK_2 が入力される第1の段と、クロック信号入力端子 CK_a にクロック信号 CK_2 が入力されるとともにクロック信号入力端子 CK_b にクロック信号 CK_1 が入力される第2の段とが交互に配置されている。

[0100] クロック信号入力端子 CK_c にはコントロール基板14から供給されるクロック信号 CK_3 または CK_4 (第1の種類のクロック信号)が入力される。上記第1の段のクロック信号入力端子 CK_c にはクロック信号 CK_3 が入力され、上記第2の段のクロック信号入力端子 CK_c にはクロック信号 CK_4 が入力される。

[0101] クロック信号 $CK_1 \cdot CK_2 \cdot CK_3 \cdot CK_4$ は、例えば図3に示すような波形を有している。クロック信号 CK_1 とクロック信号 CK_2 とは、アク

ティブなクロックパルス期間が互いに重ならない位相関係を有している。クロック信号CK1・CK2のHighレベル側の電圧はVHで、Lowレベル側の電圧はVLである。クロック信号CK3はクロック信号CK1と同じタイミングを有し、クロック信号CK4はクロック信号CK2と同じタイミングを有している。クロック信号CK3・CK4のHighレベル側の電圧はVGHで、Lowレベル側の電圧はVGLである。High側の電圧については $VGH > VH > 0$ とし、Low側の電圧についてはここでは $VGL = VL$ とする。 $VGL < VL$ とすることも可能である。

[0102] Low電源電圧VSSはクロック信号CK3・CK4のLowレベル側の電圧VGLに等しい。ここではさらに、 $VSS = VL$ でもある。さらに、後述のANDゲート21のHigh側の電圧をVH、Low側の電圧をVLとする。

[0103] クロック信号CK1・CK2は、コントロール基板14において、例えば0V/3V系のクロック信号からレベルシフト回路を用いて-7V/16V系に変換されたものであり、クロック信号CK3・CK4は、コントロール基板14において、例えば同じ0V/3V系のクロック信号からレベルシフト回路を用いて-7V/22V系に変換されたものである。

[0104] 図1は、本発明の実施形態に係る図2のシフトレジスタ回路15aの説明図である。図1の(a)に、図2のシフトレジスタ回路15aの各段SRの構成例を示す。

[0105] 各段SRは、トランジスタTr11・Tr12・Tr13・Tr14・Tr15・Tr16・Tr17、容量CAP1、および、ANDゲート21を備えている。上記トランジスタは全てnチャネル型のTFTである。

[0106] トランジスタTr11において、ゲートおよびドレインはセット入力端子Gn-1に、ソースはトランジスタ（スイッチング素子）Tr14のゲートに、それぞれ接続されている。トランジスタTr14において、ドレインはクロック信号入力端子CKcに、ソースは出力端子Gnに、それぞれ接続されている。すなわち、トランジスタTr14は伝送ゲートとして、クロック

信号入力端子CKcに入力されるクロック信号の通過および遮断を行うスイッチング素子である。容量CAP1は、トランジスタTr14のゲートとソースとの間に接続されている。トランジスタTr14のゲートと同電位のノードをnetA（所定箇所）と称する。

[0107] トランジスタTr12において、ゲートはリセット入力端子Gn+1に、ドレインはノードnetAに、ソースはLow電源入力端子VSSに、それぞれ接続されている。トランジスタTr13において、ゲートはリセット入力端子Gn+1に、ドレインは出力端子Gnに、ソースはLow電源入力端子VSSに、それぞれ接続されている。

[0108] トランジスタTr15においては、ゲートがクロック信号入力端子CKaに、ドレインがノードnetAに、ソースが出力端子Gnに、それぞれ接続されている。トランジスタTr16においては、ゲートがANDゲート21の出力に、ドレインが出力端子Gnに、ソースがLow電源入力端子VSSに、それぞれ接続されている。トランジスタTr17においては、ゲートがクロック信号入力端子CKbに、ドレインが出力端子Gnに、ソースがLow電源入力端子VSSに、それぞれ接続されている。ANDゲート21においては、一方の入力端子がクロック信号入力端子CKaに、他方のローアクティブの入力端子が出力端子Gnに、それぞれ接続されている。

[0109] トランジスタTr15・Tr16・Tr17はLow引き用のトランジスタである。そして、トランジスタTr15・Tr16・Tr17およびANDゲート21は、ノードnetAおよび出力端子Gnという、各段SRの出力信号の伝達経路を低電位側電源に接続する第1の回路を構成している。

[0110] このように、本実施形態では、走査信号として出力されるクロック信号を第1の種類のクロック信号とし、Low引きを行うTFTのゲートに供給するクロック信号を第2の種類のクロック信号として、互いに異ならせている。なお、本実施形態では第1の種類のクロック信号はクロック信号CK3・CK4の2つからなり、第2の種類のクロック信号はクロック信号CK1・CK2の2つからなるが、第1の種類のクロック信号および第2のクロック

信号のそれぞれは一般に、各段SRの構成に合わせて1つ以上のクロック信号からなるものでよい。

[0111] 次に、図3を用いて、図1の(a)の構成の各段SRの動作について説明する。

[0112] セット入力端子 G_{n-1} にシフトパルスが入力されるまでは、トランジスタ $T_{r13} \cdot T_{r14}$ がハイインピーダンス状態であることにより、出力端子 G_n はLowを保持する期間となる。この期間には、トランジスタ T_{r15} はクロック信号入力端子 CK_a に入力されるクロック信号 CK_1 または CK_2 （図3ではクロック信号 CK_1 ）のクロックパルスごとにON状態となって、ノード net_A と出力端子 G_n とを短絡する。ANDゲート21は、出力端子 G_n がLowレベルである限りはクロック信号入力端子 CK_a に入力されるクロック信号（図3ではクロック信号 CK_1 ）のクロックパルスごとにHighレベルを出力し、トランジスタ T_{r16} をON状態とする。トランジスタ T_{r17} はクロック信号入力端子 CK_b に入力されるクロック信号 CK_1 または CK_2 （図3ではクロック信号 CK_2 ）のクロックパルスごとにON状態となって、出力端子 G_n をLow電源電圧 V_{SS} に接続する。

[0113] 出力端子 G_n は、トランジスタ T_{r16} がON状態となる期間と、トランジスタ T_{r17} がON状態となる期間とが交互に現れてLow引きされる。また、トランジスタ T_{r15} がON状態となるときはトランジスタ T_{r16} もON状態となるため、この期間にノード net_A がLow引きされる。

[0114] セット入力端子 G_{n-1} にシフトパルスである前段の出力信号OUT（図3では OUT_{n-1} ）のゲートパルスが入力されると、出力端子 G_n は出力パルスを生成する期間となり、トランジスタ T_{r11} がON状態となって容量 CAP_1 が充電される。容量 CAP_1 が充電されることによりノード net_A の電位が上昇し、トランジスタ T_{r14} がON状態になり、クロック信号入力端子 CK_c から入力されたクロック信号（図3ではクロック信号 CK_3 ）がトランジスタ T_{r14} のソースに現れるが、クロック信号入力端子 CK_c にクロックパルスが入力された瞬間に容量 CAP_1 のブートストラップ

効果によってノード $net A$ の電位が突き上げられ、入力されたクロックパルスが段 SR の出力端子 G_n に伝送されて出力され、ゲートパルス（ここでは出力信号 OUT_n のパルス）となる。

[0115] セット入力端子 G_{n-1} へのゲートパルスの入力が終了すると、トランジスタ Tr_{11} が OFF 状態となる。そして、ノード $net A$ および段 SR の出力端子 G_n がフローティングとなることによる電荷の保持を解除するために、リセット入力端子 G_{n+1} に入力されるリセットパルスによってトランジスタ $Tr_{12} \cdot Tr_{13}$ を ON 状態とし、ノード $net A$ および出力端子 G_n を Low 電源電圧 V_{SS} に接続する。これによりトランジスタ Tr_{14} が OFF 状態となる。リセットパルスの入力が終了すると、出力端子 G_n が出力パルスを生成する期間は終了し、再び Low を保持する期間となる。

[0116] このようにして、各ゲートラインに順次ゲートパルスが出力されていく。

[0117] 図3の動作によれば、出力端子 G_n を Low レベルに接続する期間に、トランジスタ $Tr_{15} \cdot Tr_{16} \cdot Tr_{17}$ の各ゲートには、50%程度の ON デューティの DC バイアスが印加されながら、 $High$ レベル側の電圧 V_H が走査信号の $High$ レベル側の電圧 V_{GH} よりも低く設定されているために、 Low 引き用の TFT の閾値電圧のシフト量 ΔV_{th} を非常に小さく抑制することができる。

[0118] 次に、図4に、図1の(a)および図2の構成のシフトレジスタ回路15aの他の駆動方法について説明する。

[0119] 図4では、クロック信号 $CK_1 \cdot CK_2 \cdot CK_3 \cdot CK_4$ の全ての $High$ レベル側の電圧を V_{GH} 、全ての Low レベル側の電圧を V_{GL} とする。そして、クロック信号 $CK_1 \cdot CK_2$ の ON デューティを、クロック信号 $CK_3 \cdot CK_4$ の ON デューティよりも小さく設定する。クロック信号 $CK_3 \cdot CK_4$ は、走査信号として用いられるため、その ON デューティは図3の場合と同じである。

[0120] 図4に示すように、この場合には、トランジスタ $Tr_{15} \cdot Tr_{16} \cdot Tr_{17}$ により Low 引きを行う期間が図3の場合よりも短くなる。従って、

クロック信号CK1・CK2のHigh側の電圧が電圧VGHのように大きくても、DCバイアスとしては図3と同様に小さくすることができる。

[0121] 従って、Low引き用のTFTの閾値電圧のシフト量 ΔV_{th} を非常に小さく抑制することができる。

[0122] なお、図3のクロック信号CK1～CK4の電圧レベルを用いて、図4のようにクロック信号CK1・CK2のONデューティをクロック信号CK3・CK4よりも小さくすることも可能である。

[0123] また、図3のように、nチャネル型のTFTを用いる場合に、第2の種類のクロック信号のHigh側の電圧が第1の種類のクロック信号のHigh側の電圧よりも低くする例を挙げているが、nチャネル型のTFTを用いる場合に、第2の種類のクロック信号のHigh側の電圧を第1の種類のクロック信号のHigh側の電圧よりも高くする例も可能である。

[0124] 例えば、TFTの閾値電圧が大きい場合には大きなゲート電圧を印加しなければTFTが十分にON状態とならないが、第2の種類のクロック信号について電圧レベルを第1の種類のクロック信号よりも高くしながら、デューティを小さくするなど適宜に設定することにより、TFTを十分にON状態とすることを達成することができる。この場合の第2の種類のクロック信号のアクティブなクロックパルスのデューティは、Low引き用のTFTの数やLow引き時間の設定に合わせて適宜設定が可能であるので、TFTに印加されるDCバイアスを、第1の種類のクロック信号を用いた場合よりも小さくすることは容易である。

[0125] また、図4のように、nチャネル型のTFTを用いる場合に、第2の種類のクロック信号のアクティブなクロックパルスのデューティを、第1の種類のクロック信号のアクティブなクロックパルスのデューティよりも小さくする例を挙げているが、nチャネル型のTFTを用いる場合に、第2の種類のクロック信号のアクティブなクロックパルスのデューティを、第1の種類のクロック信号のアクティブなクロックパルスのデューティよりも大きくする例も可能である。

- [0126] 例えば、TFTの閾値電圧が大きい場合にはあまり大きなゲート電圧を印加しなくともTFTが十分にON状態となるので、第2の種類のクロック信号についてアクティブなクロックパルスのデューティを第1の種類のクロック信号よりも大きくしながら、電圧レベルを小さくするなど適値に設定することにより、TFTを十分にON状態とすることを達成することができる。この場合の第2の種類のクロック信号の電圧レベルは、閾値電圧に合わせて適宜設定が可能であるので、TFTに印加されるDCバイアスを、第1の種類のクロック信号を用いた場合よりも小さくすることは容易である。
- [0127] 次に、上記の図3や図4の駆動を行う場合の、クロック信号を生成する構成について説明する。
- [0128] 図6に示すように、クロック信号CK1~CK4は、図5のコントロール基板14に対応するコントロール基板141によって生成される。コントロール基板141は、タイミング信号生成回路14a、電源14b、および、レベルシフタ回路14cを備えている。
- [0129] タイミングコントローラ14aは、ゲートドライバ15に対しては、例えばクロック信号CK1~CK4、ゲートスタートパルスGSP、および、クリア信号CLRを生成し、これら6つの信号Sをレベルシフタ回路14cに供給する。クリア信号CLRは、図示しなかったが、シフトレジスタ回路15aをイニシャル状態にリセットする信号である。電源14bは、レベルシフタ回路14cが各信号を生成するのに用いる、例えば電圧VGH1・VGH2・VGL1・VGL2といった各電源電圧を生成してレベルシフタ回路14cに供給する他、Low電源電圧VSSを生成してゲートドライバ15に直接供給する。ここで、例えば、電圧VGH1は図3の電圧VGHに、電圧VGH2は図3の電圧VHに、電圧VGL1は図3の電圧VGLに、電圧VGL2は図3の電圧VLに、それぞれ相当している。
- [0130] レベルシフタ回路14cは、クロック信号CK1~CK4、ゲートスタートパルスGSP、および、クリア信号CLRのそれぞれを出力するバッファ回路Lsを、信号ごとに備えている。図3の駆動を行う構成の場合には、ク

ロック信号CK1・CK2およびクリア信号CLRを出力する各バッファ回路Lsは、電源電圧として電圧VGH2・VGL2を用い、クロック信号CK3・CK4およびゲートスタートパルスGSPを出力する各バッファ回路Lsは、電源電圧として電圧VGH1・VGL1を用いる。レベルシフト回路14cから出力されたクロック信号CK1~CK4、ゲートスタートパルスGSP、および、クリア信号CLRと、Low電源電圧VSSは、コントロール基板141からフレキシブル接続配線17およびフレキシブルプリント基板13を介して表示パネル12上に引き回された配線RLによってゲートドライバ15に供給される。

- [0131] 次に、図1の(b)に、図1の(a)の構成に用いるクロック信号CK1~CK4の他の波形例を示す。
- [0132] この波形は、クロック信号CK3・CK4のクロックパルスの立ち下がり時間をクロック信号CK1・CK2よりも大きくしたものである。パルスの立ち下がり時間は、一般に定義されているように、アクティブレベルにあるパルスが振幅の90%から10%まで立ち下がるのに要する時間である。アクティブレベルがLowレベルである負パルスの場合には、Lowレベル側からHighレベル側へ向って振幅の90%から10%まで変化する時間であるとする。
- [0133] 図7に示すように、これらのクロック信号CK1~CK4は、図5のコントロール基板14に対応するコントロール基板142によって生成される。コントロール基板142は、タイミング信号生成回路14a、電源14b、レベルシフト回路14c、および、立ち下がり時間拡大回路14d...を備えている。
- [0134] タイミングコントローラ14aは、ゲートドライバ15に対しては、例えばクロック信号CK1・CK2、ゲートスタートパルスGSP、および、クリア信号CLRを生成し、これら4つの信号Sをレベルシフト回路14cに供給する。クリア信号CLRは、図示しなかったが、シフトレジスタ回路15aをイニシャル状態にリセットする信号である。電源14bは、レベルシ

フタ回路14cが各信号を生成するのに用いる、例えば電圧 V_{GH} ・ V_{GL} といった各電源電圧を生成してレベルシフト回路14cに供給する他、Low電源電圧 V_{SS} を生成してゲートドライバ15に直接供給する。ここで、電圧 V_{GH} は図1の(b)のクロック信号 $CK1$ ~ $CK4$ のHigh側の電圧であり、電圧 V_{GL} は図1の(b)のクロック信号 $CK1$ ~ $CK4$ のLow側の電圧である。

[0135] レベルシフト回路14cは、クロック信号 $CK1$ ・ $CK2$ 、ゲートスタートパルス GSP 、および、クリア信号 CLR のそれぞれを出力するバッファ回路 Ls を、信号ごとに備えている。ここでは上記の全ての信号に対して、電源電圧として電圧 V_{GH} ・ V_{GL} を用いる。また、クロック信号 $CK1$ ・ $CK2$ の各バッファ回路 Ls の出力に立ち下がり時間拡大回路14dが接続されている。立ち下がり時間拡大回路14dはCR遅延回路で構成されており、立ち下がり時間拡大回路14dの入力端子に抵抗 R の一端が接続され、抵抗 R の他端と容量 C の一端とが立ち下がり時間拡大回路14dの出力端子に接続されている。容量 C の他端は GND に接続されている。

[0136] クロック信号 $CK1$ のバッファ回路 Ls から出力されたレベルシフト後のクロック信号 $CK1$ は、そのまま表示パネル12に向けて出力される一方、立ち下がり時間拡大回路14dに入力されて、クロック信号 $CK1$ が図1の(b)に示すような時定数型の遅延を受けたクロック信号 $CK3$ として出力される。

[0137] クロック信号 $CK2$ のバッファ回路 Ls から出力されたレベルシフト後のクロック信号 $CK2$ は、そのまま表示パネル12に向けて出力される一方、立ち下がり時間拡大回路14dに入力されて、クロック信号 $CK2$ が図1の(b)に示すような時定数型の遅延を受けたクロック信号 $CK4$ として出力される。

[0138] ここで、図1の(b)のクロック信号 $CK1$ ~ $CK4$ の波形は、配線 RL に負荷としてのシフトレジスタ回路15aが接続されていない無負荷状態で得られるものである。この無負荷状態は、配線 RL とシフトレジスタ回路1

5 a との各接続点（ここではシングルエンド接続点）を配線 R L からシフトレジスタ回路 1 5 a への入力端子としたときの、当該各入力端子からシフトレジスタ回路 1 5 a 側を見た入力インピーダンスが無限大、あるいは非常に大きい状態のものであり、例えば、配線 R L がトランジスタのゲートに接続されている箇所では配線 R L と当該トランジスタとの間をそのままの接続状態としたもので代用可能であるが、配線 R L がトランジスタ T r 4 などの OFF リークが大きいトランジスタのドレインやソースに接続されている箇所では配線 R L と当該トランジスタとの間を切断した状態として実現可能である。

[0139] こうして、レベルシフタ回路 1 4 c から出力されたクロック信号 C K 1 ~ C K 4、ゲートスタートパルス G S P、および、クリア信号 C L R と、 L o w 電源電圧 V S S とは、コントロール基板 1 4 2 からフレキシブル接続配線 1 7 およびフレキシブルプリント基板 1 3 を介して表示パネル 1 2 上に引き回された配線 R L によってゲートドライバ 1 5 に供給される。

[0140] このように、図 1 の（b）の波形を用いる構成によれば、各シフトレジスタ段において、上述のように遅延を受けた第 1 の種類のクロック信号であるクロック信号 C K 3 ・ C K 4 の所定のクロック信号がトランジスタ T r 1 4 を介して伝送されて出力信号 O U T となる信号として入力され、第 2 の種類のクロック信号であるクロック信号 C K 1 ・ C K 2 の所定のクロック信号が、シフトレジスタ段に含まれる、トランジスタ T r 1 5 ・ T r 1 6 ・ T r 1 7 および A N D ゲート 2 1 からなる回路である前記第 1 の回路の駆動信号として入力される。

[0141] 従って、クロック信号 C K 3 ・ C K 4 にとって、トランジスタ T r 1 4 が O N 状態であるとき、および、スイッチング素子が O F F 状態にあるときにサブスレッショルド領域でリークを生じたときに、シフトレジスタ段 S R の出力端子に接続された配線が負荷となっても、図 3 および図 4 と同様に、クロック信号 C K 1 ・ C K 2 の波形に影響は及ばないので、クロック信号 C K 1 ・ C K 2 による第 1 の回路の駆動タイミングをクロック信号 C K 3 ・ C K

4のタイミングとは独立に設定することができる。

[0142] そして、上記の無負荷状態で、配線RLに含まれるクロック信号CK3・CK4の供給配線に供給されているクロック信号CK3・CK4のクロックパルスの立ち下がり時間が、配線RLに含まれるクロック信号CK1・CK2の供給配線に供給されているクロック信号CK1・CK2のクロックパルスの立ち下がり時間よりも大きいので、クロック信号CK3・CK4は、ON状態またはOFF状態にあるトランジスタTr14を介してシフトレジスタ段15aの出力端子Gnに接続された配線であるゲートラインが負荷となっても、さらなる配線遅延による立ち下がり時間の増大を小さく抑制することが可能である。

[0143] 従って、クロック信号CK3・CK4とクロック信号CK1・CK2とは、上記の無負荷状態で、互いにアクティブな期間が重ならないようにするなどして、互いの位相関係を予めシフトレジスタ回路15aが誤動作を起こしにくいものに設定しやすい信号となる。例えば図1の(b)では、クロック信号CK1は、クロック信号CK4のクロックパルスの立ち下がり終了タイミングと、クロック信号CK4の次のクロックパルスの立ち上がり開始タイミングとの間にアクティブ期間が存在するように位相が設定されており、クロック信号CK2は、クロック信号CK3のクロックパルスの立ち下がり終了タイミングと、クロック信号CK3の次のクロックパルスの立ち上がり開始タイミングとの間にアクティブ期間が存在するように位相が設定されている。

[0144] 以上により、クロック信号が、各シフトレジスタ段の出力信号に用いる信号として入力される一方、シフトレジスタ回路の各シフトレジスタ段の回路の駆動信号として入力される構成でありながら、クロック信号の配線遅延による誤動作が生じることを防止することのできるシフトレジスタ回路を実現することができる。

[0145] また、クロック信号CK3・CK4は、シフトレジスタ回路15aからゲートラインに出力されるが、クロック信号CK3・CK4のクロックパルス

の立ち下がり時間がシフトレジスタ回路15aに入力される前に十分に大きく設定されていれば、ゲートラインに出力されたときに、配線遅延によるそれ以上の立ち下がり時間の増大を抑えやすいので、ゲートパルスの立ち下がり時間は、パネル面内でほぼ均一になる。従って、表示パネル12において絵素PIXにデータ信号を書き込んだ後に、絵素電極とゲートラインとの間の寄生容量を介したいわゆる引き込み現象(feed through)が生じて、引き込み電圧 ΔV が面内で均一になるため、高品位表示に大きく寄与する。

[0146] また、図1の(b)の波形を用いる構成によれば、クロック信号CK3・CK4とクロック信号CK1・CK2とで、High側の電圧およびLow側の電圧が互いに等しい。これによれば、クロック信号CK3・CK4とクロック信号CK1・CK2とで電源を共有することができるので、シフトレジスタ回路15aに電源を供給する電源回路の回路規模を小さくすることができる。また、クロック信号CK1・CK2のクロックパルスの振幅が、シフトレジスタ回路15aの出力に用いられるクロック信号CK3・CK4のクロックパルスの大きな振幅と等しくなってパルスが大電力化されるので、第1の回路の駆動の駆動能力が高まる。

[0147] また、図1の(b)の波形を用いる構成によれば、クロック信号CK3・CK4のそれぞれは、クロック信号CK1・CK2のいずれか1つが時定数型に遅延した波形であるので、クロック信号CK3・CK4を、CR遅延回路などを用いて矩形波のまたは矩形波に近いクロック信号CK1・CK2から容易に生成することができる。

[0148] また、図1の(b)の波形を用いる構成によれば、スイッチング素子としてのトランジスタTr4は、サブスレッショルド領域におけるドレイン・ソース間のリークが大きいTF Tであるので、クロック信号CK1・CK2が上記リークによる配線遅延の影響を受けない効果が顕著である。

[0149] また、図1の(b)の波形を用いる構成によれば、各段SRの回路におけるLow引きを行う回路を、適正なタイミングで動作させることができる。

[0150] 図1の(b)および図7の例では、クロック信号CK3・CK4を、クロ

ック信号CK1・CK2の波形全体に時定数型の遅延を施した波形としたので、クロックパルスの立ち下がり時間のみならず立ち上がり時間もクロック信号CK1・CK2のクロックパルスよりも大きいものとなった。しかし、本発明では必ずしもこのような波形に限ることはなく、クロック信号CK3・CK4のクロックパルスを、傾斜した立ち下がり時間を有するパルス期間の部分と、電圧VGLの期間とを、スイッチで切り替えながら互いに異なる波形から切り取ってつなぎ合せるといったようにして、少なくともクロックパルスの立ち下がり時間がクロック信号CK1・CK2よりも大きくなるような波形としてもよい。

[0151] 図8に、このような波形例を示す。クロック信号CK1・CK2は図1の(b)と同様の波形であるが、クロック信号CK3・CK4のパルス期間は、立ち上がりがクロック信号CK1・CK2と同様に急峻であって、立ち下がりには、時刻t1から時刻t2までに亘って、電圧レベルが電圧VGHから、電圧VGHと電圧VGLとの間の電圧VSLまで傾斜して低下して傾斜終端でほぼ同時に電圧VGLに急峻に変化する波形を有する。従って、立ち下がり時間はクロック信号CK1・CK2よりも大きい。電圧VSLは、絵素PIXのTFT21がON状態からOFF状態になるレベルであってもなくてもいずれでもよい。

[0152] このような複数の部分をつなぎ合わせる構成を用いて、立ち上がり時間が非常に短い、急峻に立ち上がるクロック信号CK3・CK4を供給するようになれば、図1の(a)のような容量CAP1のブートストラップ効果が高まるので、出力端子Gnに歪みの少ないクロック信号CK3・CK4を出力信号OUTとして出力することができる。

[0153] また、図1の(b)および図7の例では、第2の種類のクロック信号の各クロック信号を出力するバッファ回路Lsを第2の種類のクロック信号のクロック信号ごとに備えており、1つ以上の上記バッファ回路Lsの出力のそれぞれに、上記バッファ回路Lsの出力のクロックパルスの立ち下がり時間をより大きくする回路である立ち下がり時間拡大回路14dが接続されてお

り、立ち下がり時間拡大回路 14d の各出力を第 1 の種類のクロック信号に含まれるクロック信号とする。ここで、バッファ回路 L_s は、第 2 の種類のクロック信号から作成しようとする第 1 の種類のクロック信号のクロック信号の数だけあればよく、必ずしも全ての第 2 の種類のクロック信号に対して第 1 の種類のクロック信号の各クロック信号が立ち下がり時間拡大回路 14d を介して組み合わせられている必要はないとともに、第 1 の種類のクロック信号の全てのクロック信号が第 2 のクロック信号から立ち下がり時間拡大回路 14d を用いて生成されなくてもよい。

[0154] この構成によれば、第 1 の種類のクロック信号に含まれるクロック信号を立ち下がり時間拡大回路 14d によって第 2 の種類のクロック信号から生成するので、バッファ回路 L_s の数を減少させることができ、回路構成を簡略化することができる。また、第 2 の種類のクロック信号と、当該第 2 の種類のクロック信号から生成される第 1 の種類のクロック信号との電源を共有することができるので、電源回路の構成を簡略化することができる。

[0155] また、図 1 の (b) および図 7 の例では、第 1 の種類のクロック信号の少なくとも 1 つの各クロック信号の源クロック信号を出力するバッファ回路 (第 1 のバッファ回路) L_s を第 1 の種類のクロック信号の上記少なくとも 1 つのクロック信号ごとに備えており、第 2 の種類のクロック信号の各クロック信号を出力するバッファ回路 (第 2 のバッファ回路) L_s を第 2 の種類のクロック信号のクロック信号ごとに備えており、第 1 のバッファ回路の出力のそれぞれに、上記源クロック信号のクロックパルスの立ち下がり時間をより大きくする回路である立ち下がり時間拡大回路 14d が接続されており、立ち下がり時間拡大回路 14d の各出力を第 1 の種類のクロック信号に含まれるクロック信号とする。

[0156] ここで、第 1 の種類のクロック信号の源クロック信号を出力するバッファ回路 L_s は、第 2 の種類のクロック信号と独立して作成しようとする第 1 の種類のクロック信号のクロック信号の数だけあればよい。

[0157] この構成によれば、第 1 の種類のクロック信号の所定のクロック信号を、

第2の種類のクロック信号から独立したバッファ回路L sを用いて生成するので、第1のクロック信号の所定のクロック信号を、必要な信号電力に応じた構成のバッファ回路L sによって生成することができる。

[0158] また、図1の(b)の波形において、クロック信号CK1~CK4のHigh側の電圧およびLow側の電圧を図3の関係としたり、クロック信号CK1~CK4のパルス幅の関係を図4の関係としたりしてもよい。クロック信号CK1~CK4のHigh側の電圧およびLow側の電圧を図3の関係とする場合や、図1の(b)の関係とする場合に、図7のレベルシフト回路14cにおいてクロック信号CK1・CK2およびクロック信号CK3・CK4の源クロック信号のそれぞれを、個別のバッファ回路を設けて出力するようにしてもよい。

[0159] 以上、本実施形態について述べた。本発明はEL表示装置など、シフトレジスタ回路を用いる他の表示装置にも適用可能である。

[0160] 本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0161] 本発明は、液晶表示装置やEL表示装置などの表示装置に特に好適に使用することができる。

符号の説明

| | | |
|--------|---------|----------------------|
| [0162] | 11 | 液晶表示装置（表示装置） |
| | 14d | 立ち下がり時間拡大回路（CR回路） |
| | 15a | シフトレジスタ回路 |
| | VGH | Highレベル側の電圧 |
| | VGL | Lowレベル側の電圧 |
| | SR | 段（シフトレジスタ段） |
| | CK1、CK2 | クロック信号（第2の種類のクロック信号） |

CK3、CK4 クロック信号（第1の種類のカロック信号）
netA ノード（所定箇所、出力信号の伝達経路）
Gn 出力端子（所定箇所、出力信号の伝達経路）
OUT 出力信号
Tr4 トランジスタ（スイッチング素子、TFT）
Tr15、Tr16、Tr17

請求の範囲

- [請求項1] 1つ以上のクロック信号からなる第1の種類のクロック信号と1つ以上のクロック信号からなる第2の種類のクロック信号とが供給されるシフトレジスタ回路であって、
- 縦続接続された各シフトレジスタ段において、上記第1の種類のクロック信号の所定のクロック信号が、上記シフトレジスタ段の出力端子にスイッチング素子を介して伝送されることにより上記シフトレジスタ段の出力信号となる信号として入力されるとともに、上記第2の種類のクロック信号の所定のクロック信号が、上記シフトレジスタ段に含まれる回路である第1の回路の駆動信号として入力され、
- 上記シフトレジスタ回路を上記第1の種類のクロック信号と上記第2の種類のクロック信号との各供給配線に対する負荷とした場合に、各上記供給配線の無負荷状態で、上記第1の種類のクロック信号の上記供給配線に供給されている上記第1の種類のクロック信号のクロックパルスの立ち下がり時間が、上記第2の種類のクロック信号の上記供給配線に供給されている上記第2の種類のクロック信号のクロックパルスの立ち下がり時間よりも大きいことを特徴とするシフトレジスタ回路。
- [請求項2] 上記第1の種類のクロック信号と上記第2の種類のクロック信号とは、High側の電圧およびLow側の電圧が互いに等しいことを特徴とする請求項1に記載のシフトレジスタ回路。
- [請求項3] 上記第1の種類のクロック信号のそれぞれは、上記第2の種類のクロック信号のいずれか1つが時定数型に遅延した波形であることを特徴とする請求項1または2に記載のシフトレジスタ回路。
- [請求項4] 上記スイッチング素子はTFTであることを特徴とする請求項1から3までのいずれか1項に記載のシフトレジスタ回路。
- [請求項5] 上記第1の回路は、上記各シフトレジスタ段の所定箇所を低電位側電源に接続する回路であることを特徴とする請求項1から4までのい

ずれか 1 項に記載のシフトレジスタ回路。

[請求項6] 上記所定箇所は、上記出力信号の伝達経路であることを特徴とする請求項 5 に記載のシフトレジスタ回路。

[請求項7] アモルファスシリコンを用いて形成されていることを特徴とする請求項 1 から 6 までのいずれか 1 項に記載のシフトレジスタ回路。

[請求項8] 多結晶シリコンを用いて形成されていることを特徴とする請求項 1 から 6 までのいずれか 1 項に記載のシフトレジスタ回路。

[請求項9] CG (Continuous Grain) シリコンを用いて形成されていることを特徴とする請求項 1 から 6 までのいずれか 1 項に記載のシフトレジスタ回路。

[請求項10] 微結晶シリコンを用いて形成されていることを特徴とする請求項 1 から 6 までのいずれか 1 項に記載のシフトレジスタ回路。

[請求項11] 請求項 1 から 10 までのいずれか 1 項に記載のシフトレジスタ回路を表示の駆動に用いることを特徴とする表示装置。

[請求項12] 上記第 2 の種類のクロック信号の各クロック信号を出力するバッファ回路を上記第 2 の種類のクロック信号の各クロック信号ごとに備えており、

1 つ以上の上記バッファ回路の出力のそれぞれに、上記バッファ回路の出力のクロックパルスの立ち下がり時間をより大きくする回路である立ち下がり時間拡大回路が接続されており、

上記立ち下がり時間拡大回路の各出力を上記第 1 の種類のクロック信号に含まれるクロック信号とすることを特徴とする請求項 11 に記載の表示装置。

[請求項13] 上記第 1 の種類のクロック信号の少なくとも 1 つのクロック信号の源クロック信号を出力する第 1 のバッファ回路を上記第 1 の種類のクロック信号の上記少なくとも 1 つのクロック信号ごとに備えており、

上記第 2 の種類のクロック信号の各クロック信号を出力する第 2 のバッファ回路を上記第 2 の種類のクロック信号の各クロック信号ごと

に備えており、

上記第1のバッファ回路の出力のそれぞれに、上記源クロック信号のクロックパルスの立ち下がり時間をより大きくする回路である立ち下がり時間拡大回路が接続されており、

上記立ち下がり時間拡大回路の各出力を上記第1の種類クロック信号に含まれるクロック信号とすることを特徴とする請求項11に記載の表示装置。

[請求項14] 上記立ち下がり時間拡大回路はCR遅延回路であることを特徴とする請求項12または13に記載の表示装置。

[請求項15] 上記シフトレジスタ回路が走査信号線駆動回路に用いられていることを特徴とする請求項11から14までのいずれか1項に記載の表示装置。

[請求項16] 上記シフトレジスタ回路が、表示パネルに表示領域とモノリシックに形成されていることを特徴とする請求項11から15までのいずれか1項に記載の表示装置。

[請求項17] シフトレジスタ回路を駆動するシフトレジスタ回路の駆動方法であって、

上記シフトレジスタ回路に1つ以上のクロック信号からなる第1の種類クロック信号と1つ以上のクロック信号からなる第2の種類クロック信号とを供給し、

縦続接続された各シフトレジスタ段において、上記第1の種類クロック信号の所定のクロック信号を、上記シフトレジスタ段の出力端子にスイッチング素子を介して伝送されることにより上記シフトレジスタ段の出力信号となる信号として入力するとともに、上記第2の種類クロック信号の所定のクロック信号を、上記シフトレジスタ段に含まれる回路である第1の回路の駆動信号として入力し、

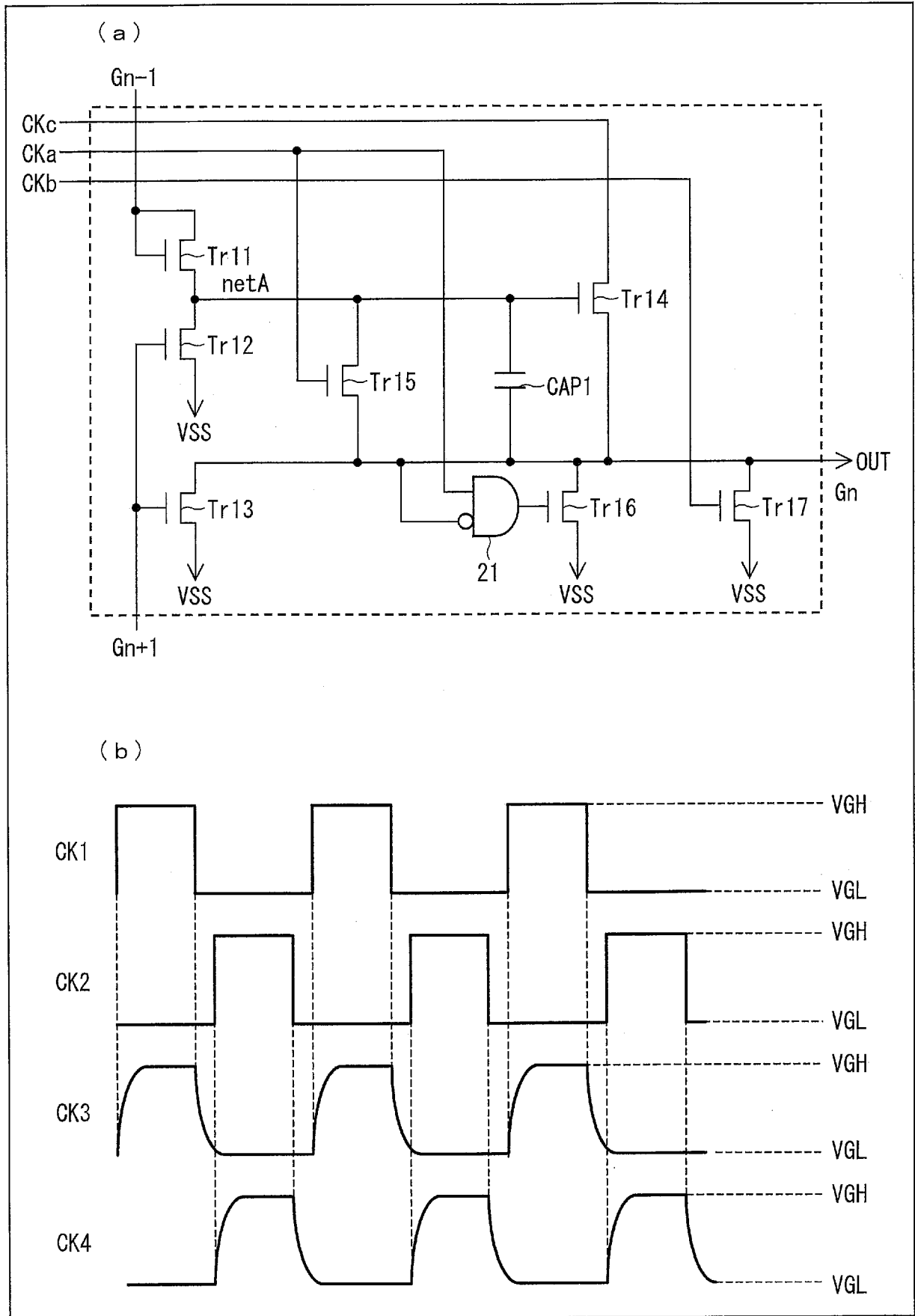
上記シフトレジスタ回路を上記第1の種類クロック信号と上記第2の種類クロック信号との各供給配線に対する負荷とした場合に、

各上記供給配線の無負荷状態で、上記第1の種類のクロック信号の上記供給配線に供給されている上記第1の種類のクロック信号のクロックパルスの立ち下がり時間が、上記第2の種類のクロック信号の上記供給配線に供給されている上記第2の種類のクロック信号のクロックパルスの立ち下がり時間よりも大きいことを特徴とするシフトレジスタ回路の駆動方法。

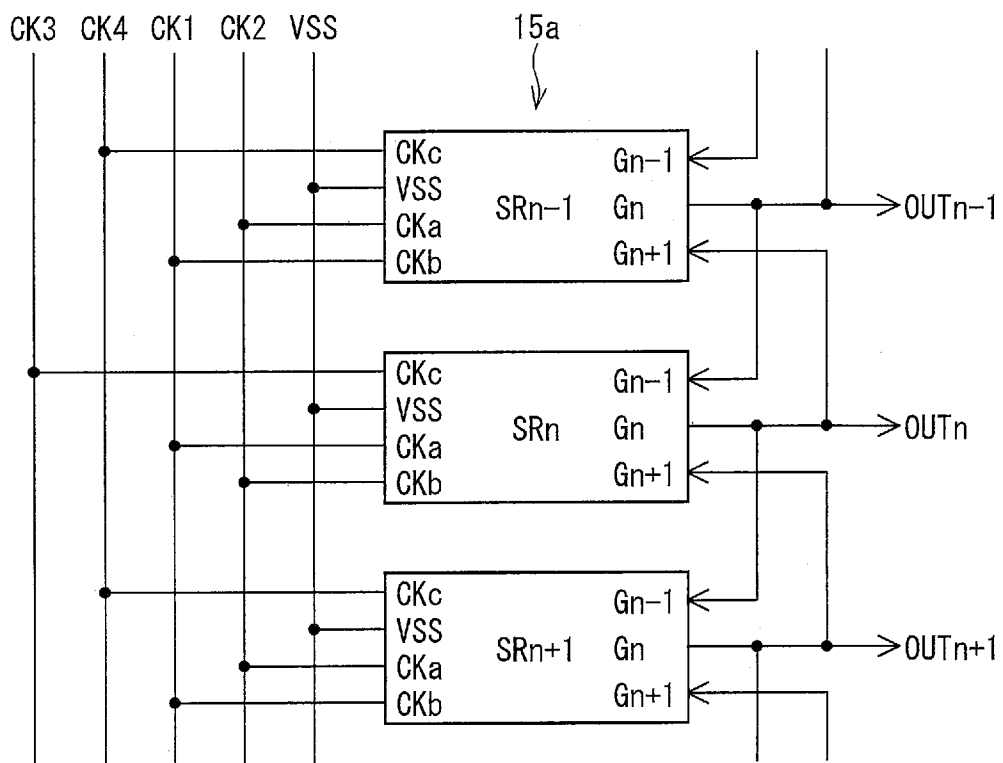
[請求項18] 上記第1の種類のクロック信号と上記第2の種類のクロック信号とで、High側の電圧およびLow側の電圧を互いに等しくすることを特徴とする請求項17に記載のシフトレジスタ回路の駆動方法。

[請求項19] 上記第1の種類のクロック信号のそれぞれは、上記第2の種類のクロック信号のいずれか1つが時定数型に遅延した波形であることを特徴とする請求項17または18に記載のシフトレジスタ回路の駆動方法。

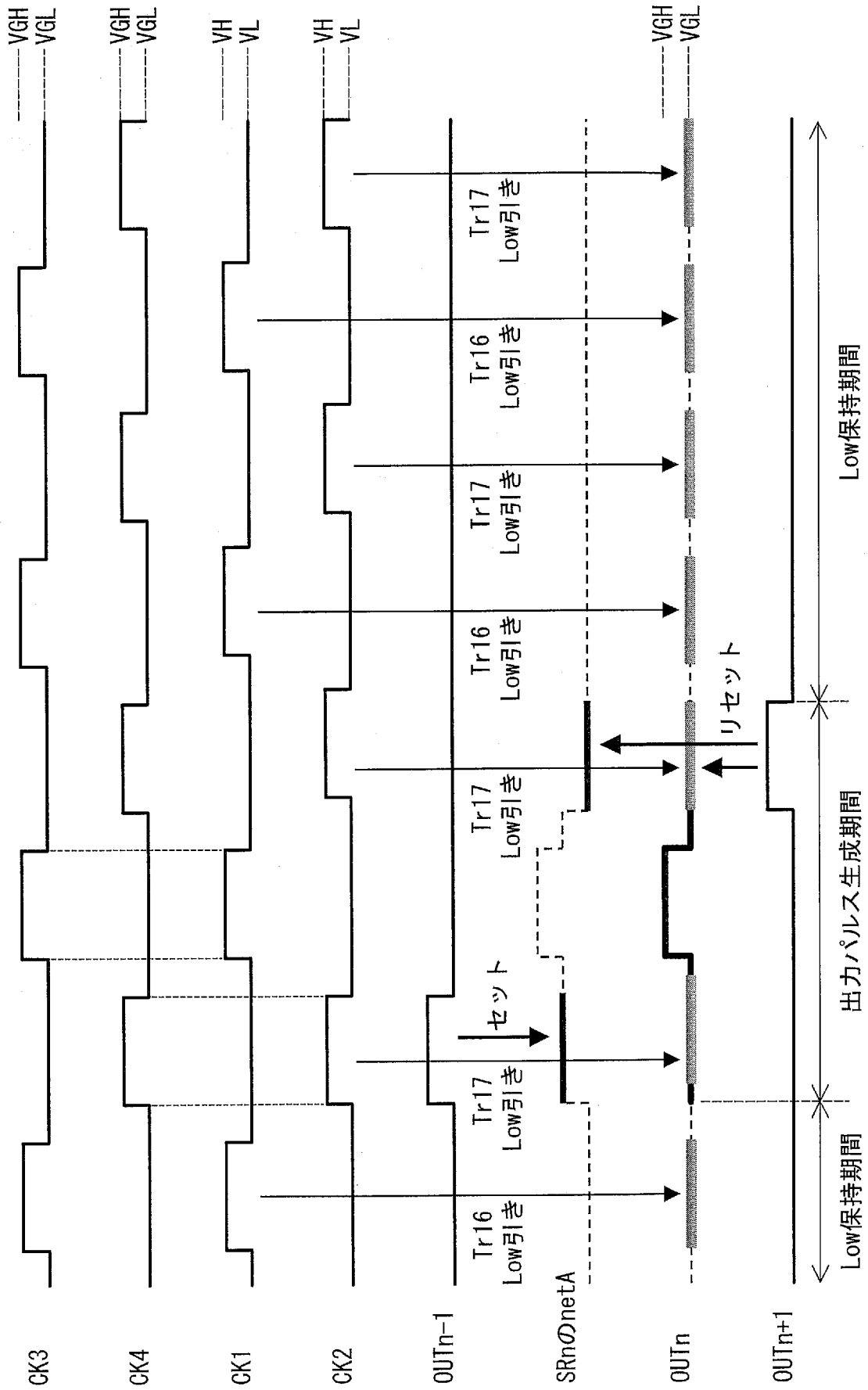
[図1]



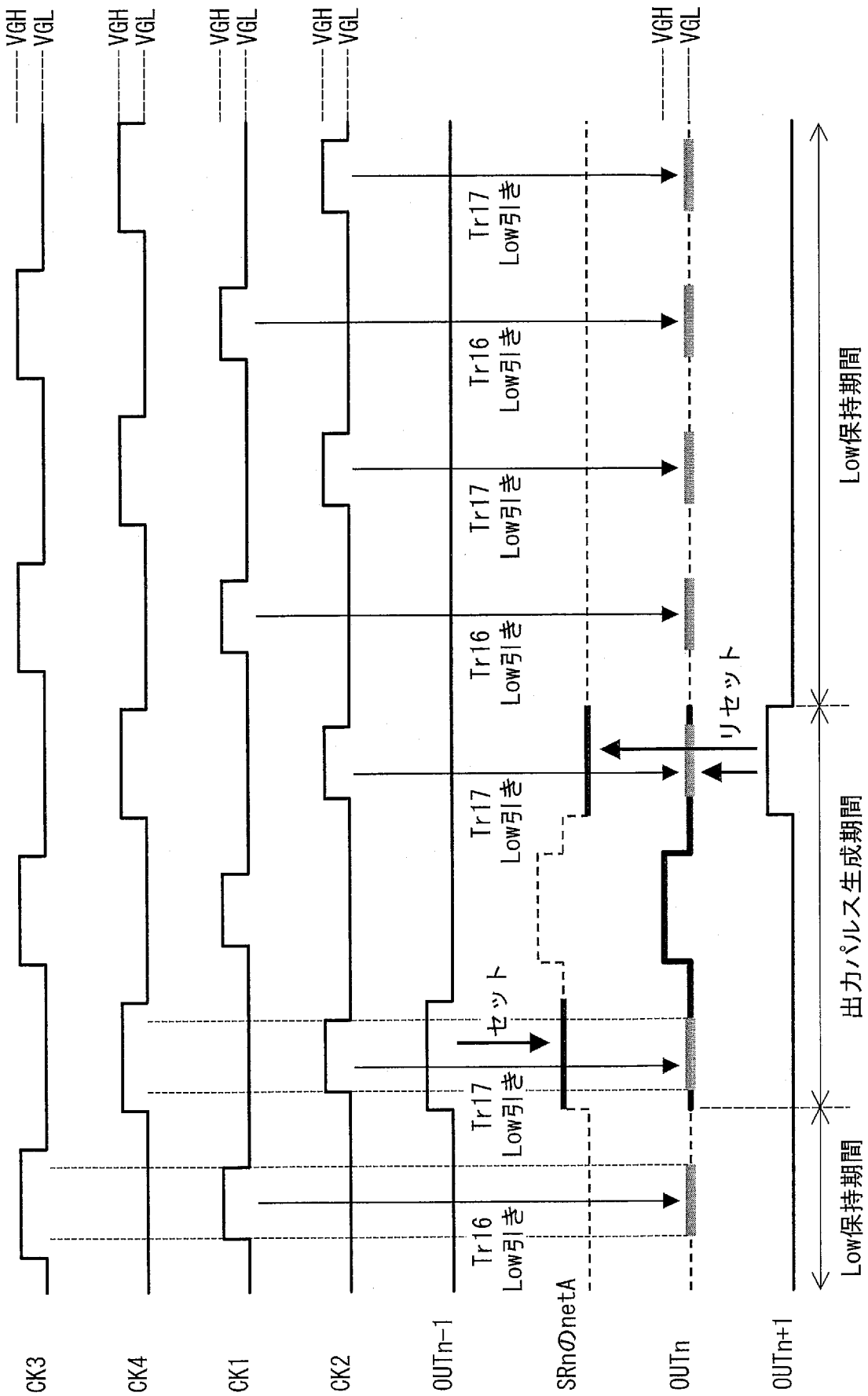
[図2]



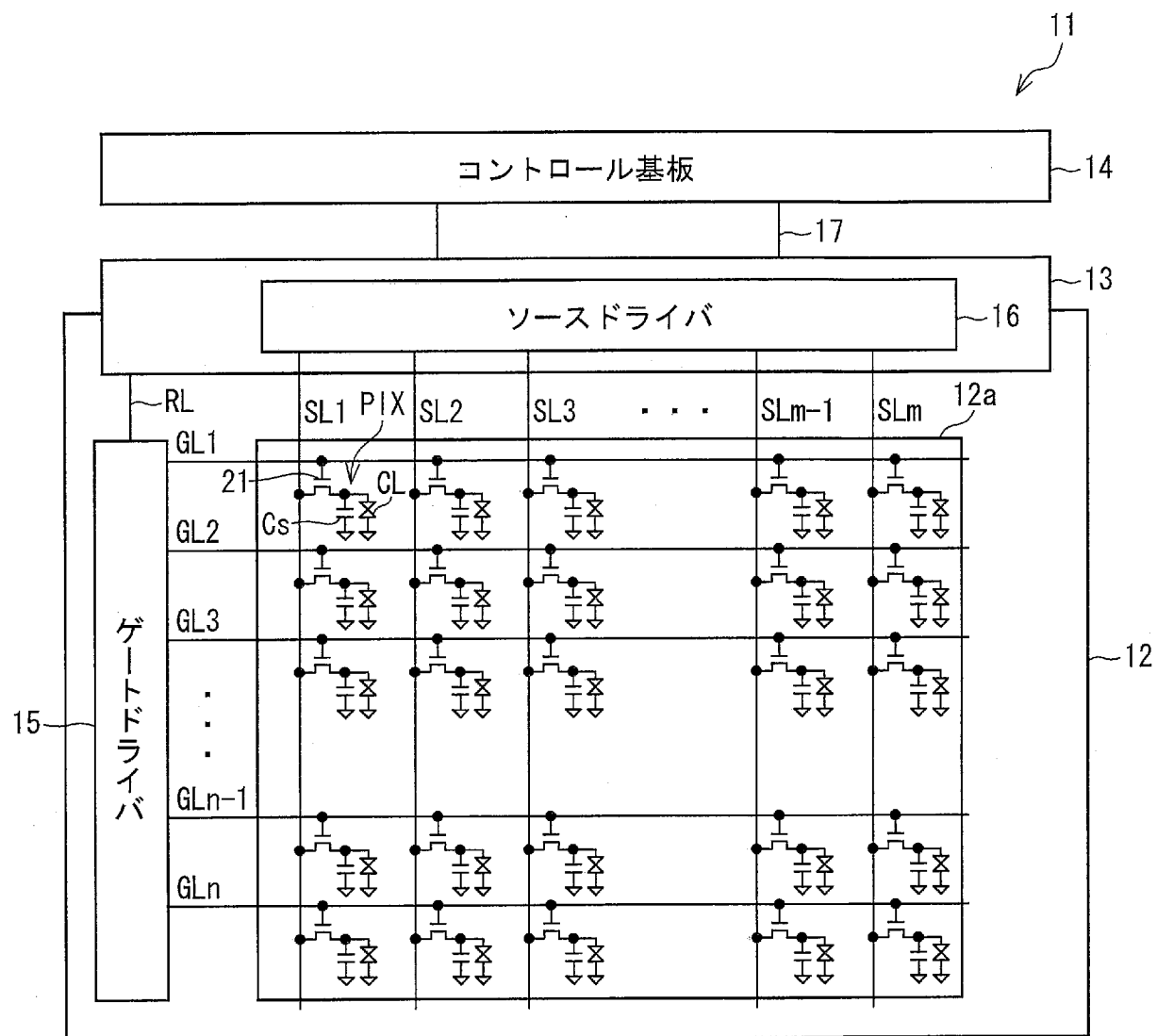
[図3]



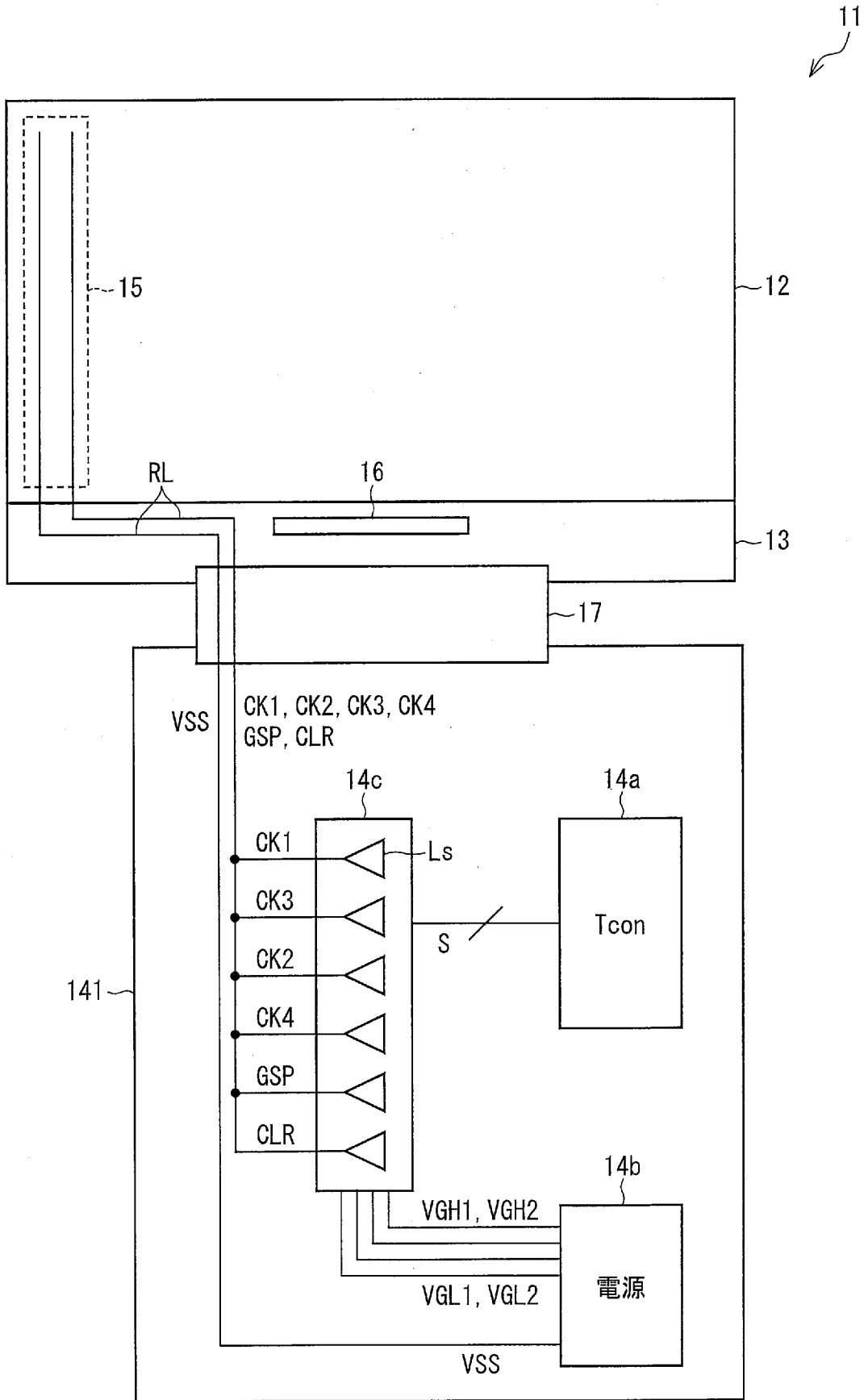
[図4]



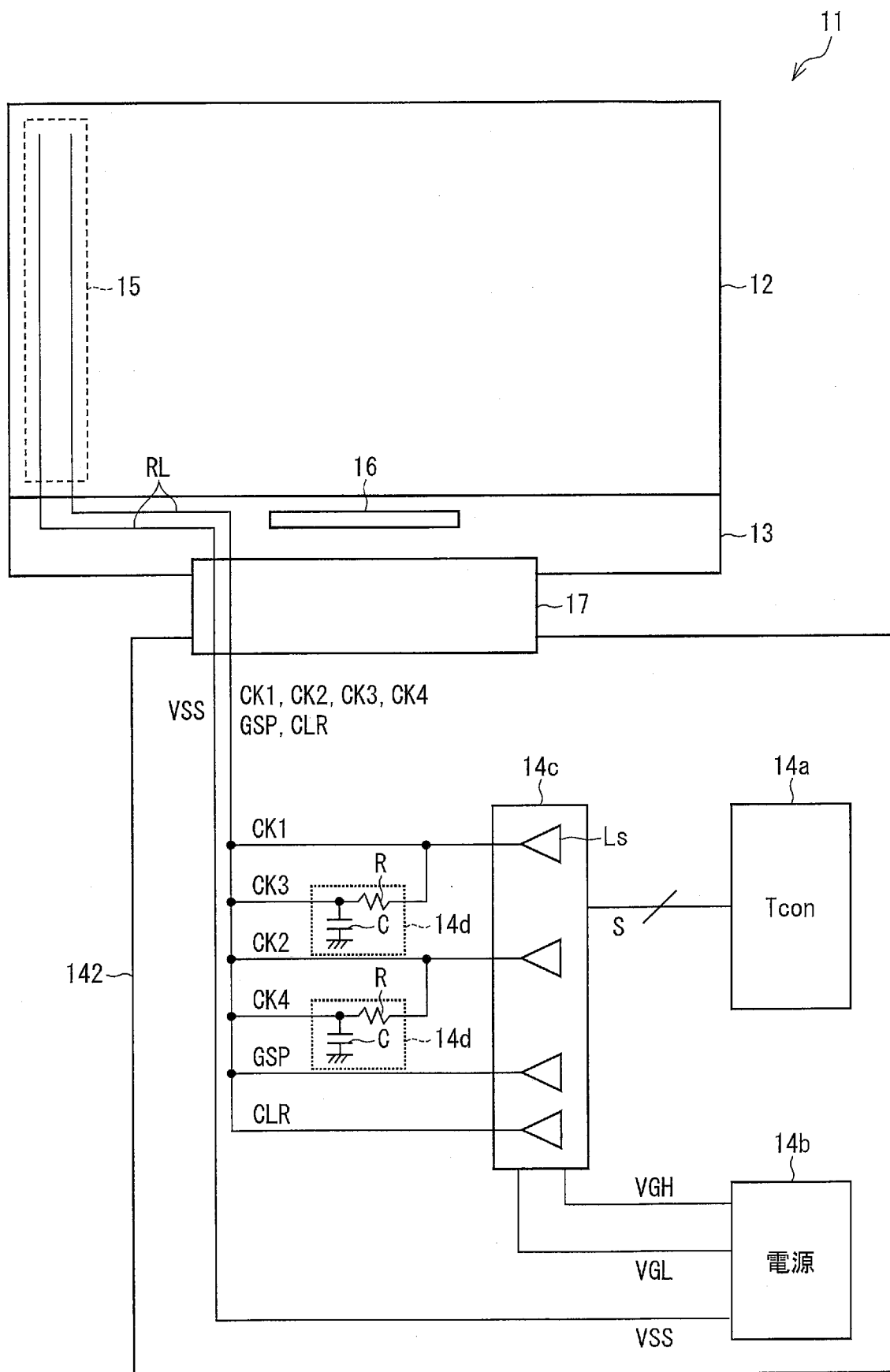
[図5]



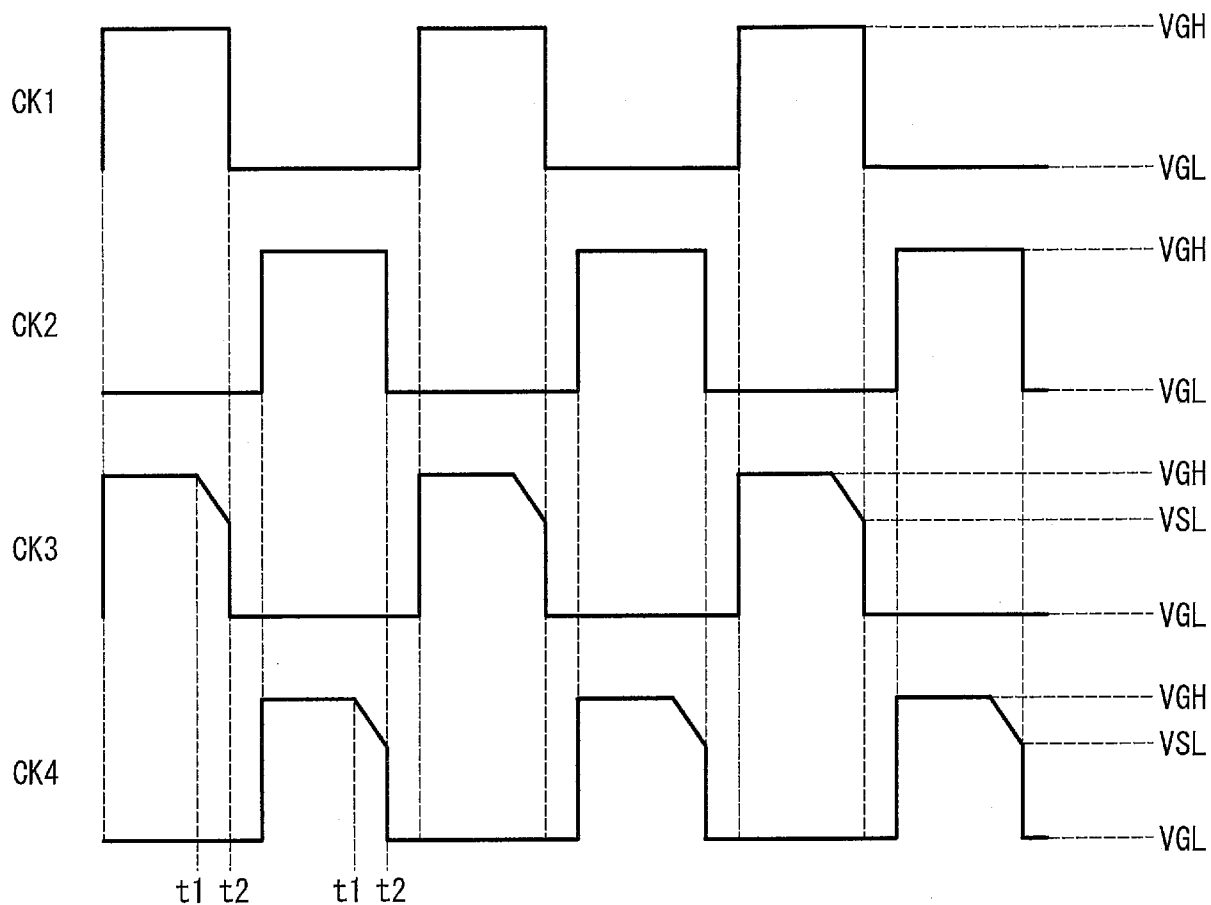
[図6]



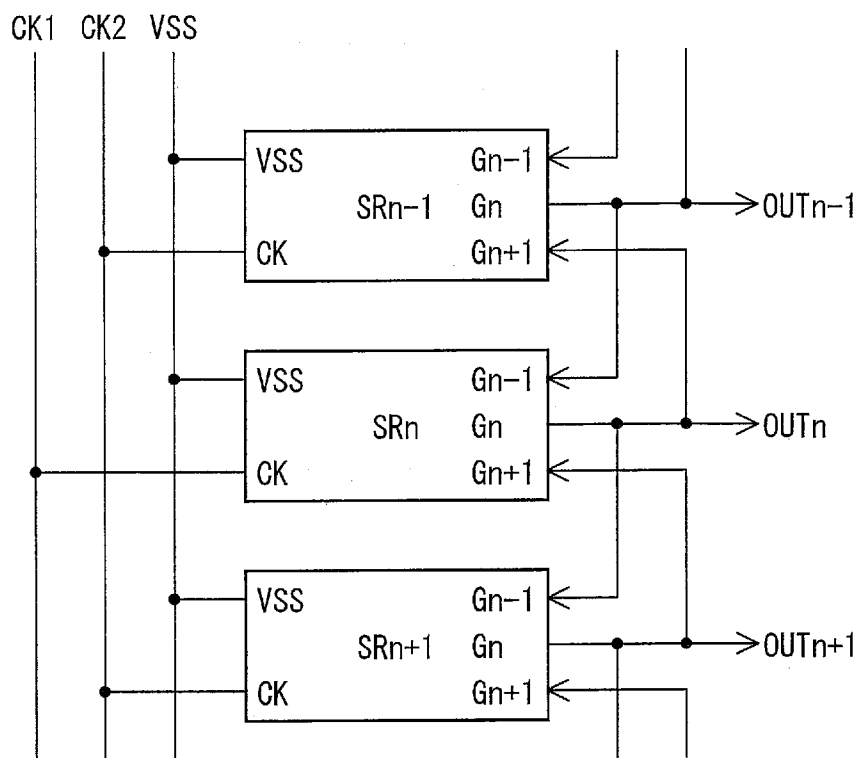
[図7]



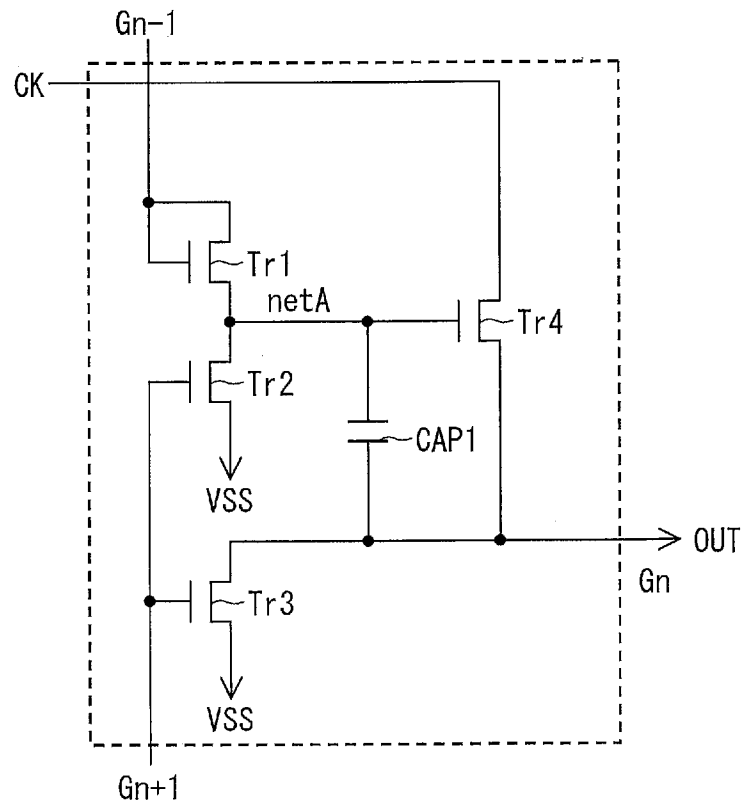
[图8]



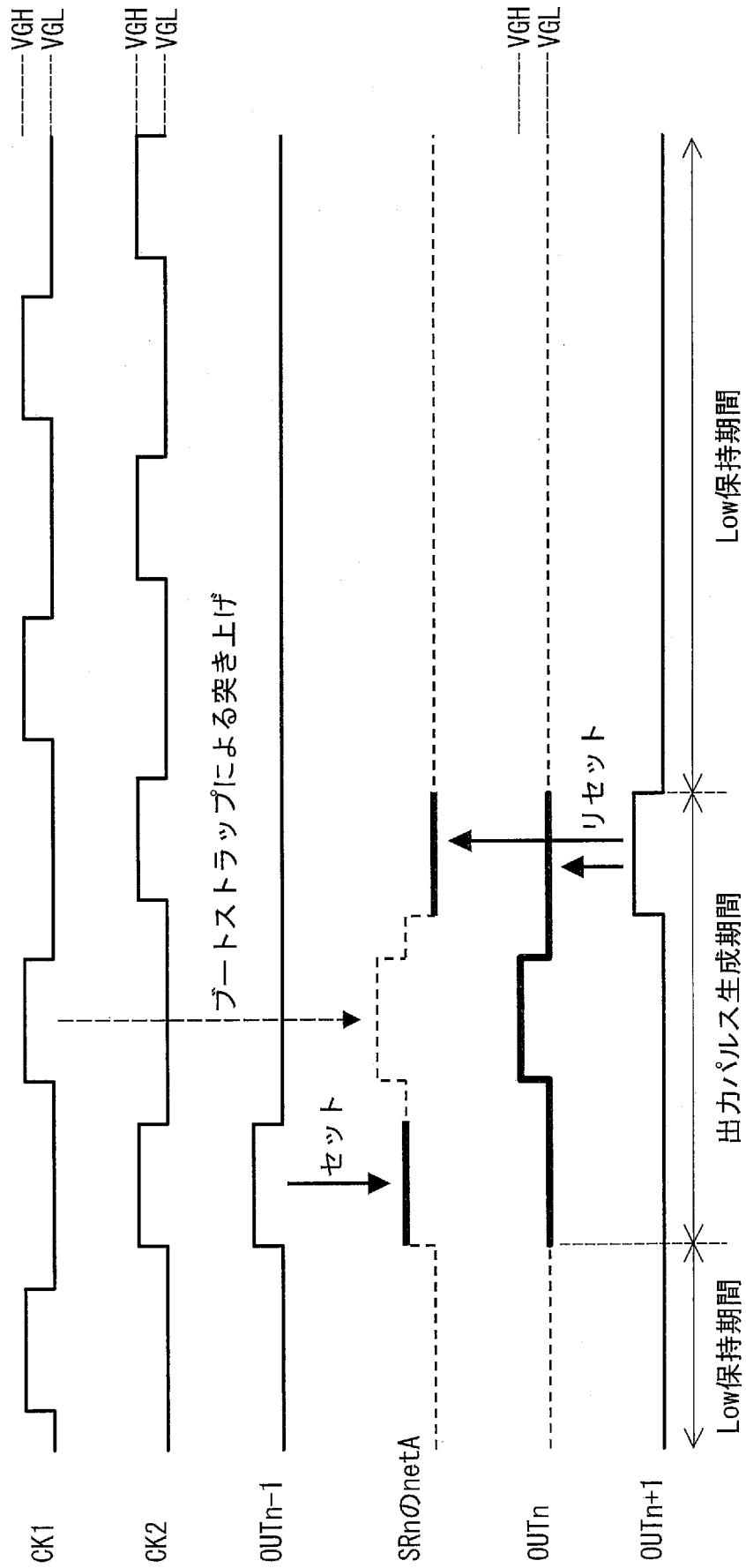
[图9]



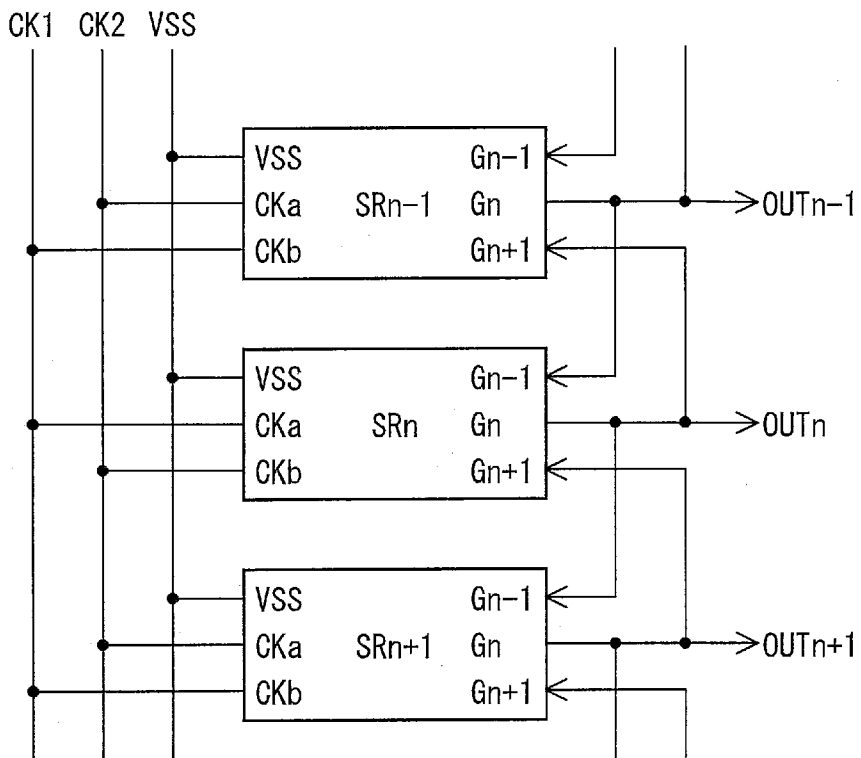
[図10]



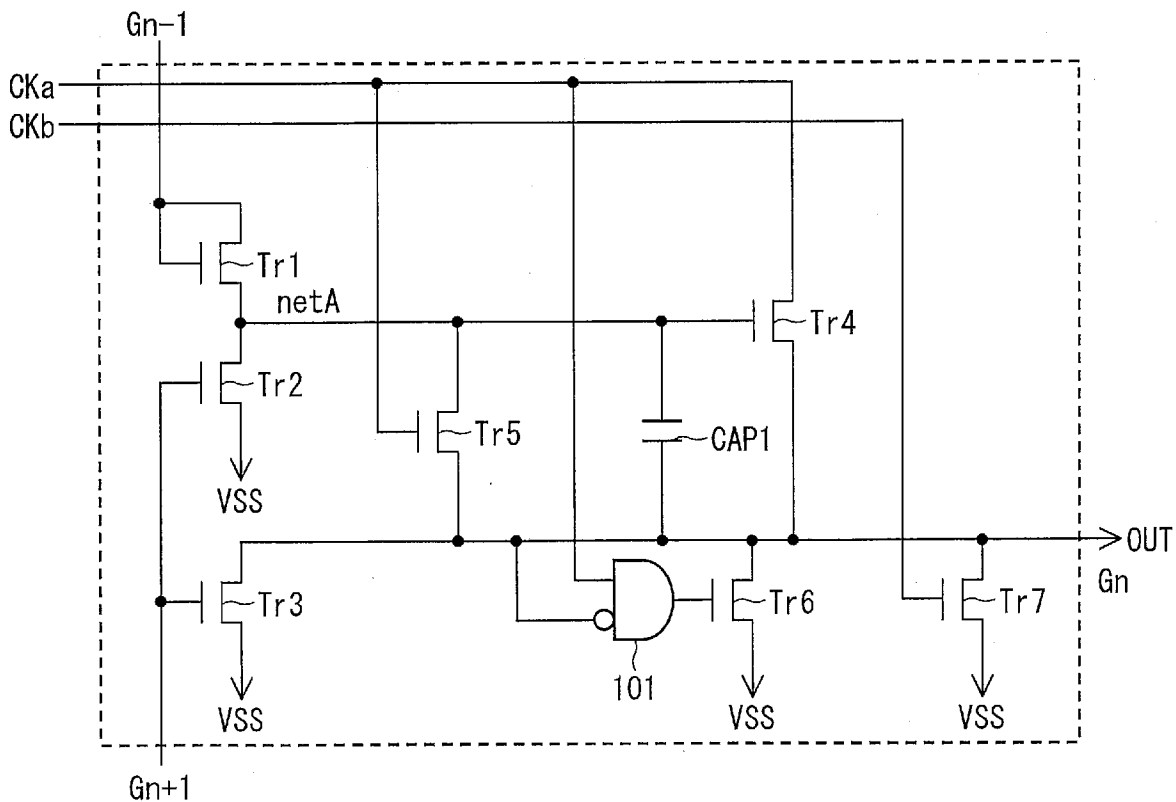
[図11]



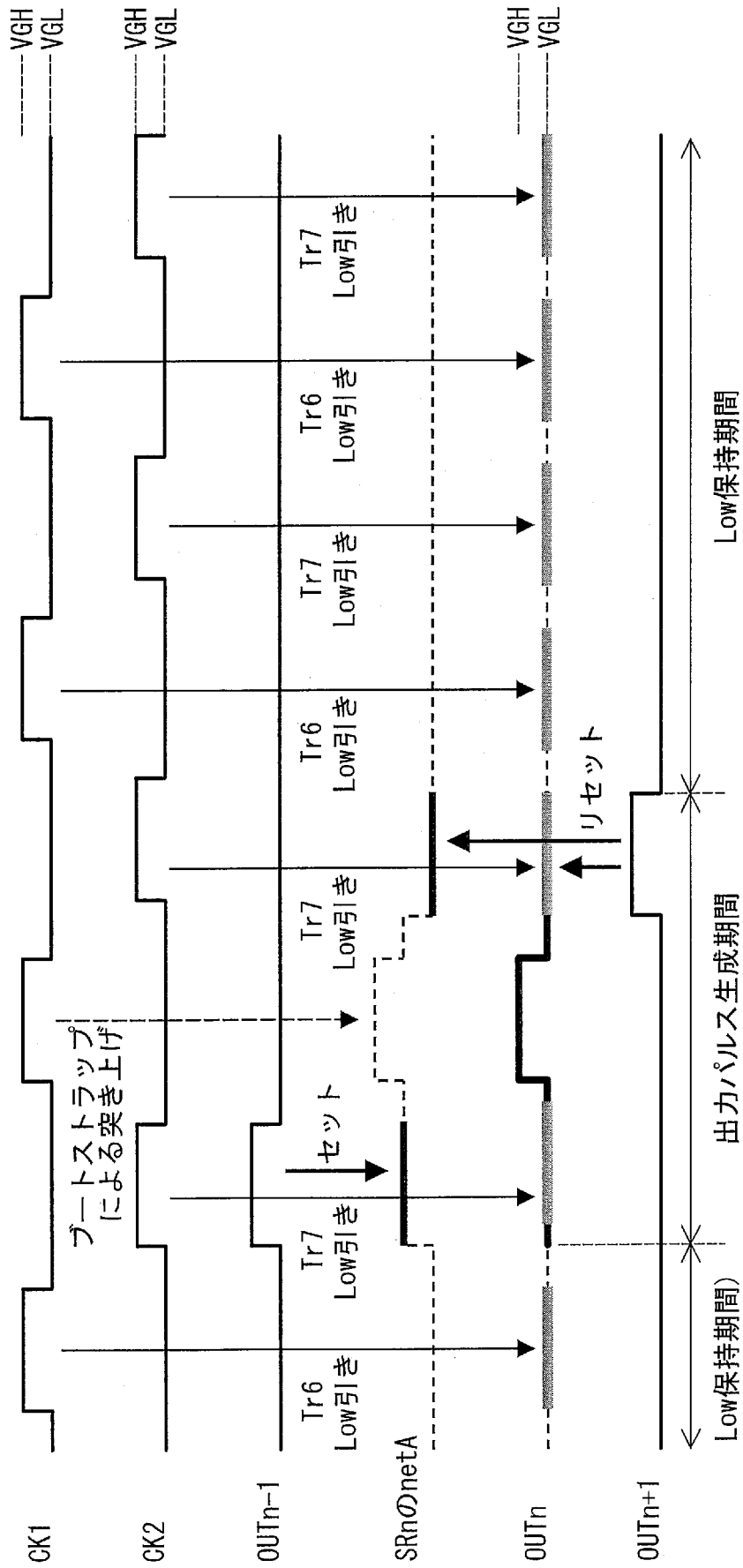
[圖12]



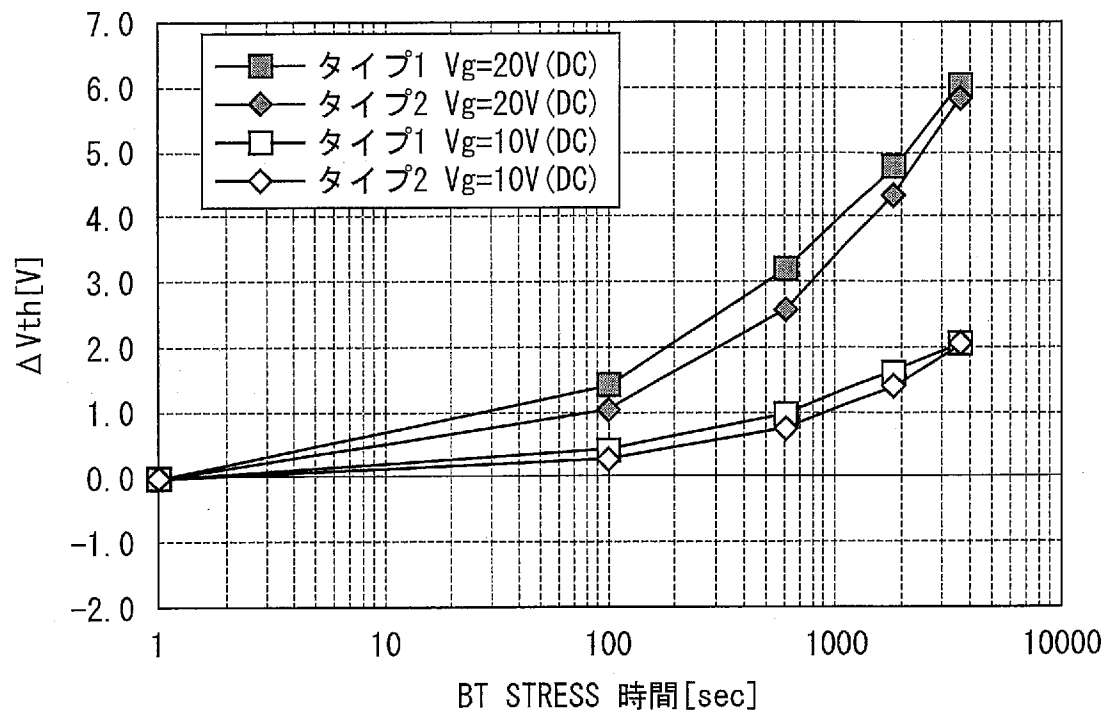
[圖13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

| |
|--|
| International application No. PCT/JP2009/063998 |
|--|

A. CLASSIFICATION OF SUBJECT MATTER
G11C19/00 (2006.01) i, *G09G3/20* (2006.01) i, *G09G3/36* (2006.01) i, *G11C19/28* (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C19/00, *G09G3/20*, *G09G3/36*, *G11C19/28*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2009 |
| Kokai Jitsuyo Shinan Koho | 1971-2009 | Toroku Jitsuyo Shinan Koho | 1994-2009 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP 10-31202 A (Thomson Multimedia S.A.), 03 February 1998 (03.02.1998), paragraph [0038]; fig. 4, 5 & US 5949398 A & EP 801376 A2 | 1-19 |
| Y | JP 2006-276409 A (Casio Computer Co., Ltd.), 12 October 2006 (12.10.2006), entire text; all drawings (Family: none) | 1-19 |
| Y | JP 2004-40809 A (Yutatsu Kodan Kofun Yugen Koshi), 05 February 2004 (05.02.2004), paragraph [0005]; fig. 1 & US 2004/0008193 A1 | 3, 12-14, 19 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

| | |
|---|--|
| Date of the actual completion of the international search 11 November, 2009 (11.11.09) | Date of mailing of the international search report 24 November, 2009 (24.11.09) |
|---|--|

| | |
|--|--------------------|
| Name and mailing address of the ISA/ Japanese Patent Office | Authorized officer |
| Facsimile No. | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/063998

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 6-202588 A (Canon Inc.), 22 July 1994 (22.07.1994), entire text; all drawings (Family: none) | 1-19 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G11C19/00(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/28(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G11C19/00, G09G3/20, G09G3/36, G11C19/28

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|----------------|
| Y | JP 10-31202 A (トムソン マルチメディア ソシエテ アノニム) 1998.02.03, 段落【0038】, 第4図, 第5図 & US 5949398 A & EP 801376 A2 | 1-19 |
| Y | JP 2006-276409 A (カシオ計算機株式会社) 2006.10.12, 全文, 全図 (ファミリーなし) | 1-19 |
| Y | JP 2004-40809 A (友達光電股ふん有限公司) 2004.02.05, 段落【0005】, 第1図 & US 2004/0008193 A1 | 3, 12-14, 19 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

| | |
|---|--|
| * 引用文献のカテゴリー | の日の後に公表された文献 |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献 | 「&」同一パテントファミリー文献 |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | |

| | |
|---|--|
| 国際調査を完了した日 11.11.2009 | 国際調査報告の発送日 24.11.2009 |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 堀田 和義 電話番号 03-3581-1101 内線 3585 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 6-202588 A (キヤノン株式会社) 1994. 07. 22, 全文, 全図 (ファミリーなし) | 1-19 |