



등록특허 10-2608178



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2023년11월30일

(11) 등록번호 10-2608178

(24) 등록일자 2023년11월27일

- (51) 국제특허분류(Int. Cl.)
H01L 21/3065 (2006.01) *H01L 21/311* (2006.01)
H01L 21/3213 (2006.01) *H01L 21/324* (2017.01)
H05H 1/46 (2006.01)
- (52) CPC특허분류
H01L 21/3065 (2013.01)
H01L 21/3116 (2013.01)
- (21) 출원번호 10-2018-7002353
- (22) 출원일자(국제) 2016년08월10일
 심사청구일자 2021년05월11일
- (85) 번역문제출일자 2018년01월24일
- (65) 공개번호 10-2018-0043784
- (43) 공개일자 2018년04월30일
- (86) 국제출원번호 PCT/JP2016/073648
- (87) 국제공개번호 WO 2017/033754
 국제공개일자 2017년03월02일

(30) 우선권주장
 JP-P-2015-167416 2015년08월27일 일본(JP)

(56) 선행기술조사문현

KR1020150093618 A*

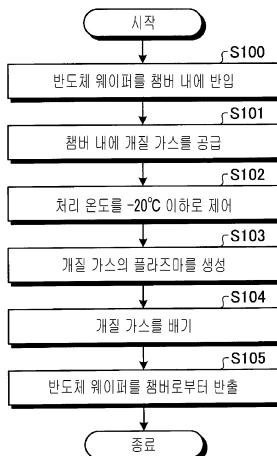
(뒷면에 계속)

전체 청구항 수 : 총 10 항

심사관 : 오창석

(54) 발명의 명칭 **플라즈마 처리 방법****(57) 요 약**

유기막, 마스크막 및 레지스트막이 순서대로 적층된 피처리체를 플라즈마에 의해 처리하는 플라즈마 처리 방법으로서, 레지스트막에 정해진 패턴이 형성된 피처리체가 반입된 챔버 내에 H₂ 가스, 할로겐화 수소 가스, 또는, 희ガ스와 H₂ 가스 또는 할로겐화 수소 가스를 포함하는 혼합 가스인 개질 가스를 공급하는 공정과, -20°C 이하의 처리 온도에서, 개질 가스의 플라즈마에 의해 피처리체의 레지스트막을 개질하는 개질 공정을 가진다.

대 표 도 - 도3

(52) CPC특허분류

H01L 21/32136 (2013.01)

H01L 21/324 (2013.01)

H05H 1/46 (2013.01)

(72) 발명자

키하라 요시히데

일본, 미야기켄, 쿠로카와군, 타이와쵸, 테크노힐즈, 1, 도쿄 엘렉트론 미야기 가부시키가이샤 내

혼다 마사노부

일본, 미야기켄, 쿠로카와군, 타이와쵸, 테크노힐즈, 1, 도쿄 엘렉트론 미야기 가부시키가이샤 내

(56) 선행기술조사문현

KR1020090094363 A*

JP2005072518 A*

KR1020100100632 A*

KR1020110074455 A*

KR1020130142079 A

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

플라즈마 처리 방법으로서,

유기막, 실리콘 함유 반사 방지막 및 패턴이 형성된 레지스트막이 순서대로 적층되고, 상기 유기막 아래에 절연막을 포함하는 피처리체를 챔버 내에 제공하는 공정과,

상기 챔버 내에 H₂ 가스, 할로겐화 수소 가스, 또는, 희가스와 H₂ 가스 또는 할로겐화 수소 가스를 포함하는 혼합 가스인 개질 가스를 공급하는 공정과,

-20°C 이하의 처리 온도에서, 상기 개질 가스의 플라즈마에 의해 상기 피처리체의 상기 레지스트막을 개질하는 개질 공정과,

상기 챔버 내에 예칭용의 제 1 처리 가스를 공급하는 공정과,

0°C 이상 40°C 이하의 범위 내의 처리 온도에서, 상기 제 1 처리 가스의 플라즈마에 의해, 상기 개질 공정에서 개질된 상기 레지스트막을 마스크로 하여 상기 레지스트막의 하층의 상기 실리콘 함유 반사 방지막을 예칭하는 제 1 예칭 공정과,

상기 챔버 내에 예칭용의 제 2 처리 가스를 공급하는 공정과,

-20°C 이하의 처리 온도에서, 상기 제 2 처리 가스의 플라즈마에 의해, 상기 제 1 예칭 공정에서 예칭된 상기 실리콘 함유 반사 방지막을 마스크로 하여, 상기 실리콘 함유 반사 방지막의 하층의 상기 유기막을 예칭하고, 상기 유기막 아래의 상기 절연막을 예칭하기 위한 마스크를 형성하는 제 2 예칭 공정

을 가지는 것을 특징으로 하는 플라즈마 처리 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 1 처리 가스에는,

할로겐화 화합물 가스로서, CF 결합 또는 SF 결합을 포함하는 가스가 포함되는 것을 특징으로 하는 플라즈마 처리 방법.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 챔버 내에 예칭용의 제 2 처리 가스를 공급하는 공정과,

-20°C 이하의 처리 온도에서, 상기 제 2 처리 가스의 플라즈마에 의해, 상기 개질 공정에서 개질된 상기 레지스트막의 패턴이 전사된 상기 마스크막을 마스크로 하여 상기 유기막을 예칭하는 제 2 예칭 공정

을 가지는 것을 특징으로 하는 플라즈마 처리 방법.

청구항 6

제 1 항에 있어서,

상기 제 2 처리 가스에는,

희가스와 산소 원자를 포함하는 가스의 혼합 가스가 포함되는 것을 특징으로 하는 플라즈마 처리 방법.

청구항 7

제 1 항에 있어서,

상기 제 1 처리 가스의 플라즈마는 상기 챔버 내에 설치된 한 쌍의 전극 간에 생성된 플라즈마인 것을 특징으로 하는 플라즈마 처리 방법.

청구항 8

제 1 항에 있어서,

상기 실리콘 함유 반사 방지막은, SiON막 상에 유기 반사 방지막이 적층된 2층 구조인 것을 특징으로 하는 플라즈마 처리 방법.

청구항 9

제 1 항에 있어서,

상기 제 1 예칭 공정에서, 상기 실리콘 함유 반사 방지막에 형성되는 흄의 측벽의 테이퍼 각도가 80도 이상 90도 이하의 범위 내인 것을 특징으로 하는 플라즈마 처리 방법.

청구항 10

제 1 항에 있어서,

상기 제 1 처리 가스가 CF_4 인 경우, 상기 제 1 예칭 공정의 처리 온도는 20°C 이상 40°C 이하의 범위 내인 것을 특징으로 하는 플라즈마 처리 방법.

청구항 11

제 1 항에 있어서,

상기 제 2 처리 가스가 Ar가스 및 O_2 가스의 혼합 가스 또는 Ar가스 및 CO_2 가스의 혼합 가스인 경우, 상기 제 2 예칭 공정의 처리 온도는 -60°C 이상 20°C 이하의 범위 내인 것을 특징으로 하는 플라즈마 처리 방법.

청구항 12

플라즈마 처리 방법으로서,

유기막, 실리콘 함유 반사 방지막 및 패턴이 형성된 레지스트막이 순서대로 적층되고, 상기 유기막 아래에 절연막을 포함하는 피처리체를 제공하는 공정과,

H_2 가스, 할로겐화 수소 가스, 또는, 희가스와 H_2 가스 또는 할로겐화 수소 가스를 포함하는 혼합 가스인 개질ガ스를 공급하는 공정과,

-20°C 이하의 처리 온도에서, 상기 개질 가스의 플라즈마에 의해 상기 피처리체의 상기 레지스트막을 개질하는 개질 공정과,

예칭용의 제 1 처리 가스를 공급하는 공정과,

0°C 이상 40°C 이하의 범위 내의 처리 온도에서, 상기 제 1 처리 가스의 플라즈마에 의해, 상기 개질 공정에서 개질된 상기 레지스트막을 마스크로 하여 상기 레지스트막의 하층의 상기 실리콘 함유 반사 방지막을 예칭하는 제 1 예칭 공정과,

예칭용의 제 2 처리 가스를 공급하는 공정과,

-20°C 이하의 처리 온도에서, 상기 제 2 처리 가스의 플라즈마에 의해, 상기 제 1 예칭 공정에서 예칭된 상기

실리콘 함유 반사 방지막을 마스크로 하여, 상기 실리콘 함유 반사 방지막의 하층의 상기 유기막을 에칭하고, 상기 유기막 아래의 상기 절연막을 에칭하기 위한 마스크를 형성하는 제 2 에칭 공정을 가지고,

상기 개질 공정 및 상기 제 2 에칭 공정은 제 1 챔버에서 수행되고, 상기 제 1 에칭 공정은 상기 제 1 챔버와 상이한 제 2 챔버에서 수행되는 것을 특징으로 하는 플라즈마 처리 방법.

발명의 설명

기술 분야

[0001]

본 발명의 다양한 측면 및 실시 형태는 플라즈마 처리 방법에 관한 것이다.

배경 기술

[0002]

반도체 디바이스의 제조 프로세스에서는, 피에칭층 상에 정해진 패턴의 마스크가 형성되고, 에칭에 의해 당해 마스크의 패턴이 피에칭층에 전사된다. 마스크로서는, 예를 들면, 포토리소그래피 기술에 의해 형성되는 레지스트 마스크가 이용된다. 따라서, 피에칭층에 형성되는 패턴의 한계 치수는 포토리소그래피 기술에 의해 형성되는 레지스트 마스크의 해상도의 한계의 영향을 받는다.

[0003]

근래 반도체 디바이스의 미세화·고집적화에 수반되어, ArF 엑시머 레이저광보다 파장이 짧은 EUV(Extreme Ultra-Violet)광을 이용한 포토리소그래피 기술이 검토되고 있다. EUV광을 이용한 포토리소그래피에서는, ArF 엑시머 레이저광을 이용한 포토리소그래피보다 레지스트 마스크에 미세한 패턴의 형성이 가능해진다. EUV광을 이용한 포토리소그래피에서는, 예를 들면 10 nm 이하의 미세한 가공이 가능해진다.

[0004]

또한, 레지스트 마스크에 형성된 패턴에 있어서, 패턴 치수에 대한 레지스트 마스크의 높이의 비가 3 이상이 되면, 패턴 붕괴 등의 문제가 발생한다. 그 때문에, 패턴 치수에 대한 레지스트 마스크의 높이의 비는 3 이하로 할 필요가 있다. 따라서, 반도체 디바이스의 미세화가 진행되면, 레지스트 마스크의 박막화도 진행되게 된다. 레지스트 마스크의 높이는, 10 nm 세대에서는 예를 들면 30 nm 이하가 된다.

[0005]

피에칭층을 에칭할 때에는 레지스트 마스크도 일부 에칭되지만, 레지스트 마스크의 박막화가 진행되면, 피에칭층에 정해진 패턴이 형성될 때까지 레지스트 마스크가 정해진 패턴을 유지할 수 없게 된다. 이에 의해, 에칭 후의 피에칭층에 형성된 패턴의 치수 정밀도가 저하하는 경우가 있다.

[0006]

하기의 특허 문헌 1에는, EUV 포토레지스트의 에칭 내성을 개선하기 위하여, 패턴 상의 레지스트에 봉입층을 형성하고, 그 후에 하드 마스크를 패터닝하기 위한 에칭 처리 공정을 실행하는 것이 개시되어 있다. 또한, 하기의 특허 문헌 2에는, 레지스트 데미지를 억제하기 위하여, 정해진 패턴이 형성된 ArF 레지스트를 마스크로 하여 유기 반사 방지막을 에칭하는 공정에 있어서만, 웨이퍼 온도를 -40°C ~ 0°C로 제어하는 취지가 개시되어 있다.

선행기술문헌

특허문헌

[0007]

(특허문헌 0001) 일본특허공개공보 2013-145874호

(특허문헌 0002) 일본특허공개공보 2005-072518호

발명의 내용

해결하려는 과제

[0008]

그런데, 포토레지스트를 마스크로 하여 피에칭층을 에칭하는 경우, 에칭 전에, 정해진 패턴이 형성된 포토레지스트의 표면의 거칠기 등을 개선하기 위한 개질 공정이 행해진다. 그러나, 종래의 개질 공정에서는, 개질 공정의 실행에 의해 포토레지스트의 두께가 개질 공정의 실행 전의 두께보다 얇아진다. EUV광을 이용한 포토리소그래피에서는 종래의 ArF 엑시머 레이저광보다 미세한 가공이 가능해지기 때문에, 포토레지스트를 종래보다 얇게

할 필요가 있다. 따라서, EUV광을 이용한 포토리소그래피에 의해 패턴이 형성된 포토레지스트에 대하여 개질 공정이 실행되면, 포토레지스트가 더 얇아진다. 이에 의해, 포토레지스트를 마스크로 하여 광에 칭충이 에칭된 경우, 에칭 후의 광에 칭충의 치수 정밀도가 악화한다.

과제의 해결 수단

[0009] 본 발명의 일측면은, 유기막, 마스크막 및 레지스트막이 순서대로 적층된 광처리체를 플라즈마에 의해 처리하는 플라즈마 처리 방법으로서, 상기 레지스트막에 정해진 패턴이 형성된 상기 광처리체가 반입된 챔버 내에 H₂ 가스, 할로겐화 수소 가스, 또는, 희ガ스와 H₂ 가스 또는 할로겐화 수소 가스를 포함하는 혼합 가스인 개질 가스를 공급하는 공정과, -20°C 이하의 처리 온도에서, 상기 개질 가스의 플라즈마에 의해 상기 광처리체의 상기 레지스트막을 개질하는 개질 공정을 가진다.

발명의 효과

[0010] 본 발명의 다양한 측면 및 실시 형태에 따르면, 레지스트막 자체의 가공 정밀도를 양호하게 유지할 수 있다.

도면의 간단한 설명

[0011] 도 1은 플라즈마 처리 장치의 일례를 나타내는 단면도이다.

도 2는 반도체 웨이퍼의 일례를 나타내는 단면도이다.

도 3은 실시예 1에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다.

도 4는 처리 온도와 포토레지스트 높이의 감소량의 관계의 일례를 나타내는 도이다.

도 5는 처리 온도에 대한 LWR과 LER의 합계의 관계의 일례를 나타내는 도이다.

도 6은 처리 온도에 대한 LWR과 LER 및 포토레지스트 높이의 관계의 일례를 나타내는 도이다.

도 7은 H₂ 가스에 있어서의 아레니우스 플롯의 일례를 나타내는 도이다.

도 8은 실시예 2에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다.

도 9는 처리 온도와 선택비의 관계의 일례를 나타내는 도이다.

도 10은 불소에 있어서의 아레니우스 플롯의 일례를 나타내는 도이다.

도 11은 처리 온도와 흠의 단면 형상의 관계의 일례를 나타내는 모식도이다.

도 12는 처리 온도와 테이퍼 각도의 관계의 일례를 나타내는 도이다.

도 13은 실시예 3에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다.

도 14는 처리 온도와 Top-Btm CD의 관계의 일례를 나타내는 도이다.

도 15는 O₂ 가스에 있어서의 아레니우스 플롯의 일례를 나타내는 도이다.

도 16은 처리 온도와 선택비의 관계의 일례를 나타내는 도이다.

도 17은 실시예 4에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하에, 개시하는 플라즈마 처리 방법의 실시 형태에 대하여 도면에 기초하여 상세하게 설명한다. 또한, 본 실시 형태에 의해, 개시되는 발명이 한정되는 것은 아니다. 또한, 이하에 나타내는 각 실시예는 처리 내용을 모순시키지 않는 범위에서 적절히 조합하는 것이 가능하다.

[0013] <실시예 1>

[0014] [플라즈마 처리 장치(100)의 구성]

[0015] 도 1은 플라즈마 처리 장치(100)의 일례를 나타내는 단면도이다. 플라즈마 처리 장치(100)는, 기밀하게 구성되고 전기적으로 접지 전위로 된 챔버(1)를 가진다. 챔버(1)는, 예를 들면 표면에 양극 산화 처리가 실시된 알루

미늄 등에 의해, 대략 원통 형상으로 형성된다. 챔버(1)의 상부의 개구에는 샤워 헤드(16)가 마련되고, 그 위에는 원통 형상의 접지 도체(1a)가 마련되어 있다. 챔버(1) 내에는, 퍼처리체의 일례인 반도체 웨이퍼(W)를 수평으로 지지하는 배치대(2)가 마련되어 있다.

[0016] 배치대(2)는 기재(2a) 및 정전 척(6)을 가진다. 기재(2a)는, 예를 들면 알루미늄 등의 도전성의 금속으로 구성되고, 하부 전극으로서 기능한다. 기재(2a)는 도체로 구성된 지지대(4)에 지지되어 있다. 지지대(4)는 절연판(3)을 개재하여 챔버(1)의 저부(底部)에 지지되어 있다. 또한, 배치대(2)의 상방의 외주에는, 예를 들면 단결정 실리콘 등으로 형성된 포커스링(5)이 마련되어 있다. 또한, 배치대(2) 및 지지대(4)의 주위에는, 배치대(2) 및 지지대(4)를 둘러싸도록, 예를 들면 석영 등으로 이루어지는 원통 형상의 내벽 부재(3a)가 마련되어 있다.

[0017] 기재(2a)의 상면에는 정전 척(6)이 마련되어 있다. 정전 척(6)은 절연체(6b)와 절연체(6b)의 사이에 마련된 전극(6a)을 가진다. 전극(6a)은 직류 전원(12)에 접속되어 있다. 정전 척(6)은, 직류 전원(12)으로부터 전극(6a)에 인가된 직류 전압에 의해 정전 척(6)의 표면에 쿨롱력을 발생시킴으로써, 반도체 웨이퍼(W)를 정전 척(6)의 상면에 흡착 유지한다.

[0018] 기재(2a)의 내부에는, 냉매가 흐르는 유로(2b)가 형성되어 있다. 유로(2b)에는 배관(2c 및 2d)을 통하여 갈렌 등의 냉매가 순환한다. 유로(2b) 내를 순환하는 냉매에 의해 배치대(2) 및 정전 척(6)이 정해진 온도로 제어된다. 또한, 배치대(2)에는, 배치대(2)를 관통하도록, 반도체 웨이퍼(W)의 이면측에 헬륨 가스 등의 열 전달 가스(백 사이드 가스)를 공급하기 위한 배관(30)이 마련되어 있다. 배관(30)은 도시하지 않은 백 사이드 가스 공급원에 접속되어 있다. 유로(2b) 내를 흐르는 냉매와 반도체 웨이퍼(W)의 이면측에 공급되는 열 전달 가스에 의해, 플라즈마 처리 장치(100)는 정전 척(6)의 상면에 흡착 유지된 반도체 웨이퍼(W)를 정해진 온도로 제어할 수 있다.

[0019] 배치대(2)의 상방에는, 배치대(2)와 대략 평행하게 대향하도록, 환연하면, 배치대(2) 상에 배치된 반도체 웨이퍼(W)와 대향하도록, 샤워 헤드(16)가 마련되어 있다. 샤워 헤드(16)는 상부 전극으로서도 기능한다. 즉, 샤워 헤드(16)와 배치대(2)는 한 쌍의 전극(상부 전극과 하부 전극)으로서 기능한다. 배치대(2) 상에 배치된 반도체 웨이퍼(W)와 샤워 헤드(16)의 사이를 처리 공간(S)이라고 부른다. 샤워 헤드(16)에는 정합기(11a)를 개재하여 고주파 전원(10a)이 접속되어 있다. 또한, 배치대(2)의 기재(2a)에는 정합기(11b)를 개재하여 고주파 전원(10b)이 접속되어 있다.

[0020] 고주파 전원(10a)은 플라즈마의 발생에 이용되는 정해진 주파수(예를 들면 60 MHz)의 고주파 전력을 샤워 헤드(16)에 인가한다. 또한, 고주파 전원(10b)은, 이온의 인입(바이어스)에 이용되는 정해진 주파수의 고주파 전력으로서, 고주파 전원(10a)보다 낮은 주파수(예를 들면 13 MHz)의 고주파 전력을 배치대(2)의 기재(2a)에 인가한다.

[0021] 상기 샤워 헤드(16)는 절연성 부재(45)를 개재하여 챔버(1)의 상부에 지지되어 있다. 샤워 헤드(16)는 본체부(16a)와 상부 천판(天板)(16b)을 구비한다. 본체부(16a)는, 예를 들면 표면이 양극 산화 처리된 알루미늄 등에 의해 형성되고, 그 하부에 상부 천판(16b)을 착탈 가능하게 지지한다. 상부 천판(16b)은, 예를 들면 석영 등의 실리콘 함유 물질로 형성된다.

[0022] 본체부(16a)의 내부에는 가스 확산실(16c 및 16d)이 마련되어 있다. 본체부(16a)의 저부에는, 가스 확산실(16c 또는 16d)의 하부에 위치하도록, 다수의 가스 유통구(16e)가 형성되어 있다. 가스 확산실(16c)은 샤워 헤드(16)의 대략 중앙에 마련되고, 가스 확산실(16d)은 가스 확산실(16c)을 둘러싸도록 가스 확산실(16c)의 주위에 마련되어 있다. 가스 확산실(16c 및 16d)은 처리 가스의 유량 등을 독립적으로 제어 가능하게 되어 있다.

[0023] 상부 천판(16b)에는 당해 상부 천판(16b)을 두께 방향으로 관통하도록 가스 유통구(16f)가 마련되어 있고, 각각의 가스 유통구(16f)는 상기한 가스 유통구(16e)에 연통하고 있다. 이와 같은 구성에 의해, 가스 확산실(16c 및 16d)에 공급된 처리 가스는 가스 유통구(16e 또는 16f)를 통하여 챔버(1) 내에 샤워 형상으로 확산되어 공급된다. 또한, 본체부(16a) 등에는 도시하지 않은 히터, 및 냉매를 순환시키기 위한 도시하지 않은 배관 등의 온도 조정 기구가 마련되어 있어, 반도체 웨이퍼(W)의 처리 중에 샤워 헤드(16)를 원하는 범위 내의 온도로 제어할 수 있도록 되어 있다.

[0024] 샤워 헤드(16)의 본체부(16a)에는, 가스 확산실(16c)에 처리 가스를 도입하기 위한 가스 도입구(16g)와, 가스 확산실(16d)에 처리 가스를 도입하기 위한 가스 도입구(16h)가 마련되어 있다. 가스 도입구(16g)에는 배관(15a)의 일단이 접속되어 있다. 배관(15a)의 타단은, 밸브(V1) 및 매스 플로우 컨트롤러(MFC)(15c)를 개재하여, 반도체 웨이퍼(W)의 처리에 이용되는 가스를 공급하는 가스 공급원(15)에 접속되어 있다. 또한, 가스 도입구(16

h)에는 배관(15b)의 일단이 접속되어 있다. 배관(15b)의 타단은, 밸브(V2) 및 MFC(15d)를 개재하여 가스 공급원(15)에 접속되어 있다.

[0025] 가스 공급원(15)으로부터 공급된 처리 가스는 배관(15a 및 15b)을 통하여 가스 확산실(16c 및 16d)에 각각 공급되고, 각각의 가스 유통구(16e 및 16f)를 통하여 챔버(1) 내에 샤크 형상으로 확산되어 공급된다. 가스 공급원(15)은, 예를 들면, 후술하는 개질 공정을 실행하는 경우에, 개질 가스를 챔버(1) 내에 공급한다.

[0026] 샤크 헤드(16)에는 로우 패스 필터(LPF)(51) 및 스위치(53)를 개재하여 음의 직류 전압을 출력하는 가변 직류 전원(52)이 전기적으로 접속되어 있다. 스위치(53)는 가변 직류 전원(52)으로부터 샤크 헤드(16)로의 직류 전압의 인가 및 차단을 제어한다. 예를 들면, 고주파 전원(10a)으로부터 고주파 전력이 샤크 헤드(16)에 인가되고 고주파 전원(10b)으로부터 고주파 전력이 배치대(2)에 인가되고, 챔버(1) 내의 처리 공간(S)에 플라즈마가 생성될 때에는, 필요에 따라 스위치(53)가 온으로 되어 상부 전극으로서 기능하는 샤크 헤드(16)에 정해진 크기의 음의 직류 전압이 인가된다.

[0027] 배치대(2)의 주위에는 배치대(2)를 둘러싸도록 배기로(71)가 마련되어 있다. 처리 공간(S)과 배기로(71)의 사이에는, 복수의 관통홀을 가지는 배플판(18)이 배치대(2)를 둘러싸도록 배치대(2)의 주위에 마련되어 있다. 배기로(71)에는 배기관(72)이 접속되고, 배기관(72)에는 배기 장치(73)가 접속되어 있다. 배기 장치(73)는 터보 분자 펌프 등의 진공 펌프를 가진다. 이 진공 펌프를 작동시킴으로써, 배기 장치(73)는 배기로(71) 및 배기관(72)을 개재하여 챔버(1) 내를 정해진 진공도까지 감압할 수 있다.

[0028] 챔버(1)의 측벽에는 개구부(74)가 마련되어 있고, 개구부(74)에는 당해 개구부(74)를 개폐하는 게이트 밸브(G)가 마련되어 있다. 또한, 챔버(1)의 내벽 및 배치대(2)의 외주면에는 퇴적물 실드(76 및 77)가 착탈 가능하게 마련되어 있다. 퇴적물 실드(76 및 77)는 챔버(1)의 내벽에 에칭 부생물(퇴적물)이 부착하는 것을 방지한다. 정전 척(6) 상에 흡착 유지된 반도체 웨이퍼(W)와 대략 동일한 높이의 퇴적물 실드(76)의 위치에는 직류적으로 그라운드에 접속된 도전성 부재(GND 블록)(79)가 마련되어 있다. GND 블록(79)에 의해, 챔버(1) 내의 이상 방전이 억제된다.

[0029] 상기한 바와 같이 구성된 플라즈마 처리 장치(100)는, 제어부(60)에 의해, 그 동작이 통괄적으로 제어된다. 제어부(60)는, CPU(Central Processing Unit)를 가지고 플라즈마 처리 장치(100)의 각 부를 제어하는 프로세스 컨트롤러(61)와, 사용자 인터페이스(62)와, 기억부(63)를 구비한다.

[0030] 사용자 인터페이스(62)는 오퍼레이터가 플라즈마 처리 장치(100)를 조작하기 위한 커맨드 등의 입력에 이용되는 키보드 등의 입력 장치, 및 플라즈마 처리 장치(100)의 가동 상황을 가시화하여 표시하는 디스플레이 등의 출력 장치를 포함한다.

[0031] 기억부(63)에는, 플라즈마 처리 장치(100)에서 실행되는 각종 처리를 프로세스 컨트롤러(61)의 제어로 실현하기 위한 제어 프로그램(소프트웨어), 및 처리 조건의 데이터 등이 기억된 레시피가 저장되어 있다. 프로세스 컨트롤러(61)는 기억부(63) 내에 기억된 제어 프로그램에 기초하여 동작하고, 사용자 인터페이스(62)를 개재하여 접수한 지시 등에 따라 레시피 등을 기억부(63)로부터 읽어낸다. 그리고, 프로세스 컨트롤러(61)가 읽어낸 레시피 등에 따라 플라즈마 처리 장치(100)를 제어함으로써, 플라즈마 처리 장치(100)에 의해 원하는 처리가 행해진다. 또한, 프로세스 컨트롤러(61)는 컴퓨터로 판독 가능한 기록 매체(예를 들면, 하드 디스크, CD, 플렉시블 디스크, 반도체 메모리 등) 등에 저장된 제어 프로그램 및 레시피 등을, 당해 기록 매체로부터 읽어내어 실행하는 것도 가능하다. 또한, 프로세스 컨트롤러(61)는, 다른 장치의 기억부 내에 저장된 제어 프로그램 및 레시피 등을, 예를 들면 통신 회선을 개재하여 당해 다른 장치로부터 취득하여 실행하는 것도 가능하다.

[0032] 예를 들면, 제어부(60)는 후술하는 플라즈마 처리 방법을 행하도록 플라즈마 처리 장치(100)의 각 부를 제어한다. 상세한 일례를 들면, 제어부(60)는, 후술하는 개질 공정을 실행하는 경우에, 챔버(1) 내에 개질 가스를 공급하고 정전 척(6) 상에 흡착 유지된 반도체 웨이퍼(W)를 정해진 온도로 제어한다. 그리고, 제어부(60)는 상부 전극으로서 기능하는 샤크 헤드(16)에 정해진 주파수의 고주파 전력 및 정해진 전압의 음의 직류 전압을 인가하고, 하부 전극으로서 기능하는 배치대(2)에 정해진 주파수의 고주파 전력을 인가함으로써, 챔버(1) 내에 개질 가스의 플라즈마를 생성한다. 그리고, 제어부(60)는 생성한 개질 가스의 플라즈마에 의해 반도체 웨이퍼(W)에 마련된 포토레지스트를 개질한다.

[0033] [반도체 웨이퍼(W)의 구조]

[0034] 본 실시예에 있어서 처리되는 반도체 웨이퍼(W)는, 예를 들면 도 2에 나타내는 바와 같은 구조이다. 도 2는 반도체 웨이퍼(W)의 일례를 나타내는 단면도이다. 반도체 웨이퍼(W)는, 절연막(20) 상에, 유기막(21), 마스크막

(22) 및 포토레지스트(PR)(23)가 이 순서대로 적층되어 형성된다. 절연막(20)은, 예를 들면 SiO_2 등의 산화막이다. 유기막(21)은, 예를 들면 스판 온 카본막 등의 유기 유전체층(ODL : Organic Dielectric Layer)이다. 마스크막(22)은, 예를 들면 실리콘 함유 반사 방지막(SiARC)이다. 또한, 다른 예로서, 마스크막(22)은 유기막(21)상에 SiON막이 적층되고, 그 위에 유기 반사 방지막(BARC)이 적층된 2 층 구조여도 된다. 포토레지스트(23)는, 예를 들면, EUV광을 이용하여 정해진 패턴이 형성된 EUV 레지스트이다. 포토레지스트(23)는 레지스트막의 일례이다.

[0035] [플라즈마 처리]

[0036] 다음에, 도 2에 나타낸 반도체 웨이퍼(W)에 대하여 행해지는 플라즈마 처리에 대하여 설명한다. 도 3은 실시예 1에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다.

[0037] 먼저, 도 1에 나타낸 플라즈마 처리 장치(100)에 있어서, 게이트 벨브(G)가 열리고, 반도체 웨이퍼(W)가 도시하지 않은 반송 로봇 등에 의해 개구부(74)로부터 챔버(1) 내에 반입되어, 정전 척(6) 상에 배치된다(S100). 그리고, 반송 로봇이 챔버(1) 밖으로 퇴피하고, 게이트 벨브(G)가 닫힌다. 그리고, 정전 척(6)의 전극(6a)에 직류 전원(12)으로부터 정해진 직류 전압이 인가되어, 반도체 웨이퍼(W)는 쿨롱력에 의해 정전 척(6)에 흡착 유지된다. 그리고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내가 정해진 진공도까지 배기된다.

[0038] 챔버(1) 내가 정해진 진공도가 된 후, 챔버(1) 내에 가스 공급원(15)으로부터 개질 가스가 정해진 유량으로 공급되고, 챔버(1) 내가 정해진 압력으로 유지된다(S101). 본 실시예에 있어서, 개질 가스는 수소 함유 가스이다. 구체적으로는, 개질 가스는, 예를 들면 Ar 가스 및 H_2 가스를 포함하는 혼합 가스이다. 또한, 개질 가스는 H_2 가스, 할로겐화 수소 가스, 또는, 희가스와 H_2 가스 또는 할로겐화 수소 가스를 포함하는 혼합 가스이면 된다. 할로겐화 수소 가스로서는 예를 들면 HBr 가스 등을 이용할 수 있다. 또한, 희가스로서는 예를 들면 Ar 가스 등을 이용할 수 있다.

[0039] 그리고, 배치대(2)의 유로(2b) 내를 흐르는 냉매와 반도체 웨이퍼(W)의 이면측에 공급되는 열 전달 가스에 의해, 반도체 웨이퍼(W)가 정해진 처리 온도로 제어된다(S102). 단계(S102)에 있어서, 플라즈마 처리 장치(100)는 반도체 웨이퍼(W)의 처리 온도를 예를 들면 -20°C 이하로 제어한다. 바람직하게는, 플라즈마 처리 장치(100)는, 단계(S102)에 있어서, 반도체 웨이퍼(W)의 처리 온도를, 예를 들면 -60°C 이상 -20°C 이하의 범위 내의 온도로 제어한다.

[0040] 다음에, 샤크 헤드(16)에 고주파 전원(10a)으로부터 정해진 주파수(예를 들면 60 MHz)의 고주파 전력이 인가되고, 가변 직류 전원(52)으로부터 정해진 전압의 음의 직류 전압이 인가된다. 또한, 배치대(2)에 고주파 전원(10b)으로부터 정해진 주파수(예를 들면 13 MHz)의 고주파 전력이 인가된다. 이에 의해, 상부 전극인 샤크 헤드(16)와 하부 전극인 배치대(2)의 사이에 전계가 형성되고, 반도체 웨이퍼(W) 상의 처리 공간(S) 내에 개질 가스의 플라즈마가 생성된다(S103). 단계(S103)는 개질 공정의 일례이다. 개질 가스의 플라즈마에 의해, 반도체 웨이퍼(W)의 포토레지스트(23)의 표면이 개질된다. 이에 의해, 포토레지스트(23)에 형성된 정해진 패턴에 있어서의 LWR(Line Width Roughness) 및 LER(Line Edge Roughness)이 개선된다.

[0041] 반도체 웨이퍼(W)에 대하여 개질 가스의 플라즈마에 의한 처리가 정해진 시간 행해진 후, 가스 공급원(15)으로부터의 개질 가스의 공급이 정지되고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내의 개질 가스가 배기된다(S104). 그리고, 게이트 벨브(G)가 열리고, 반송 로봇 등에 의해 정전 척(6) 상의 반도체 웨이퍼(W)가 챔버(1)의 외부에 반출되어(S105), 본 순서도에 나타낸 플라즈마 처리는 종료한다. 본 순서도에 나타낸 플라즈마 처리가 행해진 후, 반도체 웨이퍼(W)에는 LWR 및 LER이 개선된 포토레지스트(23)를 마스크로 하여, 마스크막(22)을 에칭하는 처리가 행해진다.

[0042] 여기서, 개질 공정의 온도 조건에 따라서는, 개질 공정의 실행에 의해 포토레지스트(23)의 높이의 감소량이 커지는 경우가 있다. 도 4는 처리 온도와 포토레지스트 높이의 감소량의 관계의 일례를 나타내는 도이다. 도 4에서는, -50°C 부터 $+20^\circ\text{C}$ 까지의 각각의 온도에 있어서, 반도체 웨이퍼(W)가 플라즈마에 노출되어 있는 시간에 대한 포토레지스트(23)의 높이의 감소량의 실험 결과가 나타나어져 있다. 또한, 도 4에 나타낸 'Dense'는, 포토레지스트(23)에 형성된 패턴의 밀도가 높은 영역에 있어서의 포토레지스트(23)의 높이의 감소량을 나타내고 있고, 도 4에 나타낸 'Iso'는, 포토레지스트(23)에 형성된 패턴의 밀도가 낮은 영역에 있어서의 포토레지스트(23)의 높이의 감소량을 나타내고 있다.

[0043] 도 4를 참조하면, 개질 공정에 있어서, 반도체 웨이퍼(W)의 처리 온도가 낮아질수록, 포토레지스트(23)의 높이

의 감소량이 적어지고 있다. 즉, 포토레지스트(23)의 높이의 감소량은 반도체 웨이퍼(W)의 처리 온도에 의존하고 있다. 또한, 포토레지스트(23)에 형성된 패턴의 밀도가 높은 영역에서도, 포토레지스트(23)에 형성된 패턴의 밀도가 낮은 영역에서도, 반도체 웨이퍼(W)의 처리 온도가 낮은 쪽이 포토레지스트(23)의 높이의 감소량이 적다는 경향은 변하지 않는다.

[0044] 도 5는 처리 온도에 대한 LWR과 LER의 합계의 관계의 일례를 나타내는 도이다. 도 5에서는, -50°C부터 +20°C까지의 각각의 처리 온도에 있어서, 반도체 웨이퍼(W)가 플라즈마에 노출되어 있는 시간에 대한 LWR과 LER의 합계의 실험 결과가 나타내어져 있다. 또한, 도 5에 있어서도, 포토레지스트(23)에 형성된 패턴의 밀도가 높은 영역과 포토레지스트(23)에 형성된 패턴의 밀도가 낮은 영역에 있어서, 각각 LWR과 LER의 합계의 값을 측정하였다.

[0045] 도 5를 참조하면, 개질 공정에 있어서, 반도체 웨이퍼(W)가 플라즈마에 노출되어 있는 시간이 길어지면, LWR과 LER의 합계의 값이 작아져, LWR과 LER의 합계의 값이 개선되는 경향이 있는 것을 알 수 있다. 그러나, 반도체 웨이퍼(W)의 처리 온도를 바꿔도 LWR과 LER의 합계의 값에 변화는 보이지 않는다. 즉, LWR과 LER의 합계의 값의 개선 정도는 반도체 웨이퍼(W)가 플라즈마에 노출되어 있는 시간에 의존하고, 반도체 웨이퍼(W)의 처리 온도에는 의존하고 있지 않다.

[0046] 처리 온도에 대한 LWR과 LER 및 포토레지스트의 높이의 관계를 정리하면, 예를 들면 도 6과 같이 된다. 도 6에 있어서, 제 1 축은 처리 온도에 대한 LWR과 LER의 관계의 일례를 나타내고 있고, 제 2 축은 처리 온도에 대한 포토레지스트의 높이의 관계의 일례를 나타내고 있다. 도 6을 참조하면, LWR과 LER의 값은 반도체 웨이퍼(W)의 처리 온도가 변해도 동등하게 개선되어 있다.

[0047] 또한, 도 6을 참조하면, 반도체 웨이퍼(W)의 처리 온도가 낮은 쪽이 포토레지스트(23)의 높이의 감소량이 적은 것을 알 수 있다. 또한, 반도체 웨이퍼(W)의 처리 온도가 -20°C인 경우와 -50°C인 경우에서는, 포토레지스트(23)의 높이의 감소량은 그다지 차가 없다. 이것은, -20°C 부근에서, H 라디칼의 활성화 에너지의 임계치가 존재하기 때문이라고 생각할 수 있다. 따라서, 반도체 웨이퍼(W)의 처리 온도를 -20°C 이하로 하면, 포토레지스트(23)의 높이의 감소량을 줄일 수 있다. 또한, 반도체 웨이퍼(W)의 처리 온도가 -60°C 이상 -20°C 이하의 범위 내의 온도이면, 일반적으로 이용되고 있는 냉매를 이용하여 그 범위의 온도로 제어할 수 있기 때문에, 플라즈마 처리에 있어서의 비용의 상승을 억제할 수도 있다.

[0048] 여기서, 개질 공정에서는, 개질 가스의 플라즈마 중에 존재하는 H 라디칼에 의한 자발 반응에 의해, 포토레지스트(23)의 높이가 감소한다고 생각할 수 있다. H 라디칼에 있어서의 반응의 속도 상수(k)는, 하기에 나타내는 아레니우스의 식 (1)에 의해 산출할 수 있다.

[0049] [수학식 1]

$$k = A \exp\left(-\frac{E_a}{RT}\right) \quad \cdots (1)$$

[0050] 단, A는 온도에 무관계인 상수(빈도 인자), E_a는 1몰당의 활성화 에너지, R은 기체 상수, T는 절대 온도이다.

[0052] H₂ 가스에 대하여, 속도 상수(k)의 자연 대수를 플롯하면, 예를 들면 도 7과 같이 된다. 도 7은 H₂ 가스에 있어서의 아레니우스 플롯의 일례를 나타내는 도이다. 도 7로부터 분명한 바와 같이, 처리 온도가 낮아질수록, 즉, 1000/T(K)의 값이 높아질수록, H 라디칼의 반응의 속도 상수(k)의 값이 낮아져, 반응 속도가 저하한다. 따라서, 반도체 웨이퍼(W)의 처리 온도를 낮춤으로써, 개질 가스의 플라즈마 중에 존재하는 H 라디칼에 의한 자발 반응의 속도가 저하하여, 포토레지스트(23)의 높이의 감소가 억제된다고 생각할 수 있다.

[0053] 한편, 포토레지스트(23)의 LWR 및 LER은 VUV(Vacuum Ultra-Violet) 반응의 효과에 의해 개선된다. VUV광이 조사된 포토레지스트(23)는 VUV광을 흡수하고, 표면에 있어서 화학 반응이 일어나 표면이 유동한다. 이에 의해, 포토레지스트(23)의 표면이 매끄러워져, LWR 및 LER의 원인이 되는 표면의 요철이 감소한다. VUV 반응은 VUV광의 발광 강도에 의존한다. VUV광의 발광 강도(I)는, 예를 들면 하기에 나타내는 식 (2)에 의해 나타내어진다.

[0054] [수학식 2]

$$I(p, q) = \alpha \beta k_{ex}(p) n(1) n_e \quad \cdots (2)$$

[0055] 단, α 및 β는 비례 상수, k_{ex}(p)는 여기(勵起) 속도 계수, n(1)은 라디칼 밀도, n_e는 전자 밀도이다.

- [0057] 상기의 식 (2)로부터 분명한 바와 같이, 개질 공정에 있어서의 VUV광의 발광 강도(I)는, H 라디칼의 밀도에 의존하지만, 온도에는 의존하지 않는다. 그 때문에, 반도체 웨이퍼(W)의 처리 온도 이외의 조건이 동일하면, 저온의 조건에 있어서도, 상온 또는 고온의 조건과 동등한 LWR 및 LER의 개선 효과가 얻어진다.
- [0058] 이와 같이, 개질 공정을 -20°C 이하의 저온의 조건에서 실행함으로써, H 라디칼에 의한 포토레지스트(23)의 높이의 감소를 억제하면서, VUV 효과에 의해 포토레지스트(23)의 LWR 및 LER을 개선할 수 있다. 이에 의해, 개질 공정의 실행 후에 있어서도 포토레지스트(23)의 가공 정밀도를 양호하게 유지할 수 있다. 이에 의해, 개질 공정의 실행에 의해 개질된 포토레지스트(23)를 마스크로 하는 에칭 공정에 있어서, 에칭 후의 반도체 웨이퍼(W)의 가공 정밀도를 향상시킬 수 있다.
- [0059] <실시예 2>
- [0060] 실시예 1에서는, 개질 가스의 플라즈마를 이용하여 반도체 웨이퍼(W)의 포토레지스트(23)를 개질하는 개질 공정이 실행되었다. 본 실시예에서는, 실시예 1에 나타낸 개질 공정이 실행된 후에, 추가로, 포토레지스트(23)를 마스크로 하여 마스크막(22)을 에칭하는 제 1 에칭 공정이 실행된다. 또한, 본 실시예에 있어서, 플라즈마 처리 장치(100)의 구성은 도 1에 나타낸 실시예 1에 있어서의 플라즈마 처리 장치(100)와 동일하기 때문에, 상세한 설명은 생략한다.
- [0061] [플라즈마 처리]
- [0062] 도 8은 실시예 2에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다. 또한, 도 8에 있어서 도 3과 동일한 부호를 부여한 처리는 도 3에 있어서 설명한 처리와 동일하기 때문에, 상세한 설명을 생략한다.
- [0063] 먼저, 도 1에 나타낸 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 반도체 웨이퍼(W)가 정전 척(6) 상에 배치되어, 정전 척(6) 상에 흡착 유지된다(S100). 그리고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내가 정해진 진공도까지 배기된다. 그리고, 도 3에 나타낸 단계(S101 ~ S104)의 처리가 실행된다.
- [0064] 다음에, 챔버(1) 내에 가스 공급원(15)으로부터 제 1 처리 가스가 정해진 유량으로 공급되고, 챔버(1) 내가 정해진 압력으로 유지된다(S110). 본 실시예에 있어서, 제 1 처리 가스에는 SF₆ 가스가 포함된다. 또한, 제 1 처리 가스에는, 할로겐화 화합물 가스로서, CF 결합 또는 SF 결합을 포함하는 가스가 포함되어 있으면 된다. 예를 들면, 제 1 처리 가스에는 CF₄ 가스 또는 SF₆ 가스 등이 포함되어 있어도 된다.
- [0065] 그리고, 배치대(2)의 유로(2b) 내를 흐르는 냉매와 반도체 웨이퍼(W)의 이면측에 공급되는 열 전달 가스에 의해, 반도체 웨이퍼(W)가 정해진 처리 온도로 제어된다(S111). 단계(S111)에 있어서, 플라즈마 처리 장치(100)는 반도체 웨이퍼(W)의 처리 온도를 상온(예를 들면 0°C 이상 40°C 이하의 범위 내의 온도)으로 제어한다.
- [0066] 다음에, 샤크 헤드(16)에 고주파 전원(10a)으로부터 정해진 주파수(예를 들면 60 MHz)의 고주파 전력이 인가되고, 가변 직류 전원(52)으로부터 정해진 전압의 음의 직류 전압이 인가된다. 또한, 배치대(2)에 고주파 전원(10b)으로부터 정해진 주파수(예를 들면 13 MHz)의 고주파 전력이 인가된다. 이에 의해, 상부 전극인 샤크 헤드(16)와 하부 전극인 배치대(2)의 사이에 전계가 형성되고, 반도체 웨이퍼(W) 상의 처리 공간(S) 내에 제 1 처리 가스의 플라즈마가 생성된다(S112). 제 1 처리 가스의 플라즈마에 의해, 포토레지스트(23)를 마스크로 하여 마스크막(22)이 에칭된다. 단계(S112)는 제 1 에칭 공정의 일례이다.
- [0067] 제 1 처리 가스의 플라즈마에 의한 마스크막(22)의 에칭이 정해진 시간 실행된 후, 가스 공급원(15)으로부터의 제 1 처리 가스의 공급이 정지되고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내의 제 1 처리 가스가 배기된다(S113). 그리고, 게이트 밸브(G)가 열리고, 정전 척(6) 상의 반도체 웨이퍼(W)가 챔버(1)의 외부로 반출되어(S105), 본 순서도에 나타낸 플라즈마 처리는 종료한다. 본 순서도에 나타낸 플라즈마 처리가 행해진 후, 반도체 웨이퍼(W)에는, 에칭에 의해 포토레지스트(23)의 패턴이 전사된 마스크막(22)을 마스크로 하여, 유기막(21)을 에칭하는 처리가 행해진다.
- [0068] 여기서, 포토레지스트(23)를 마스크로 하는 마스크막(22)의 에칭에는 제 1 처리 가스가 이용된다. 제 1 처리 가스로서 SF₆ 또는 CF₄를 이용한 경우, 포토레지스트(23)에 대한 마스크막(22)의 선택비를 측정하면, 예를 들면 도 9와 같은 결과가 되었다. 도 9는 처리 온도와 선택비의 관계의 일례를 나타내는 도이다. 도 9를 참조하면, 제 1 처리 가스로서 SF₆를 이용한 경우의 선택비는 CF₄를 이용한 경우의 선택비보다 높은 값이 되었다. 또한, 제 1 처리 가스로서 SF₆를 이용한 경우의 선택비와 CF₄를 이용한 경우의 선택비의 차는, 상온 영역(0°C ~ 40°C의 범

위)에 있어서 더 커졌다.

[0069] 여기서, 포토레지스트(23)에 대한 마스크막(22)의 선택비는, 제 1 처리 가스에 포함되는 원소와 포토레지스트(23)에 포함되는 탄소가 결합하여 발생하는 부생성물이 보호막으로서 포토레지스트(23) 상에 퇴적함으로써 개선된다. C-S 결합의 결합 에너지는 272(kJ/mol)이고, C-C 결합의 결합 에너지는 346(kJ/mol)이기 때문에, C-S 결합은 C-C 결합보다 적은 에너지로 결합하여 부생성물을 만든다. 그 때문에, 제 1 처리 가스로서 SF₆를 이용한 쪽이 부생성물이 생성되기 쉬워, 포토레지스트(23)의 위에 보호막이 형성되기 쉽다. 따라서, 제 1 처리 가스로서 SF₆를 이용한 경우의 선택비가 CF₄를 이용한 경우의 선택비보다 높은 값이 된다.

[0070] 또한, 본 실시예에 있어서, 마스크막(22)은 SiARC, 또는, BARC 및 SiON의 이중 구조이다. 그 때문에, 마스크막(22) 중에는 실리콘 원소가 포함된다. 그리고, 마스크막(22)이 에칭되는 과정에서, 제 1 처리 가스에 포함되는 원소와 마스크막(22) 중에 포함되는 실리콘이 결합하여 발생하는 부생성물이 보호막으로서 포토레지스트(23) 상에 퇴적한다. 이에 의해서도 포토레지스트(23)에 대한 마스크막(22)의 선택비는 개선된다.

[0071] 여기서, Si-S 결합의 결합 에너지는 293(kJ/mol)이고, Si-C 결합의 결합 에너지는 318(kJ/mol)이기 때문에, Si-S 결합은, Si-C 결합보다 적은 에너지로 결합하여 부생성물을 만든다. 그 때문에, 제 1 처리 가스로서 SF₆를 이용한 쪽이 부생성물이 생성되기 쉬워, 포토레지스트(23)의 위에 보호막이 형성되기 쉽다. 따라서, 제 1 처리 가스로서 SF₆를 이용한 경우의 선택비가 CF₄를 이용한 경우의 선택비보다 높은 값이 된다.

[0072] 또한, 제 1 처리 가스로서 SF₆ 또는 CF₄를 이용한 경우, 플라즈마 중의 F 라디칼(F*) 및 F 이온(F⁺) 모두 마스크막(22)의 플라즈마 에칭에 기여한다. 단, 마스크막(22)에 포함되는 탄소와 반응한 부생성물이 마스크막(22)의 측벽 및 저면(底面)에 보호막을 형성한다. 그 때문에, 플라즈마 에칭에 의해 마스크막(22)에 형성되는 홈의 형상은 아래 방향의 에칭에 기여하는 F 이온과, 등방성의 에칭에 기여하는 F 라디칼과, 보호막의 상관 관계로 결정된다.

[0073] 여기서, S-F 결합의 결합 에너지는 284(kJ/mol)이고, C-F 결합의 결합 에너지는 485(kJ/mol)이기 때문에, 제 1 처리 가스로서 SF₆를 이용한 경우의 플라즈마 중의 F 라디칼의 절대량은 제 1 처리 가스로서 CF₄를 이용한 경우의 플라즈마 중의 F 라디칼의 절대량보다 많다. 그 때문에, 제 1 처리 가스로서 SF₆를 이용한 경우에는, 제 1 처리 가스로서 CF₄를 이용한 경우보다 F 라디칼에 의한 등방성의 에칭이 촉진된다.

[0074] 도 10은 불소에 있어서의 아레니우스 플롯의 일례를 나타내는 도이다. 예를 들면 도 10에 나타내는 바와 같이, 불소에 있어서의 반응의 속도 상수(k)는 처리 온도가 높아질수록, 즉, 1000/T(K)의 값이 낮아질수록 반응의 속도 상수(k)의 값이 높아져, 반응 속도가 상승한다. 한편, 처리 온도가 낮아질수록, 즉, 1000/T(K)의 값이 높아질수록 반응의 속도 상수(k)의 값이 낮아져, 반응 속도가 저하한다.

[0075] 도 11은 처리 온도와 홈의 단면 형상의 관계의 일례를 나타내는 모식도이다. 도 11의 (a)는 저온(예를 들면 0°C 미만)의 처리 온도에서 에칭이 행해진 경우에 마스크막(22)에 형성된 홈의 단면 형상의 일례를 나타낸다. 도 11의 (b)는 상온(예를 들면 0°C 이상 40°C 미만)의 처리 온도에서 에칭이 행해진 경우에 마스크막(22)에 형성된 홈의 단면 형상의 일례를 나타낸다. 도 11의 (c)는 고온(예를 들면 40°C 이상)의 처리 온도에서 에칭이 행해진 경우에 마스크막(22)에 형성된 홈의 단면 형상의 일례를 나타낸다.

[0076] 도 10에 나타낸 아레니우스 플롯에 따르면, 처리 온도가 저온인 경우, F 라디칼에 의한 자발 반응이 억제된다. 그 때문에, 측벽의 보호막 형성이 지배적이 된다. 이에 의해, 예를 들면 도 11의 (a)에 나타내는 바와 같이, 마스크막(22)에 형성되는 홈의 측벽이 테이퍼 형상이 되고, 또한, 홈의 저부가 보호막에 의해 폐색되어 에칭 스텁이 된다.

[0077] 한편, 처리 온도가 고온인 경우, 도 10에 나타낸 아레니우스 플롯에 따르면, F 라디칼에 의한 자발 반응이 촉진된다. 그 때문에, F 라디칼에 의한 등방성의 에칭이 지배적이 된다. 이에 의해, 예를 들면 도 11의 (c)에 나타내는 바와 같이, 마스크막(22)에 형성되는 홈의 형상이 Bowing 형상이 된다.

[0078] 이에 대하여, 처리 온도가 상온인 경우, 홈의 측벽에 형성되는 보호막과 F 라디칼에 의한 등방성의 에칭의 밸런스가 양호하기 때문에, 예를 들면 도 11의 (b)에 나타내는 바와 같이, 마스크막(22)에 형성되는 홈의 측벽은 수직에 가까운 각도가 된다.

[0079] 도 12는 처리 온도와 테이퍼 각도의 관계의 일례를 나타내는 도이다. 도 12를 참조하면, 제 1 처리 가스로서

SF_6 또는 CF_4 를 이용한 경우, 처리 온도가 상승함에 따라 흄의 측벽의 각도가 상승하고 있다. 제 1 처리 가스로서 SF_6 를 이용한 경우에는, 처리 온도가 약 $0^\circ C$ 이상이 되면, 테이퍼 각도가 80도 이상이 된다. 또한, 도 12를 참조하면, 제 1 처리 가스로서 SF_6 를 이용한 경우에는, 처리 온도의 상승에 대한 테이퍼 각도의 상승의 경향으로부터, 처리 온도가 약 $40^\circ C$ 가 되면, 테이퍼 각도가 90도가 된다.

[0080] 여기서, 마스크막(22)에 형성되는 흄의 측벽은, 80도 이상 90도 이하의 범위 내의 각도인 것이 바람직하다. 그 때문에, 제 1 처리 가스로서 SF_6 를 이용하는 경우에는, 처리 온도가 $0^\circ C$ 이상 $40^\circ C$ 이하의 범위 내이면, 흄의 측벽의 테이퍼 각도가 80도 이상 90도 이하의 범위 내의 각도가 된다. 따라서, 마스크막(22)을 에칭하는 제 1 에칭 공정에 있어서, 제 1 처리 가스로서 SF_6 를 이용하는 경우에는, 처리 온도가 $0^\circ C$ 이상 $40^\circ C$ 이하의 범위 내인 것이 바람직하다.

[0081] 또한, 도 12를 참조하면, 제 1 처리 가스로서 CF_4 를 이용한 경우라도, 처리 온도가 약 $20^\circ C$ 이상 $40^\circ C$ 이하의 범위 내이면, 흄의 측벽의 테이퍼 각도가 80도 이상 90도 이하의 범위 내의 각도가 된다. 그 때문에, 마스크막(22)을 에칭하는 제 1 에칭 공정에 있어서, 제 1 처리 가스로서 CF_4 를 이용하는 경우에는, 처리 온도가 $20^\circ C$ 이상 $40^\circ C$ 이하의 범위 내인 것이 바람직하다.

[0082] <실시예 3>

[0083] 실시예 2에서는, 개질 가스의 플라즈마를 이용하여 반도체 웨이퍼(W)의 포토레지스트(23)를 개질하는 개질 공정이 실행된 후, 포토레지스트(23)를 마스크로 하여 반도체 웨이퍼(W)의 마스크막(22)을 에칭하는 제 1 에칭 공정이 실행되었다. 본 실시예에서는, 실시예 2에 나타낸 개질 공정 및 제 1 에칭 공정이 실행된 후에, 제 1 에칭 공정에서 에칭된 마스크막(22)을 마스크로 하여, 추가로 반도체 웨이퍼(W)의 유기막(21)을 에칭하는 제 2 에칭 공정이 실행된다. 또한, 본 실시예에 있어서, 플라즈마 처리 장치(100)의 구성은 도 1에 나타낸 실시예 1에 있어서의 플라즈마 처리 장치(100)와 동일하기 때문에, 상세한 설명은 생략한다.

[0084] [플라즈마 처리]

[0085] 도 13은 실시예 3에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다. 또한, 도 13에 있어서 도 3 또는 도 8과 동일한 부호를 부여한 처리는, 도 3 또는 도 8에 있어서 설명한 처리와 동일하기 때문에, 상세한 설명을 생략한다.

[0086] 먼저, 도 1에 나타낸 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 반도체 웨이퍼(W)가 정전 척(6) 상에 배치되어, 정전 척(6) 상에 흡착 유지된다(S100). 그리고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내가 정해진 진공도까지 배기된다.

[0087] 다음에, 도 3에 나타낸 단계(S101 ~ S104)의 처리가 실행된다. 이에 의해, 포토레지스트(23)가 개질되고, 포토레지스트(23)의 LWR 및 LER이 저감된다. 다음에, 도 8에 나타낸 단계(S110 ~ S113)의 처리가 실행된다. 이에 의해, LWR 및 LER이 저감된 포토레지스트(23)의 패턴이 마스크막(22)에 전사된다.

[0088] 다음에, 챔버(1) 내에 가스 공급원(15)으로부터 제 2 처리 가스가 정해진 유량으로 공급되고, 챔버(1) 내가 정해진 압력으로 유지된다(S120). 본 실시예에 있어서, 제 2 처리 가스는 Ar 가스 및 O_2 가스의 혼합 가스이다. 또한, 제 2 처리 가스는, 희가스와 산소 원자를 포함하는 가스의 혼합 가스이면 된다. 희가스로서는 예를 들면 Ar 가스 등을 이용할 수 있다. 또한, 산소 원자를 포함하는 가스로서는, O_2 가스 외에 예를 들면 CO_2 가스 등을 이용할 수 있다.

[0089] 그리고, 배치대(2)의 유로(2b) 내를 흐르는 냉매와 반도체 웨이퍼(W)의 이면측에 공급되는 열 전달 가스에 의해, 반도체 웨이퍼(W)가 정해진 처리 온도로 제어된다(S121). 단계(S121)에 있어서, 플라즈마 처리 장치(100)는 반도체 웨이퍼(W)의 처리 온도를 예를 들면 $-20^\circ C$ 이하로 제어한다. 바람직하게는, 플라즈마 처리 장치(100)는, 단계(S121)에 있어서, 반도체 웨이퍼(W)의 처리 온도를 예를 들면 $-60^\circ C$ 이상 $-20^\circ C$ 이하의 범위 내의 온도로 제어한다.

[0090] 다음에, 샤클 헤드(16)에 고주파 전원(10a)으로부터 정해진 주파수(예를 들면 60 MHz)의 고주파 전력이 인가되고, 가변 직류 전원(52)으로부터 정해진 전압의 음의 직류 전압이 인가된다. 또한, 배치대(2)에 고주파 전원(10b)으로부터 정해진 주파수(예를 들면 13 MHz)의 고주파 전력이 인가된다. 이에 의해, 상부 전극인 샤클 헤드(16)와 하부 전극인 배치대(2)의 사이에 전계가 형성되고, 반도체 웨이퍼(W) 상의 처리 공간(S) 내에 제 2 처리

가스의 플라즈마가 생성된다(S122). 제 2 처리 가스의 플라즈마에 의해, 포토레지스트(23)의 패턴이 전사된 마스크막(22)을 마스크로 하여 유기막(21)이 에칭된다. 단계(S122)는 제 2 에칭 공정의 일례이다.

[0091] 제 2 처리 가스의 플라즈마에 의한 유기막(21)의 에칭이 정해진 시간 실행된 후, 가스 공급원(15)으로부터의 제 2 처리 가스의 공급이 정지되고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내의 제 2 처리 가스가 배기된다(S123). 그리고, 케이트 뱘브(G)가 열리고, 정전 척(6) 상의 반도체 웨이퍼(W)가 챔버(1)의 외부로 반출되어(S105), 본 순서도에 나타낸 플라즈마 처리는 종료한다. 본 순서도에 나타낸 플라즈마 처리가 행해진 후, 반도체 웨이퍼(W)에는 에칭에 의해 마스크막(22)의 패턴이 전사된 유기막(21)을 마스크로 하여, 절연막(20)을 에칭하는 처리가 행해진다.

[0092] 여기서, 마스크막(22)을 마스크로 하는 유기막(21)의 에칭에는 제 2 처리 가스가 이용된다. 제 2 처리 가스로서 Ar 가스 및 O₂ 가스의 혼합 가스를 이용한 경우, 예를 들면 도 14에 나타내는 바와 같이, Top-Btm CD의 값은 반도체 웨이퍼(W)의 처리 온도가 낮아질수록 커진다. 도 14는 처리 온도와 Top-Btm CD의 관계의 일례를 나타내는 도이다. 도 14에 있어서, 세로축은 Top-Btm CD의 값을 나타내고, 가로축은 반도체 웨이퍼(W)의 처리 온도를 나타낸다.

[0093] 또한, Top-Btm CD는 Top CD로부터 Btm CD를 뺀 값을 나타낸다. Top CD는 유기막(21)에 형성된 홈의 개구부의 CD(Critical Dimension)이고, Btm CD는 유기막(21)에 형성된 홈의 저부의 CD이다. 또한, 도 14에 나타낸 'Dense'는 유기막(21)에 형성된 홈의 밀도가 높은 영역에 있어서의 홈의 Top-Btm CD를 나타내고 있고, 'Iso'는 유기막(21)에 형성된 홈의 밀도가 낮은 영역에 있어서의 홈의 Top-Btm CD를 나타내고 있다.

[0094] 또한, Top-Btm CD의 값이 0보다 큰 경우, 유기막(21)에 형성된 홈의 측벽은 테이퍼 형상이다. 또한, Top-Btm CD의 값이 0보다 작은 경우, 유기막(21)에 형성된 홈의 측벽은 Bowing 형상이다. 또한, Top-Btm CD의 값이 0인 경우, 유기막(21)에 형성된 홈의 측벽은 대략 수직이다.

[0095] 도 14를 참조하면, 제 2 처리 가스로서 Ar 가스 및 O₂ 가스의 혼합 가스를 이용한 경우, 반도체 웨이퍼(W)의 처리 온도가 높아질수록, Top-Btm CD의 값이 마이너스 방향으로 커진다. 즉, 반도체 웨이퍼(W)의 처리 온도가 높아질수록 유기막(21)에 형성되는 홈이 Bowing 형상이 된다. 한편, 반도체 웨이퍼(W)의 처리 온도가 낮아질수록, Top-Btm CD의 값이 0에 접근한다. 즉, 반도체 웨이퍼(W)의 처리 온도가 낮아질수록, 유기막(21)에 형성되는 홈의 Bowing 형상이 억제된다.

[0096] 또한, 도 14를 참조하면, 제 2 처리 가스로서 Ar 가스 및 CO₂ 가스의 혼합 가스를 이용한 경우도, 반도체 웨이퍼(W)의 처리 온도가 낮아질수록, Top-Btm CD의 값이 0에 가까워진다. 즉, 반도체 웨이퍼(W)의 처리 온도가 낮아질수록, 유기막(21)에 형성되는 홈의 Bowing 형상이 억제된다. 따라서, 제 2 처리 가스로서 Ar 가스 및 CO₂ 가스의 혼합 가스를 이용한 경우도, 반도체 웨이퍼(W)의 처리 온도를 낮게 설정함으로써, 유기막(21)에 형성되는 홈의 Bowing 형상을 억제할 수 있다.

[0097] 도 15는 O₂ 가스에 있어서의 아레니우스 플롯의 일례를 나타내는 도이다. 예를 들면 도 15에 나타내는 바와 같이, 처리 온도가 높아지면, 즉, 1000/T(K)의 값이 낮아지면, 0 라디칼 등의 반응의 속도 상수(k)의 값이 높아져, 반응 속도가 상승한다. 즉, 처리 온도가 높아질수록, 등방성 에칭에 기여하는 0 라디칼의 반응 속도가 상승하고 유기막(21)에 형성되는 홈의 측벽의 자발 반응이 촉진되어, 홈이 Bowing 형상이 된다.

[0098] 한편, 예를 들면 도 15에 나타내는 바와 같이, 처리 온도가 낮아지면, 즉, 1000/T(K)의 값이 높아지면, 0 라디칼 등의 반응의 속도 상수(k)의 값이 낮아져, 반응 속도가 저하한다. 즉, 처리 온도가 낮아질수록 등방성 에칭에 기여하는 0 라디칼의 반응 속도가 저하하고, 유기막(21)에 형성되는 홈의 측벽의 자발 반응이 억제되어 홈의 Bowing 형상이 억제된다. 따라서, 마스크막(22)을 마스크로 하는 유기막(21)의 에칭에 있어서, 반도체 웨이퍼(W)의 처리 온도를 낮게 설정함으로써, 유기막(21)에 형성되는 홈의 Bowing 형상을 억제할 수 있다.

[0099] 또한, 도 14를 참조하면, 반도체 웨이퍼(W)의 처리 온도가 약 -20°C 이하가 되면, Top-Btm CD의 값은 어느 조건에 있어서도 -2.0 nm 이상이 되어, 홈의 Bowing 형상이 충분히 억제된다. 그 때문에, 마스크막(22)을 마스크로 하는 유기막(21)의 에칭에 있어서, 제 2 처리 가스로서 Ar 가스 및 O₂ 가스의 혼합 가스, 또는, Ar 가스 및 CO₂ 가스의 혼합 가스를 이용하는 경우, 반도체 웨이퍼(W)의 처리 온도는 -20°C 이하로 설정되는 것이 바람직하다.

[0100] 또한, 도 14를 참조하면, 반도체 웨이퍼(W)의 처리 온도가 약 -60°C 이하가 되면, 제 2 처리 가스로서 Ar 가스 및 O₂ 가스의 혼합 가스를 이용한 경우의 'Iso'에 있어서의 Top-Btm CD의 값이 +2.0 nm 이상이 된다. Top-Btm

CD의 값이 플러스 방향으로 너무 커지면, 유기막(21)에 형성되는 홈의 측벽이 테이퍼 형상이 되고, 저부가 폐색되어 예칭 스톰이 되는 경우가 있다. 그 때문에, 마스크막(22)을 마스크로 하는 유기막(21)의 예칭에 있어서, 제 2 처리 가스로서 Ar 가스 및 O₂ 가스의 혼합 가스, 또는, Ar 가스 및 CO₂ 가스의 혼합 가스를 이용하는 경우, 반도체 웨이퍼(W)의 처리 온도는 -60°C 이상 -20°C 이하의 범위 내의 온도로 설정되는 것이 보다 바람직하다.

[0101] 또한, 제 2 처리 가스로서 Ar 가스 및 O₂ 가스의 혼합 가스를 이용하는 경우의 마스크막(22)에 대한 유기막(21)의 선택비와 처리 온도의 관계는, 예를 들면 도 16과 같이 된다. 도 16은 처리 온도와 선택비의 관계의 일례를 나타내는 도이다. 도 16에서는 마스크막(22)으로서 SiARC를 이용하였다. 예를 들면 도 16에 나타내는 바와 같이, 마스크막(22)의 예칭 레이트는 반도체 웨이퍼(W)의 처리 온도에 대한 의존성은 거의 없지만, 유기막(21)의 예칭 레이트는 반도체 웨이퍼(W)의 처리 온도가 낮아질수록 높아진다. 따라서, 반도체 웨이퍼(W)의 처리 온도가 낮아질수록 마스크막(22)에 대한 유기막(21)의 선택비는 높아진다. 그 때문에, 마스크막(22)을 마스크로 하는 유기막(21)의 예칭에 있어서, 반도체 웨이퍼(W)의 처리 온도를 낮게 설정함으로써, 높은 선택비로 유기막(21)의 예칭을 행할 수 있다.

[0102] <실시예 4>

[0103] 실시예 3에서는, 개질 공정, 제 1 예칭 공정 및 제 2 예칭 공정이 동일한 플라즈마 처리 장치(100) 내에서 실행되었다. 이에 대하여, 본 실시예에서는, 개질 공정 및 제 2 예칭 공정이 제 1 플라즈마 처리 장치(100)에 있어서 실행되고, 제 1 예칭 공정이 제 2 플라즈마 처리 장치(100)에 있어서 실행되는 점이 실시예 3과는 상이하다. 또한, 본 실시예에 있어서, 제 1 플라즈마 처리 장치(100) 및 제 2 플라즈마 처리 장치(100)의 구성은, 도 1에 나타낸 실시예 1에 있어서의 플라즈마 처리 장치(100)와 동일하기 때문에, 상세한 설명은 생략한다.

[0104] [플라즈마 처리]

[0105] 도 17은 실시예 4에 있어서의 플라즈마 처리 방법의 일례를 나타내는 순서도이다. 먼저, 제 1 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 반도체 웨이퍼(W)가 반송 로봇 등에 의해 개구부(74)로부터 챔버(1) 내에 반입되어, 정전 척(6) 상에 배치된다(S200). 그리고, 게이트 밸브(G)가 닫히고, 반도체 웨이퍼(W)가 정전 척(6)에 흡착 유지된다. 그리고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내가 정해진 진공도까지 배기된다.

[0106] 제 1 플라즈마 처리 장치(100)의 챔버(1) 내가 정해진 진공도가 된 후, 챔버(1) 내에 가스 공급원(15)으로부터 개질 가스가 정해진 유량으로 공급되고, 챔버(1) 내가 정해진 압력으로 유지된다(S201). 본 실시예에 있어서, 개질 가스는 수소 함유 가스이다. 구체적으로는, 개질 가스에는 예를 들면 Ar 가스 및 H₂ 가스가 포함된다. 또한, 개질 가스는 H₂ 가스, 할로겐화 수소 가스, 또는, 희가스와 H₂ 가스 또는 할로겐화 수소 가스를 포함하는 혼합 가스이면 된다. 그리고, 배치대(2)의 유로(2b) 내를 흐르는 냉매와 반도체 웨이퍼(W)의 이면측에 공급되는 열 전달 가스에 의해, 반도체 웨이퍼(W)가 정해진 처리 온도로 제어된다(S202). 단계(S202)에 있어서, 제 1 플라즈마 처리 장치(100)는 반도체 웨이퍼(W)의 처리 온도를 예를 들면 -20°C 이하로 제어한다. 바람직하게는, 제 1 플라즈마 처리 장치(100)는, 단계(S202)에 있어서, 반도체 웨이퍼(W)의 처리 온도를 예를 들면 -60°C 이상 -20°C 이하의 범위 내의 온도로 제어한다.

[0107] 다음에, 샤크 헤드(16)에 정해진 주파수의 고주파 전력과, 정해진 전압의 음의 직류 전압이 인가되고, 배치대(2)에 정해진 주파수의 고주파 전력이 인가된다. 이에 의해, 상부 전극인 샤크 헤드(16)와 하부 전극인 배치대(2)의 사이에 전계가 형성되고, 반도체 웨이퍼(W) 상의 처리 공간(S) 내에 개질 가스의 플라즈마가 생성된다(S203). 단계(S203)는 개질 공정의 일례이다. 개질 가스의 플라즈마에 의해, 반도체 웨이퍼(W)의 포토레지스트(23)의 표면이 개질되어, LWR 및 LER이 개선된다.

[0108] 반도체 웨이퍼(W)에 대하여 개질 가스의 플라즈마에 의한 처리가 정해진 시간 행해진 후, 가스 공급원(15)으로부터의 개질 가스의 공급이 정지되고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내의 개질 가스가 배기된다(S204). 그리고, 제 1 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 반송 로봇 등에 의해 정전 척(6) 상의 반도체 웨이퍼(W)가 챔버(1)로부터 반출된다(S205).

[0109] 다음에, 제 2 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 단계(S205)에 있어서 제 1 플라즈마 처리 장치(100)로부터 반출된 반도체 웨이퍼(W)가 반송 로봇 등에 의해 제 2 플라즈마 처리 장치(100)의 챔버(1) 내에 반입되어, 정전 척(6) 상에 배치된다(S300). 그리고, 게이트 밸브(G)가 닫히고, 반도체 웨이퍼(W)가 정전 척(6)에 흡착 유지된다. 그리고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내가 정해진 진공도까지 배기

된다.

[0110] 제 2 플라즈마 처리 장치(100)의 챔버(1) 내가 정해진 진공도가 된 후, 챔버(1) 내에 가스 공급원(15)으로부터 제 1 처리 가스가 정해진 유량으로 공급되고, 챔버(1) 내가 정해진 압력으로 유지된다(S301). 본 실시예에 있어서, 제 1 처리 가스에는 SF₆ 가스가 포함된다. 또한, 제 1 처리 가스에는, 할로겐화 화합물 가스로서, CF 결합 또는 SF 결합을 포함하는 가스가 포함되어 있으면 된다. 그리고, 배치대(2)의 유로(2b) 내를 흐르는 냉매와 반도체 웨이퍼(W)의 이면측에 공급되는 열 전달 가스에 의해, 반도체 웨이퍼(W)가 정해진 처리 온도로 제어된다(S302). 단계(S302)에 있어서, 제 2 플라즈마 처리 장치(100)는 반도체 웨이퍼(W)의 처리 온도를 상온(예를 들면 0°C 이상 40°C 이하의 범위 내의 온도)으로 제어한다.

[0111] 다음에, 샤크 헤드(16)에 정해진 주파수의 고주파 전력과, 정해진 전압의 음의 직류 전압이 인가되고, 배치대(2)에 정해진 주파수의 고주파 전력이 인가된다. 이에 의해, 상부 전극인 샤크 헤드(16)와 하부 전극인 배치대(2)의 사이에 전계가 형성되고, 반도체 웨이퍼(W) 상의 처리 공간(S) 내에 제 1 처리 가스의 플라즈마가 생성된다(S303). 제 1 처리 가스의 플라즈마에 의해, 포토레지스트(23)를 마스크로 하여 마스크막(22)이 에칭된다. 단계(S303)는 제 1 에칭 공정의 일례이다.

[0112] 제 1 처리 가스의 플라즈마에 의한 마스크막(22)의 에칭이 정해진 시간 실행된 후, 가스 공급원(15)으로부터의 제 1 처리 가스의 공급이 정지되고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내의 제 1 처리 가스가 배기된다(S304). 그리고, 제 2 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 정전 척(6) 상의 반도체 웨이퍼(W)가 챔버(1)로부터 반출된다(S305).

[0113] 다음에, 제 1 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 단계(S305)에 있어서 제 2 플라즈마 처리 장치(100)로부터 반출된 반도체 웨이퍼(W)가 반송 로봇 등에 의해 제 1 플라즈마 처리 장치(100)의 챔버(1) 내에 반입되어, 정전 척(6) 상에 배치된다(S206). 그리고, 게이트 밸브(G)가 닫히고, 반도체 웨이퍼(W)가 정전 척(6)에 흡착 유지된다. 그리고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내가 정해진 진공도까지 배기된다.

[0114] 제 1 플라즈마 처리 장치(100)의 챔버(1) 내가 정해진 진공도가 된 후, 챔버(1) 내에 가스 공급원(15)으로부터 제 2 처리 가스가 정해진 유량으로 공급되고, 챔버(1) 내가 정해진 압력으로 유지된다(S207). 본 실시예에 있어서, 제 2 처리 가스는 Ar 가스 및 O₂ 가스의 혼합 가스이다. 또한, 제 2 처리 가스는 희ガ스와 산소 원자를 포함하는 가스의 혼합 가스이면 된다. 그리고, 배치대(2)의 유로(2b) 내를 흐르는 냉매와 반도체 웨이퍼(W)의 이면측에 공급되는 열 전달 가스에 의해, 반도체 웨이퍼(W)가 정해진 처리 온도로 제어된다(S208). 단계(S208)에 있어서, 제 1 플라즈마 처리 장치(100)는 반도체 웨이퍼(W)의 처리 온도를 예를 들면 -20°C 이하로 제어한다. 바람직하게는, 제 1 플라즈마 처리 장치(100)는, 단계(S208)에 있어서, 반도체 웨이퍼(W)의 처리 온도를 예를 들면 -60°C 이상 -20°C 이하의 범위 내의 온도로 제어한다.

[0115] 다음에, 샤크 헤드(16)에, 정해진 주파수의 고주파 전력과 정해진 전압의 음의 직류 전압이 인가되고, 배치대(2)에 정해진 주파수의 고주파 전력이 인가된다. 이에 의해, 상부 전극인 샤크 헤드(16)와 하부 전극인 배치대(2)의 사이에 전계가 형성되고, 반도체 웨이퍼(W) 상의 처리 공간(S) 내에 제 2 처리 가스의 플라즈마가 생성된다(S209). 제 2 처리 가스의 플라즈마에 의해, 마스크막(22)을 마스크로 하여 유기막(21)이 에칭된다. 단계(S209)는 제 2 에칭 공정의 일례이다.

[0116] 제 2 처리 가스의 플라즈마에 의한 유기막(21)의 에칭이 정해진 시간 실행된 후, 가스 공급원(15)으로부터의 제 2 처리 가스의 공급이 정지되고, 배기 장치(73)의 진공 펌프에 의해 챔버(1) 내의 제 2 처리 가스가 배기된다(S210). 그리고, 제 1 플라즈마 처리 장치(100)에 있어서, 게이트 밸브(G)가 열리고, 정전 척(6) 상의 반도체 웨이퍼(W)가 챔버(1)의 외부에 반출되어(S211), 본 순서도에 나타낸 플라즈마 처리는 종료한다. 본 순서도에 나타낸 플라즈마 처리가 행해진 후, 반도체 웨이퍼(W)에는, 에칭에 의해 마스크막(22)의 패턴이 전사된 유기막(21)을 마스크로 하여 절연막(20)을 에칭하는 처리가 행해진다.

[0117] 본 실시예에서는, 제 1 플라즈마 처리 장치(100)가 개질 공정(단계(S203)) 및 제 2 에칭 공정(단계(S209))을 실행하고, 제 2 플라즈마 처리 장치(100)가 제 1 에칭 공정을 실행한다. 그리고, 제 1 플라즈마 처리 장치(100)는, 개질 공정 및 제 2 에칭 공정에 있어서, 반도체 웨이퍼(W)의 처리 온도를 예를 들면 -20°C 이하로 제어하고, 제 2 플라즈마 처리 장치(100)는, 제 1 에칭 공정에 있어서, 반도체 웨이퍼(W)의 처리 온도를 예를 들면 상온으로 제어한다.

[0118] 여기서, 개질 공정 및 제 1 예칭 공정을 1 개의 플라즈마 처리 장치(100)에 있어서 연속하여 처리하는 경우, -20°C 이하의 처리 온도에서 개질 공정을 행한 후에, 제 1 예칭 공정을 개시하기 전에, 반도체 웨이퍼(W) 및 챔버(1) 내의 각 부가 상온이 될 때까지 대기할 필요가 있다. 또한, 제 1 예칭 공정 및 제 2 예칭 공정을 1 개의 플라즈마 처리 장치(100)에 있어서 연속하여 처리하는 경우, 상온에서 제 1 예칭 공정을 행한 후에, 제 2 예칭 공정을 개시하기 전에, 반도체 웨이퍼(W) 및 챔버(1) 내의 각 부의 온도가 -20°C 이하가 될 때까지 대기할 필요가 있다.

[0119] 이에 대하여, 본 실시예에서는, -20°C 이하에서 행해지는 개질 공정 및 제 2 예칭 공정을 제 1 플라즈마 처리 장치(100)에서 실행하고, 상온에서 행해지는 제 1 예칭 공정을 제 2 플라즈마 처리 장치(100)에서 실행한다. 이 때문에, 각각의 플라즈마 처리 장치(100) 내를 정해진 온도로 유지한 채, 각각의 처리를 실행할 수 있다. 그 때문에, 플라즈마 처리 장치(100)의 챔버(1) 내의 각 부가 정해진 온도가 될 때까지 대기하는 시간을 산감할 수 있다. 또한, 복수의 반도체 웨이퍼(W)에 대하여, 개질 공정, 제 1 예칭 공정 및 제 2 예칭 공정이 연속하여 실행되는 경우의 스루풋을 향상시킬 수 있다.

[0120] 또한, 도 17에 나타낸 플라즈마 처리에 있어서, 제 2 플라즈마 처리 장치(100)는, 제 1 플라즈마 처리 장치(100)에서 단계(S200 ~ S205)에 나타낸 처리가 행해지고 있는 동안에, 단계(S302)에 나타낸 처리를 먼저 행해도 된다. 이에 의해, 제 1 예칭 공정을 보다 신속하게 개시할 수 있다.

[0121] 이상, 본 발명을 실시 형태를 이용하여 설명하였지만, 본 발명의 기술적 범위는 상기 실시 형태에 기재된 범위에는 한정되지 않는다. 상기 실시 형태에 다양한 변경 또는 개량을 가하는 것이 가능함이 당업자에게는 분명하다. 또한, 그와 같은 변경 또는 개량을 가한 형태도 본 발명의 기술적 범위에 포함될 수 있는 것이 특허 청구의 범위의 기재로부터 분명하다.

부호의 설명

[0122] W : 반도체 웨이퍼

100 : 플라즈마 처리 장치

1 : 챔버

2 : 배치대

16 : 샤워 헤드

20 : 절연막

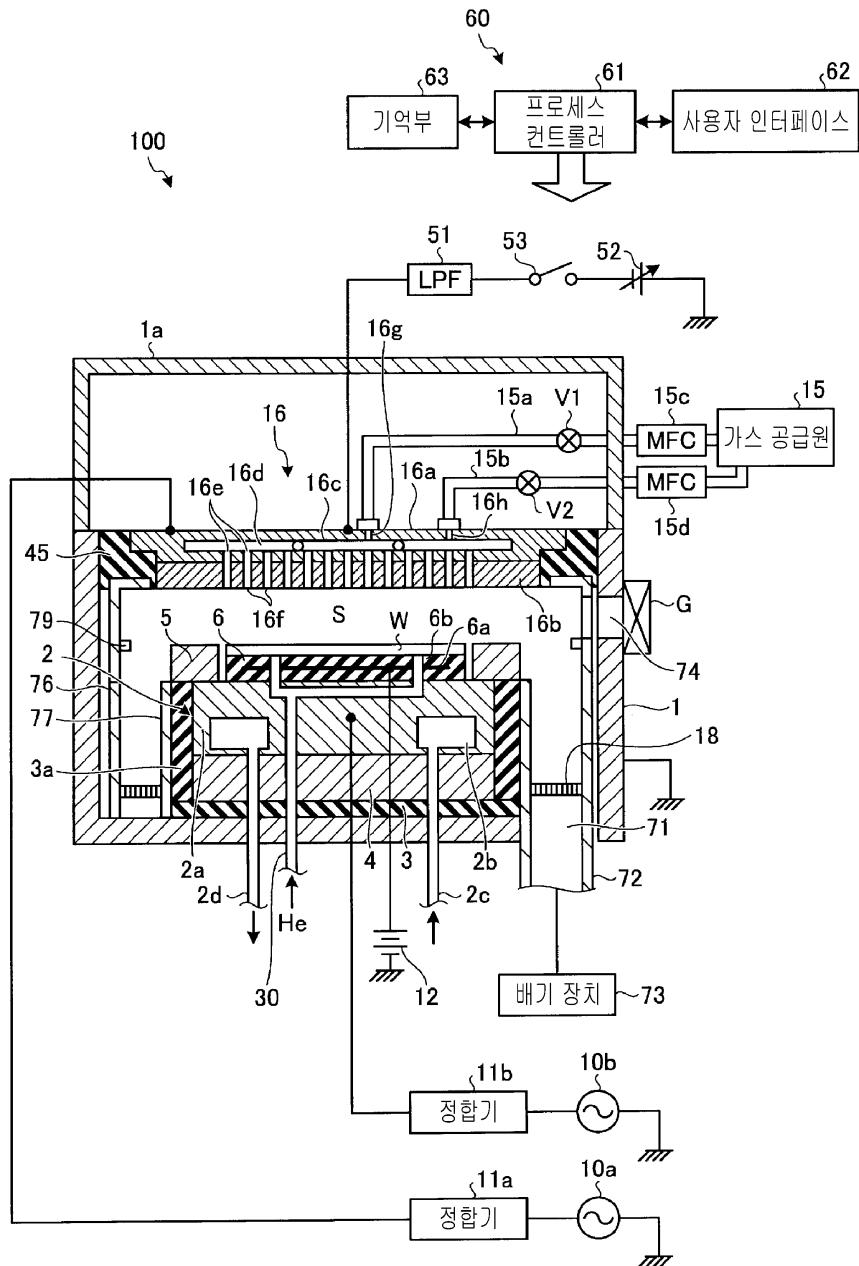
21 : 유기막

22 : 마스크막

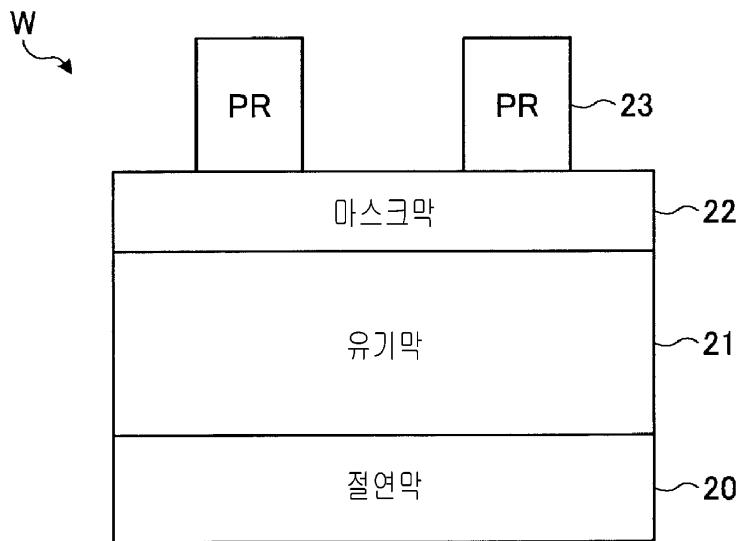
23 : 포토레지스트

도면

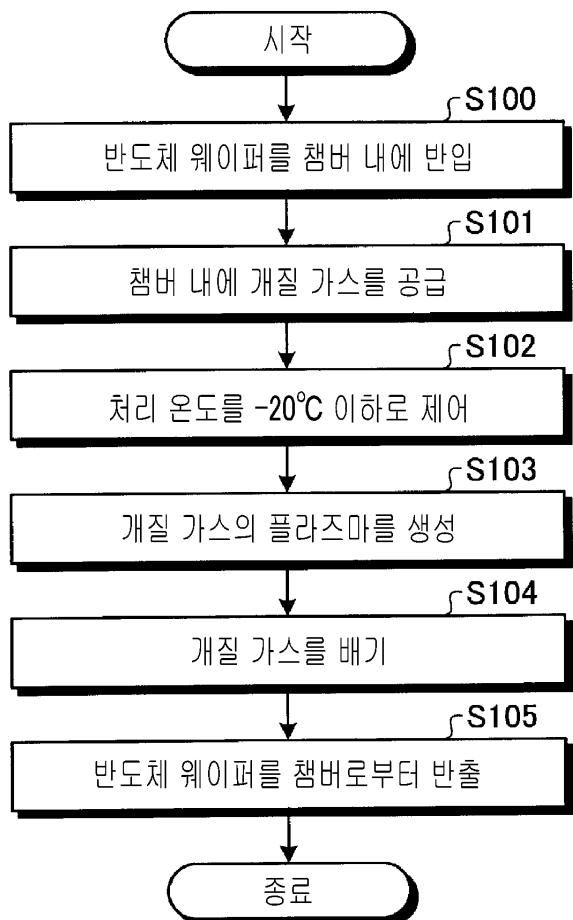
도면1



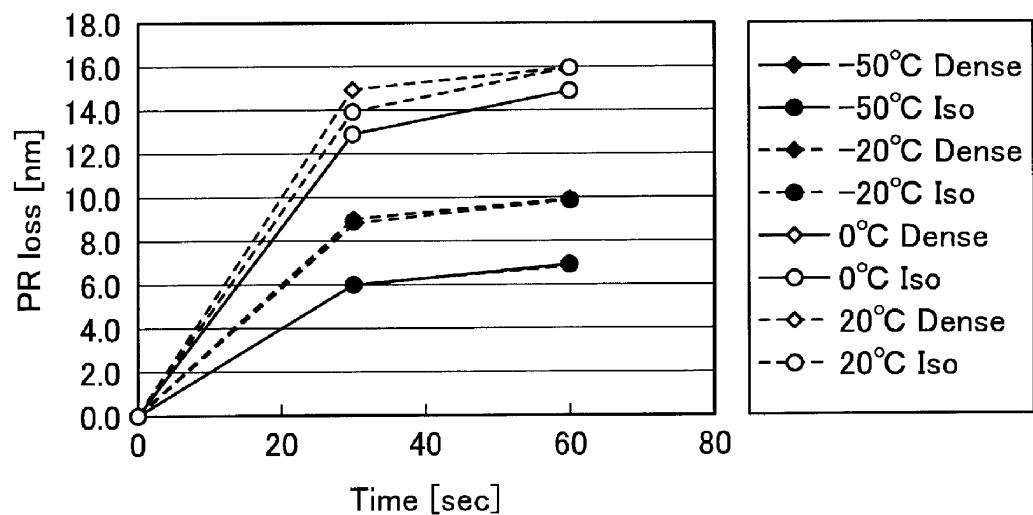
도면2



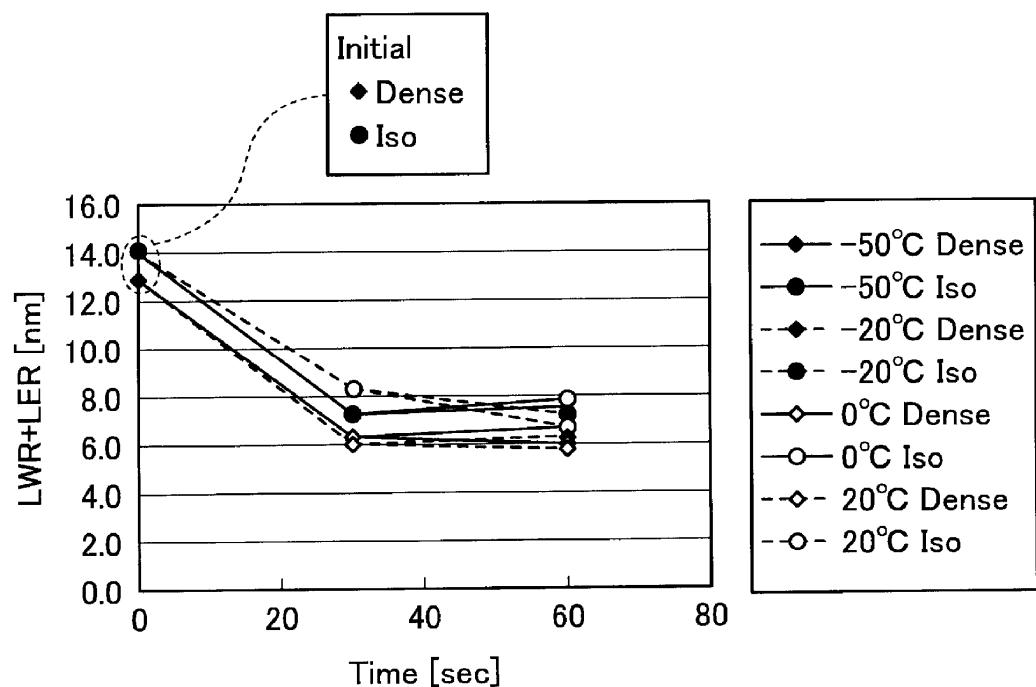
도면3



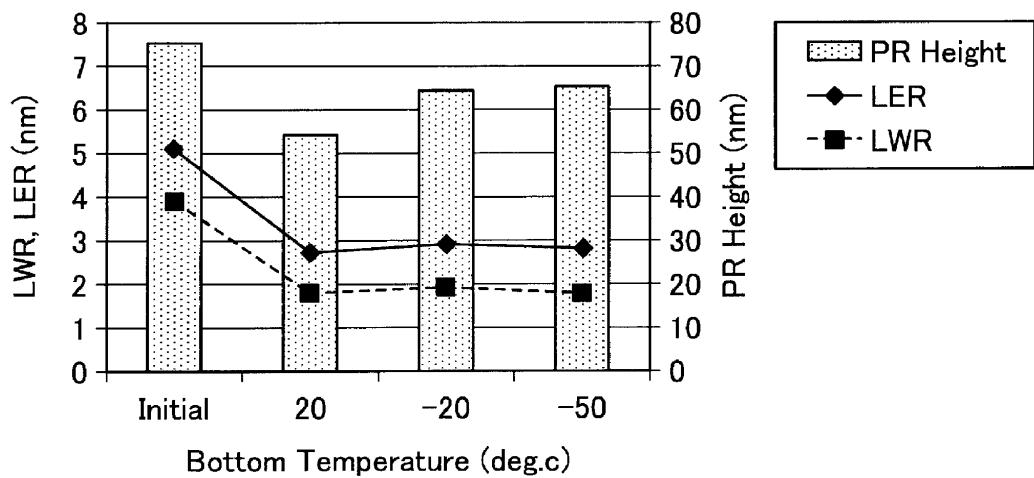
도면4



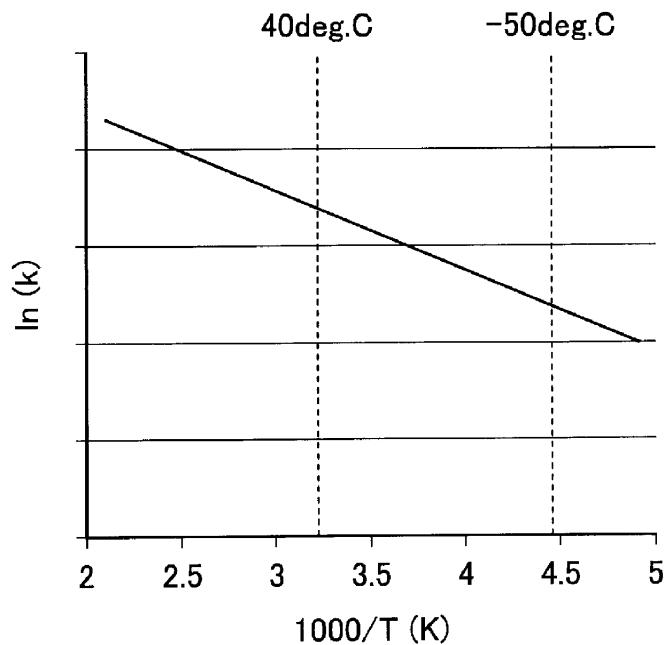
도면5



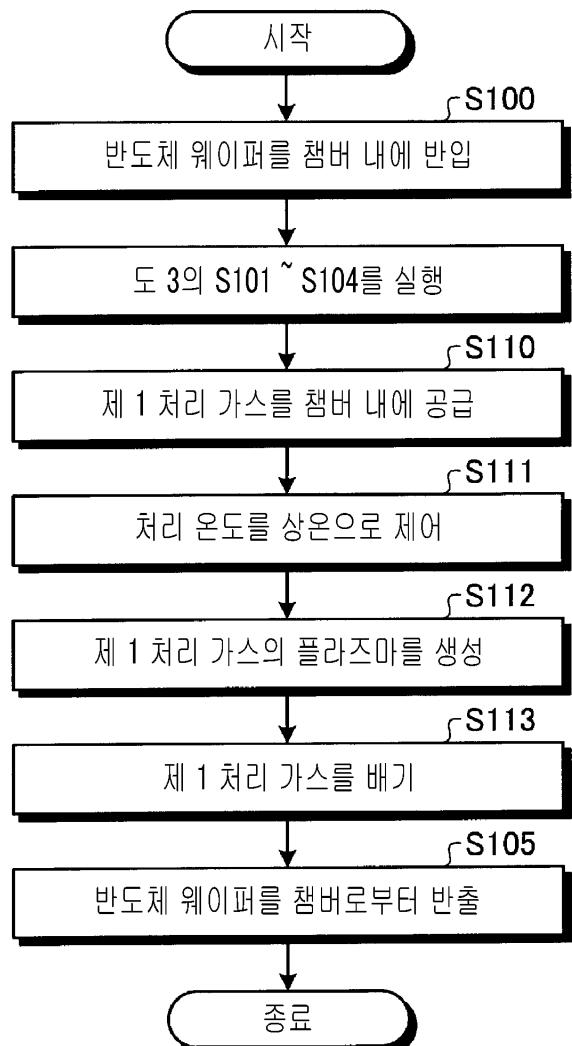
도면6



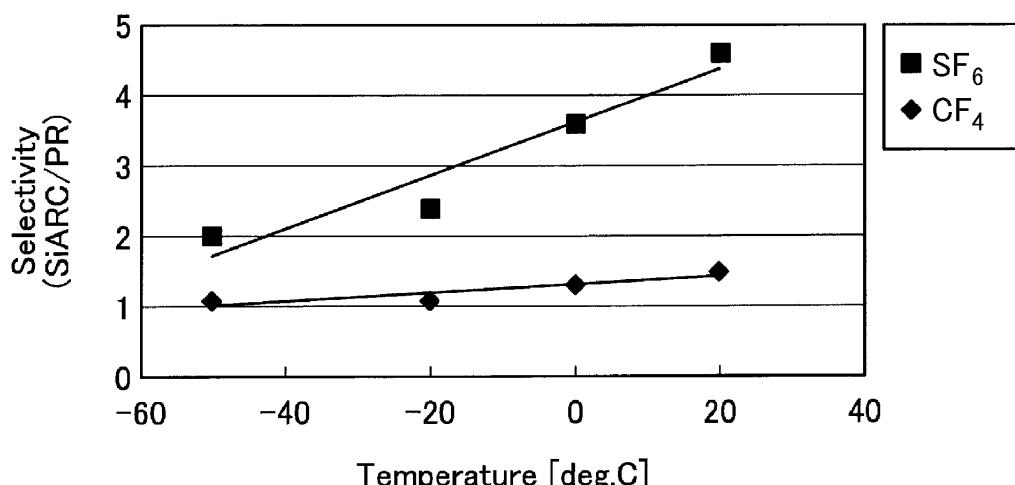
도면7



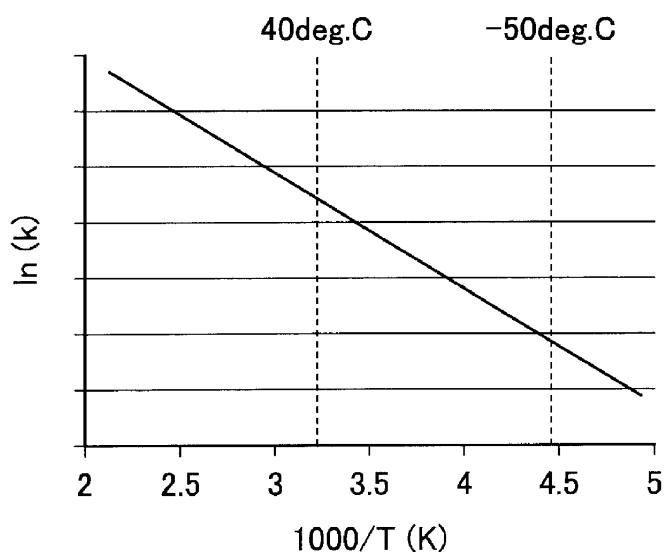
도면8



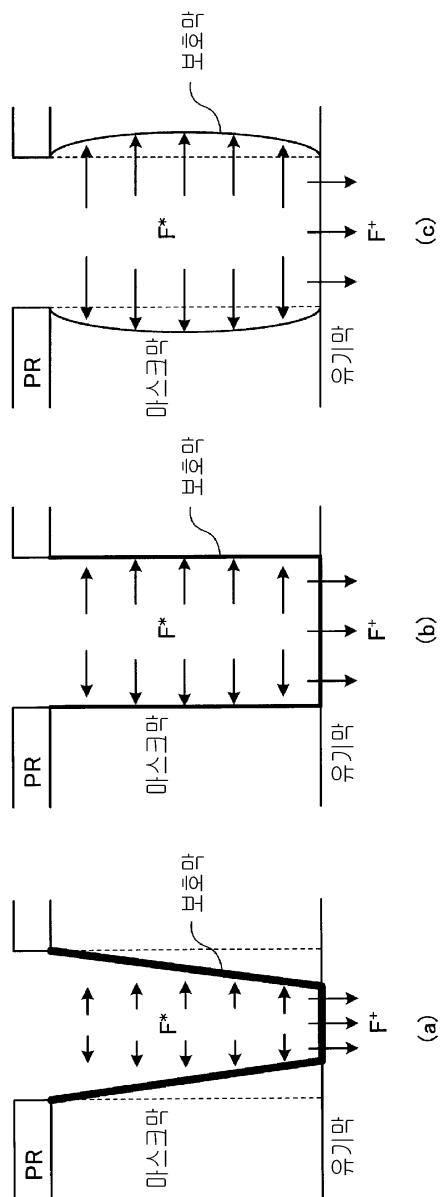
도면9



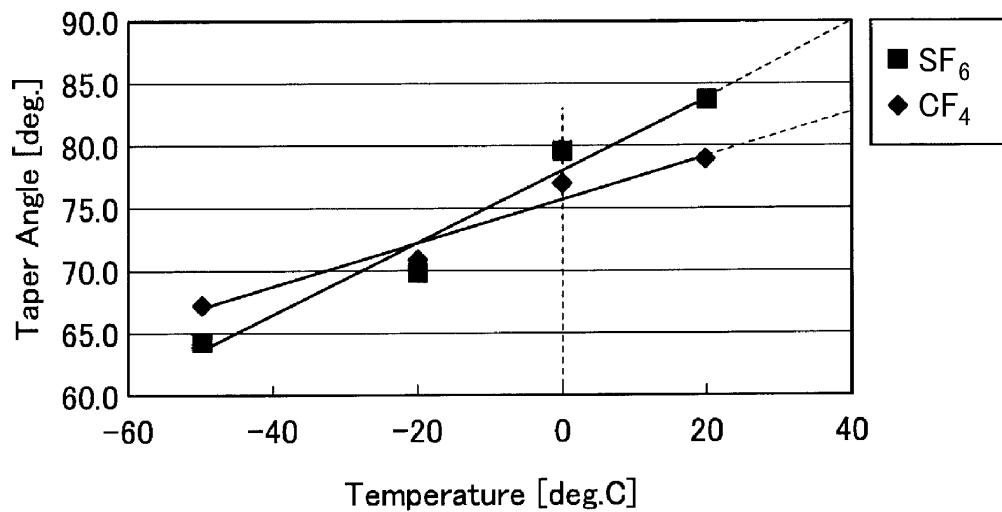
도면10



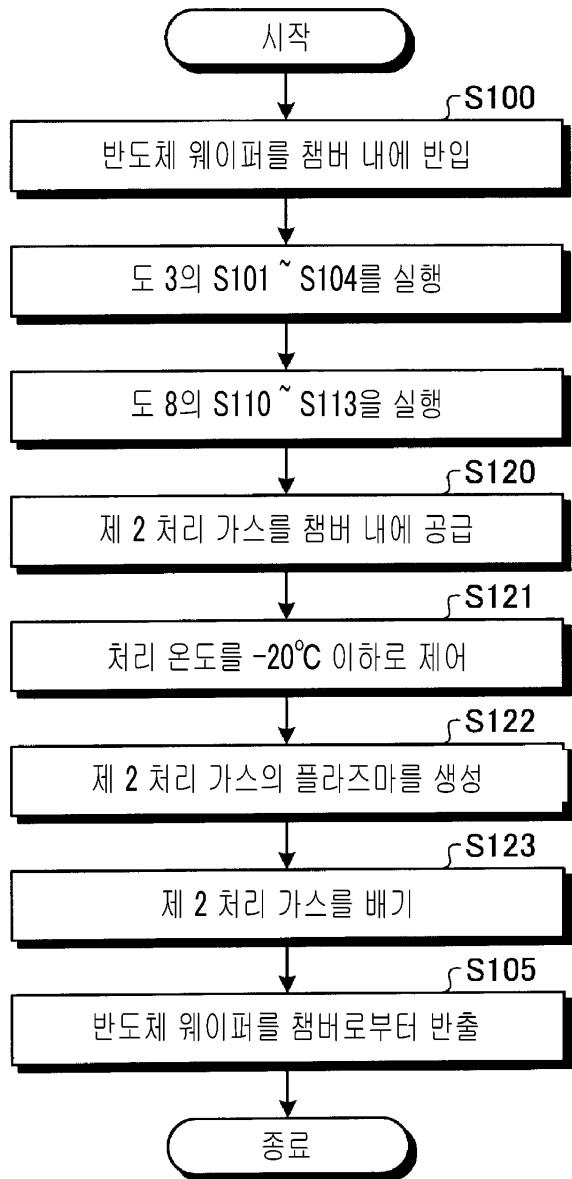
도면 11



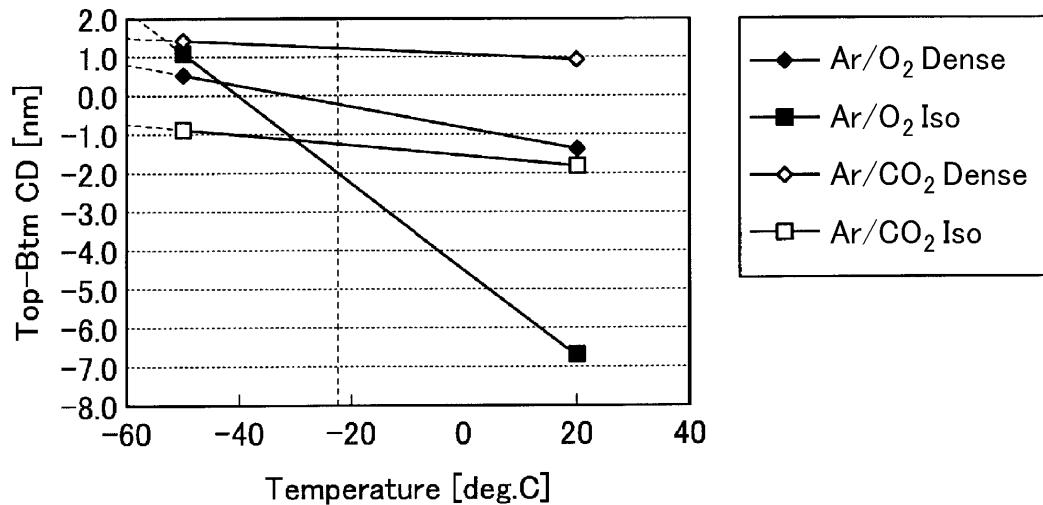
도면12



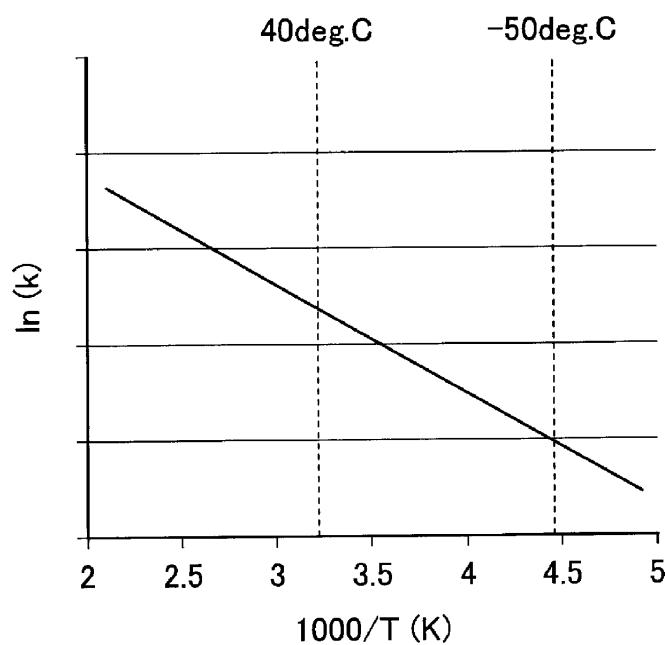
도면13



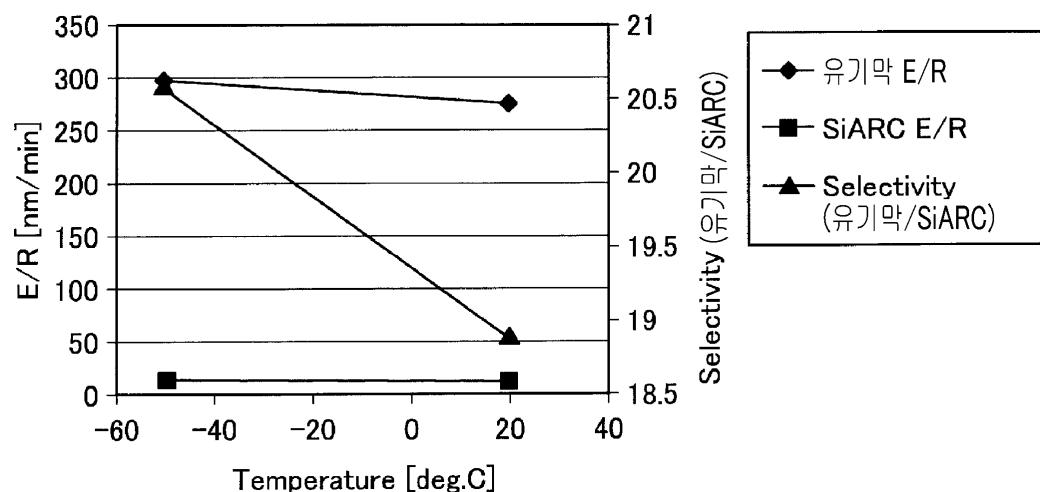
도면14



도면15



도면16



도면17

