

申請日期：	IPC分類
申請案號： 91102786	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	2. 大倉世紀
	姓名 (英文)	2. Seiki Ogura
	國籍 (中英文)	2. 日本 JP
	住居所 (中文)	2. 美國紐約州12590瓦賓柏鎮美亞角路169號第230室(169 Myers Corners Road, Suite 230, Wappingers Falls, NY 12590 USA)
	住居所 (英文)	2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號： 91102786	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 齊藤智也
	姓名 (英文)	3. Tomoya Saito
	國籍 (中英文)	3. 日本 JP
	住居所 (中文)	3. 美國紐約州12603普吉西市櫻桃區路5307號(5307 Cherry Hill Rd., Poughkeepsie, NY 12603)
	住居所 (英文)	3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2001/02/22	60/270,455	有
美國 US	2001/03/26	60/278,623	有
美國 US	2001/11/21	09/994,084	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

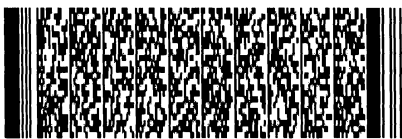
有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

此申請案主張2001年2月22日的美國Provisional patent application第60/270455與2001年3月26日的美國Provisional patent application第60/278623之優先權。

【發明背景】

(1) 發明領域

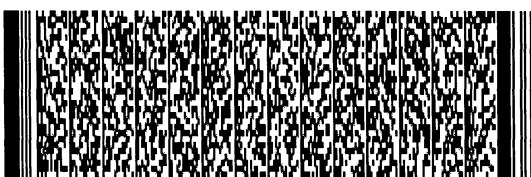
本發明係有關於一種製造高密度雙MONOS(金屬/多晶矽氧化物氮化物氧化物矽化物)記憶體元件整合CMOS控制邏輯之方法，且適用於各種架構。

(2) 習知技藝之說明

在2001年7月3日發證的美國專利第6,255,166號(Seiki Ogura)中已介紹的雙MONOS結構，且於2000年6月16日(Ogura等)所申請的美國專利申請按號第09/595,059號(Halo-99-002)中亦揭露其差異。美國專利第6,166,410號(Lin等人)與美國專利第6,054,734號(Aozasa等)中，均顯示具有雙閘極的MONOS單元及整合陣列與邏輯製程。美國專利第5,851,881號(Lin等)與美國專利第6,177,318號(Ogura)等中，係提到MONOS記憶體元件。

【發明之概要】

本發明係為一種高密度雙MONOS記憶體元件之製造方法，係將CMOS邏輯電晶體整合到各種陣列結構中，本發明



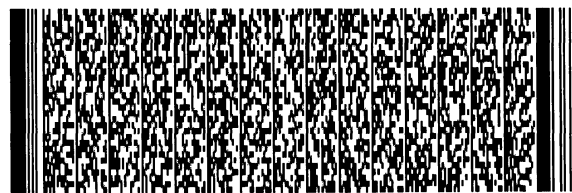
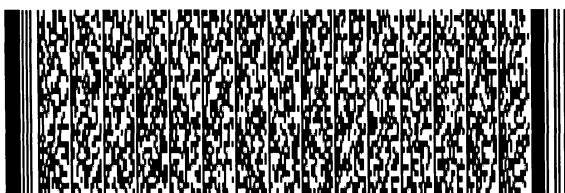
五、發明說明 (2)

係包含下列的製造方法：

- i) 同時定義記憶體閘極及邏輯閘極，因此改進製程整合設計，更為容易且更為可靠的製造。
- ii) 雙MONOS陣列中，其位元線跨越字閘極線及控制閘極，相較於申請中的美國專利申請案號第09/595059號(Halo99-002)中之其位元線與控制閘極垂直於字線，本發明著重降低寄生片電阻，且能夠高速進行，同時維持低製造成本，此MONOS單元儲存記憶體於兩氮化物記憶體單元元件中，其係位在一共享選擇(字)閘極兩側壁上的兩控制閘極下。此方法可應用於具平坦通道的元件、及/或在控制閘極下具有階梯通道的元件。
- iii) 在ii)中相鄰單元的共享位元線的雙MONOS陣列結構，係藉由淺溝槽隔離(STI)而隔開，並藉金屬線個別與位元接觸為特徵，此製造方法可使用ii)的製造方法，此是自ii)衍生出來。
- iv) 在雙MONOS結構中，位元線的一側與字及控制閘極線平行，且其位元線的另一側與字及控制閘極線垂直，與字及控制閘極垂直的位元線接觸窗製程，係利用自行對準矽化位元擴散線或鎢栓塞線，這亦為ii)中位元線垂直於控制閘極的新觀念之部份應用型式。

本發明包含兩個較佳實施例。

- 1) 第一個實施例特別的特徵係在於一自行對準矽化位元線、在記憶體閘極上的蓋氮化物、及無需淺溝槽隔離



五、發明說明 (3)

的場離子植入隔離。字線跨越位元線與控制閘極。

1-1) 藉由臨界罩幕而定義記憶體閘極圖圖像及邏輯(周圍)閘極，其中使用光學微影方法製造出最小的特徵尺寸。

1-2) 藉由一活性離子蝕刻(RIE)，而同時形成具有蓋氮化物的記憶體閘極及無蓋氮化物的邏輯閘極，為了一次蝕刻而獲致此結果，

+ 在一罩幕製程之前由上至下的閘極堆疊結構為：
在記憶體區內，氧化物/氮化物/多晶矽/閘極氧化物，及在邏輯區內，氮化物/氧化物/多晶矽/閘極氧化物。

+ 光阻圖圖像轉換RIE停止於多晶矽表面上，清除該光阻，並使用硬罩幕(氧化物)於多晶矽RIE中。

+ 在多晶矽RIE製程中，要求每一層的蝕刻速率為：
多晶矽~氮化物>>氧化物，可於 CF_4/O_2 環境進行大量的蝕刻，在 $HBr/O_2/Cl_2$ 環境中進行終點蝕刻可達上述的條件。

1-3) 將記憶體區及邏輯區的範圍置於記憶體側的蓋氮化物上，以至於不會在邏輯側上留下多晶矽間隙壁。

1-4) 進行DSW(拋棄式側壁)製程，以在記憶體區獲得一超短通道雜質分佈，亦可選擇將拋棄式側壁當作一蝕刻罩幕，在控制閘極下形成一半截斷ONO混合層，在記憶體區內，保留邏輯區之底層氧化物用作拋棄式側壁，並被用作蝕刻阻絕層，以移除側壁多

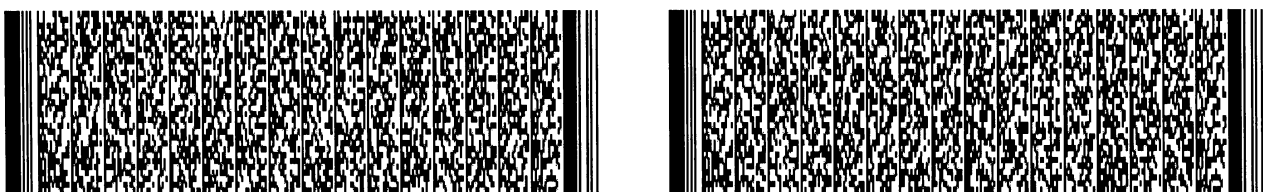


五、發明說明 (4)

晶矽。

1-5) 使用同步蒸汽製程(in-situ steam generation, ISSG)以形成ONO混合層，經ISSG成長的底部氧化物，與習知在字閘極下熱氧化物成長相較，提供更小的鳥喙，這大大提升讀取的電流，ISSG成長氧化物不只可在矽上完成，更可應用在氮化物，在氮化物的成長速度約是在950至1000°C下成長單晶矽的0.6倍，而在蓋氮化物上成長的氧化物，將其與ONO混合層之氮化物薄膜絕緣，在字閘極與控制閘極間提供較佳的絕緣效果，而且不太需要考慮字線至字線短路問題，在850°CNH₃處理後，經CVD可沈積一ONO混合層的氮化物；ISSG亦可用經氧化氮化物，成長一上氧化物，與沈積CVD氧化物薄膜相比，經氮化物的氧化所形成的氧化層具有較佳的品質，在提升程式化/清除特性同時，可增進記憶保留時間。

1-6) 多晶矽之垂直活性蝕刻形成記憶體控制閘極，必須受到一ONO絕緣的長RIE突破至矽，於記憶體製造完成時，控制閘極與字閘極間的絕緣層由高度決定，當控制閘極的頂部高於氮化物與多晶矽的邊界時，移除蓋氮化物的同時，絕緣層的厚度會變薄，因此，頂部控制閘極多晶矽必須低於相鄰字閘極氮化物的邊界，經抵抗回蝕刻製程，可保護記憶體位元線與源極/汲極區，以防止在蝕刻的第一部份，因蝕刻而破壞至基板，藉形成記憶體控制閘極產生的多晶矽間隙壁，定義邏輯源極/汲極區；在源極/汲



五、發明說明 (5)

極離子植入後，經CDE移除邏輯區內的多晶矽間隙壁。

1-7) 再於ONO混合層中ISSG氧化復原RIE的損壞，於邏輯區內將剩下的ONO氮化物轉變為氧化物。

1-8) 在記憶體源極/汲極植入前，沈積約200埃的氧化物，以防止因離子植入造成的ONO混合層的損壞。

1-9) 記憶體位元線、記憶體控制閘極、邏輯閘極與邏輯擴散區，皆自行對準矽化物至以降低其電阻，約30至40nm的BPSG均勻地沈積，以保持適當的記憶體控制閘極與記憶體位元線間絕緣間隙，利用底部抗反射塗佈(BARC)／抵抗回蝕刻，經濕式蝕刻，移除覆蓋於控制閘極的BPSG，以延展記憶體控制閘極的曝露區域，而自行對準矽化區由接下來的氧化物間隙壁蝕刻而定義出來的。

1-10) 在自行對準矽化的結構上，沈積約5000埃的厚氧化物，並沈積一約1500至2000埃的氮化物，並將虛設圖案留在邏輯區中以作為作CMP的蝕刻阻絕層。

2) 第二個實施例與第一個實施例的不同點如下所述：多矽化物閘極，如鎢／氮化鎢／多晶矽或多晶矽閘極的堆疊、蓋氮化物、STI絕緣、局部打線(長接觸窗)製程，及自行對準接觸窗與金屬位元線。該位元線跨越字線與控制閘極，被STI絕緣的相鄰位元藉由長接觸窗而交互連接，或相鄰位元係連接於長方形STI罩幕。



五、發明說明 (6)

2-1) STI 圖圖像被印製成直線的形狀，而不是長方形的形狀，以免除修飾角落，透過如第6A圖的光學微影製程，可修飾罩幕上長方形STI的角落。如第6A-2圖所示，因覆蓋錯位會產生額外的漏電。在本發明中，STI與主動區被印製成線條與空間，以避免因角落修飾與覆蓋錯位產生的漏電效應，相鄰的四個記憶體位元，藉長方形的接觸窗而不是共用擴散區與正方形接觸窗而相互連接在一起，在局部打線（長接觸窗）製程，連接平行的主動線成島嶼的形狀。

2-2) 由一臨界罩幕定義記憶體與邏輯(周遭)閘極。

2-3) 閘極的結構為：

蓋氮化物—W/WN—多晶矽—閘極氧化物

因W/WN側壁上的氧化矽會造成崩潰電壓，所以側壁必須纏繞在氮化矽，以避免氧化矽的形成，並經習知的光學微影裂程，將抵抗圖圖像印製在閘極堆疊上，再轉移到蓋氮化物至W/WN，在多晶矽表面停止，再利用氧氣去灰以去除光阻。沈積約100埃的氮化矽，以纏繞W/WN，再經過多晶矽的垂直活性離子蝕刻，而記憶體與邏輯閘極由習知CMOS製程印製與蝕刻。

2-4) 將記憶體區與邏輯區的邊界放置於記憶體壁的蓋氮化物上，以避免在邏輯壁上保留多晶矽間隙壁。

2-5) 植入DSW製程，以獲得在記憶體區供應超短通道的雜質情形，並補償在控制閘極下之N區的氮化物



五、發明說明 (7)

端，以得到較好的保留與持久，若因持久豁免的需要，而不需要經DSW切割的氮化物，則DSW製程是選擇性的。

2-6) 使用同步蒸汽製程(in-situ steam generation, ISSG)以形成ONO混合層，經ISSG成長底部氧化物，與習知在字閘極下熱氧化物成長相較，提供更小的鳥喙，由於在氧化處理中縮小多晶矽鳥喙，這大大提升讀取的電流，ISSG成長氧化物不只可在矽上完成，更可應用在氮化物，在氮化物的成長速度約是在950至1000°C下成長單晶矽的0.6倍，在850°C的NH₃處理後，經CVD可沈積一ONO混合層的氮化物；ISSG亦可用經氧化氮化物，而成長一頂部氧化物，相對於CVD氧化物，由於ISSG氧化物的較高品質，與沈積薄層相比，可減少自氮化物的控制閘極漏電，增進記憶保留時間。

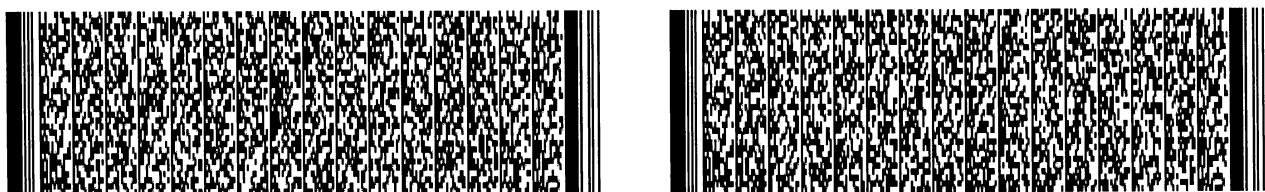
2-7) 多晶矽之垂直活性蝕刻形成記憶體控制閘極，延伸該閘極以降低至字閘極部份的高度，經抵抗回蝕刻製程，可保護記憶體位元線與源極/汲極區，以防止在蝕刻的第一部份，因蝕刻而破壞至基板，藉形成記憶體控制閘極產生的多晶矽間隙壁，定義邏輯源極/汲極區；在源極/汲極離子植入後，經CDE移除邏輯區內的多晶矽間隙壁。

2-8) 在記憶體控制閘極多晶矽下，ISSG氧化處理以回復在ONO混合層暴露端中的RIE的損壞，並將剩餘的ONO氮化物完全轉變至邏輯區內的氧化物。



五、發明說明 (8)

- 2-9) 在記憶體源極/汲極植入前，沈積約200埃的氧化物，以防止因離子植入造成的ONO混合層的損壞。
- 2-10) 將BARC與光阻施加覆蓋於基板上，打開覆蓋記憶體區上的光阻，經習知光學微影製程在邏輯區形成罩幕，再經 O_2 RIE的BARC/光阻回蝕及氧化物間隙壁回蝕，以露出控制閘極矽與字閘極矽，在擴散區上的氧化物被剩餘的BARC所保護，以避免擴散區矽的曝露，在移除邏輯閘極與邏輯擴散區上的氧化物之後，自行對準矽化處理在所有矽暴露上進行。
- 2-11) 藉由沈積一較控制閘極與間隙壁氧化物厚的氮化物，而可執行自行對準接觸窗(SAC)，SAC可減少單元尺寸，有時可減少一半。
- 2-12) 局部打線(長接觸窗)製程接著氧化物沈積及氧化物CMP，以連接具有一共用接觸窗(如2-1所提及)的兩主動區，經SAC開啟一條狀接觸窗到兩主動區，經鎢CMP利用長接觸窗，將氮化鈦與鎢填入條狀接觸窗。
- 2-13) 開啟連接局部打線(長接觸窗)與第一金屬的接觸洞，接著氧化物沈積，該接觸窗塞入氮化鈦與鎢，然後CMP再移除額外的氮化鈦與鎢，再執行習知金屬間的連接製程。3) 第三個實施例與第二個實施例的不同點如下所述：在相鄰的單元中沒有長接觸窗與共用的金屬位元線，被STI絕緣的相鄰單元並未如第二個實施例被架橋，雙金屬位元線跨越每一單元的字線，而每一金屬線與每一其他擴散位元相



五、發明說明 (9)

接觸。

- 4) 第四個實施例與第二個實施例的不同點如下所述：持續交互及STI絕緣擴散區與字線平行，利用長方形的STI單幕或長鎢栓塞線，而不用第二個實施例的長接觸窗，以形成連續的擴散線，具鎢栓塞的連續擴散線當成源極線，而與字線及控制閘極平行，一金屬位元線與STI絕緣擴散區上的擴散位元相接觸，以跨越字線。

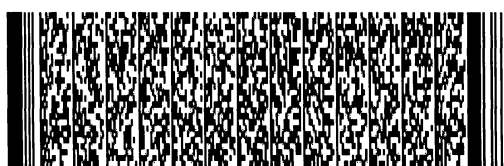
【圖號對照說明】

100	半導體基板
101	硼離子
102	N-LDD
103	源極/汲極區
104	邏輯LDD結構
105	源極/汲極區
120	氧化物
121	側壁氧化物
122	氧化物-氮化物-氧化物(ONO)層
123	氧化物
124	氧化物
125	氧化物
126	氧化物
127	氧化物
128	氧化物



五、發明說明 (10)

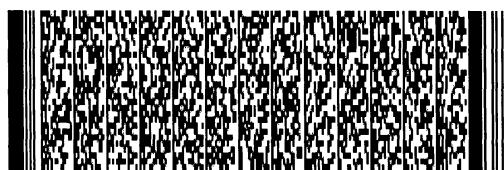
- 129 氧化物
- 130 蓋氮化物
- 131 氮化物
- 132 氮化物
- 133 氮化物
- 140 記憶體閘極
- 141 邏輯閘極
- 142 控制閘極
- 143 多晶矽側壁
- 144 多晶矽
- 150 記憶體擴散
- 151 控制閘極
- 152 邏輯閘極
- 153 邏輯擴散
- 154 字閘極
- 180 拋棄式側壁間隙壁
- 190 光阻圖像
- 191 覆蓋光阻
- 192 層
- 201 通道
- 202 N-LDD
- 203 源極/汲極區
- 204 邏輯LDD結構
- 205 源極/汲極區
- 220 邏輯閘極氧化矽



五、發明說明 (11)

- 222 氧化物
- 221 側壁氧化物
- 222 氮化物
- 223 氧化層
- 224 氧化物
- 225 氧化層
- 227 氧化物
- 229 氧化層
- 230 氮化矽
- 231 氮化層
- 232 氮化物
- 233 氮化物間隙壁
- 234 氮化物間隙壁
- 240 多晶矽閘極
- 241 邏輯閘極
- 242 記憶體控制閘極多晶矽
- 243 多晶矽側壁
- 251 控制閘極
- 260 W/WN
- 261 接觸窗
- 280 DSW 膜
- 291 覆蓋光阻
- 292 底部抗反射塗佈

【較佳實施例說明】



五、發明說明 (12)

第1A圖至第1R圖與第5A圖至第5L圖係顯示本發明第一實施例的製程，在第一實施例中，一位元線與控制閘極平行，且一字線與控制閘極垂直及位元線，如第5F圖與第5G圖所示。STI(淺溝槽隔離)並未用於記憶體單元絕緣，而是使用在CMOS邏輯與周邊的電路，如第5C圖與第5D圖中，在形成字線後經場離子植入 10^6 絕緣記憶體單元。

第1A圖至第1C圖為第一實施例的完成MONOS元件，在記憶體區中，一場植入提供記憶體單元絕緣(未於圖中表示)，在邏輯區內形成一自行對準矽化邏輯閘極152/141與一相鄰自行對準矽化源極/汲極區105，在記憶體區內，形成一記憶體閘極140與一相鄰自行對準矽化源極/汲極區103；在記憶體閘極140側壁上形成控制閘極142，以將記憶體閘極與氧化物-氮化物-氧化物(ONO)層122/131/123絕緣，一自行對準矽化字閘極154/144與記憶體閘極接觸，如第1R圖的直角觀看。

以下將敘述第一實施例MONOS元件之製造方法，如第1A圖所示，當在記憶體字閘極上的蓋氮化物130需要定義字線時，須移除在邏輯/周邊區域中邏輯閘極141上的蓋氮化物，以自行對準矽化閘極，其係為了要減少片電阻。在邏輯區的STI中，如習知CMOS製作，在半導體基板100上，先形成p井與n井(未於圖中表示)。

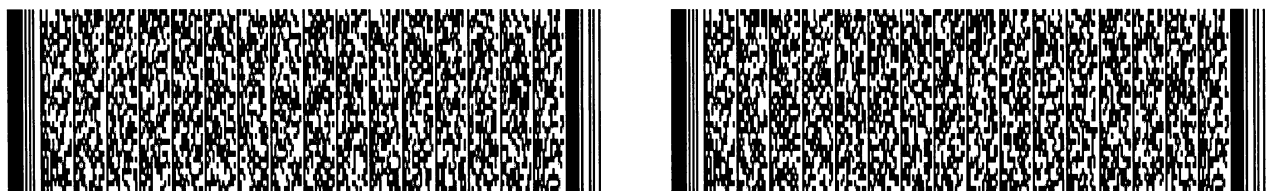
同時定義具有100-200nm的氮化物130的雙MONOS記憶體字閘極140及不具蓋氮化物的周邊及/或邏輯控制電路中的多晶矽閘極141，再形成一厚度約2至10nm的記憶體閘極氧化矽與低電壓邏輯閘極氧化矽(如第1D圖所示的120)，



五、發明說明 (13)

依所需的施加電壓調整高電壓邏輯元件的閘極氧化矽厚度，再經化學氣相沈積法(CVD)沈積一個厚度約150至250nm的多晶矽140(於第1D圖中)。在第1D圖中的經CVD而沈積一個厚度約30nm的氧化矽層126，以在之後多晶矽蝕刻時作為覆蓋在n-/p-MOS上的蝕刻抑止層止，再用光學微影罩幕蝕及乾式蝕刻蝕刻記憶體單元陣列上的氧化物層(如第1D圖所示)，藉由CVD而沈積一個厚度約100至200nm的氮化矽層130(如第1D圖)，以之後在化學機械研磨(CMP)時當作蝕刻阻絕層。藉由CVD而沈積一個厚度約30nm的氧化矽層127(如第1圖所示)，並使用罩幕記憶體區以蝕刻掉邏輯區，在定義多晶矽閘極時，將氧化矽層127當成硬罩幕，結果在記憶體區堆疊氧化物-氮化物-多晶矽-氧化閘極，在邏輯區堆疊氧氮化物-氧化物-多晶矽-氧化閘極(如第1D圖所示)。

請參閱第1E圖，利用習知光學微影技術在堆疊上圖案化一光阻圖像190，再藉活性離子蝕刻(RIE)轉移至介電質薄膜，終止於多晶矽表面，再接著以氧氣去灰的光阻清除。請參閱第1F圖所示，藉由使用第1F圖中介電質圖案126、127的多晶矽RIE，而形成記憶體與邏輯閘極覆蓋於多晶矽上，以作為一蝕刻罩幕，其係在該氮化矽的蝕刻速率選擇接近多晶矽的蝕刻速率，而氧化矽的蝕刻速率則遠低於多晶矽的蝕刻速率，在邏輯區中蝕刻多晶矽140時，蝕刻掉氮化矽130，並在頂部氧化物126、127或閘極氧化物120上終止蝕刻，大量蝕刻的典型環境為 CF_4/O_2 而終點的 $HBr/O_2/Cl_2$ 系統，可達到蝕刻速率的要求，在此得到的結



五、發明說明 (14)

構可參閱第1F圖，剩餘的氧化物120則小心的蝕刻掉藉CVD而沈積一個厚度約10至20nm的氧化矽128(如第1G圖)，以補償第1H圖植入的硼離子101，並調整臨限電壓(Vt)低於控制閘極以下，就如正常的CMOS製程中，在此階段使用光阻罩幕植入邏輯區中的LDD(輕摻雜汲極)離子植入以形成邏輯LDD結構104，進行拋棄式側壁間隙壁(DSW)製程，以控制的情況下，定義出一超短通道寬度，請參閱第1G圖，該薄層180約20至50nm厚，並包含一多晶矽、一氮化矽或一硼磷矽玻璃(BPSG)，該薄層180係均勻地沈積，且非等向性的蝕刻DSW薄膜，以在記憶體字閘極的兩側形成拋棄式側壁間隙壁。

以光阻191覆蓋邏輯區，以保護後續的LDD離子植入，其係在該記憶體與邏輯間的光阻邊界係呈現於第1H圖顯示記憶體區邊界的多晶矽，第1G圖，n型的摻雜物(如砷)係植入到LDD區102中，典型的As植入能量為10至20keV，濃度約在 $5E13$ 至 $1E14$ atoms/cm²間，在氧化去灰移除邏輯區上的光阻罩幕後，藉CDE或濕式蝕刻一除掉DSW，以光阻罩幕邏輯區，以補償字閘極側壁上的剩餘氧化矽厚度而植入p型摻雜物，以在30keV能量與 1.2 至 $2.5E13$ atoms/cm²濃度植入BF₂，以形成控制閘極通道區101(如第1H圖所示)，再經濕式或乾式蝕刻小心移除記憶體區的氧化物128，並剝除邏輯區的光阻。

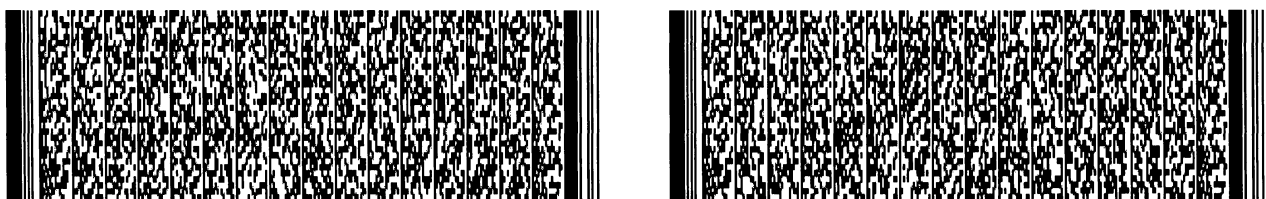
最近才發展的ISSG(同步蒸汽製程)，不只可在矽上成長二氧化矽，更可在氮化矽上成長二氧化矽，當在單晶矽上的氧化物成長速率為1時，氮化矽上的氧化物成長速率



五、發明說明 (15)

為0.6，經氧化物崩潰測量ISSG氧化物品質較CVD氧化物好，用ISSG氧化處理形成一氧化物-氮化物-氧化物(ONO) 123-131-122的混合層，在第1J圖中，經ISSG成長一個厚度約3.0至5.0nm的底部氧化層122。與習知熱氧化物成長相比，ISSG減少在記憶體字閘極端下的鳥喙，在蓋氮化物130側壁上成長的氧化物，將蓋氮化物與ONO混合層的氮化物隔離，將底部氧化物在NH₃的環境、大於850°C下預先處理，可藉CVD提供一均勻的氮化物沈積，在第1J圖中，藉CVD沈積的氮化矽層131的厚度約6至9nm，而在ISSG氧化處理後，混合層的剩餘氮化物厚度則減至約3至6nm厚，如在4.5nm ISSG氧化處理後，7.0厚的氮化物減至4.5nm，而75Å氮化物變成45Å氮化物/45Å頂部氧化物。

在第1K圖中，形成一記憶體控制閘極142，以作記憶體字閘極的側壁間隙壁，將控制閘極的高度設計為小於字閘極多晶矽，而蓋氮化物將在稍後移除，多晶矽將放置其位置，因為在氮化物上的氧化物成長速度較在多晶矽上慢，所以在氮化物邊蓋上的介電薄膜厚度不夠厚，而無法承受控制閘極與字閘極間的所需電壓，為了避免填充字閘極與控制閘極間的低崩潰電壓，控制閘極多晶矽的蝕刻程度較氮化物介面低，但是廣大的蝕刻將突破整個擴散區，因此在蝕刻多晶矽間隙壁時，必須保護擴散區免於突破。請參閱第1K圖藉CVD沈積一個厚度約60至100nm的同步磷摻雜多晶矽142，利用習知的光學微影技術在記憶體區上覆蓋光阻，因為記憶體區的位置較邏輯區高，光阻的適當中途蝕刻會在溝槽中留下一些光阻且覆蓋於記憶體區，其係

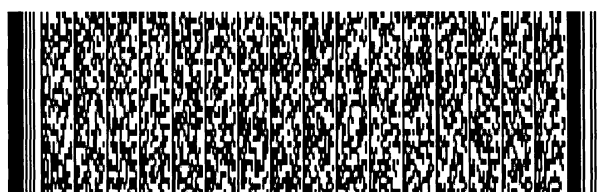
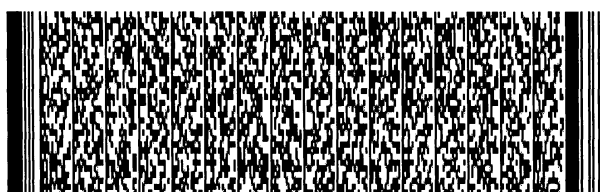


五、發明說明 (16)

可保護擴散區，就如第1L圖的層192。在垂置的方向，藉兩次的沈積厚度的垂直活性離子蝕刻移除多晶矽，露出ONO混合層的表面，經氧化物RIE小心移除上氧化物，終止於ONO氮化物，再用習知的CMOS製程，藉植入n型與p型離子植入，分別定義n-MOS與p-MOS的源極/汲極區105(第1L圖)，當作源極/汲極離子植入的一間隙壁的多晶矽側壁143，經等向性乾式蝕刻(如化學下流蝕刻(CDE)或濕式化學蝕刻)，將自邏輯區中移除，其中記憶體區係由光阻所罩幕。在移除多晶矽後，仍保留多晶矽側壁下的混合ONO層，而經光學濕式化學蝕刻或小心的用乾式蝕刻蝕刻掉頂部氧化物，在第1M圖中的氮化物132將在稍後被ISSG氧化，而罩幕記憶體區的光阻則由氧氣去灰剝除掉。

然後再定義記憶體控制閘極與源極/汲極，利用習知的光學微影製程，用光阻圖案化罩幕邏輯區與控制閘極接觸窗區。請參閱第1M圖，繼續多晶矽的垂直活性離子蝕刻，直到控制閘極142的高度小於字閘極的多晶矽，再透過氧化物的垂直活性離子蝕刻蝕刻掉ONO混合層，經氧氣去灰剝除覆蓋邏輯與控制閘極接觸窗區的光阻後，在執行6nm回復氧化處理的ISSG，以復原經由RIE造成損壞的ONO，且將殘留於表面上的氮化物132完成改變成為氧化物；請參閱第1N圖，再沈積另一個厚度約20nm的氧化物124，以防止閘極端氧化物上的離子植入損壞，將邏輯區用光阻罩幕，在源極/汲極區103植入n型記憶體摻雜離子，如砷，再以氧去灰剝除光阻。

一氧化物垂直離子蝕刻接著剝除作為記憶體源極/汲



五、發明說明 (17)

極離子植入罩幕的光阻，其係為了露出每個矽表面，記憶體擴散(源極/汲極)區103與控制閘極係由約20nm厚的氧化物側壁124所絕緣(如第1N圖)，而控制閘極則由厚約20nm的氧化物所保護，若需要較厚的絕緣區124時，則加入利用BPSG與BARC(底部抗塗佈)回蝕的一種選擇，透過CVD沈積一個厚度約20至40nm的BPSG，再接著將光阻塗佈覆蓋於BPSG上，以保護在記憶體區極邏輯區中的BPSG，在記憶體中的光阻顯影且氧氣RIE回蝕BARC，直到露出記憶體控制閘極的表面，再氧氣RIE後，用濕式蝕刻移除暴露的BPSG，以剝除光阻與BARC，移除控制閘極上的BPSG，保留控制閘極側壁上的部份，垂直氧化物RIE保留20nm的絕緣區覆蓋於控制閘極上，透過BPSG厚度而增加控制閘極與擴散區間的絕緣間隙。

接著藉由濺鍍而沈積一種自行對準矽化金屬，如鈷、鈦等，接著在650至750℃進行一自行對準矽化物形成回火，形成的回火增進金屬與矽反應，以變成金屬-矽合金，未與矽接觸的金屬並不會與底部材料反應，透過適當的化學物質如 H_2O_2 /硫酸，去除未反應的金屬，而形成回火後的自行對準矽化物並不够穩定，因此必做另一次的回火，稱轉變回火(conversion anneal)以穩定自行對準矽化物，在第1N圖中的記憶體擴散區150，控制閘極151、邏輯閘極152與邏輯擴散區153均被自行對準矽化。

請參閱第1P圖，透過CVD沈積一個厚度約500nm的厚氧化物125，且藉由CMP(化學機械研磨)而平坦化，這關於CMP達到邏輯閘極表面，因為邏輯區的圖案密度遠小於記



五、發明說明 (18)

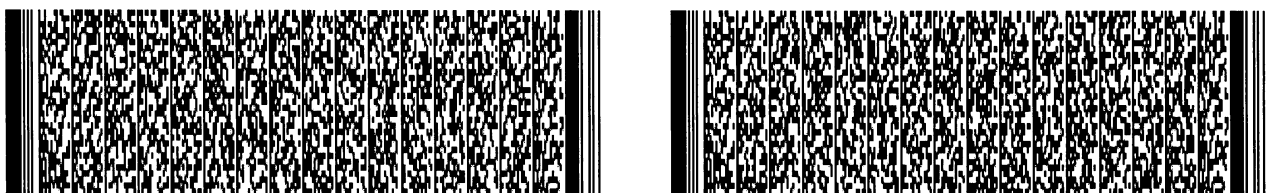
憶體區，所以邏輯閘極上的氧化物厚度比記憶體薄。因邏輯的閘極高度為150nm小於記憶體，所以在CMP時邏輯區容易受凹陷部與閘極侵蝕所影響，在CMP前加入邏輯區的氮化物圖案製程，以保護絕緣區內的閘極，沈積一個厚到約100到150nm間的氮化物。在第1P圖中形成一氮化物圖案133，如在邏輯區V形氮化物的楔形物，其係覆蓋於邏輯源極/汲極，這些氮化物島狀物防止CMP凹陷部覆蓋於邏輯區，在移除記憶體蓋氮化物時，移除在CMP之後氧化物區的殘留楔形物。

記憶體字線製程接著CMP平坦化製程，在經濕式蝕刻如熱磷酸而移除記憶體蓋氮化物130與氮化物楔形物133後，沈積多晶矽，以達到一個厚度在150至250nm的多晶矽，將字閘極圖案經習知光學微影技術印製在多晶矽上，且光阻圖像則轉移到多晶矽144(如第1R圖)，其中字多晶矽延著正交方向被蝕刻掉(如第5B圖與第5C圖)。

多晶矽蝕刻到閘極氧化物120，再施加一光學氧化處理(5-10nm)，然後硼(BF_2 , 20keV~30keV, $2\text{E}12\sim 1\text{E}13$ atoms/cm²)植入到場區106，如第5C圖與5D圖所示。

沈積一CVD氧化物(500nm)，以填充字閘極間間隙，此50nm的RIE暴露出字閘極多晶矽，以留下填充氧化物的字間隙(如第5H圖與第5J圖所示)。

請參閱第1R圖，然後藉由習知CMOS自行對準矽化製程，將字線自行對準矽化，如同選擇的一樣，可將基極字閘極多晶矽140頂部上的多晶矽置換成W/多晶矽~Wsi/多晶矽，而不是多晶矽144，再經CVD沈積一厚氧化物160，以

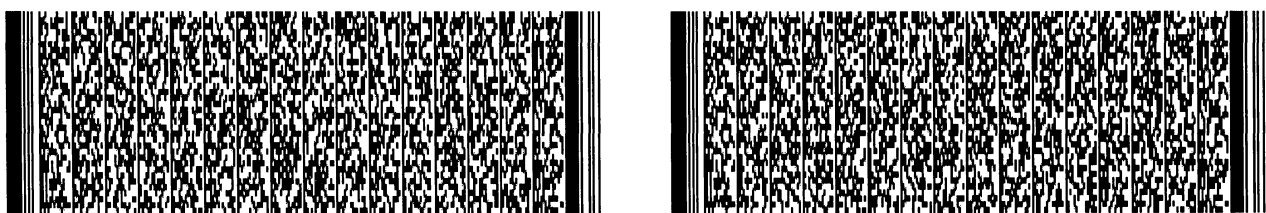


五、發明說明 (19)

填充字多晶矽144的間隙，且沈積在字間極多晶矽144頂部（如第5K圖與第5L圖）。

習知內導線/金屬線字製程繼續完成之後的製程。

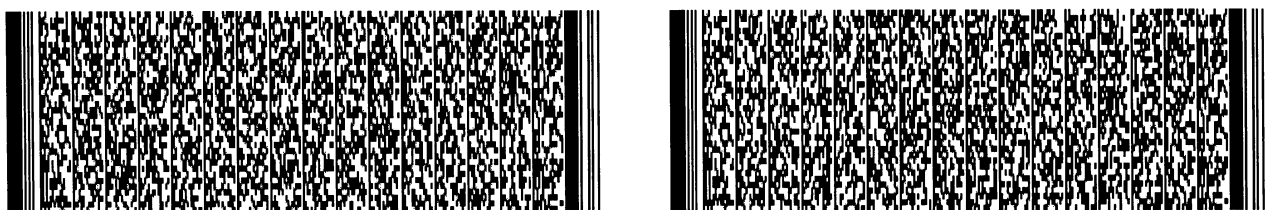
請參閱第3圖所示在第一實施例中的另一種選擇，在拋棄式側壁間隙壁180上切割儲存氮化物層131，而不是在定義控制多晶矽閘極上，在蝕刻氧化物120之後（第1F圖所示），開始出現偏差，在範圍2.0至6.0nm的ONO底部氧化物120，利用ISSG工具而熱成長，在成長氧化物122（如4.0nm）時，藉由調整在950°C下的ISSG氧化處理下，使多晶矽閘極140的側壁氧化物121約成長5.5nm，其中該厚度稍微比底部氧化物122厚，然後經CVD而沈積一個7.5nm的均勻氮化物層（131），用於控制閘極通道101的硼植入濃度範圍在 $1.2E13$ 至 $2.5E13$ atoms/cm²，可在底部氧化處理122前、立即在氧化處理122後或在沈積7.5nm的氮化物後被加入，隨著增加通道101上的介電質厚度，而植入的能量亦從5keV增加至15keV。拋棄式側壁材料（如電漿氧基氮化物、摻雜磷的多晶矽或BPSG），其無須移除氮化物或熱氧化物下而可被選擇性的蝕刻掉，拋棄式側壁材料可被均勻的沈積在25至60nm範圍的厚度，在此選擇50nm為例，在前面的實施例中DSW薄膜被非等向性的蝕刻（如第1G圖），但是在這裡（第3C圖），利用蝕刻氣體如HBr/O₂/Cl₂，而蝕刻掉DSW薄膜180下的氮化物層131，其不會影響到下面的氧化物122，此點的剖面結構係說明於第3C圖。利用此DSW間隙壁180作為一植入罩幕，將N-LDD的As垂直地植入，其濃度範圍在 $1E13$ 至 $1E14$ atoms/cm²間。在此，製程結束時通道



五、發明說明 (20)

101 的硼表面濃度為 $1E18$ 至 $2E18$ atoms/cm³，而同時 N-LDD 的表面濃度在 $5E18$ 至 $1E19$ atoms/cm³ 間，在程式化過程中，這些分佈係選擇用來產生有效率的通道熱電子，但在清除時會使熱電洞產生(或稱帶至帶或閘極誘導漏電)減到最小。在清除製程後，DSW 薄膜 180 被選擇性移除及大部份的氧化物消失(最好是在氮化物蝕刻時藉高選擇性效率的氮化物蝕刻保留氧化物層)，在約 950°C ISSG 熱氧化處理二分鐘被植入，以形成 4 至 6nm 厚的氧化物層 123 覆蓋於氮化物 131 上、且在形成 9 至 10nm 厚的氧化物層 129 覆蓋於 N-LDD 102 上(如第 3D 圖)。

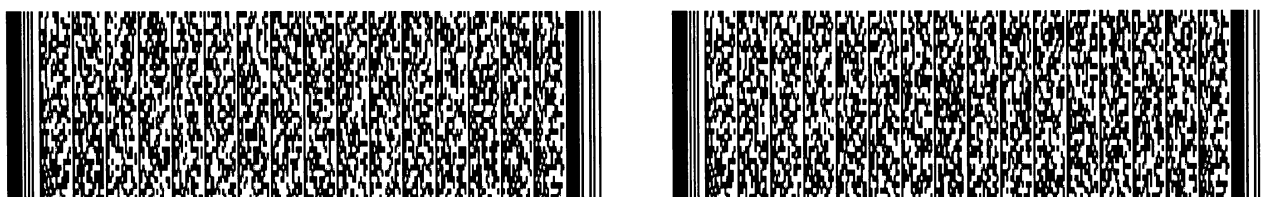
請參閱第 3E 圖，沈積一記憶體控制閘極多晶矽 142，而以下的製程步驟接著之前的實施例，在第 3A 圖與第 3B 圖中顯示在製程結束的元件結構，從 N+ 擴散接合面補償儲存氮化物區是這選擇性製程的目的，由於帶至帶穿隧效應產生的 GIDL 電流的來源，需要約 $1E19$ atoms/cm³ 濃度，所以在 N-LDD 及 N+ 接合面的邊緣上發生電洞產生，其濃度變成為 $1E19$ atoms/cm³，在程式化時，若此產生點覆蓋有氮化物且在氮化物層捕獲電子時，被捕獲的電子所形成的負電場會大大提升(幾乎兩倍)因帶至帶穿隧效應形成的電洞產生電流，這種表現與習知多晶矽閘極 MOSFET 中，因負閘極電壓增加造成在 GIDL 觀察到的電流增加相同，避免藉由 CHE 額外增加電洞電流，以達到大清除區塊尺寸是非常重要的，因為來自電荷幫浦的電流增供能力是有限的。這選擇如第 3A 圖與第 3B 圖所示，移除 N-LDD 與 N+ 接合面邊緣上的氮化物層，藉以防止在程式化時氮化物層的電子捕獲。



五、發明說明 (21)

請參閱第2A圖至第2C圖，本發明第二實施例將參考第2D圖至第2R圖與第6A圖至第6C圖，在第一個實施例中利用擴散區作為一位元線，是考慮到因擴散電阻與其大RC延遲造成的IR下降，其中在高性能操作下該延遲會減到最小。為了要使因擴散電阻與其大RC延遲造成的IR減到最小，藉習知的STI絕緣而不是避免如第二實施例發明的長擴散線，必須要有一金屬線接觸每一位元擴散。在第二實施例中，一字線與一控制閘極平行，位元線跨越字與控制線，每一記憶體單元被STI210絕緣，如第6B-1圖的俯視圖。記憶體控制閘極242被自行對準矽化，而記憶體字閘極240與邏輯閘極堆疊成金屬閘極，如鎢/氮化鎢/多晶矽，而位元線與金屬線連接，在本發明中亦提供自行對準接觸窗至擴散區。藉由使用一種長接觸窗製程連接兩相鄰擴散區跨越STI區如第6B圖所示，以避免顯示於第6A圖中絕緣的STI島狀物記憶體區絕緣的STI島狀物，在一罩幕上的長方形STI角落，經光學微影製程修飾如第6A-1圖與第6A-2圖所示。可能會產生有關於覆接對位錯誤的額外漏電，如第6A-2圖所顯示的漏電路徑。在本發明中，STI與主動區被印製成線與間隙，以避免因角落修飾與覆接對位錯誤所產生的牲漏電。藉由長方形接觸窗而不是共同擴散區與一正方形接觸窗，相鄰的四個記憶體位元相互連接。

第2A圖至第2C圖係說明第二實施例的MONOS元件的淺溝隔絕層210，而顯示於第6A圖至第6C圖係提供記憶體單元絕緣區與邏輯元件絕緣區，在一邏輯區中形成一邏輯閘極241與一相鄰的自行對準矽化源極/汲極區205，而在一



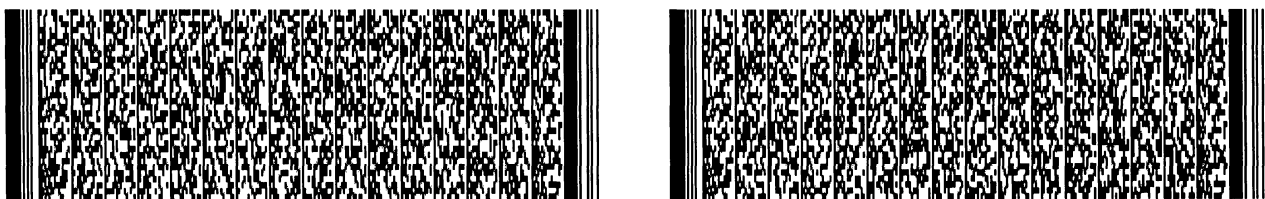
五、發明說明 (22)

記憶體區中形成一記憶體閘極240與一相鄰源極/汲極區203，在記憶體閘極240的側壁上形成控制閘極242，其係藉由一氧化物-氮化物-氧化物(ONO)層222/231/223將記憶體閘極隔離起來。一局部打線261穿過一介電層227接觸記憶體中的源極/汲極區203。

如同習知CMOS製程中，形成p井區與n井區(未顯示)，就如第2A圖至第2C圖所示，同時定義在周邊及/或邏輯控制中雙MONOS記憶體的字閘極240及邏輯閘極241，其係包含多晶矽上的鎢/氮化鎢的混合層，由於頂部W/WN層側壁上的介電層的必須是好的品質，所以W/WN的部份由氮化物包裝，將隨後接著描述。

形成記憶體閘極氧化矽及低電壓邏輯氧化矽，以達到一個厚度在約2至10nm如第2D圖所示的220，依所需的施加電壓而調整用於高電壓邏輯元件的閘極氧化矽厚度，然後，藉由化學氣相沈積法(CVD)沈積一個厚度約150至250nm的多晶矽240，接著由CVD沈積W/WN260及也是由CVD沈積氮化矽230，由習知光學微影製程印製的光阻圖像，藉RIE轉移至蓋氮化物230與W/WN260，而終止於多晶矽表面，沈積氮化物231，其厚度範圍在10至50nm間，以包覆W/WN260側壁，以在氧化處理時保護W(如第2E圖所示)，再經垂直活性離子蝕刻移除薄的氮化物及多晶矽，而終止閘極氧化物220(如第2F圖所示)，剩餘的氧化物則藉濕式蝕刻(例如)小心的蝕刻掉。

藉CVD沈積厚度約10至20nm的氧化矽(第2G圖)，以補償第2H圖中硼離子植入201，以將 V_t 調整至控制閘極以



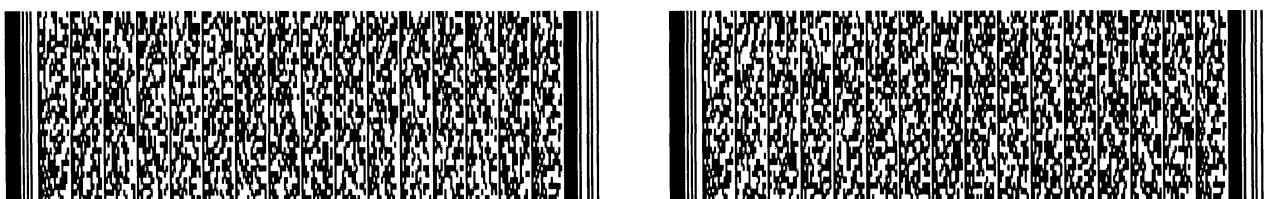
五、發明說明 (23)

下。於DSW材料沈積前，藉由施以個別的光阻罩幕與離子植入，而形成第2G圖中的邏輯LDD結構204，藉高電子注入效能，拋棄式側壁間隙壁(DSW)間隙壁製程用於獲得控制閘極下的可控制的超短通道長度。請參閱第2G圖，一個厚度約30至50nm的薄DSW層280(如多晶矽)，沈積一氮化矽或BPSG，再接著非等向性蝕刻，於記憶體字閘極兩側形成拋棄式側壁間隙壁。

請參閱第2H圖，邏輯區係以光阻291所覆蓋，以保護後續的離子植入，在記憶體區中進行蝕刻，其中該記憶體與邏輯間的光阻邊界係呈現於第2H圖所示記憶體區邊緣的多晶矽，細微的罩幕對準至邊界是不需要的。然後，一n型摻雜物(如砷)係植入於第2G圖的LDD區202，其係在DSW所罩幕的控制閘極下，As當作摻雜物，加速能量為10至20keV，濃度約在 $5E13$ 至 $1E14$ atoms/cm²間。在氧化去灰移除邏輯區上的光阻罩幕之後，藉CDE或濕式蝕刻移除DSW。再次以光阻罩幕邏輯區，以補償字閘極側壁上的剩餘氧化矽厚度植入p型摻雜物，對於調整控制閘極下的Vt，在30keV能量與 1.2 至 $3.5E13$ atoms/cm²濃度植入BF₂，如第2H圖所示，形成控制閘極通道區201。

透過濕式或乾式蝕刻，小心移除記憶體區的氧化物226，並剝除邏輯區的光阻。

最近才發展的ISSG(同步蒸汽製程)工具，不只可在矽上成長二氧化矽，更可在氮化矽上成長二氧化矽，當在單一矽晶上的氧化物成長速率為1時，在氮化矽上的氧化物成長速率為0.6，ISSG氧化物品質如氧化物崩潰電壓較CVD



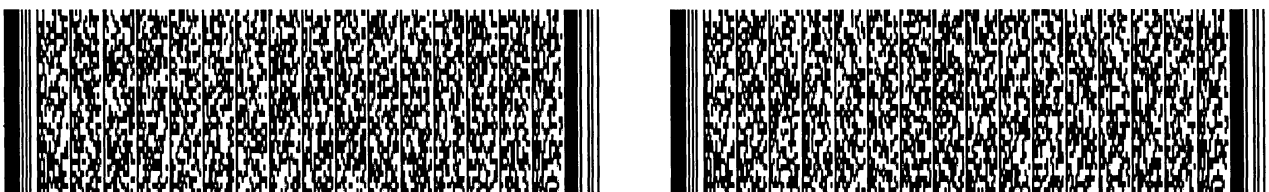
五、發明說明 (24)

氧化物的佳，用ISSG氧化處理形成一氧化物-氮化物-氧化物(ONO)223-231-222的混合層，在第2J圖中，經ISSG成長一個厚度約3.0至5.0nm的底部氧化層222。與習知熱氧化物成長相比之下，不管摻雜物的種類或濃度，ISSG會減少在記憶體字閘極邊緣下的鳥喙。ISSG使氧化物成長於蓋氮化物130上，以ISSG成長於氮化物上的氧化物，將蓋氮化物及ONO混合層的氮化物隔離。在NH₃的環境中(大於850℃)下的預先處理，係提供一個均勻氮化物厚度的混合層。在第2J圖中，藉由化學氣相沈積而沈積氮化矽層231，其厚度約6至9nm間，藉由ISSG氧化的氧化物氧化氮化物，其厚度約3至5nm間，在ISSG氧化處理後，混合層的剩餘氮化物的厚度在約3至6nm之間。

在第2K圖中，形成一記憶體控制閘極142，以作記憶體字閘極的側壁間隙壁，第二實施例的控制閘極較第一實施例容易，控制閘極不需蝕刻得那麼深，其係因為從未移除掉蓋氮化物及包覆氮化物。

請參閱第2K圖，藉CVD沈積一個厚度約60至100nm的同步磷摻雜多晶矽242，第2L圖中，垂直活性離子蝕刻移除多晶矽，直到露出ONO表面且加入約10至30nm的過度蝕刻，以移除ONO頂部氧化物與氮化物，且終止於底部氧化物，以將氧化物留在邏輯源極/汲極區，再使用習知的CMOS製程，藉n型與p型離子植入，分別定義n-MOS與p-MOS的源極/汲極區205(第2L圖)，在第2L圖中的多晶矽側壁243亦使用於形成邏輯源極/汲極離子植入。

藉由等向性乾式蝕刻(如化學下流蝕刻(CDE)或濕式化



五、發明說明 (25)

學蝕刻) 移除邏輯區中的多晶矽側壁，其中記憶體區係由光阻所罩幕，在移除多晶矽之後，仍保留多晶矽側壁下的混合ONO層，而光阻罩幕的記憶體區則由氧氣去灰剝除，記憶體及邏輯源極/汲極區203與205上的剩餘氧化物，則由光學濕式化學蝕刻或小心的用乾式蝕刻蝕刻掉，在第2M圖中，仍會保留邏輯區內多晶矽側壁下的ONO氮化物232、及氮化物下的氧化物226。

以ISSG執行厚約6nm的回復氧化處理，以復原因RIE產生損壞的ONO，並將保留在表面上的氮化物232完全改變成氧化物，另沈積一個厚度約20nm的氧化物224(第2N圖)，以避免植入損壞，將邏輯區罩以光阻，在記憶體源極/汲極區203植入n型記憶體摻雜物如砷(第2M圖)，藉由氧氣去灰以除去光阻。

為降低記憶體控制閘極與邏輯擴散區的電阻，對合金矽與金屬，如鈦、鈷等自行對準矽化處理是必要的，而具有金屬(W/WN)的記憶體字閘極及邏輯閘極是不需自行對準矽化處理，由於記憶體位元線係使用金屬線，因此並不需位元線矽化物，為了免除位元線自行對準矽化處理，塗佈BARC292與光阻(第2N圖)，且將其暴露出及顯影，移除BARC直到露出控制閘極，在以氧氣去灰除去光阻與BARC之後，會暴露出記憶體控制閘極與邏輯擴散區，以用於自行對準矽化處理，如第2N圖所示。

隨後藉由濺鍍而沈積一自行對準矽化金屬(如鈷、鈦等)，接著自行對準矽化物形成回火，形成的回火增進金屬與矽反應，以變成金屬-矽合金，未反應的金屬則以適

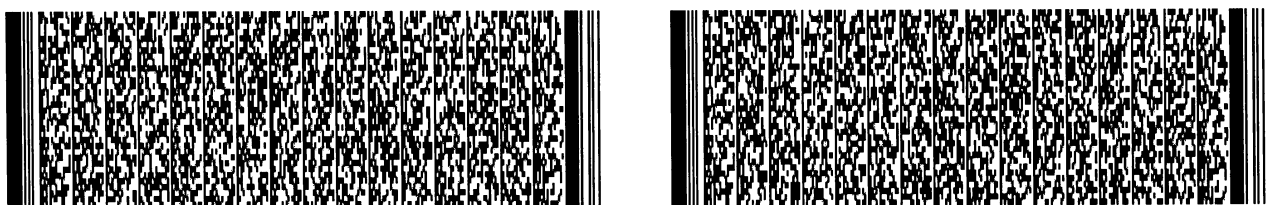


五、發明說明 (26)

當的化學(如 H_2O_2 /硫酸)清除掉，而形成回火後的自行對準矽化物並不穩定，因此必須進行另一次的回火(稱轉變回火)，以在較高的溫度下穩定自行對準矽化物，在第2P圖中的控制閘極251、及邏輯擴散區253均被自行對準矽化。在製造接觸窗到擴散區203的一般方法中，兩相鄰字閘極240間的擴散區被打開的足夠廣，足以考慮到在閘極與接觸窗罩幕間的對位錯誤。對於自行對準接觸窗，沈積一較控制閘極厚的厚氮化物232(第2Q圖)，藉CVD沈積一個厚度約50nm的厚氧化層225，且在藉由CMP(化學機械研磨)平坦化，在第6B-1圖的俯視圖及第6B-2圖的剖面圖所示，長接觸窗261係用於連接相鄰主動區，然後藉由CVD而沈積氮化物，自行對準接觸窗會大大減少晶片尺寸。

如第2R圖所示，在寬接觸窗貫穿孔261打開穿過氮化物227之後，在填充W柱狀凸塊(stud)前蝕刻氮化物層232。藉由垂直接觸窗蝕刻使得在控制閘極肩部232上的氮化物層變薄，且這可能會造成在控制閘極與位元接觸窗W柱狀凸塊間的短路。為了避免可能的短路情形發生，所以提出以下的方法(第2Q圖)，在沈積氮化物層232後，沈積一種材料(如BPSG)，其係成為一蝕刻阻絕層且容易藉由光HF濕式蝕刻而移除掉，而不會影響到氮化物層，而該材料沈積以填充間隙，約400nm的厚度，然後，藉回蝕將BPSG平坦化，且BPSG將凹陷到控制閘極多晶矽242的頂部肩部。

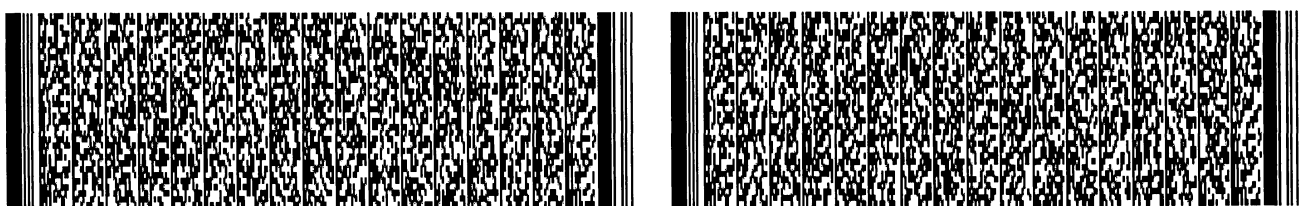
沈積一厚10至30nm的薄氮化物層，且進行一垂直氮化物蝕刻，以形成薄氮化物間隙壁，重複此氮化物的沈積與



五、發明說明 (27)

蝕刻，直到肩部完全覆蓋過多的氮化物間隙壁233、234，此後將接著一般金屬打線製程，因此，藉此獨特的自行對準接觸窗製程以避免肩部短路。

第4圖係說明第二實施例的另一種選擇，係與第一實施例相似，其中為了要減少清除電流且增加可靠度，儲存氮化物係藉由DSW而被切斷。例如，對一個4.0nm的底部氧化物而言(在第2F圖之後氧化物222成長期間)，如第4C圖所示，多晶矽閘極240的側壁氧化物221係藉由在950°C調整ISSG(同步蒸汽製程)氧化處理而成長約5.5nm，其比底部氧化物222略微厚些，然後，一個7.5nm的均勻氮化層231(如第4D圖所示)係藉由CVD而沈積。用於控制閘極記憶體且在範圍 $1.2E13$ 到 $2.5E13$ atom/cm³之間的硼離子植入，可插入於底部氧化物222之前、或立即在底部氧化物222之後、或在氮化物7.5nm沈積之後，離子植入能量隨著增加在通道201上的介電質厚度而從5keV增加到15keV，拋棄式側壁材料(如電漿氮氧化物、磷摻雜多晶矽或BPSG(硼磷矽玻璃))，其可被選擇性地蝕刻掉，而無須移除多的氮化物或熱氧化物，其拋棄式側壁材料係均勻地沈積於25nm到60nm間的範圍，在此，50nm較為接近本實施例。DSW膜係被非等向性蝕刻如先前的實施例(第2C圖)，但是，此時(第4C圖)，在DSW膜280下的氮化物層231係使用如HBr/O₂/Cl₂的蝕刻氣體而被蝕刻掉，其並不會侵襲底部氧化物222，此時的橫剖面結構係顯示於第4C圖，使用DSW間隙壁280作為一離子植入罩幕，N-LDD202的砷種類係在劑量範圍 $1E13$ 到 $1E14$ atom/cm²間垂直地被植入，在此，在製

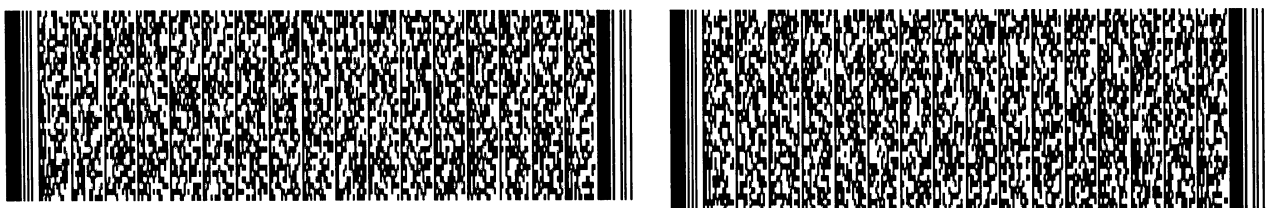


五、發明說明 (28)

程後段時通道201上的硼表面濃度係設計為 $1E18$ 到 $2E18\text{atom}/\text{cm}^3$ 之間、且在製程期間N-LDD的硼表面濃度係設計為 $5E18$ 到 $1E19\text{atom}/\text{cm}^3$ 間，在程式化期間此分佈接近產生有效通道熱電子，而使在清除期間熱電洞產生(或稱之為帶間或閘極導致漏電)減到最小，一旦選擇性地移除DSW膜280，在洗淨製程之後大部分的氧化物222會消失(此最好藉由氮化物蝕刻期間的高選擇性而留下一層氧化層)，然後進行一約在 950°C 及2分鐘的ISSG熱氧化處理，一層在氮化物231上4到6nm的氧化層223、及一層在N-LDD202上9到10nm的氧化層229係成長如第4D圖。

在第4E圖中的一記憶體控制閘極多晶矽242係被沈積，且下述步驟接著上述的第二實施例之後。製程後段的元件結構係提供於第4A圖及第4B圖中，補償N+擴散接合面的儲存氮化區係為此選擇性製程的目的，因為由帶間隧穿效應的GIDL電流源需要約 atoms/cm^3 的濃度，電洞產生發生於N-LDD及N+接合面的邊緣，其係在濃度為 $1E19$ 時。若此產生點係被氮化物覆蓋且在程式化期間在氮化層中捕獲電子，因帶間隧穿效應的電洞產生電流會藉由捕獲電洞而產生的負電場而大大地增大(幾乎兩級)，此性能係與從GIDL電流觀測到的相同，其隨著在習用多晶矽閘極MOSFET增加負閘極電壓而增加。避免過多藉由CHE捕獲的電洞電流的增加係極為重要的，由於限制充電幫浦的電流供應電容，以獲致大量清除區塊尺寸，此可藉由剛敘述到的另一種選擇性實施例而被獲致。

本發明之製程係提供一種整合雙MONOS記憶體單元陣



五、發明說明 (29)

列及CMOS邏輯電路製造的方法，記憶體閘極及邏輯閘極係同時被定義出來，藉以提高整合製程設計更為簡單且更為可靠的製造，而且，寄生片電阻係被降低以能夠高速進行而維持低製造成本，此藉由位元擴散區上的金屬接觸窗而被獲致，其中金屬位元線與字線閘極及控制閘極垂直，其字線閘極及控制閘極係相互平行，如第6C圖所示。

因此，於第二實施例中位元擴散區方法上金屬接觸窗的記憶體排列(單元結構)係不同於第一實施例中不具有接觸窗的位元擴散方法，等效電路圖的位元擴散方法係提供於第5F圖中(相對於第5E圖的俯視圖)、及等效電路圖的金屬接觸窗方法係提供於第6C-2圖中(相對於第6C-1圖的俯視圖)。

本發明的第三實施例(顯示於第7A圖到第7F圖)，係為雙MONOS陣列結構，此實施例視為第二實施例衍生出來的，位元線越過字線及控制閘極，而不同於第二實施例，其位元線並不與相鄰列共享，沿著列的雙位元線(以金屬為特徵)控制字線閘極兩側的擴散區電壓，係獨立於雙位元線列，描述於第二實施例中的製造方法可完成地複製以獲致第三實施例，以至於將不會出現在此。

顯示於第7B圖藉由STI隔開的相鄰列的單元，不分享位元線，以獨立操作個別的單元，而不像第二實施例，STI罩幕被設計為分別地施以操作電壓於字線的兩側擴散區上，如第7B圖顯示的STI罩幕，係藉由移除如第7A圖顯示第二實施例矩形STI罩幕的每隔一個主動線而產生出來的，擴散區接觸窗係藉由主動線每側上的延伸擴散區域而



五、發明說明 (30)

被替代，如第7B圖所示。

字線係排列地跨越主動線及STI(淺溝槽隔離)，如第7C圖及第7D圖所示，在出現於閘極製程後字閘極間的記憶體擴散區沿著位元線方向延伸，如第7D圖所示。一系列的側邊上擴散延伸區接觸到一個雙金屬位元線及另一側接觸到另一個雙金屬位元線，如第7E圖所示，其係為了要單獨施加一個操作電壓到字閘極每側的擴散位元線上，第7E圖所示俯視結構的等效電路圖式係顯示於第7F圖，其係為了要幫助了解。

本發明的第四實施例(顯示於第8A圖到第8F圖)，係為一種雙MONOS陣列結構，此結構結合以美國專利第6,255,166號為基礎的第二實施例及第一實施例之概念，字閘極的一側上的擴散區係藉由STI而隔開成為個別的位元，且在其另一側上延伸為一線，使NOR操作能夠維持高密度應用的可能性。

描述於第二實施例中的製造方法，亦實施於第四實施例，其係藉由將長接觸窗製程(第8A-1圖)轉換成鎢栓塞線製程(如第8A-2圖)，如第8A-1圖所示的製程流程到接觸窗氧化物CMP，係常見於鎢栓塞線製程及長接觸窗製程之間，如第8A-3圖所示的第四實施例結構，係藉由以第8A-3圖的鎢栓塞線罩幕代替第8A-2圖的長接觸窗罩幕而達成，其係結合一鎢柱狀凸塊及一位元線接觸窗。此接著描述於第二實施例中的製造方法，依序為氮化鈦/氮化鎢沈積、鎢CMP、氧化物沈積、位元接觸窗開口及習用金屬打線製程，以形成如第8D圖的金屬位元線。每個在字線一側上的



五、發明說明 (31)

擴散區段，係藉由STI(淺溝槽隔離)而被隔離且接觸一金屬位元線，在字線另一側上的區段係藉由鎢栓塞線而相互連接，以作為一源線。圖式電路圖第8E圖係與第8D圖相同，且提供隨機讀取/寫入操作，由於實施例無須雙金屬線，對於高密度應用而言將會比第三實施例較佳，電路亦由修改第二實施例STI罩幕而達成。矩形STI定期地設置在沿著位元線(第8B-1圖及第8B-2圖的兩個實施例)的線上。當STI列及半節距(half pitch)補償列沿著第四實施例(如第8B-2圖所示)的方向出現，連續擴散區會出現於字線的一側上，且擴散位元係藉由另一側的STI而隔離(如第8B-2圖所示)，安裝設計係與電路第8E圖相同。與第8B-2圖相較之下，第8A圖係為較佳，是因為製程窗約為圓角且包括有第二實施例所述的。

第8C圖係說明在閘極製程後第四實施例之俯視圖，且第8D圖係為說明在第一金屬製程之後。第8E圖係為一等效電路圖，相對應於第8D圖，係為了要幫助了解。

雖然本發明已參考其較佳實施例而被特別地表示並說明，惟熟習本技藝之人士應瞭解地是各種在形式上及細節上的改變可在不背離本發明之精神與範疇下為之。



圖式簡單說明

根據本發明之方法的特徵與優點將由下列配合附圖的說明而更清楚地被瞭解，包括有：

第1A圖至第1C圖係由本發明之第一較佳實施例組裝完成的雙MONOS裝置剖面圖。

第1D圖至第1H圖、第1J圖至第1N圖及第1P圖至第1R圖係本發明之第一較佳實施例的剖面圖。

第2A圖至第2C圖係由本發明之第二較佳實施例組裝完成的雙MONOS裝置剖面圖。

第2D圖至第2H圖、第2J圖至第2N圖及第2P圖至第2R圖係本發明之第二較佳實施例的剖面圖。

第3A圖、第3B圖係由本發明之另一第一較佳實施例所完成的，具DSW定義的ONO與N區至N+區抵消之雙MONOS裝置剖面圖。

第3C圖至第3E圖係本發明之具DSW切割ONO的另一第一較佳實施例剖面圖。

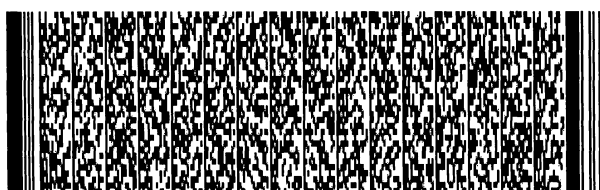
第4A圖、第4B圖係由本發明之另一第二較佳實施例所完成的，具DSW定義的ONO與N區至N+區抵消之雙MONOS裝置剖面圖。

第4C圖至第4E圖係由發明之具DSW切割ONO的另一第二較佳實施例剖面圖。

第5A圖係為本發明第一較佳實施例擴散位元雙MONOS的俯視圖。

第5B至第5E圖係為第5A圖本發明第一較佳實施例擴散位元雙MONOS之俯視圖的剖面圖。

第5F圖係本發明第一較佳實施例擴散位元雙MONOS的



圖式簡單說明

俯視圖。

第5G圖係本發明第一較佳實施例擴散位元雙MONOS的線路圖。

第5H、5J、5K、5L圖係為第5F圖本發明第一較佳實施例擴散位元雙MONOS之俯視圖的剖面圖。

第6A-1與第6A-2圖係為本發明具有長方形STI的第二較佳實施例金屬線雙MONOS的俯視圖。

第6A-3圖係為本發明第6A-1圖具有長方形STI的第二較佳實施例金屬線雙MONOS的俯視圖之剖面圖。

第6B-1圖係為本發明第二較佳實施例，金屬位元雙MONOS裝置的俯視圖，其中該裝置在STI與字閘極間具有長的接觸窗並不含錯位。

第6B-2圖係為本發明第6B-1圖的剖面圖。

第6C-1圖係為本發明第二較佳實施例，金屬位元雙MONOS的俯視圖。

第6C-2圖係為本發明第6C-1圖俯視圖的電路圖。

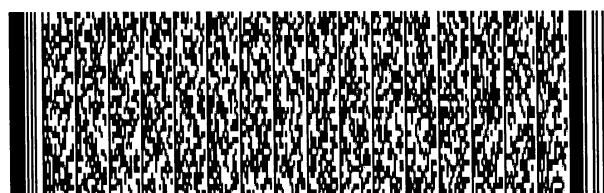
第7A圖至第7E圖係為本發明第三較佳實施例，雙金屬位元雙MONOS的俯視圖。

第7F圖係為本發明第三較佳實施例雙金屬位元雙MONOS的電路圖。

第8A-1圖至第8A-3圖係為本發明第四較佳實施例的俯視圖，係顯示長接觸窗製程。

第8B-1圖至第8B-2圖係為本發明第四較佳實施例之俯視圖，係顯示矩形STI定期地設置在沿著位元線。

第8C圖係為本發明第四較佳實施例，係顯示在閘極製

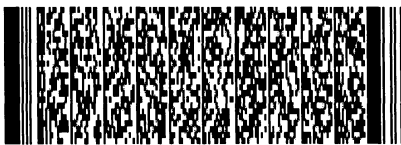


圖式簡單說明

程。

第8D圖係為本發明第四較佳實施例，金屬位元/擴散源極雙MONOS的俯視圖。

第8E圖係為本發明第四較佳實施例，金屬位元/擴散源極雙MONOS的電路圖。



四、中文發明摘要 (發明名稱：雙MONOS單元製造方法及陣列機構)

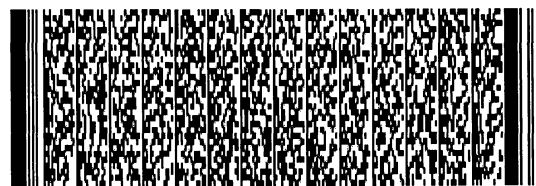
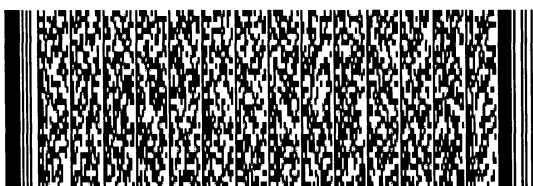
本發明係提供一種製造方法及其陣列機構，係用於一高密度雙MONOS記憶體元件整合一雙MONOS記憶體單元陣列及CMONS邏輯元件電路，本發明包含有兩個製造方法：

- i) 同時定義記憶體閘極及邏輯閘極，因此改進製程整合設計，更為容易且更為可靠的製造。
- ii) 位元線跨越字閘極及控制閘極，本發明著重降低寄生片電阻，能夠高速進行，同時維持低製造成本，此MONOS單元儲存記憶體於兩氮化物記憶體單元元件中，係在一選取閘極兩側壁的兩共享控制閘極下，本發明係可應用於一個具有一平通道的元件及/或可應用於一個具有一步驟通道的元件。本發明係揭露兩實施例。

六、英文發明摘要 (發明名稱：Twin MONOS cell fabrication method and array organization)

Presented in this invention is a fabricating method and its array organization for a high density twin MONOS memory device integrating a twin MONOS memory cell array and CMOS logic device circuit. The invention consists of two fabrication methods,

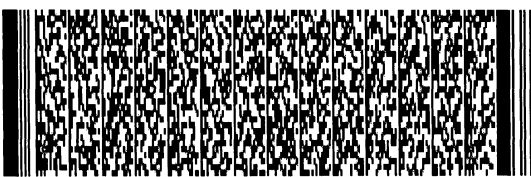
- i) Simultaneous definition of memory gate and logic gate, thus improving the process integration



四、中文發明摘要 (發明名稱：雙MONOS單元製造方法及陣列機構)

六、英文發明摘要 (發明名稱：Twin MONOS cell fabrication method and array organization)

scheme for easier and more reliable fabrication.
ii) Bit line crosses word gate and control gate.
The invention focuses on lowering parasitic sheet resistances to enable high speed while maintaining low manufacturing cost. The twin MONOS cell stores memory in two nitride memory cell elements underlying two shared control gates on both sidewall of select gate. The method is applicable



四、中文發明摘要 (發明名稱：雙MONOS單元製造方法及陣列機構)

六、英文發明摘要 (發明名稱：Twin MONOS cell fabrication method and array organization)

to a device with a flat channel and/or a device having a step channel.

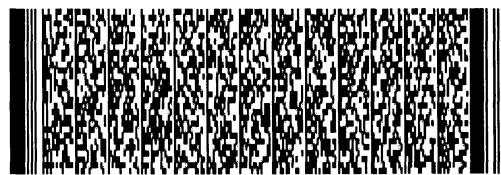
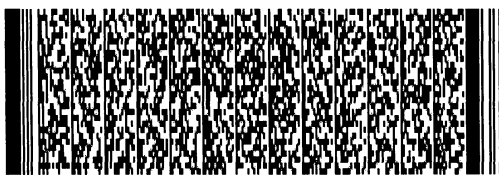
Two embodiments of the present invention are disclosed.



六、申請專利範圍

沉積一氧化層覆蓋於該自行對準矽化閘極及源極/汲極區上，以完成整合製造該雙MONOS記憶體單元陣列及該CMONS邏輯元件電路。

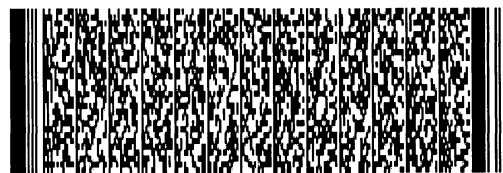
2. 如申請專利範圍第1項所述之方法，其中同時在該邏輯區定義出一邏輯閘極、及在該記憶體區定義出一記憶體閘極的該步驟包括有：
形成該閘極氧化層於該基板上；
沉積該第一傳導層覆蓋於該閘極氧化層上；
沉積該蓋氮化層覆蓋於該記憶體區的該第一傳導層上；
圖案化該第一及第二蓋氧化層及該蓋氮化層，以形成一硬罩幕，其中該第一及第二蓋氧化層形成該硬罩幕；及
蝕刻掉該蓋氮化層、該第一傳導層、及閘極氧化層，其係在未被該硬罩幕所覆蓋處，以在記憶體區中形成該記憶體閘極、及在該邏輯區中形成該邏輯閘極。
3. 如申請專利範圍第1項所述之方法，其中該閘極氧化層係具有一個在2到10奈米(nm)之間的厚度。
4. 如申請專利範圍第1項所述之方法，其中該第一傳導層係包括有一個在150到250nm之間厚度的多晶矽。
5. 如申請專利範圍第2項所述之方法，其中該第一及第二蓋氧化層係具有一個30nm的厚度。
6. 如申請專利範圍第1項所述之方法，其中該蓋氮化層係



六、申請專利範圍

具有一個在100到200nm的厚度。

7. 如申請專利範圍第2項所述之方法，其中蝕刻掉該蓋氮化層、該第一傳導層、及閘極氧化層的該步驟係為一反應離子蝕刻，其中氮化物的蝕刻速率係與多晶矽的蝕刻速率接近，且其中氧化物的蝕刻速率比多晶矽的蝕刻速率慢的很多。
8. 如申請專利範圍第1項所述之方法，其中同時在該邏輯區定義出一邏輯閘極、及在該記憶體區定義出一記憶體閘極的該步驟包括有：
- 形成該閘極氧化層於該基板上；
- 沉積該第一傳導層覆蓋於該閘極氧化層上，其中該第一傳導層係包括有一多晶矽層在一氮化鈦/氮化鎢層；
- 沉積該蓋氮化層覆蓋於該第一傳導層上；
- 圖案化該蓋氮化層及該氮化鈦/氮化鎢層，以形成一硬罩幕；
- 之後，沉積一氮化層覆蓋於該硬罩幕及該多晶矽層上，其中該氮化層保護該氮化鈦/氮化鎢層免於受到氧化反應；及
- 之後，蝕刻掉該多晶矽層及該閘極氧化層，其係在未被該硬罩幕所覆蓋處，以在該記憶體區中形成該記憶體閘極、及在該邏輯區中形成該邏輯閘極。
9. 如申請專利範圍第1項所述之方法，在形成ONO層的該步驟之前，尚包括有：



六、申請專利範圍

沉積一層氧化矽覆蓋於該記憶體閘極、該邏輯閘極、及該邏輯記憶體邊界結構上；
植入硼離子到該基板中，以調整臨限電壓；及
在該邏輯區中及在該記憶體區中形成輕摻雜源極/汲極(LDD)區。

10. 如申請專利範圍第9項所述之方法，其中形成LDD區的該步驟尚包括有：

植入離子到該基板中，以在該邏輯區中形成LDD區；
之後，形成拋棄式側壁間隙壁於該記憶體閘極及該邏輯記憶體邊界結構上；及
之後，移除該拋棄式側壁間隙壁。

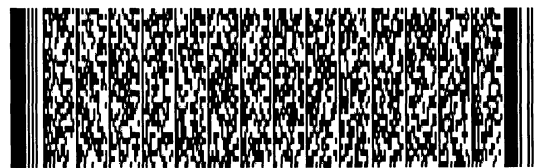
11. 如申請專利範圍第10項所述之方法，其中該拋棄式側壁間隙壁係選自於包含有多晶矽、氮化矽、及硼磷矽玻璃(BPSG)的組群。

12. 如申請專利範圍第1項所述之方法，其中該第一傳導層係包括有多晶矽，且其中形成該ONO層的該步驟係包括有：

使用一內部蒸氣產生的氧化反應(ISSG)方法，以成長一第一二氧化矽層覆蓋於該基板、該第一傳導層、及該蓋氮化層上；

沉積一氮化矽層覆蓋於該第一二氧化矽層上，其係藉由將該第一二氧化矽層處置於一 NH_3 的環境中且於高於 850°C 中；及

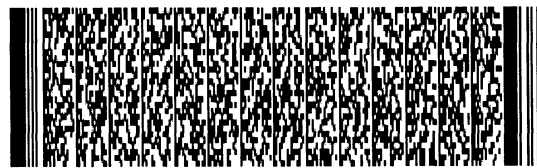
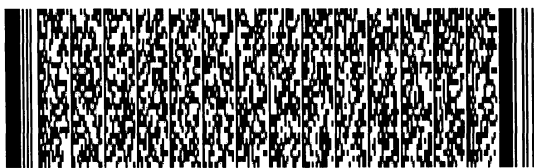
成長一第二二氧化矽層覆蓋於該氮化矽層上，係使用



六、申請專利範圍

該ISSG方法。

13. 如申請專利範圍第12項所述之方法，其中該第一二氧化矽層係具有一個在3.0到5.0nm之間的厚度、該氮化矽層係具一個在3到6nm之間的厚度、及該第二二氧化矽層係具一個在3到8nm之間的厚度。
14. 如申請專利範圍第1項所述之方法，在均勻地沉積一多晶矽層覆蓋於該ONO層的該步驟之前，尚包括有：蝕刻掉覆蓋在該基板上的該ONO層的氧化物-氮化物部份，其係使用DSW作為一蝕刻罩幕；及形成一第三氧化層覆蓋於該ONO層的一第一氧化物部份上，藉以至少該多晶矽間隙壁的一外部不具有氮化層下。
15. 如申請專利範圍第1項所述之方法，其中該多晶矽層係為磷或砷摻雜，且藉由化學氣相沉積而沉積到一個厚度在60到100nm之間。
16. 如申請專利範圍第1項所述之方法，尚包括有回蝕在該記憶體區的該多晶矽間隙壁，直到該多晶矽間隙壁的一頂表面低於該記憶體閘極及該邏輯記憶體邊界結構的該第一傳導層頂表面。
17. 如申請專利範圍第1項所述之方法，尚包括有自行對準矽化該邏輯閘極及在記憶體區中的該源極/汲極區。
18. 如申請專利範圍第1項所述之方法，尚包括有：平坦化該氧化層至該蓋氮化層的一頂表面上；



六、申請專利範圍

移除在該記憶體區中曝露的該蓋氮化層，以露出該第一傳導層；

沉積一第二傳導層覆蓋於該氧化層及曝露的該第一傳導層上；及

圖案化該第二傳導層，以在該記憶體中形成一字閘極。

19. 如申請專利範圍第18項所述之方法，其中平坦化該氧化層的該步驟係包括有化學汽相研磨(CMP)，且其中一空氮化物部份係形成於該邏輯區中，以防止在該CMP期間的凹陷部。

20. 如申請專利範圍第18項所述之方法，其中該第二傳導層係選自於包含有多晶矽、鎢/多晶矽、及矽化鎢/多晶矽的組群。

21. 如申請專利範圍第18項所述之方法，其中該第二傳導層係沉積到一個在150到200nm之間的厚度。

22. 如申請專利範圍第1項所述之方法，尚包括有：
展開一接觸窗孔洞跨越該氧化層到該記憶體區的一源極/汲極；及
以一鎢層填充該接觸窗孔洞。

23. 如申請專利範圍第22項所述之方法，在自行對準矽化該控制閘極的該步驟之後，尚包括有：
沉積一氮化矽覆蓋於該基板及該控制閘極上；
沉積一介電層覆蓋於該氮化矽層上，且回蝕該介電層到該控制閘極頂表面的一層次；及



六、申請專利範圍

重複步驟直到該控制閘極完全地被覆蓋；
沉積一薄氮化矽層覆蓋於該控制閘極及該介電層上；
及

回蝕該薄氮化矽層，以形成薄氮化矽間隙壁。

24. 一種整合製造一雙MONOS記憶體單元陣列及一CMONS邏輯元件電路之方法，其係包括有；

提供一基板，其具有一記憶體區及一邏輯區；

同時在該邏輯區定義出一邏輯閘極、及在該記憶體區定義出一記憶體閘極，其中亦形成一邏輯記憶體邊界結構，其中該邏輯閘極包括有一閘極氧化層於一第一傳導層下，且其中該記憶體閘極及該邏輯記憶體邊界結構包括有一閘極氧化層於一第一傳導層下，該第一傳導層係於一蓋氮化層下；

形成一氧化物-氮化物-氧化物(ONO)覆蓋於該基板、該邏輯閘極、該記憶體閘極及該邏輯記憶體邊界結構上；

均勻地沉積一多晶矽層覆蓋於該ONO層上；

回蝕該多晶矽層，以留下多晶矽間隙壁於該邏輯閘極、該記憶體閘極及該邏輯記憶體邊界結構的側壁上；

形成源極/汲極區於該邏輯區中，其係使用該邏輯閘極及該多晶矽間隙壁為一離子植入罩幕；

之後，移除在邏輯區中的該多晶矽間隙壁；

回蝕在該記憶體區的該多晶矽間隙壁，直到該多晶矽



六、申請專利範圍

間隙壁的一頂表面低於該記憶體閘極及該邏輯記憶體邊界結構的該第一傳導層頂表面；

形成源極/汲極區於該記憶體區中，其係使用該控制閘極為一離子植入單幕；

自行對準矽化該控制閘極、該邏輯閘極、及該源極/汲極區；

沉積一氧化層覆蓋於該自行對準矽化閘極及源極/汲極區上，且平坦化該氧化層至該蓋氮化層的一頂表面上；

移除在該記憶體區中曝露的該蓋氮化層，以露出該第一傳導層；

沉積一第二傳導層覆蓋於該氧化層及曝露的該第一傳導層上；及

圖案化該第二傳導層，以在該記憶體中形成一字閘極，以完成整合製造該雙MONOS記憶體單元陣列及該CMONS邏輯元件電路。

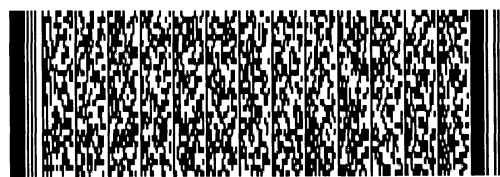
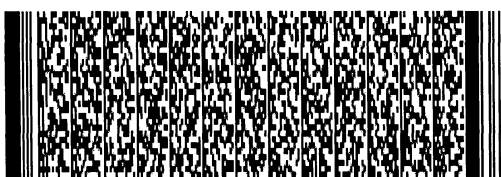
25. 如申請專利範圍第24項所述之方法，其中同時在該邏輯區定義出一邏輯閘極、及在該記憶體區定義出一記憶體閘極的該步驟包括有：

形成該閘極氧化層於該基板上；

沉積該第一傳導層覆蓋於該閘極氧化層上；

形成一第一蓋氧化層覆蓋於該邏輯區的該第一傳導層上；

沉積該蓋氮化層覆蓋於該記憶體區的該第一傳導層上



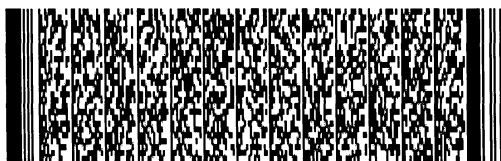
六、申請專利範圍

，且覆蓋於該邏輯區的該第一蓋氧化層上；
形成一第二蓋氧化層覆蓋於該記憶體區的該蓋氮化層上；及

圖案化該第一及第二蓋氧化層及該蓋氮化層，以形成一硬罩幕，其中該第一及第二蓋氧化層形成該硬罩幕；

蝕刻掉該蓋氮化層、該第一傳導層、及閘極氧化層，其係在未被該硬罩幕所覆蓋處，以在記憶體區中形成該記憶體閘極、及在該邏輯區中形成該邏輯閘極。

26. 如申請專利範圍第25項所述之方法，其中該閘極氧化層係具有一個在2到10奈米(nm)之間的厚度。
27. 如申請專利範圍第25項所述之方法，其中該第一傳導層係包括有一個在150到250nm之間厚度的多晶矽。
28. 如申請專利範圍第26項所述之方法，其中該第一及第二蓋氧化層係具有一個30nm的厚度。
29. 如申請專利範圍第25項所述之方法，其中該蓋氮化層係具有一個在100到200nm的厚度。
30. 如申請專利範圍第25項所述之方法，其中蝕刻掉該蓋氮化層、該第一傳導層、及閘極氧化層的該步驟係為一反應離子蝕刻，其中氮化物的蝕刻速率係與多晶矽的蝕刻速率接近，且其中氧化物的蝕刻速率比多晶矽的蝕刻速率慢的很多。
31. 如申請專利範圍第24項所述之方法，在形成ONO層的



六、申請專利範圍

該步驟之前，尚包括有：

沉積一層氧化矽覆蓋於該記憶體閘極、該邏輯閘極、及該邏輯記憶體邊界結構上；

植入硼離子到該基板中，以調整在該控制閘極下的臨限電壓；及

在該邏輯區中及在該記憶體區中形成輕摻雜源極/汲極(LDD)區。

32. 如申請專利範圍第31項所述之方法，其中形成LDD區的該步驟尚包括有：

植入離子到該基板中，以在該邏輯區中形成LDD區；

之後，形成拋棄式側壁間隙壁於該記憶體閘極及該邏輯記憶體邊界結構上；

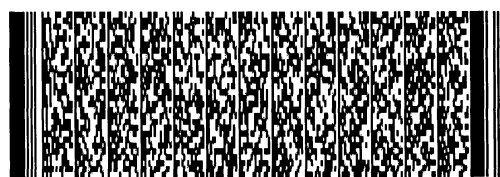
植入離子到該記憶體區中，係使用該拋棄式側壁間隙壁為一硬罩幕，以在該記憶體區中形成該LDD區；及

之後，移除該拋棄式側壁間隙壁。

33. 如申請專利範圍第24項所述之方法，其中該拋棄式側壁間隙壁係選自於包含有多晶矽、氮化矽、及硼磷矽玻璃(BPSG)的組群。

34. 如申請專利範圍第24項所述之方法，其中該第一傳導層係包括有多晶矽，且其中形成該ONO層的該步驟係包括有：

使用一內部蒸氣產生的氧化反應(ISSG)方法，以成長一第一二氧化矽層覆蓋於該基板、該第一傳導層、



六、申請專利範圍

及該蓋氮化層上；

沉積一氮化矽層覆蓋於該第一二氧化矽層上，其係藉由將該第一二氧化矽層處置於一 NH_3 的環境中且於高於 850°C 中；及

成長一第二二氧化矽層覆蓋於該氮化矽層上，係使用該ISSG方法。

35. 如申請專利範圍第34項所述之方法，其中該第一二氧化矽層係具有一個在3.0到5.0nm之間的厚度、該氮化矽層係具一個在3到6nm之間的厚度、及該第二二氧化矽層係具一個在3到8nm之間的厚度。
36. 如申請專利範圍第24項所述之方法，在均勻地沉積一多晶矽層覆蓋於該ONO層的該步驟之前，尚包括有：蝕刻掉覆蓋在該基板上的該ONO層的氧化物-氮化物部份；及形成一第三氧化層覆蓋於該ONO層的一第一氧化物部份上，藉以至少該多晶矽間隙壁的一外部不具有氮化層於其下。
37. 如申請專利範圍第24項所述之方法，其中該多晶矽層係為磷或砷摻雜，且藉由化學氣相沉積而沉積到一個厚度在60到100nm之間。
38. 如申請專利範圍第24項所述之方法，其中平坦化該氧化層的該步驟係包括有化學汽相研磨(CMP)，且其中一空氮化物部份係形成於該邏輯區中，以防止在該CMP期間的凹陷部。



六、申請專利範圍

39. 如申請專利範圍第24項所述之方法，其中該第二傳導層係選自於包含有多晶矽、鎢/多晶矽、及矽化鎢/多晶矽的組群。
40. 如申請專利範圍第24項所述之方法，其中在該記憶體區的該字閘極係藉由下列步驟而形成：
圖案化該第二傳導層，且置於該第一傳導層下；
植入硼離子到該基板中相鄰於該字閘極，以防止字線間漏電。
41. 如申請專利範圍第24項所述之方法，其中該第二傳導層係沉積到一個在150到200nm之間的厚度。
42. 一種整合製造一雙MONOS記憶體單元陣列及一CMOS邏輯元件電路之方法，其係包括有；
提供一基板，其具有一記憶體區及一邏輯區；
同時在該邏輯區定義出一邏輯閘極、及在該記憶體區定義出一記憶體閘極，其中亦形成一邏輯記憶體邊界結構，其中該邏輯閘極包括有一閘極氧化層於一第一傳導層下，且其中該記憶體閘極及該邏輯記憶體邊界結構包括有一閘極氧化層於一第一傳導層下，該第一傳導層係於一蓋氮化層下；
形成一氧化物-氮化物-氧化物(ONO)覆蓋於該基板、該邏輯閘極、該記憶體閘極及該邏輯記憶體邊界結構上；
均勻地沉積一多晶矽層覆蓋於該ONO層上；
回蝕該多晶矽層，以留下多晶矽間隙壁於該邏輯閘極



六、申請專利範圍

、該記憶體閘極及該邏輯記憶體邊界結構的側壁上，藉以該多晶矽間隙壁在該記憶體區中形成控制閘極；

形成源極/汲極區於該邏輯區中，其係使用該邏輯閘極及該多晶矽間隙壁為一離子植入罩幕；

之後，移除在邏輯區中的該多晶矽間隙壁；

自行對準矽化該控制閘極及在該邏輯區中的該源極/汲極區；

沉積一氧化層覆蓋於該自行對準矽化閘極及源極/汲極區上；

展開一接觸窗孔洞跨越該氧化層到該記憶體區的一源極/汲極；及

以一鎢層填充該接觸窗孔洞，以完成整合製造該雙MONOS記憶體單元陣列及該CMOS邏輯元件電路。

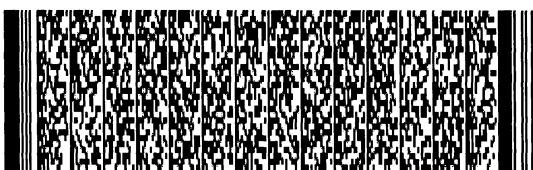
43. 如申請專利範圍第42項所述之方法，其中同時在該邏輯區定義出一邏輯閘極、及在該記憶體區定義出一記憶體閘極的該步驟包括有：

形成該閘極氧化層於該基板上；

沉積該第一傳導層覆蓋於該閘極氧化層上，其中該第一傳導層係包括有一多晶矽層在一氮化鈦/氮化鎢層下；

沉積該蓋氮化層覆蓋於該記憶體區的該第一傳導層上；

圖案化該蓋氧化層及該氮化鈦/氮化鎢層，以形成一



六、申請專利範圍

硬罩幕；

之後，沉積一氮化層覆蓋於該硬罩幕及該多晶矽層上，其中該氮化層保護該氮化鈦/氮化鎢層免於受到氧化反應；及

之後，蝕刻掉該多晶矽層及該閘極氧化層，其係在未被該硬罩幕所覆蓋處，以在該記憶體區中形成該記憶體閘極、及在該邏輯區中形成該邏輯閘極。

44. 如申請專利範圍第42項所述之方法，其中該閘極氧化層係具有一個在2到10奈米(nm)之間的厚度。

45. 如申請專利範圍第43項所述之方法，其中該多晶矽層係包括有一個在150到250nm之間的厚度。

46. 如申請專利範圍第42項所述之方法，其中該蓋氮化層係具有一個在100到200nm的厚度。

47. 如申請專利範圍第42項所述之方法，在形成ONO層的該步驟之前，尚包括有：

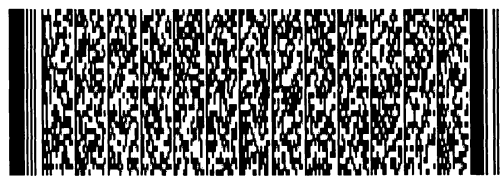
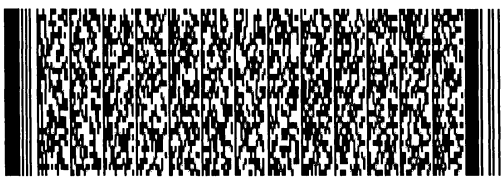
沉積一層氧化矽覆蓋於該記憶體閘極、該邏輯閘極、及該邏輯記憶體邊界結構上；

植入硼離子到該基板中，以調整在該控制閘極下的臨限電壓；及

在該邏輯區中及在該記憶體區中形成輕摻雜源極/汲極(LDD)區。

48. 如申請專利範圍第42項所述之方法，其中形成LDD區的該步驟尚包括有：

植入離子到該基板中，以在該邏輯區中形成LDD區；



六、申請專利範圍

之後，形成拋棄式側壁間隙壁於該記憶體閘極及該邏輯記憶體邊界結構上；

植入離子到該記憶體區中，係使用該拋棄式側壁間隙壁為一硬罩幕，以在該記憶體區中形成該LDD區；
及

之後，移除該拋棄式側壁間隙壁。

49. 如申請專利範圍第48項所述之方法，其中該拋棄式側壁間隙壁係選自於包含有多晶矽、氮化矽、及硼磷矽玻璃(BPSG)的組群。

50. 如申請專利範圍第42項所述之方法，其中形成該ONO層的該步驟係包括有：

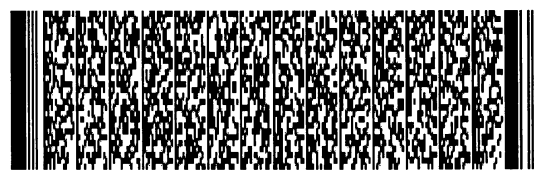
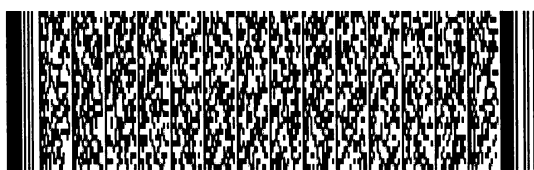
使用一內部蒸氣產生的氧化反應(ISSG)方法，以成長一第一二氧化矽層覆蓋於該基板、該第一傳導層、及該蓋氮化層上；

沉積一氮化矽層覆蓋於該第一二氧化矽層上，其係藉由將該第一二氧化矽層處置於一NH₃的環境中且於高於850℃中；及

成長一第二二氧化矽層覆蓋於該氮化矽層上，係使用該ISSG方法。

51. 如申請專利範圍第50項所述之方法，其中該第一二氧化矽層係具有一個在3.0到5.0nm之間的厚度、該氮化矽層係具一個在3到6nm之間的厚度、及該第二二氧化矽層係具一個在3到8nm之間的厚度。

52. 如申請專利範圍第42項所述之方法，在均勻地沉積一



六、申請專利範圍

多晶矽層覆蓋於該ONO層的該步驟之前，尚包括有：
蝕刻掉覆蓋在該基板上的該ONO層的氧化物-氮化物部
份；及

形成一第三氧化層覆蓋於該ONO層的一第一氧化物部
份上，藉以至少該多晶矽間隙壁的一外部不具有氮
化層於其下。

53. 如申請專利範圍第42項所述之方法，其中該多晶矽層
係為磷或砷摻雜，且藉由化學氣相沉積而沉積到一個
厚度在60到100nm之間。

54. 如申請專利範圍第42項所述之方法，在自行對準矽化
該控制閘極的該步驟之後，尚包括有：

沉積一氮化矽覆蓋於該基板及該控制閘極上；

沉積一介電層覆蓋於該氮化矽層上，且回蝕該介電層
到該控制閘極頂表面的一層次；及

重複步驟直到該控制閘極完全地被覆蓋；

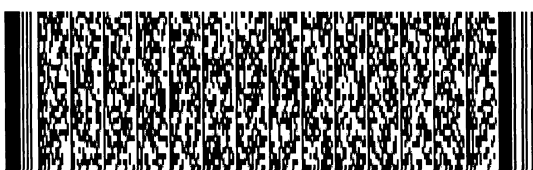
沉積一薄氮化矽層覆蓋於該控制閘極及該介電層上；
及

回蝕該薄氮化矽層，以形成薄氮化矽間隙壁。

55. 一種雙MONOS記憶體單元陣列及CMOS邏輯元件積體電路
元件，係包括有：

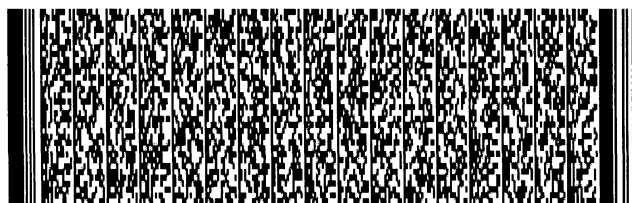
一場離子植入記憶體單元隔離，係位在一記憶體區中
；

一自行對準矽化邏輯閘極及一相鄰自行對準矽化源極
/汲極區，係位在一邏輯區中；



六、申請專利範圍

- 一 記憶體閘極及一相鄰自行對準矽化源極/汲極區，係在位在該記憶體區中；
- 控制閘極，係位在該記憶體閘極的側壁上，係藉由一氧化物-氮化物-氧化物(ONO)層而隔離；及
- 一自行對準矽化字閘極，係接觸該記憶體閘極。
56. 如申請專利範圍第55項所述之元件，其中該控制閘極與一位元線平行，且其中該字線與該控制閘極及該位元線垂直。
57. 如申請專利範圍第55項所述之元件，其中該記憶體閘極及該邏輯閘極係包括有多晶矽。
58. 如申請專利範圍第55項所述之元件，其中該字線係選自於包含有多晶矽、鎢/多晶矽、及氮化鎢/多晶矽的組群。
59. 如申請專利範圍第55項所述之元件，其中該ONO層亦位於該控制閘極下。
60. 如申請專利範圍第55項所述之元件，其中該ONO層並不位於與該源極/汲極區相鄰部份的該控制閘極下。
61. 一種雙MONOS記憶體單元陣列及CMOS邏輯元件積體電路元件，係包括有：
- 一記憶體單元隔離及邏輯元件隔離的淺溝槽隔離；
 - 一邏輯閘極及一相鄰自行對準矽化源極/汲極區，係位於一邏輯區中；
 - 一記憶體閘極及一相鄰源極/汲極區，係位於一記憶體區中；



六、申請專利範圍

控制閘極，係位於該記憶體側壁上，係藉由一氧化物-氮化物-氧化物(ONO)層而隔離；及
一局部配線跨越一介電層，係以該記憶體區的該源極/汲極區接觸。

62. 如申請專利範圍第61項所述之元件，其中該控制閘極係與一字線平行，且其中一位元線係與開控制閘極及該字線平行。

63. 如申請專利範圍第61項所述之元件，其中該記憶體閘極及該邏輯閘極係包括有多晶矽，係位於一蓋氮化層下。

64. 如申請專利範圍第61項所述之元件，其中該ONO層亦位於該控制閘極下。

65. 如申請專利範圍第61項所述之元件，其中該ONO層並不位於與該源極/汲極區相鄰部份的該控制閘極下。

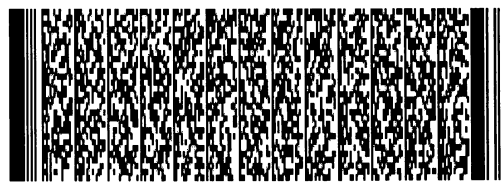
66. 一種雙MONOS記憶體單元陣列及CMOS邏輯元件積體電路元件，係包括有：

一記憶體元件隔離的淺溝槽隔離，係沿著該位元線的方向，及一該邏輯元件隔離的淺溝槽隔離；

邏輯閘極及相鄰自行對準矽化源極/汲極區，係位於一邏輯區中；

雙金屬位元線，係分別地與記憶體區每側上的擴散區接觸，其中該記憶體閘極作為一字線；

控制閘極，係位於該記憶體閘極的側壁上，且沿該字線及相鄰源極/汲極擴散區，其中在該記憶體閘極



六、申請專利範圍

側壁上的該控制閘極係藉由一介電層而與該記憶體閘極隔離，其中一介電層亦位在該控制閘極下，且其中該字線及該控制閘極係與該位元線平行；使該接觸窗擴散區的延伸區與該字線沿著位元線接觸窗的一位元線方向交替，其中一側上的該接觸窗擴散區的該延伸區接觸到一個該雙金屬位元線，且在另一側上接觸到另一個該雙金屬位元線；及一局部配線跨越一介電層，係以該記憶體區的一個該源極/汲極區接觸。

67. 如申請專利範圍第66項所述之元件，其中該記憶體閘極及該邏輯閘極係包括有多晶矽，係位在一氮化鈦/氮化鎢層下，該氮化鈦/氮化鎢層係在一蓋氮化層下。

68. 如申請專利範圍第66項所述之元件，其中該介電層係包括有氧化物/氮化物/氧化物(ONO)。

69. 如申請專利範圍第66項所述之元件，其中該介電層並不位於與該源極/汲極區相鄰部份的該控制閘極下。

70. 一種雙MONOS記憶體單元陣列及CMOS邏輯元件積體電路元件，係包括有：

邏輯閘極及相鄰自行對準矽化源極/汲極區於一邏輯區中；

記憶體閘極及相鄰自行對準矽化源極/汲極區於一記憶體區中；

控制閘極，係位於該記憶體閘極的側壁上，係藉由一



六、申請專利範圍

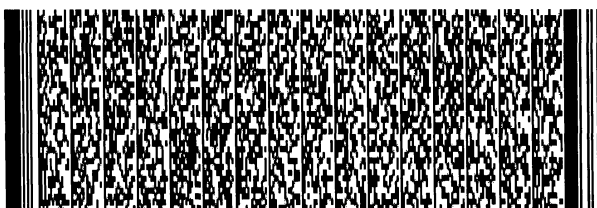
氧化物/氮化物/氧化物層而與該記憶體閘極隔離；
字線係與該控制閘極平行；

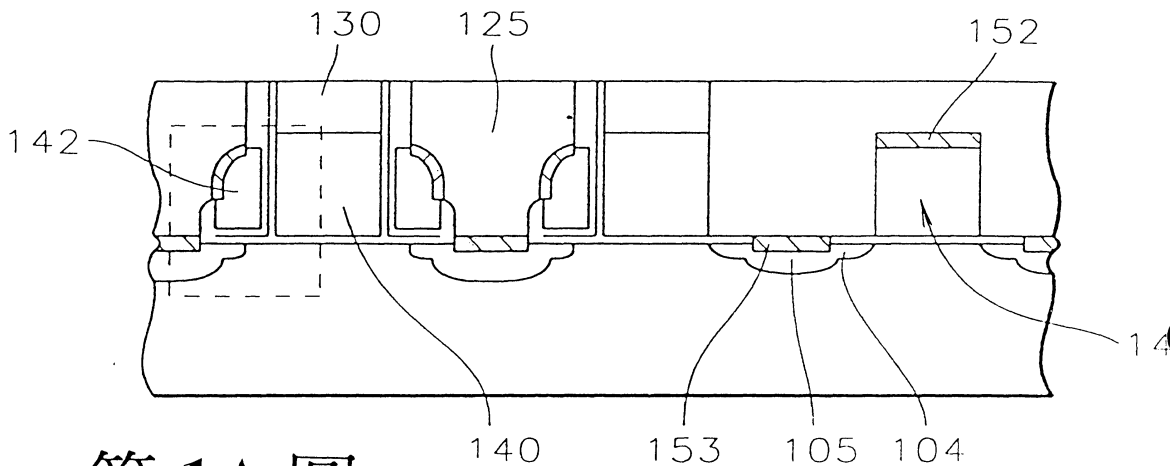
一第一擴散區，係於該字線的一側上，其中該第一擴散區係藉由淺溝槽隔離區將位元線分開；

一第二擴散區，係於該字線的另一側上，其中該第二擴散區形成一連續擴散線；及

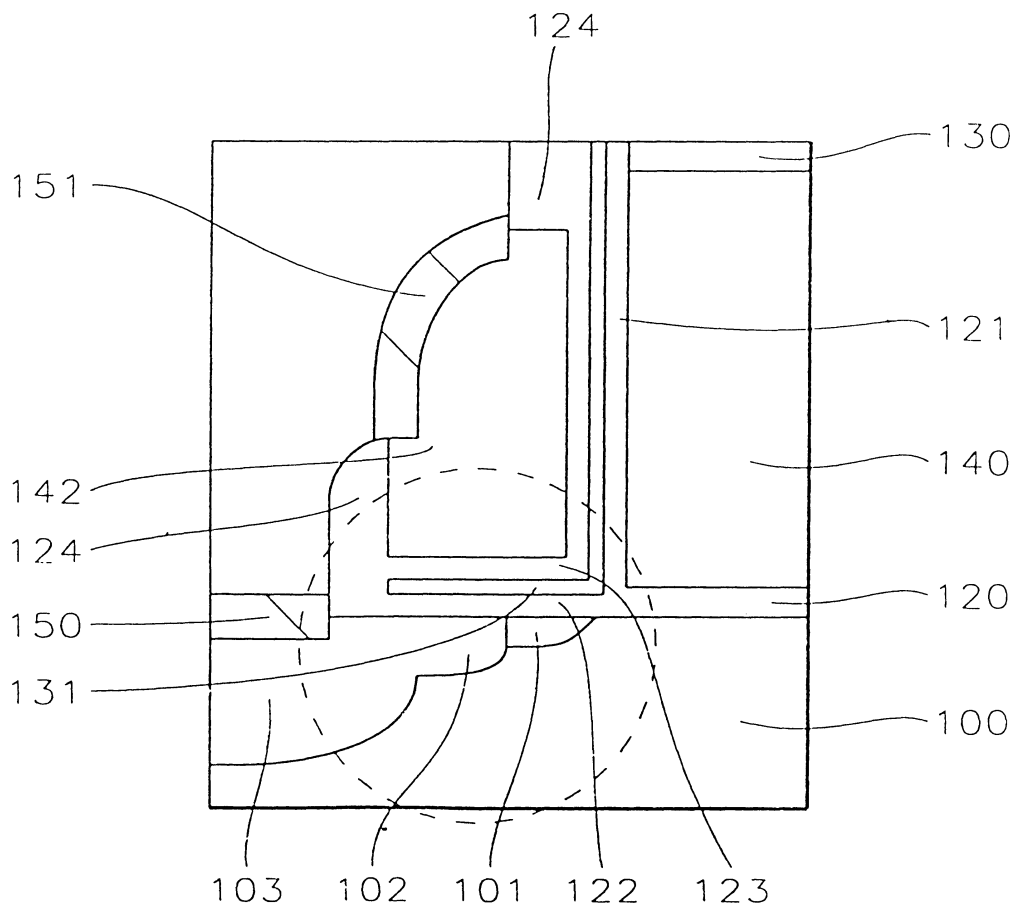
一金屬線，係覆蓋於該字線上且與該字線平行，其中該金屬線接觸每個該第一擴散區的該位元線，且其中該金屬線作為一位元線，且其中該金屬線並不會接觸到該連續擴散線，且其中該連續擴散線作為一源線。

71. 如申請專利範圍第70項所述之元件，其中該記憶體閘極及該邏輯閘極包括有多晶矽，係覆蓋於一氮化鈦/氮化鎢層下，其氮化鈦/氮化鎢層係位在一蓋氮化層下。
72. 如申請專利範圍第70項所述之元件，其中該ONO層亦在該控制閘極下。
73. 如申請專利範圍第70項所述之元件，其中該ONO並不位於與該源極/汲極區相鄰部份的該控制閘極下。

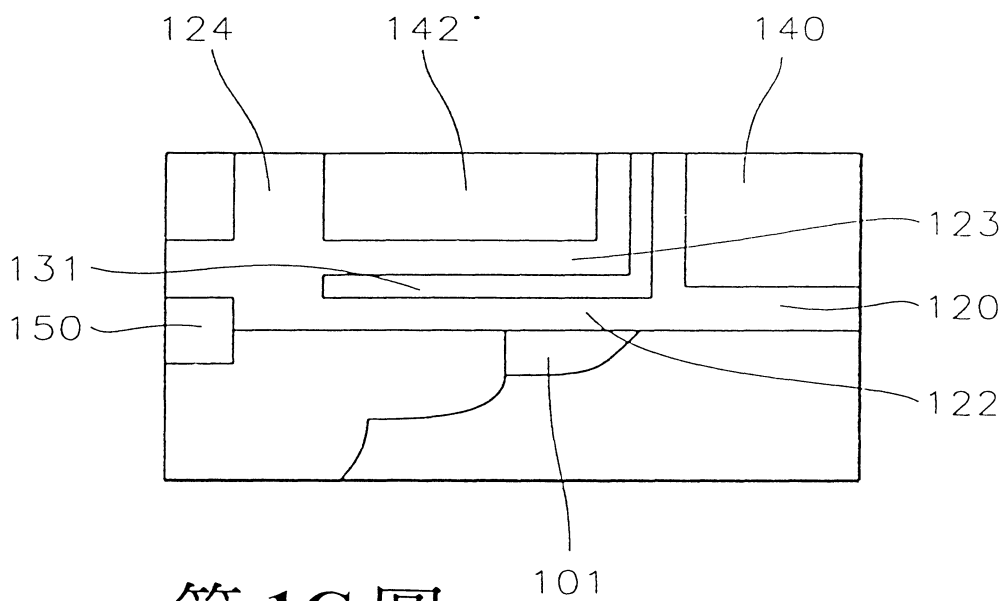




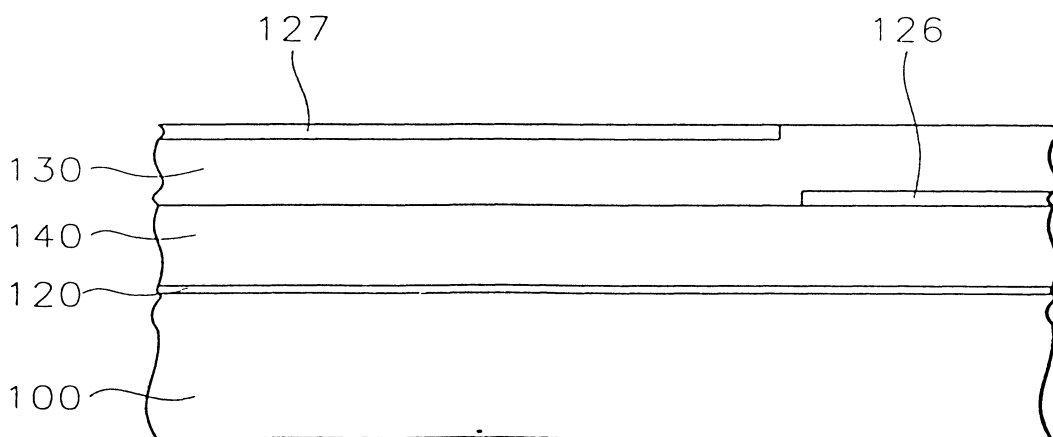
第 1A 圖



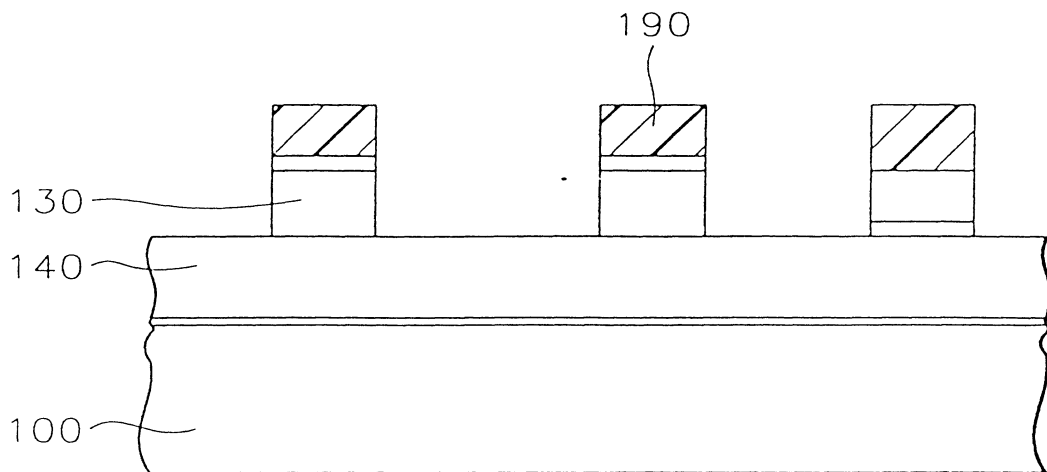
第 1B 圖



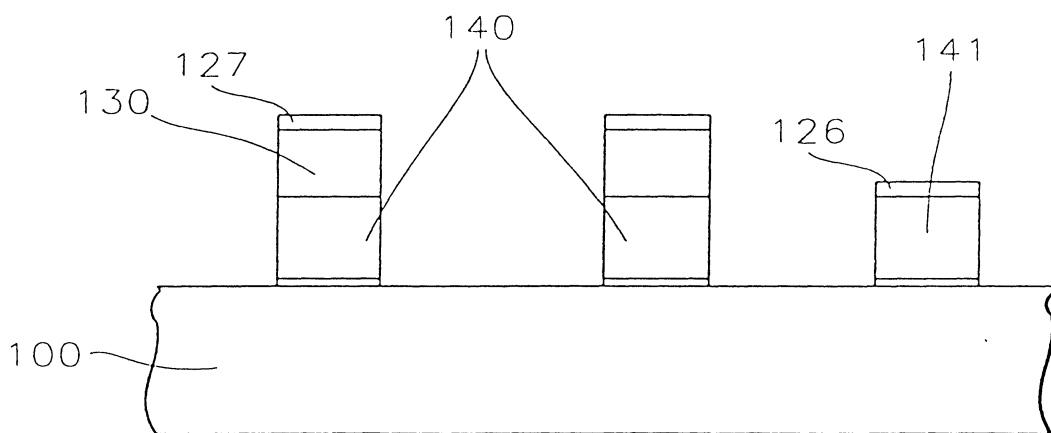
第 1C 圖



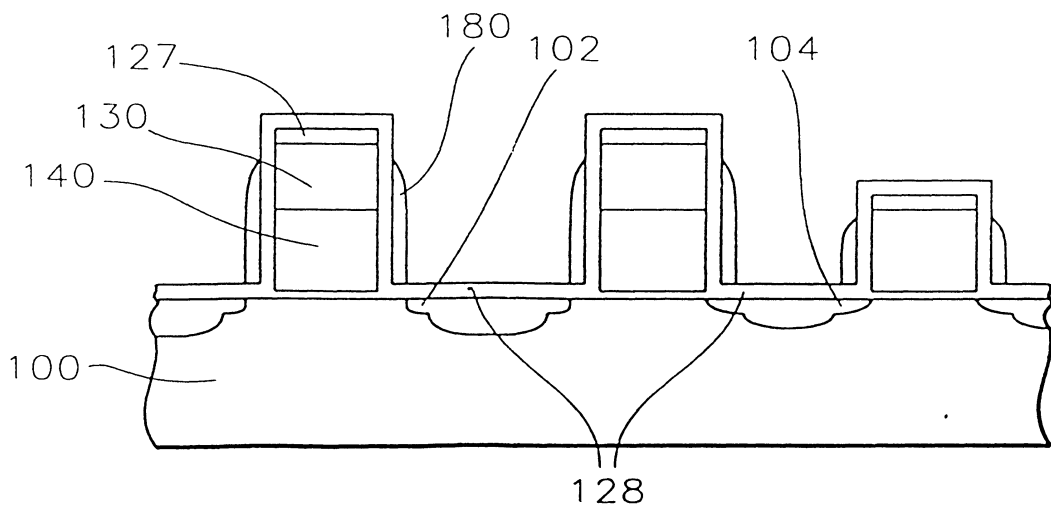
第 1D 圖



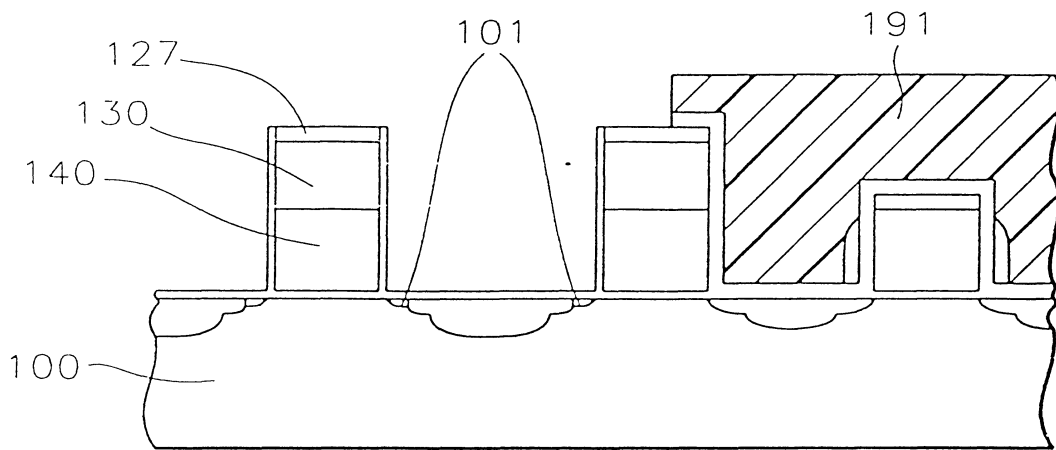
第 1E 圖



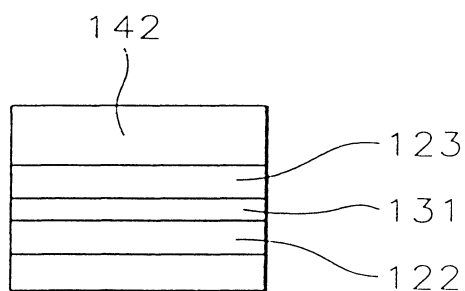
第 1F 圖



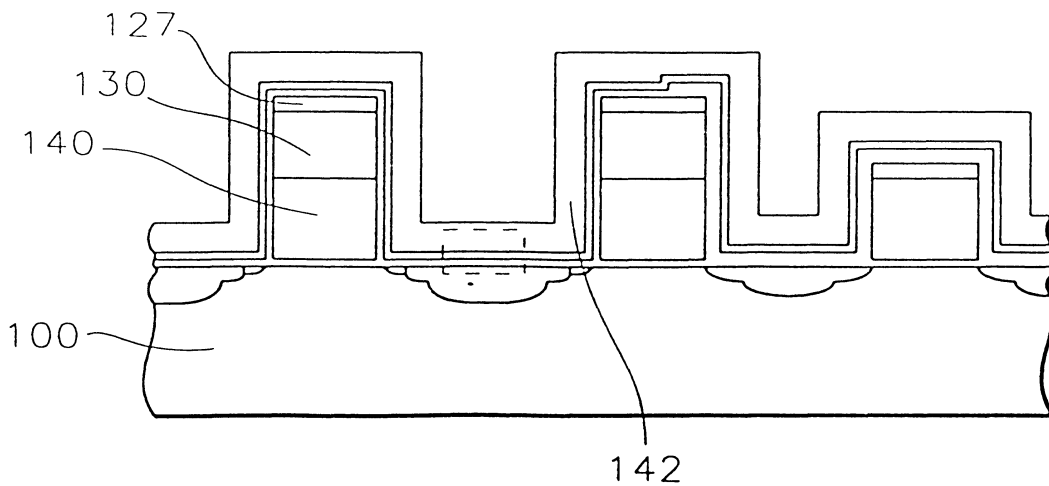
第 1G 圖



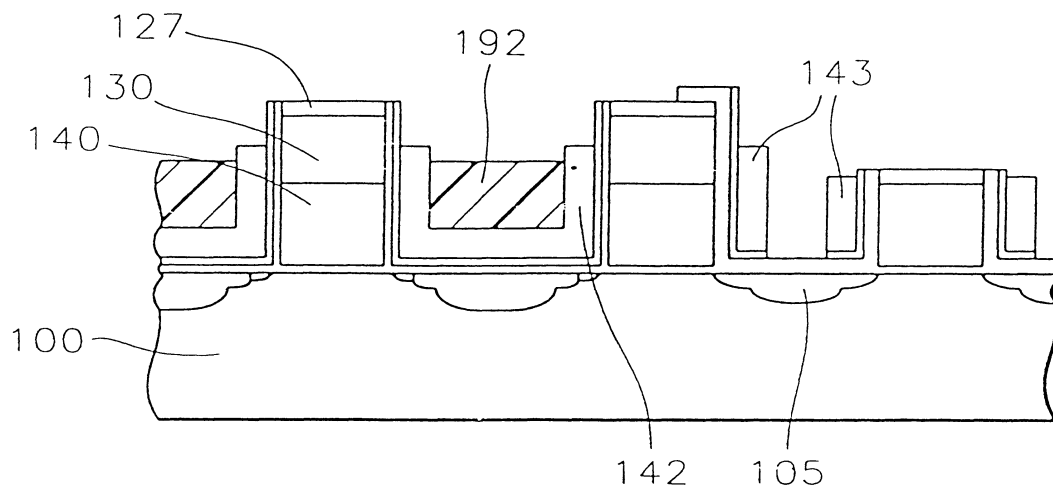
第 1H 圖



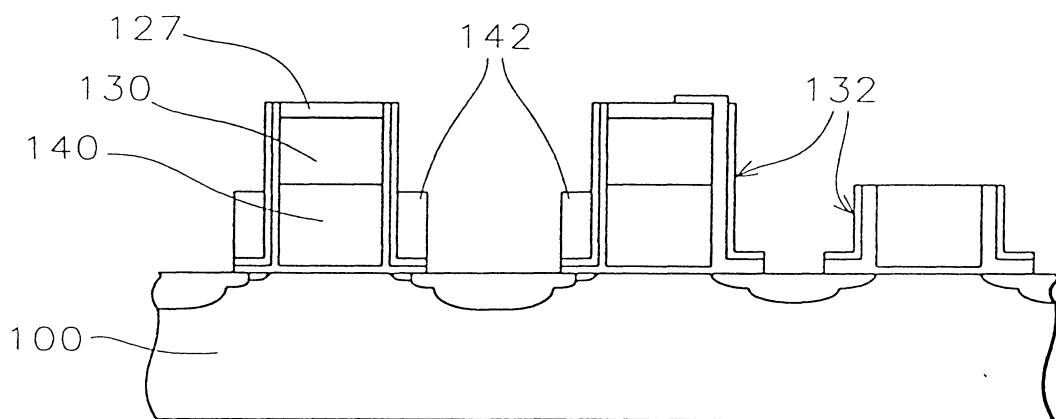
第 1J 圖



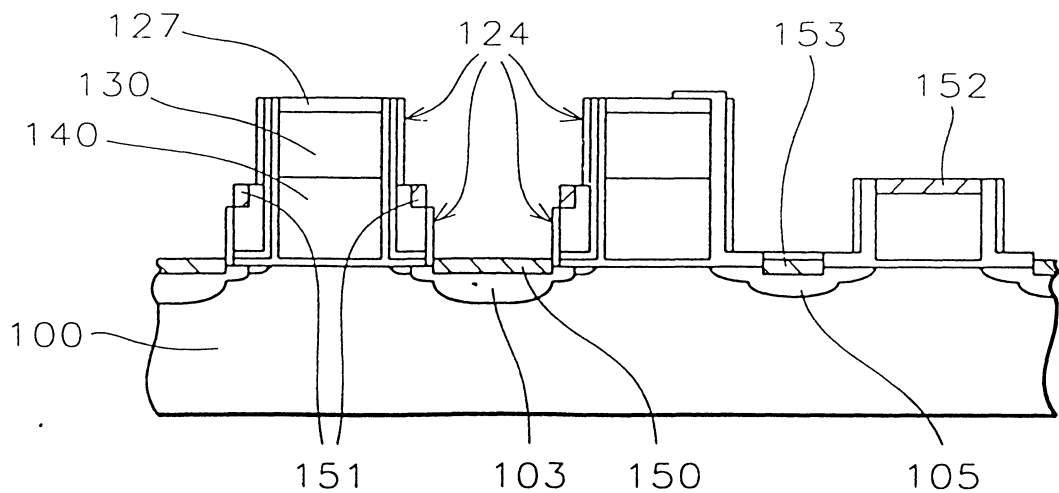
第 1K 圖



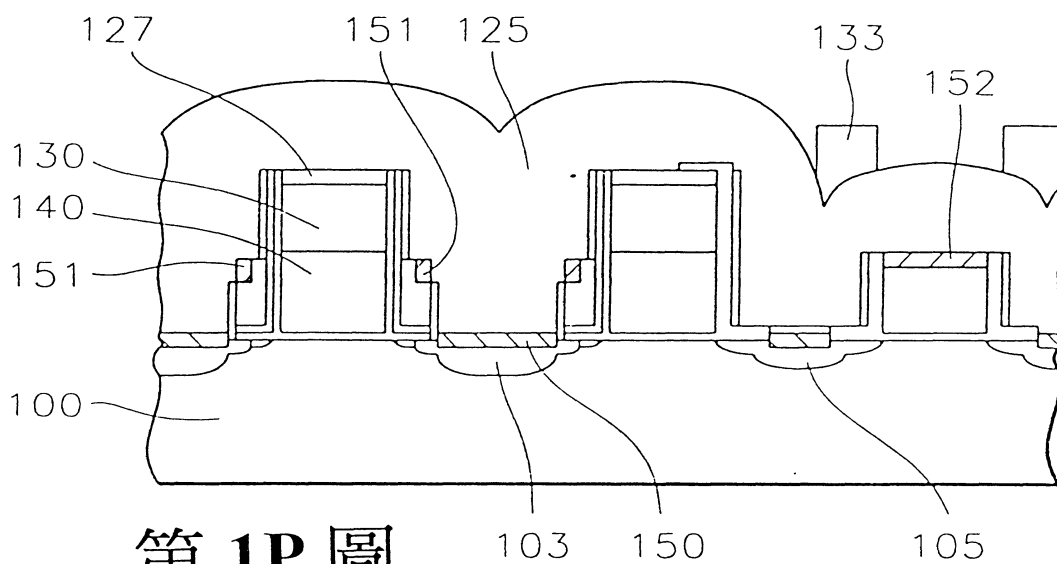
第 1L 圖



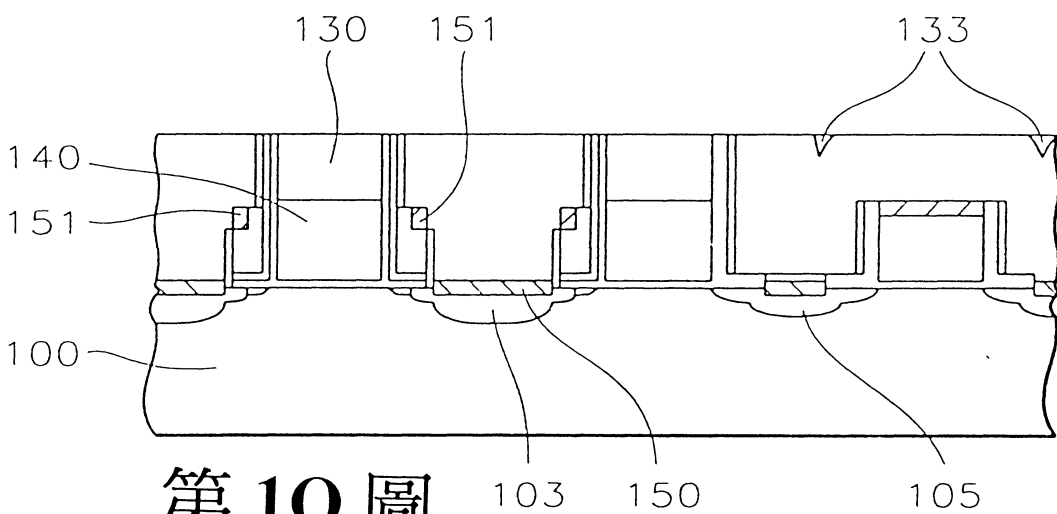
第 1M 圖



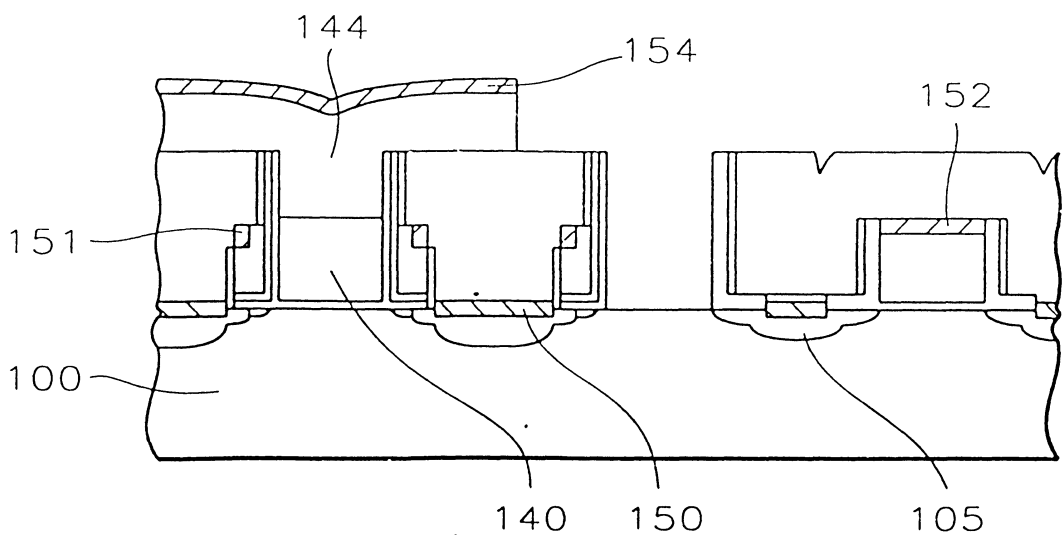
第 1N 圖



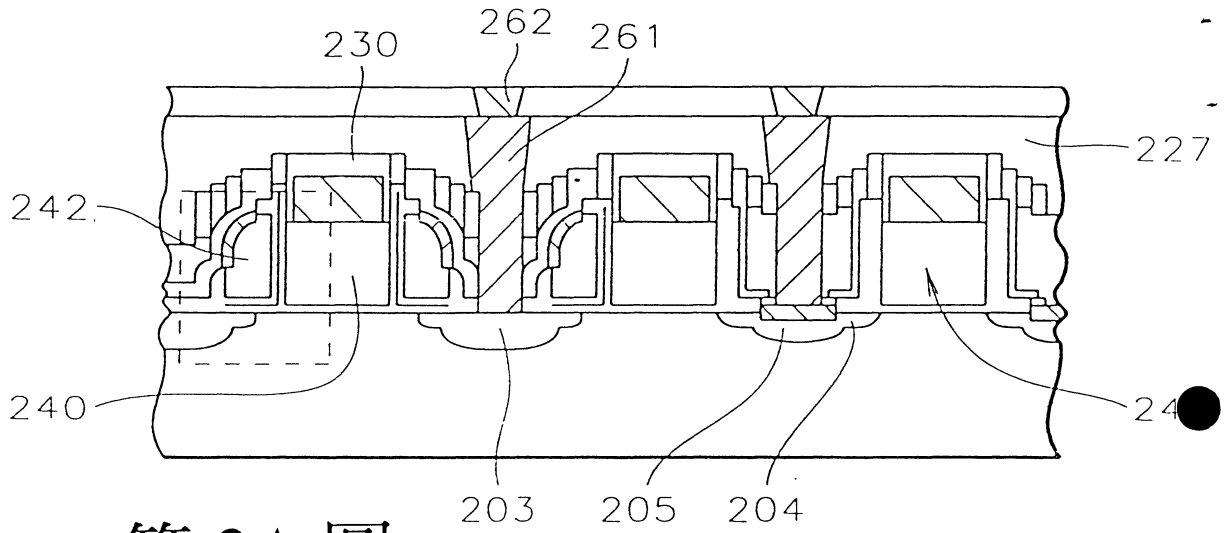
第 1P 圖



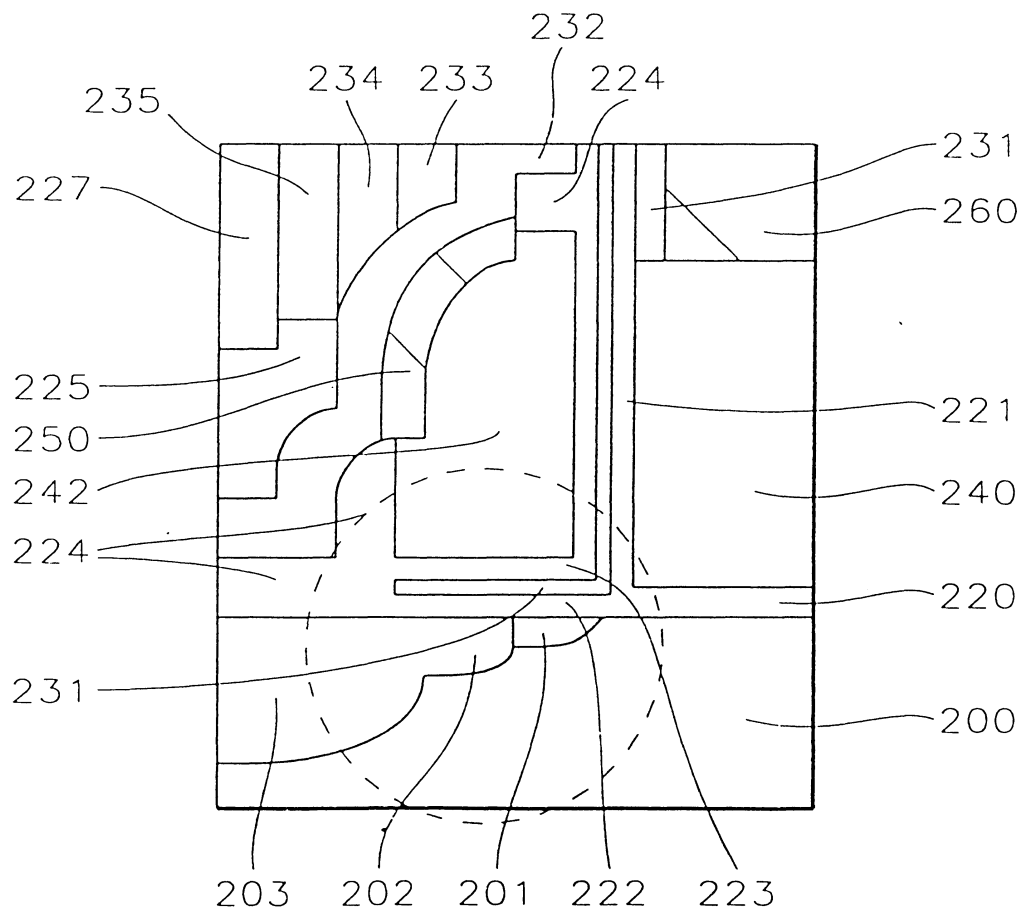
第 1Q 圖



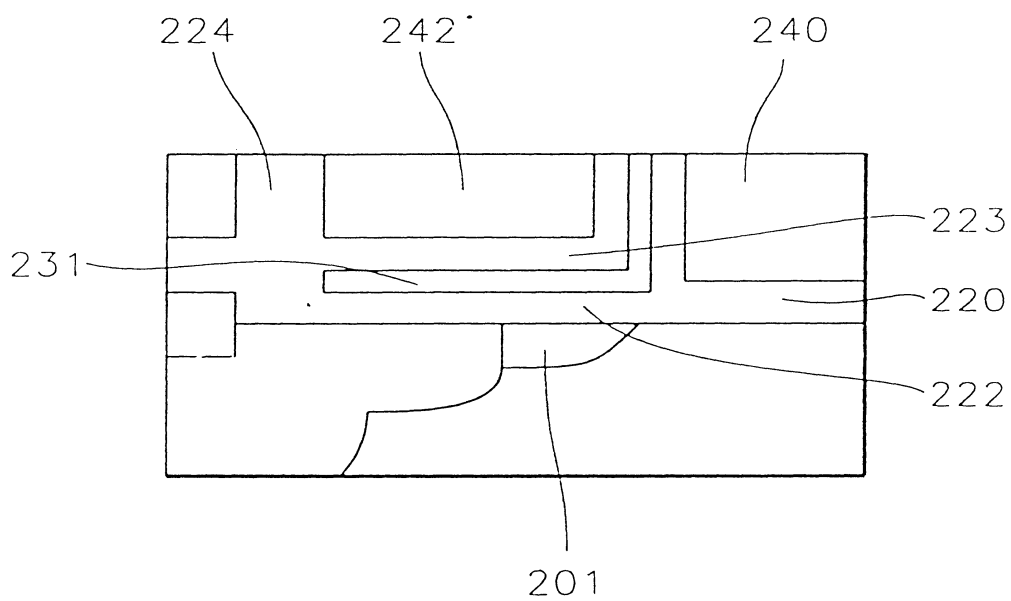
第 1R 圖



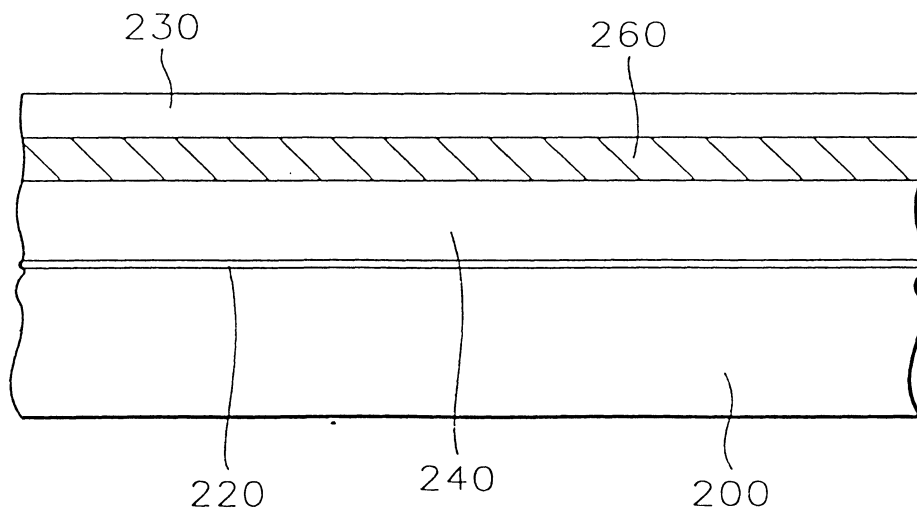
第 2A 圖



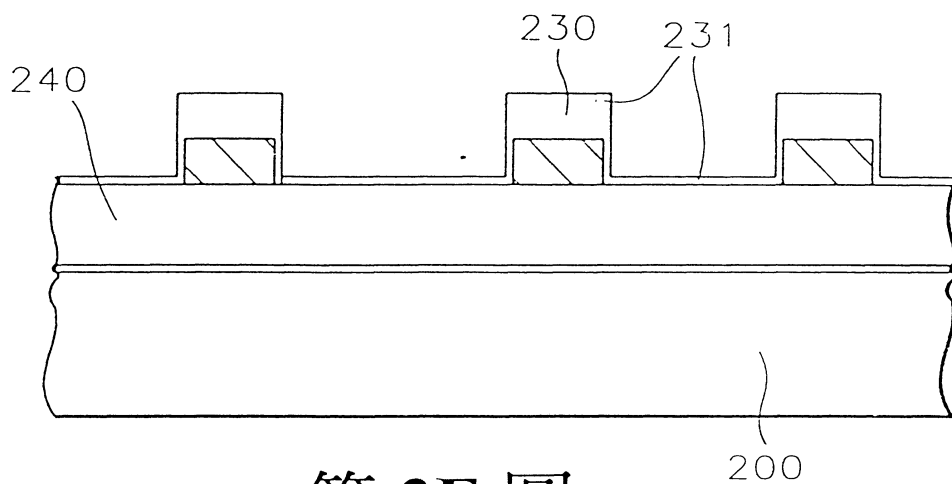
第 2B 圖



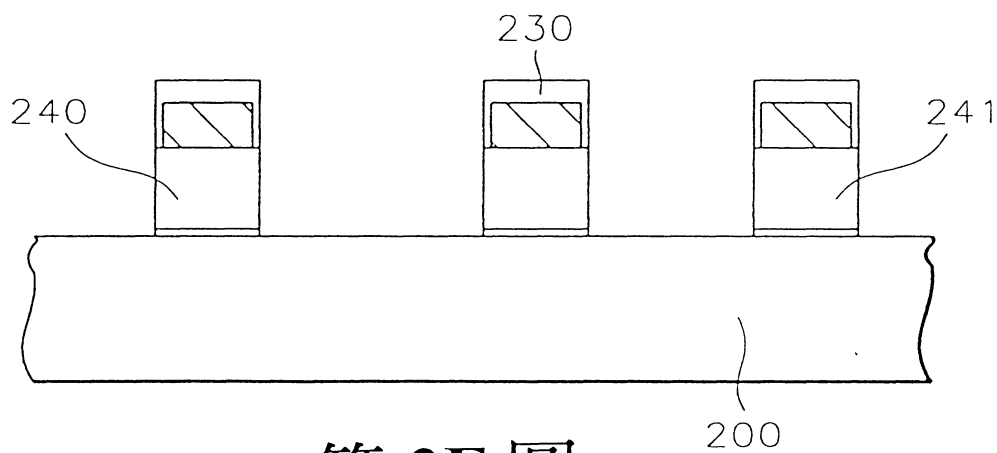
第 2C 圖



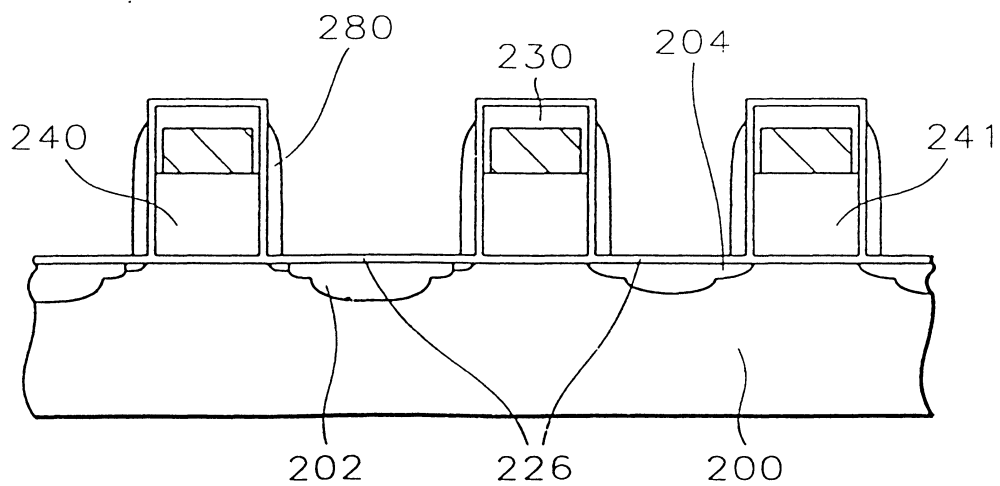
第 2D 圖



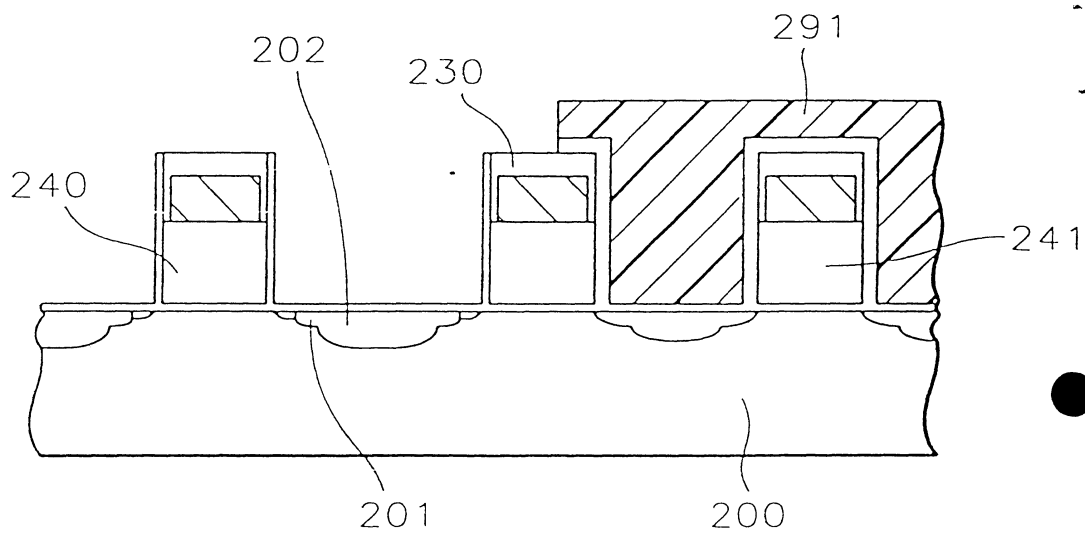
第 2E 圖



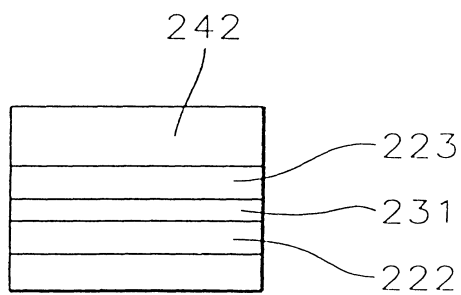
第 2F 圖



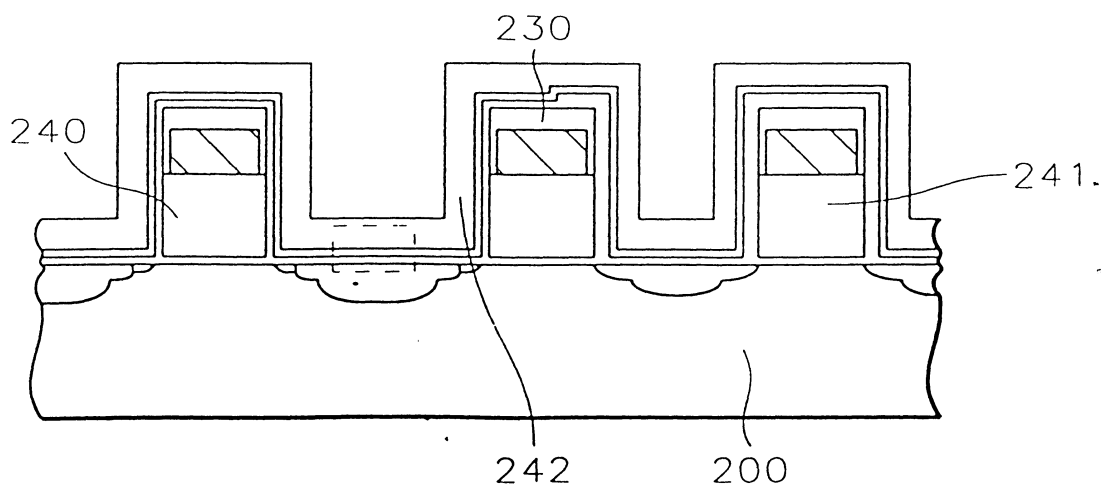
第 2G 圖



第 2H 圖

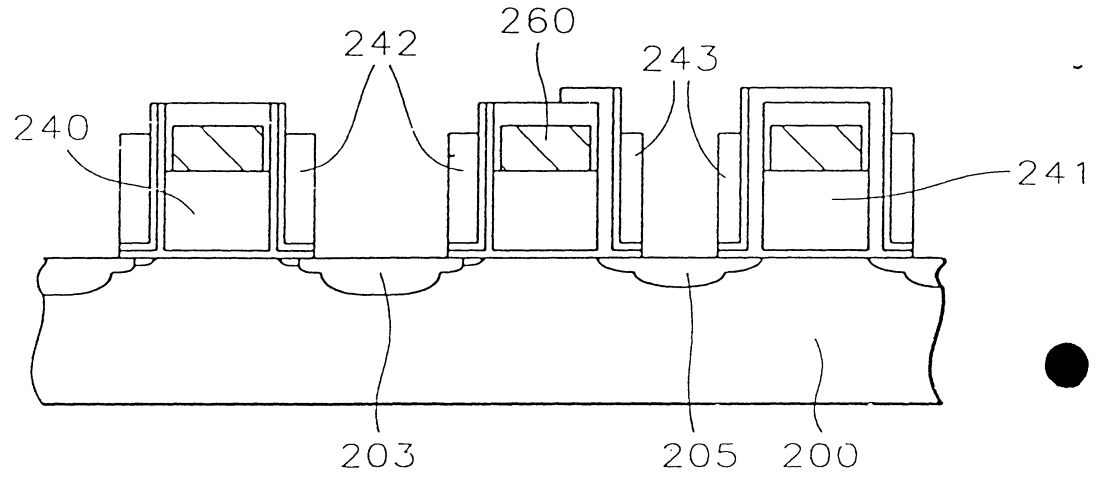


第 2J 圖

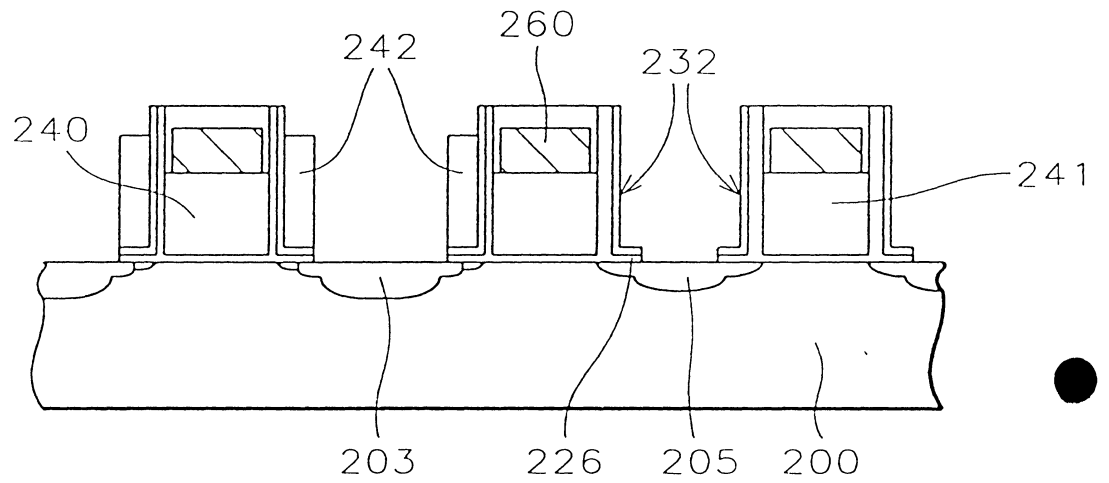


第 2K 圖

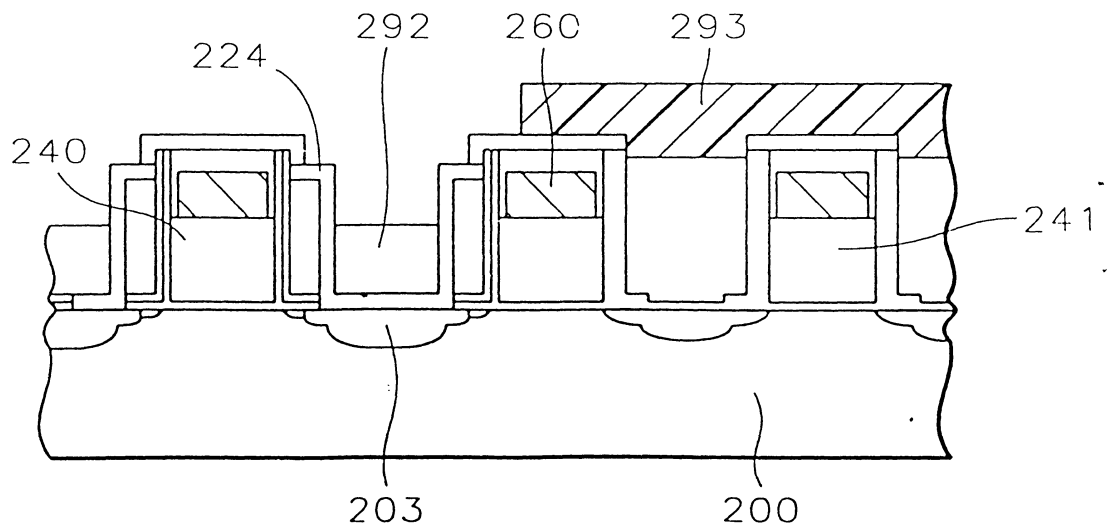
11/30

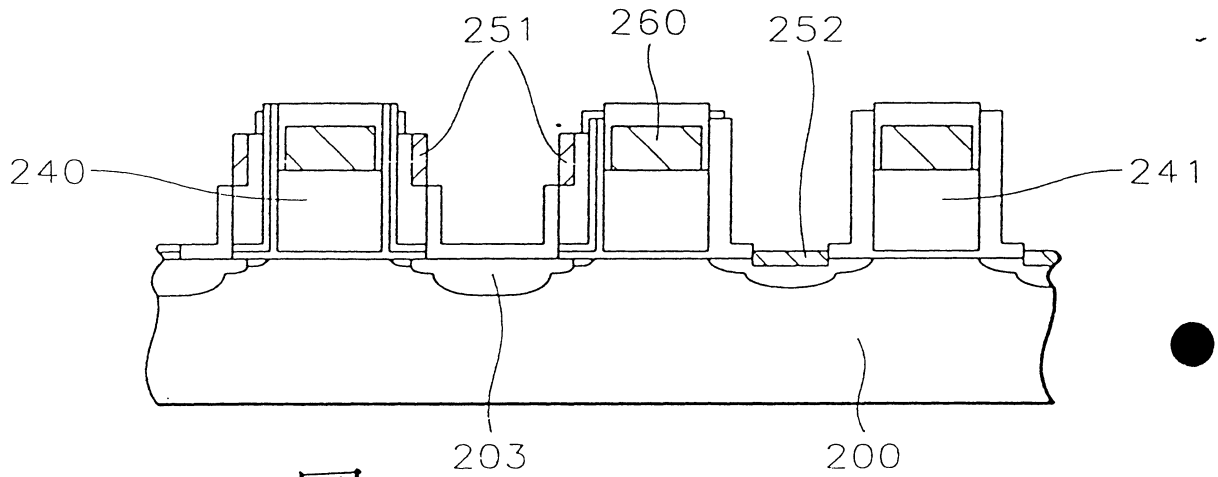


第 2L 圖

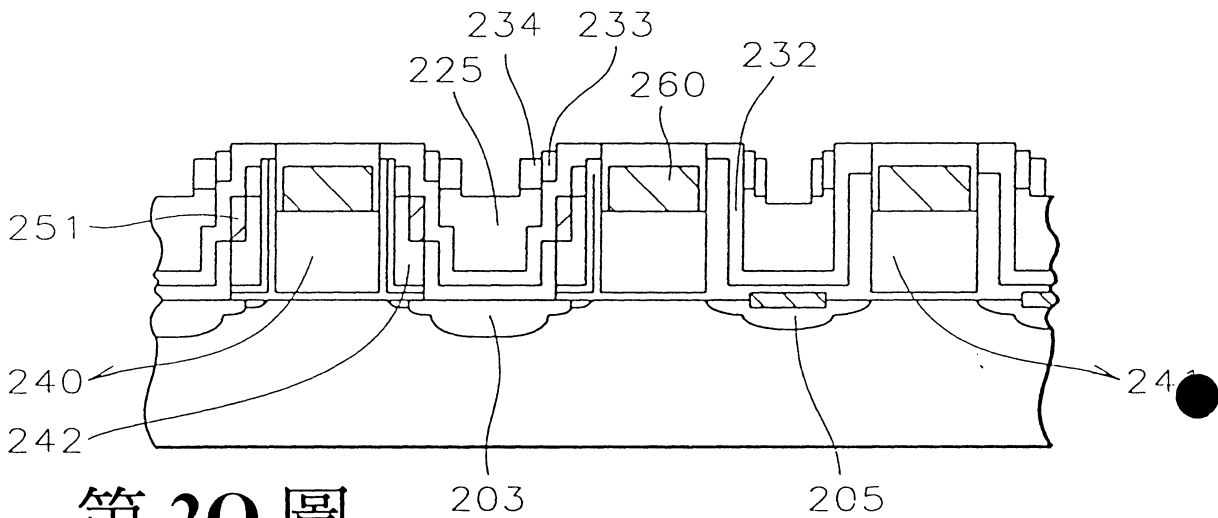


第 2M 圖

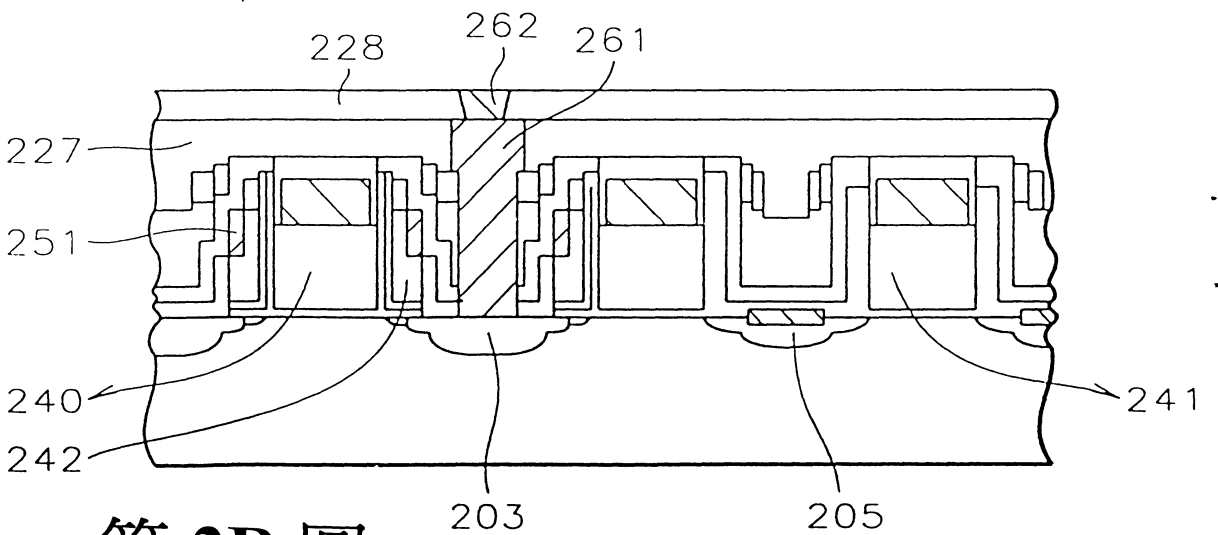




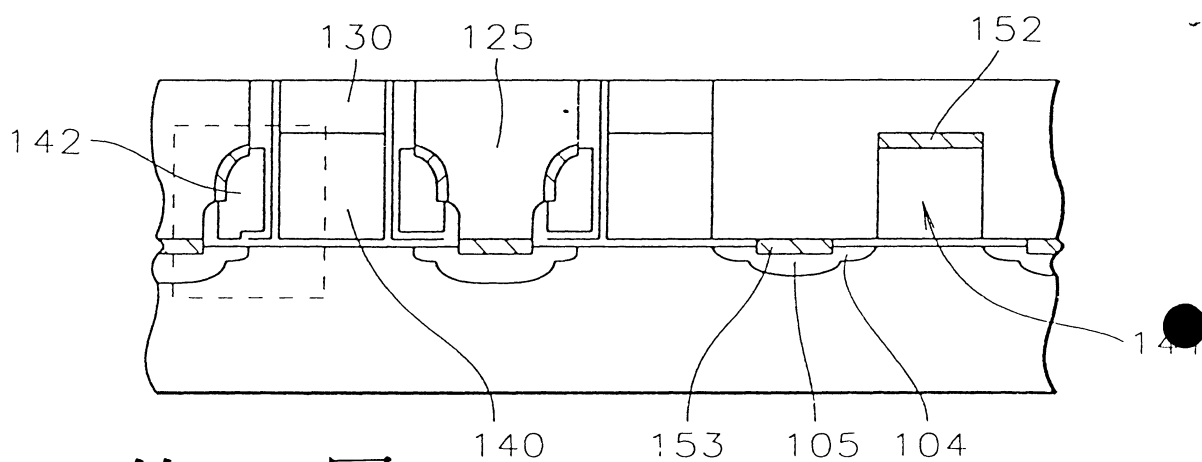
第 2P 圖



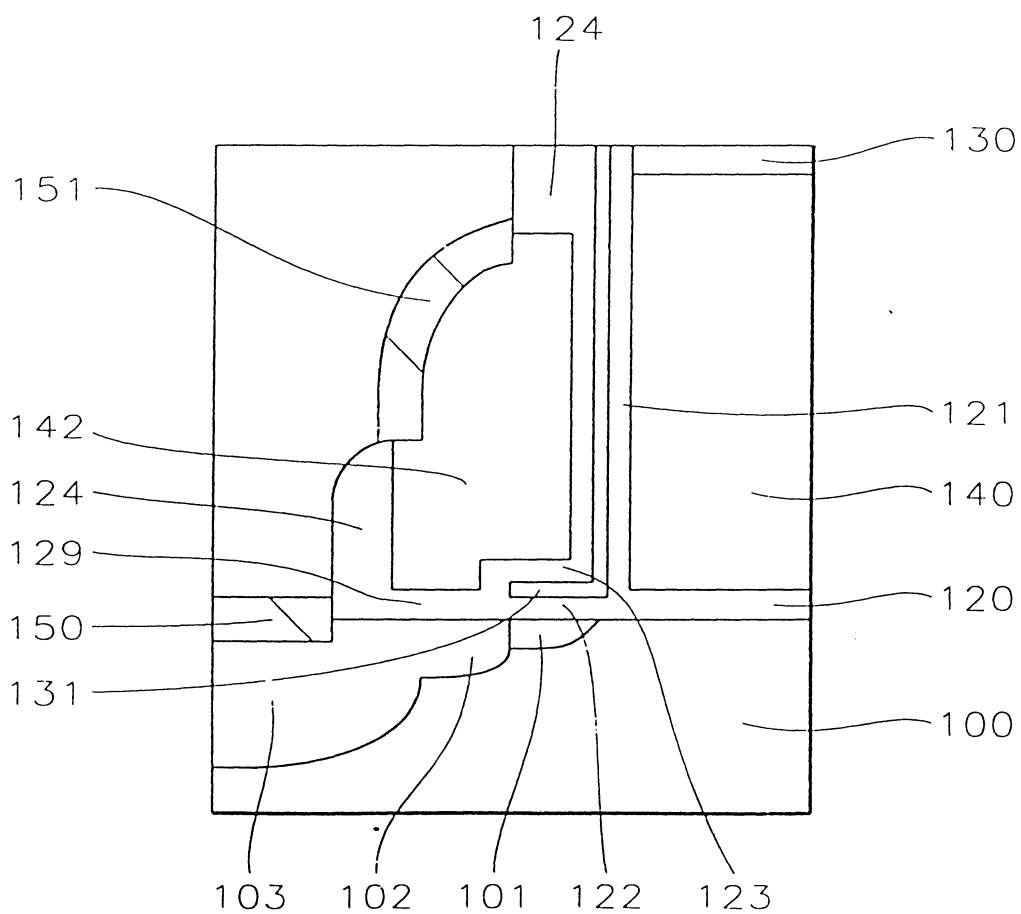
第 2Q 圖



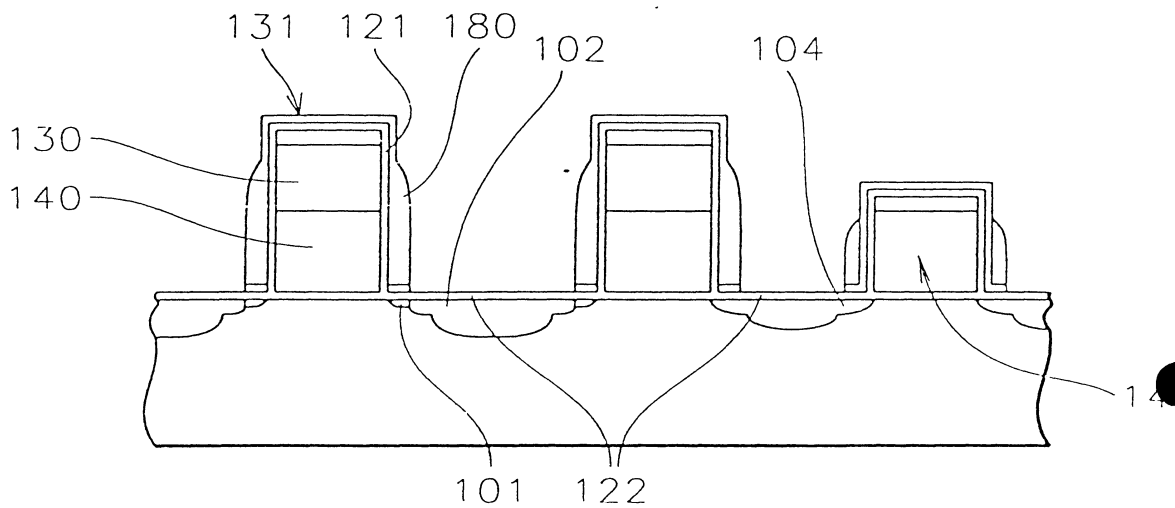
第 2R 圖



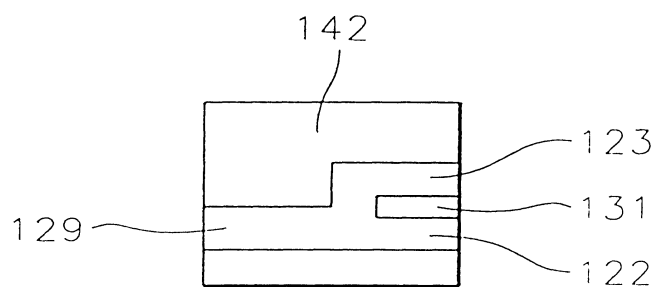
第 3A 圖



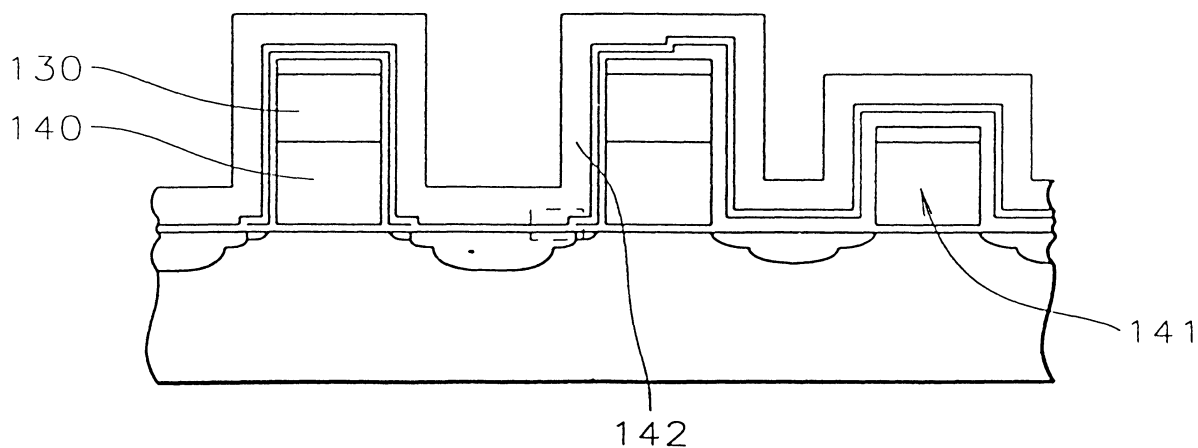
第 3B 圖



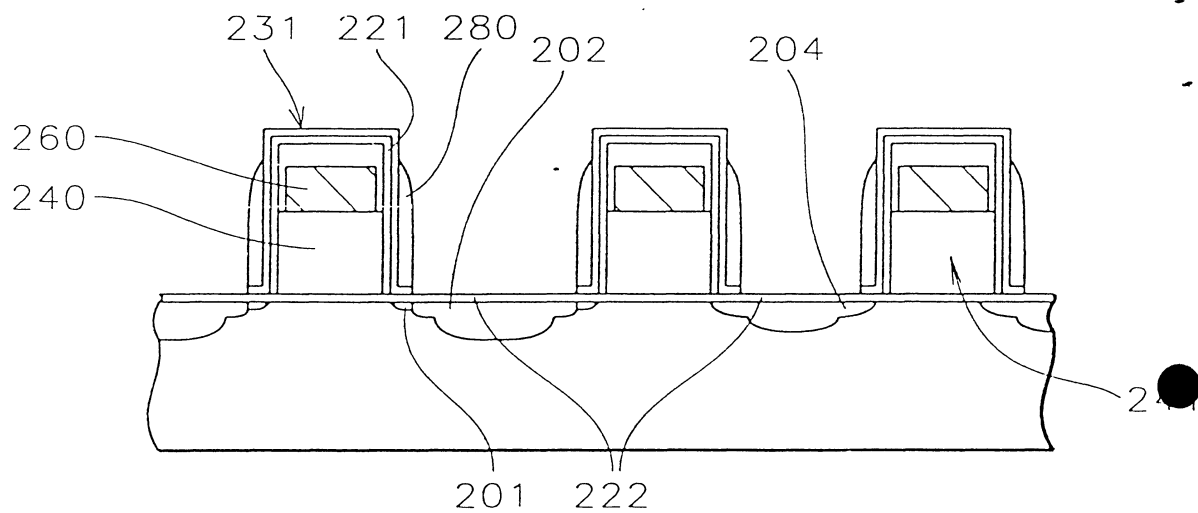
第 3C 圖



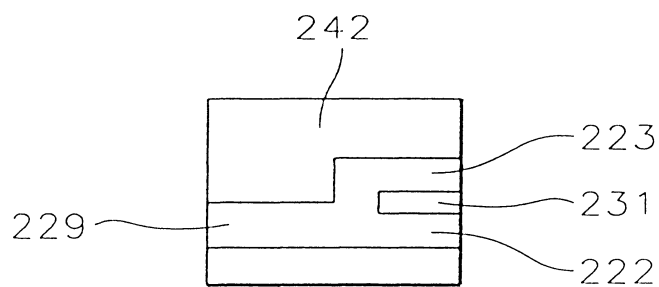
第 3D 圖



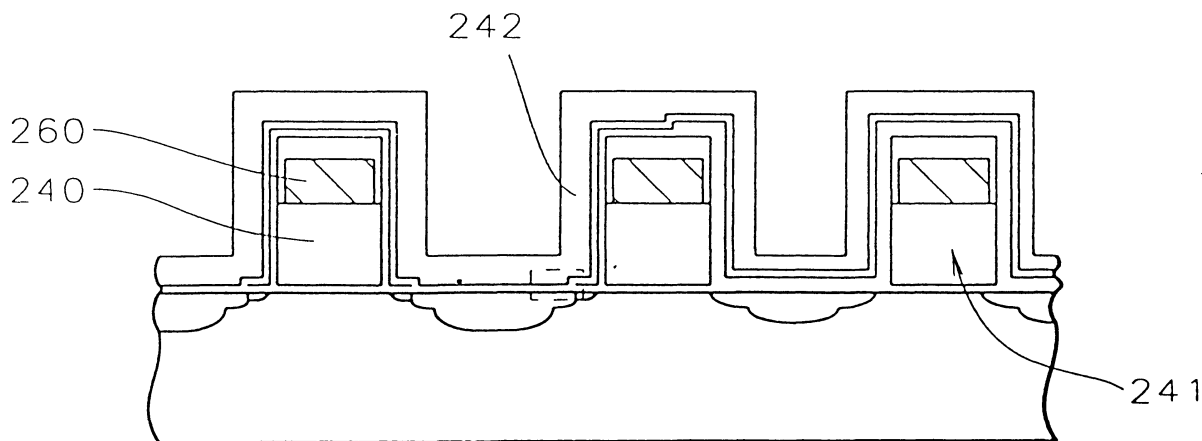
第 3E 圖



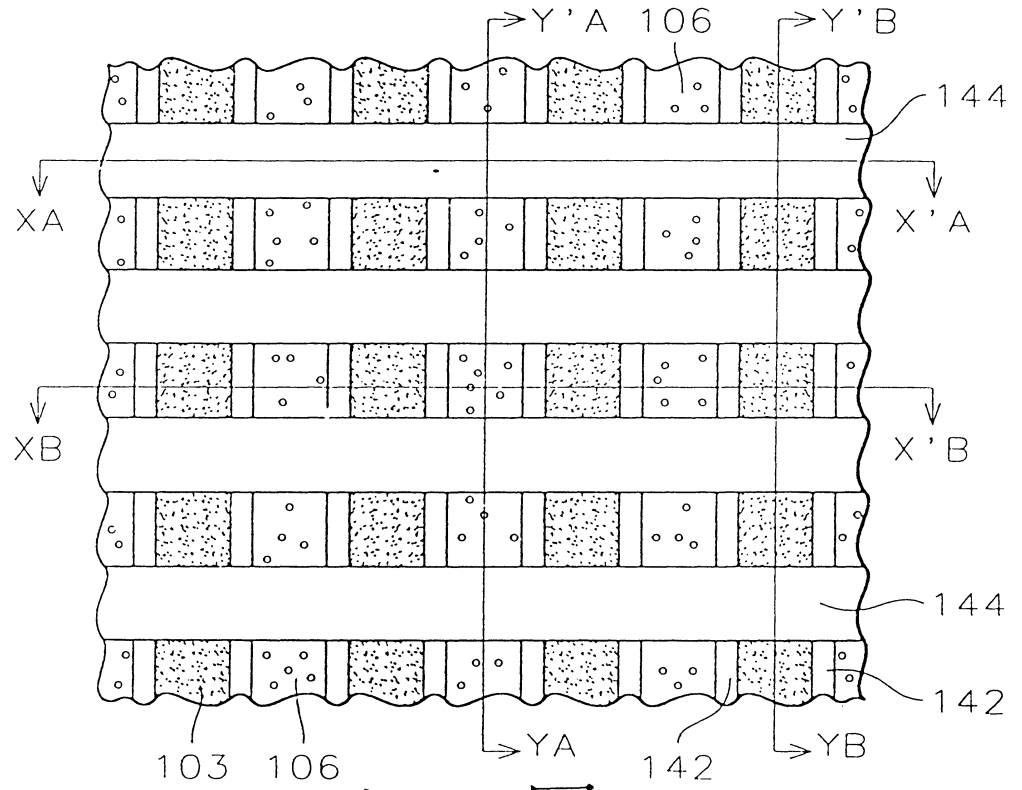
第 4C 圖



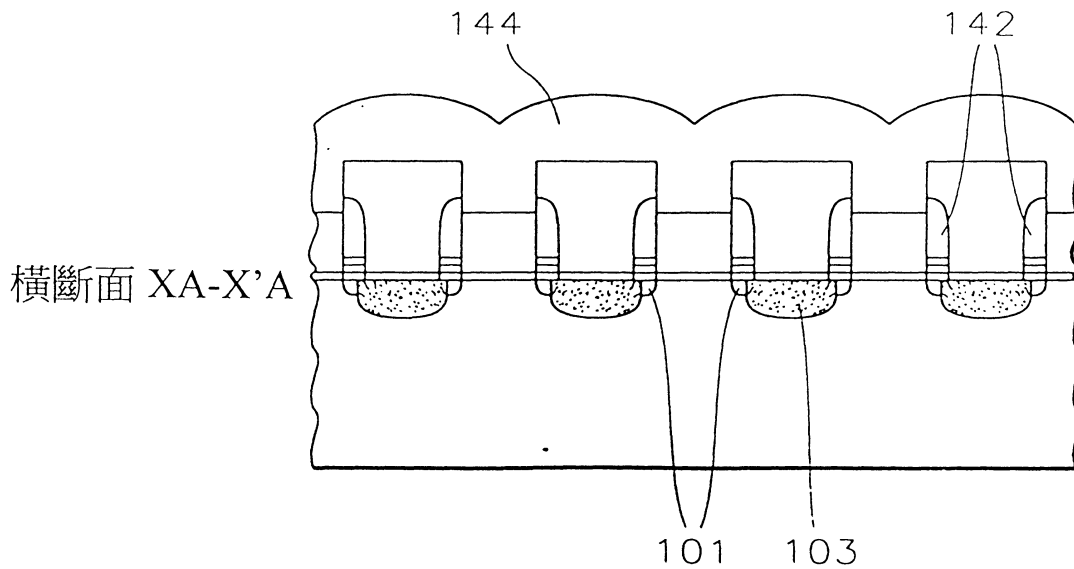
第 4D 圖



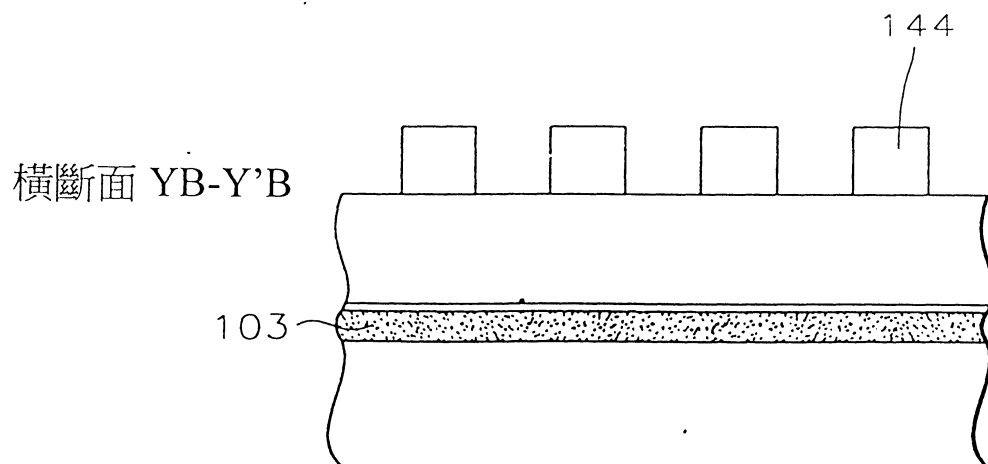
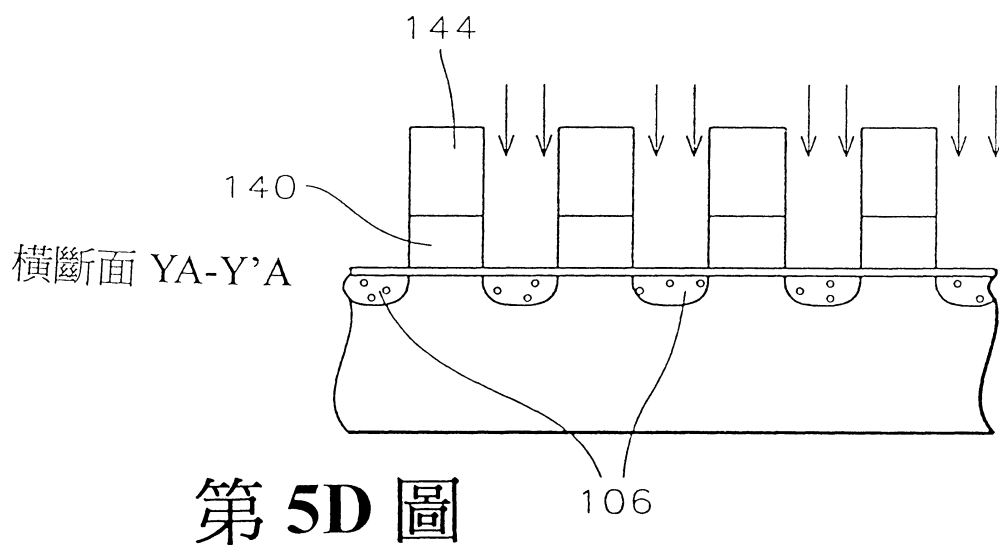
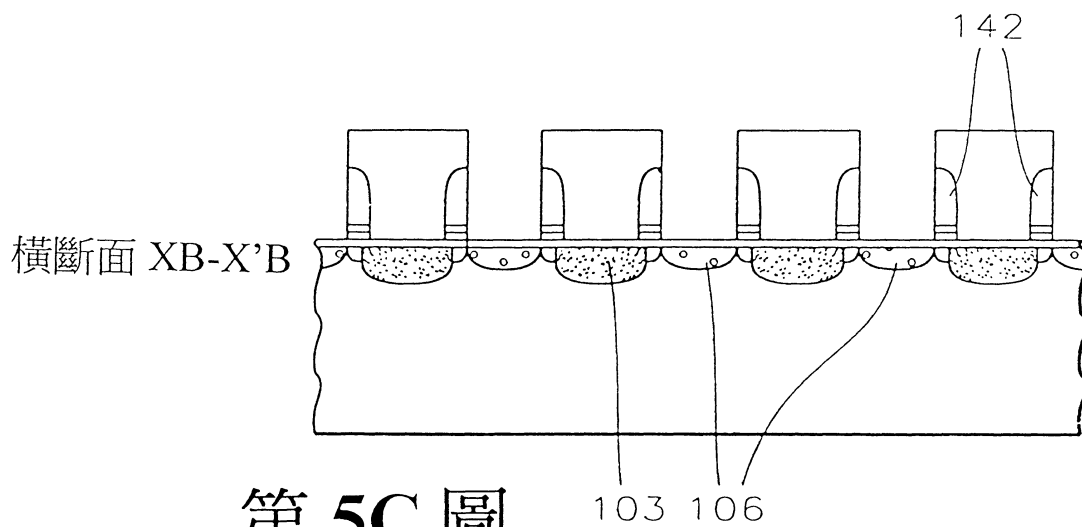
第 4E 圖

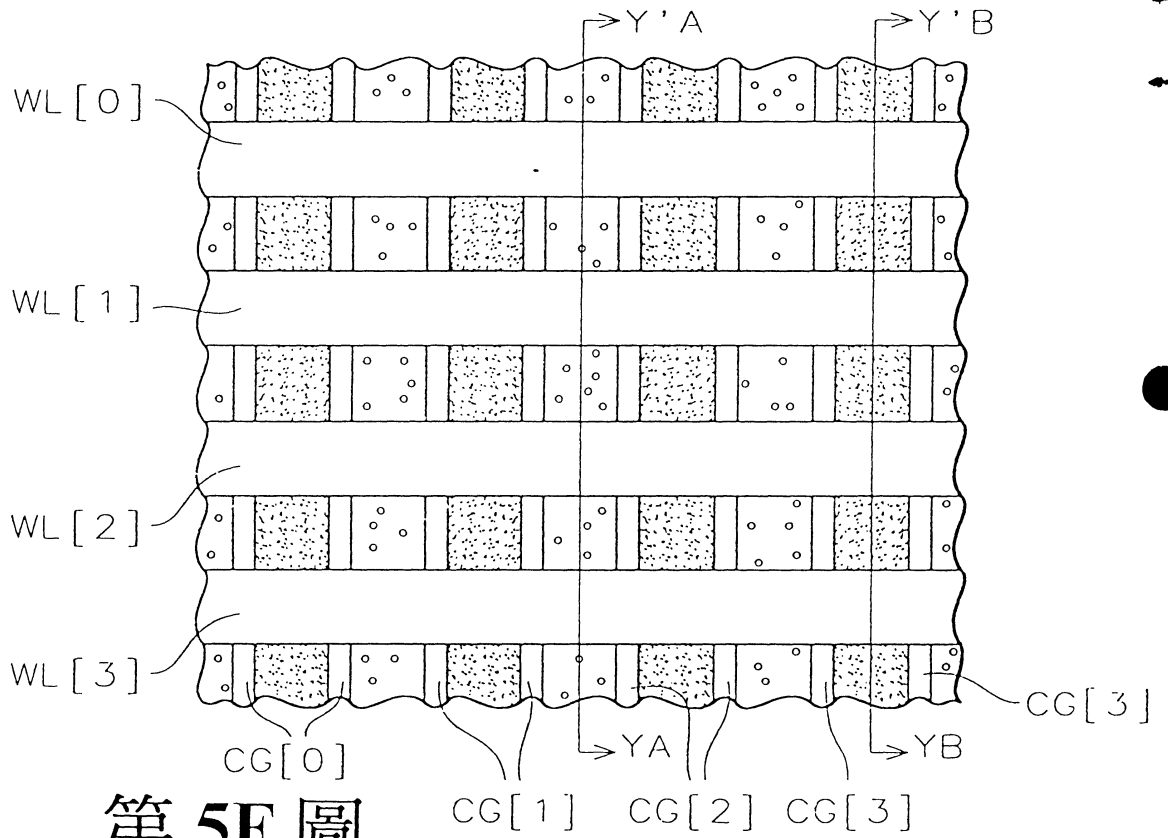


第 5A 圖

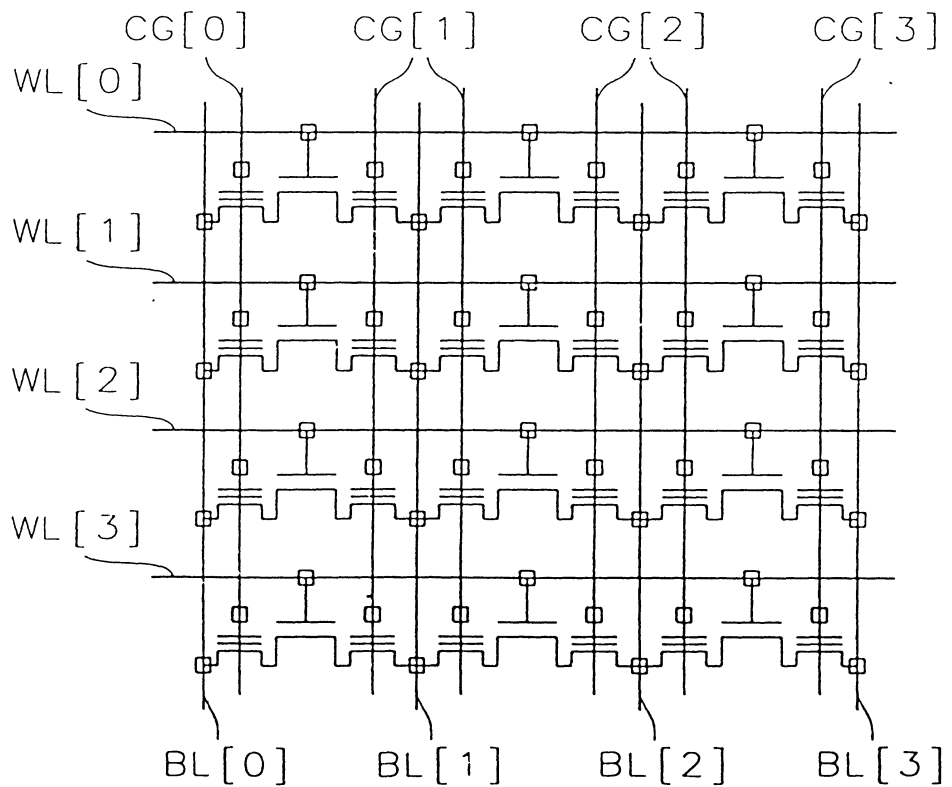


第 5B 圖

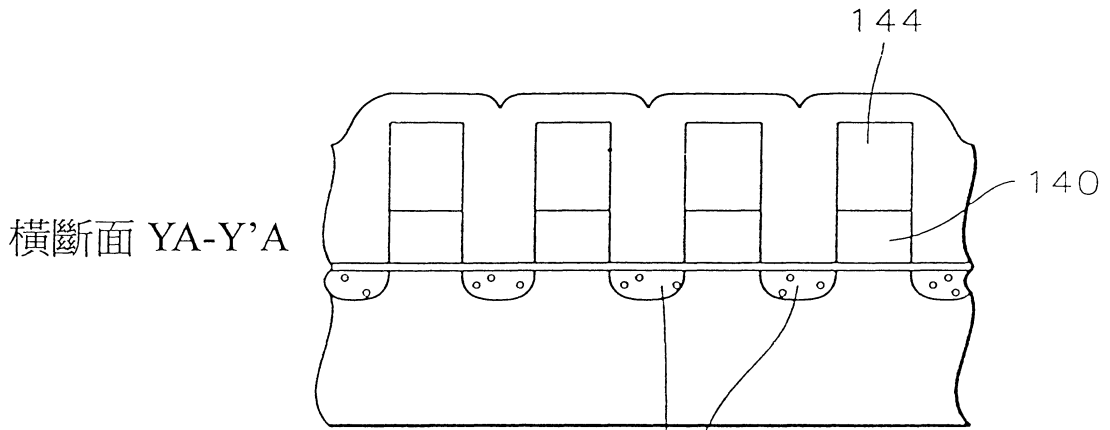




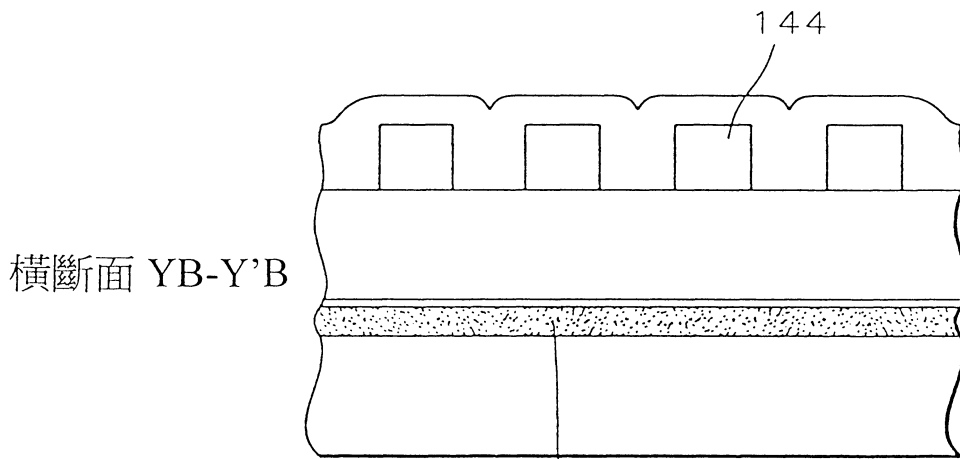
第 5F 圖



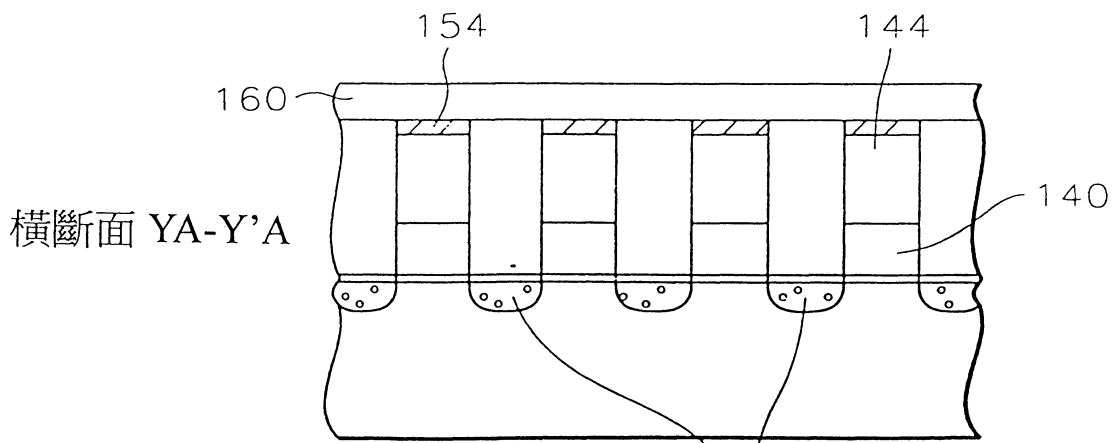
第 5G 圖



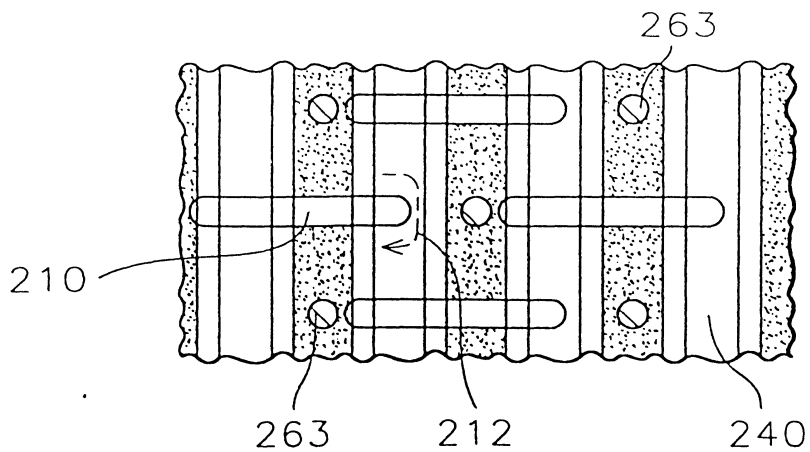
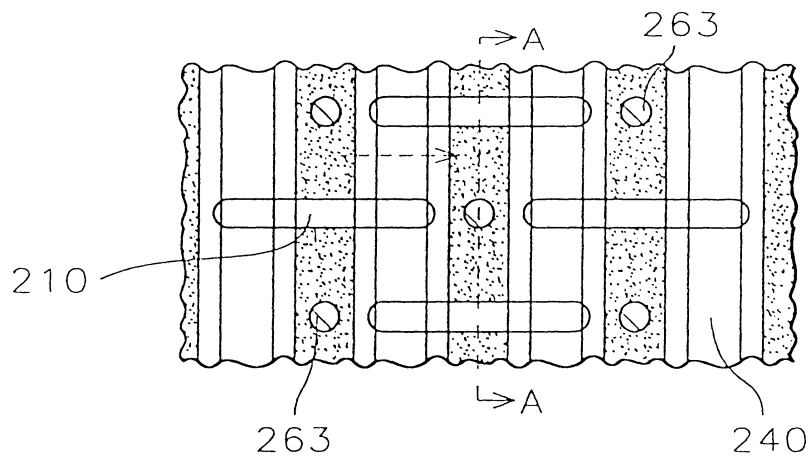
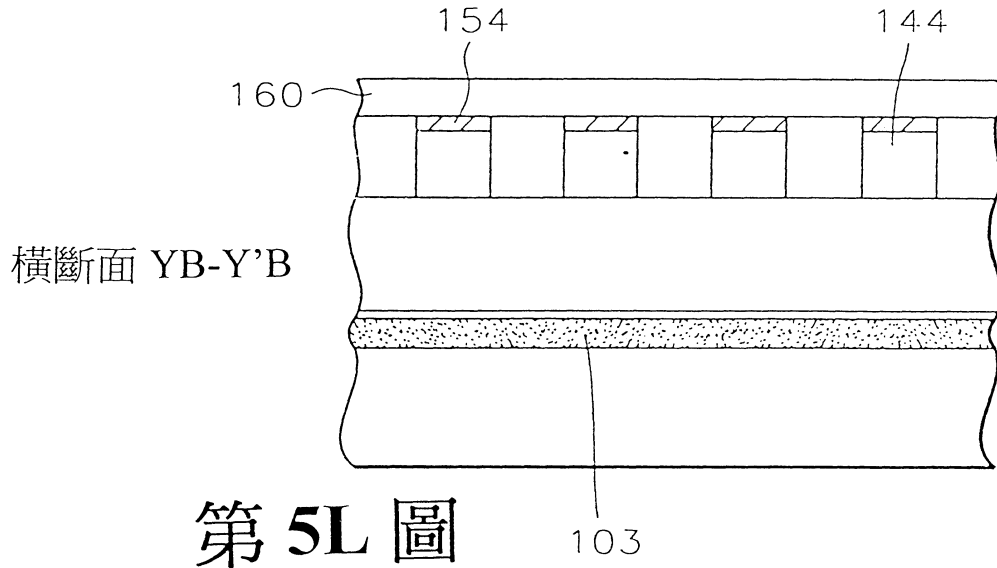
第 5H 圖

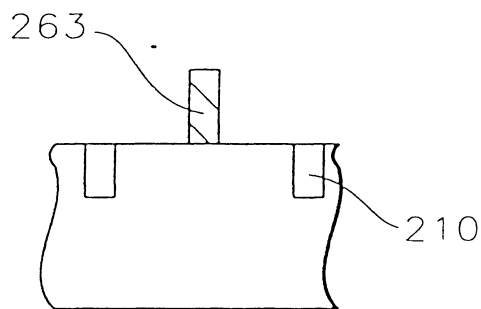


第 5J 圖

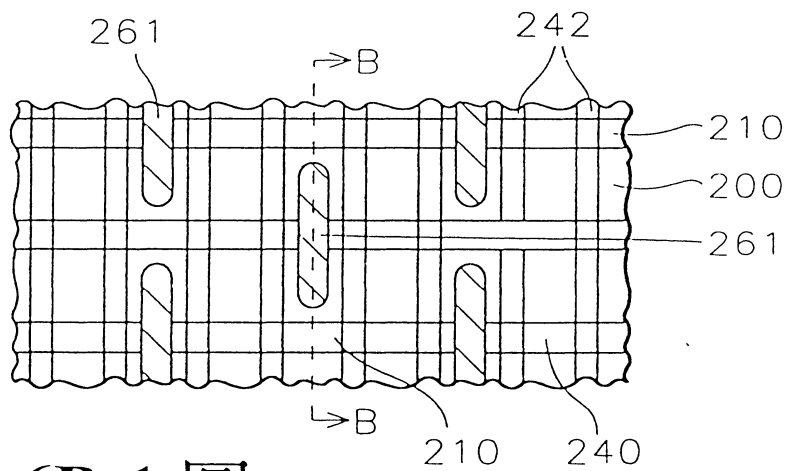


第 5K 圖

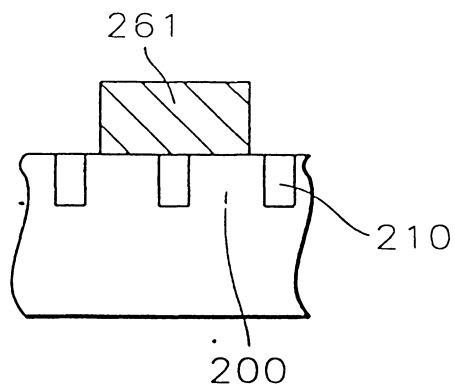




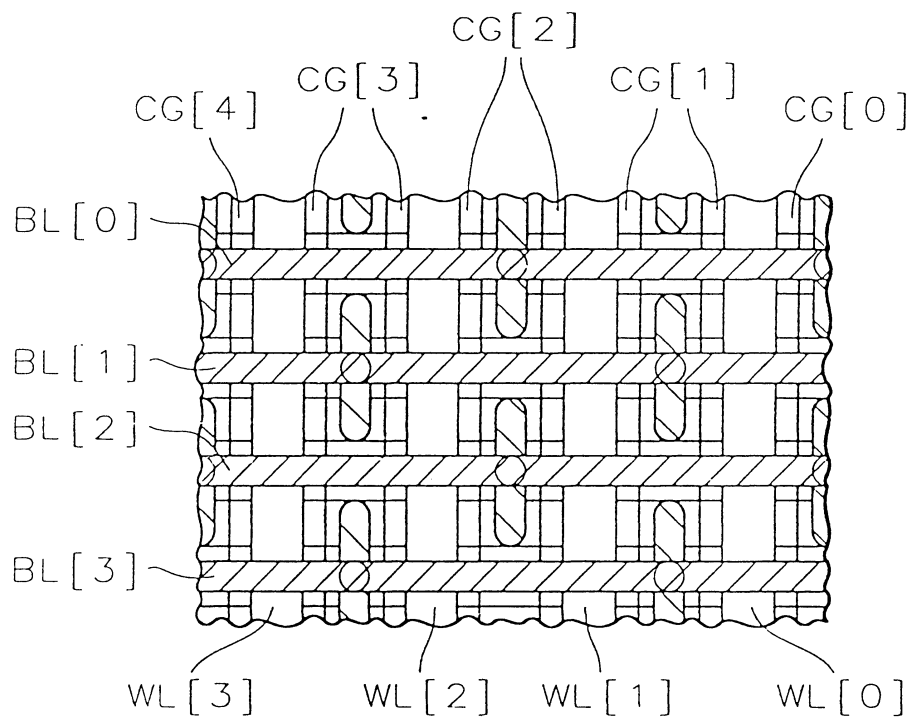
第 6A-3 圖



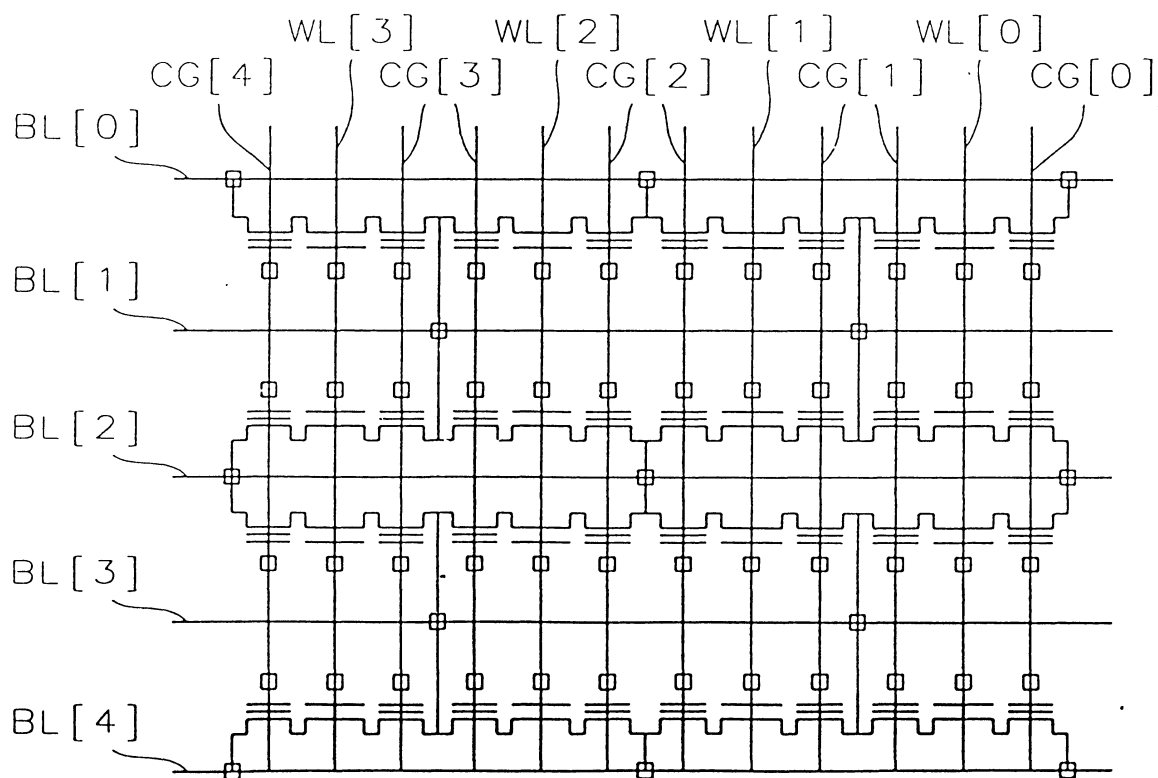
第 6B-1 圖



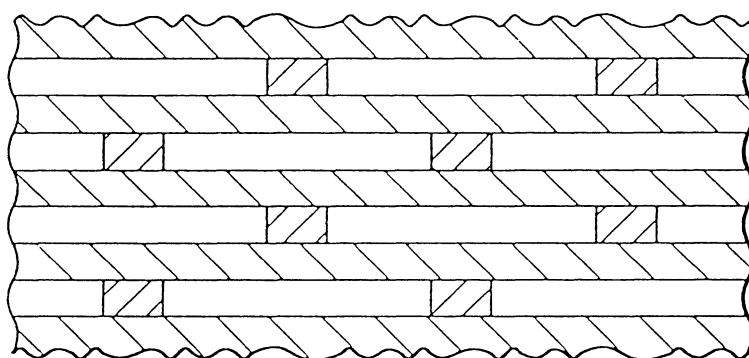
第 6B-2 圖



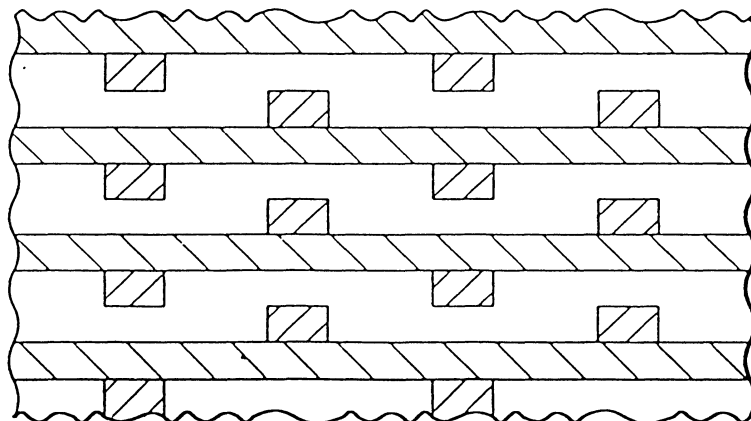
第 6C-1 圖



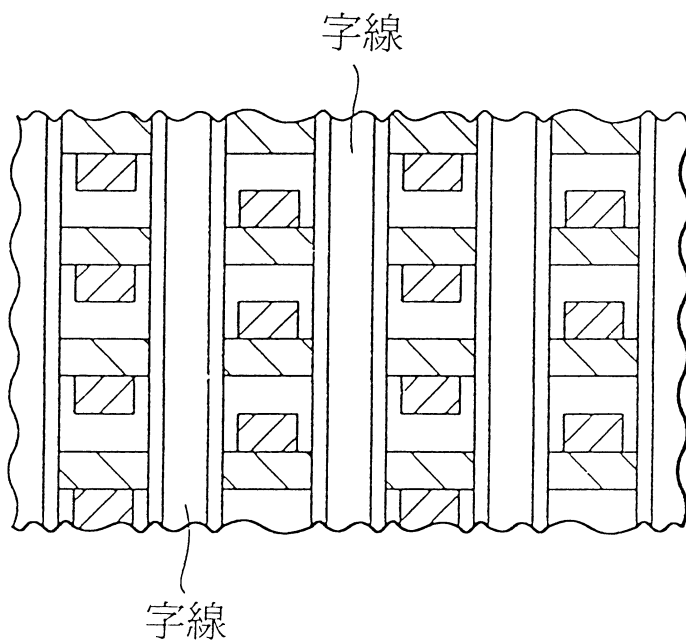
第 6C-2 圖



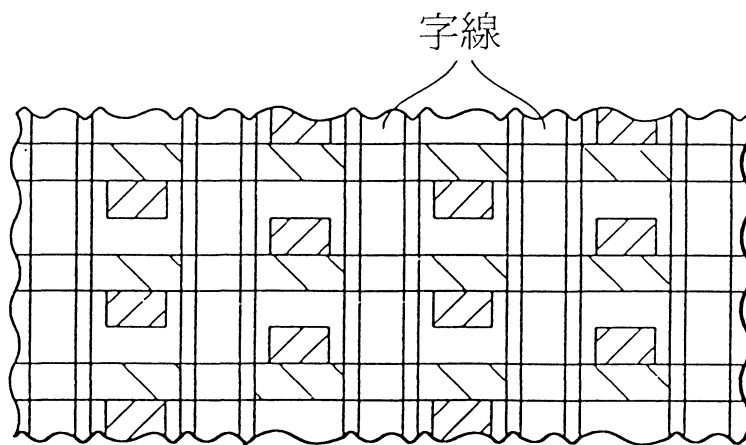
第 7A 圖



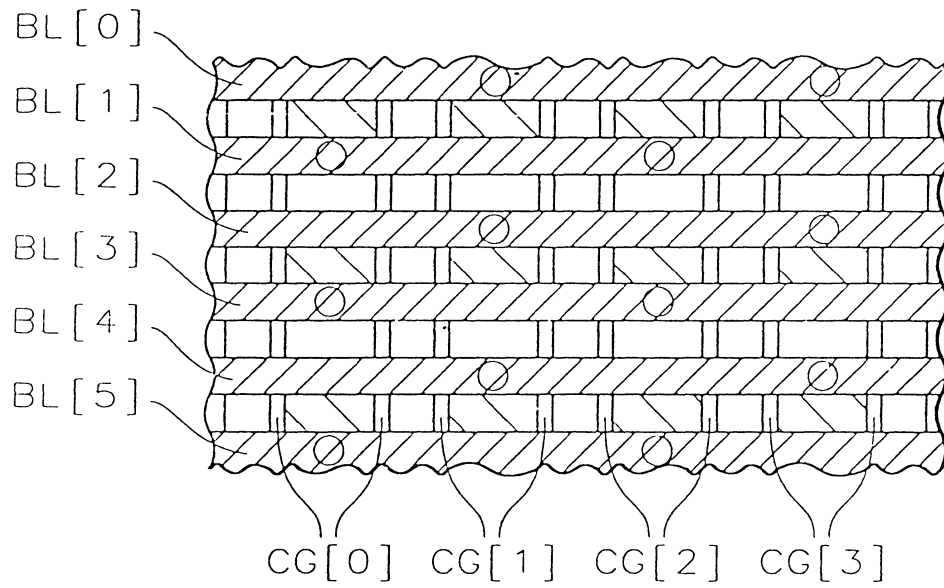
第 7B 圖



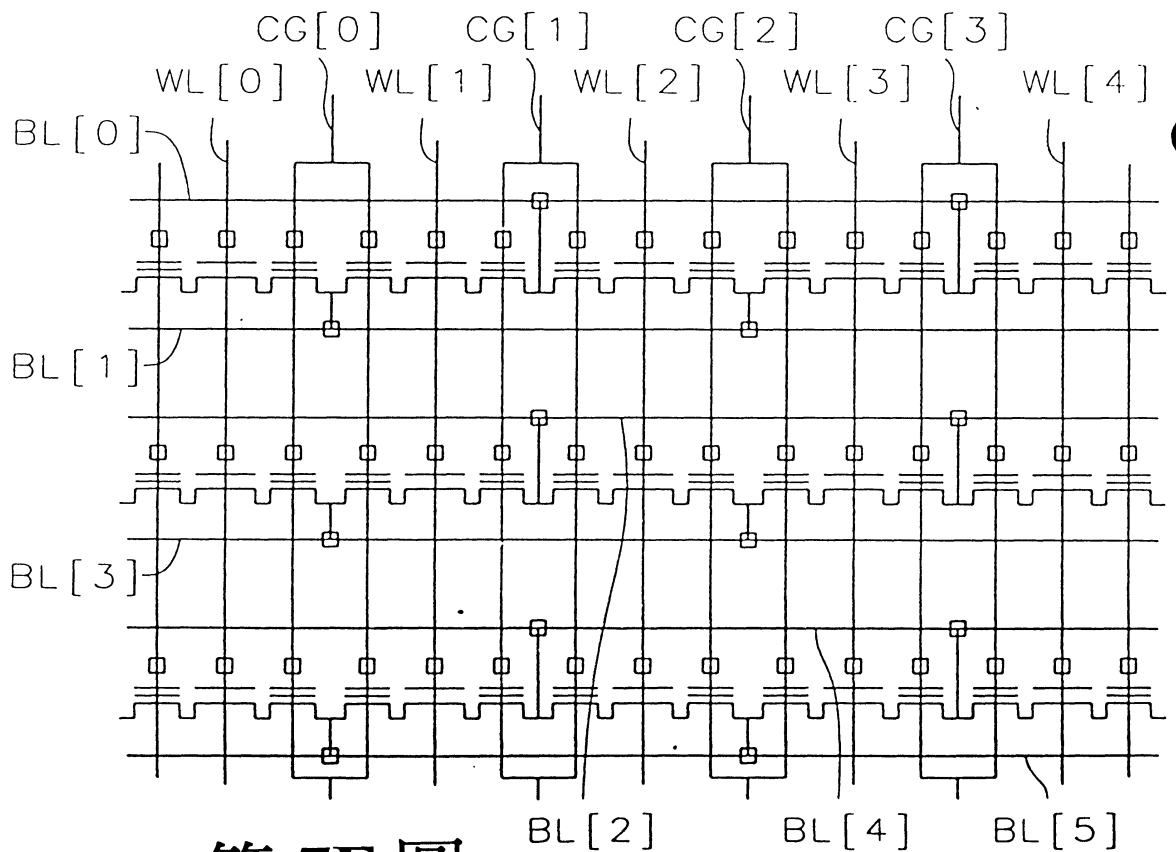
第 7C 圖



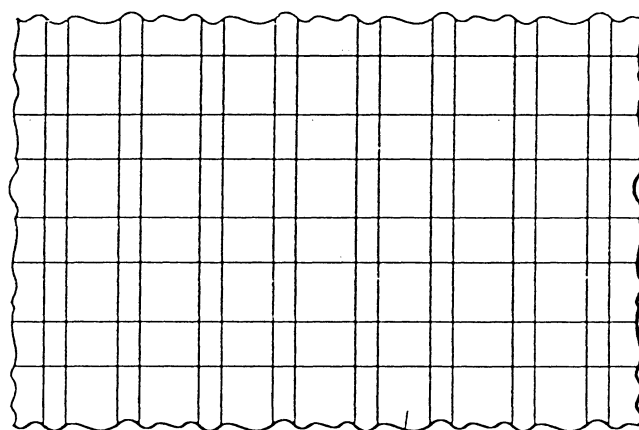
第 7D 圖



第 7E 圖

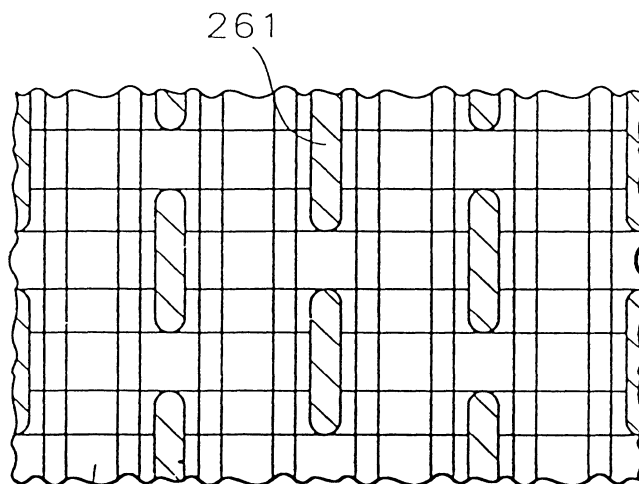


第 7F 圖



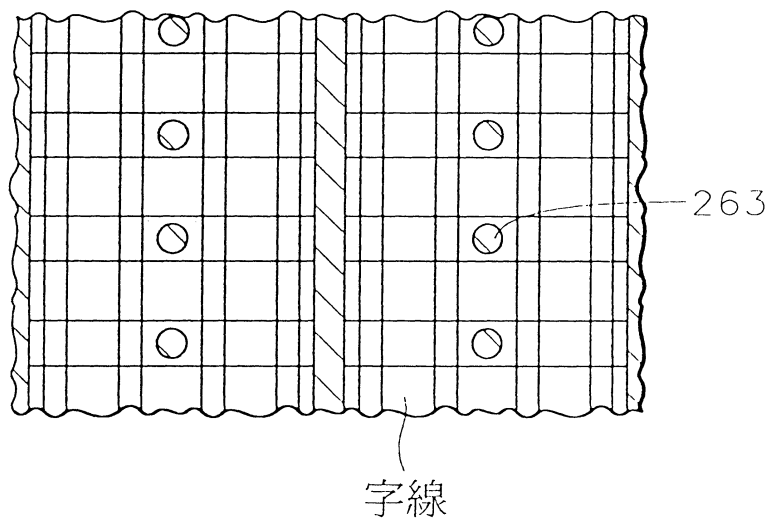
字線

第 8A-1 圖

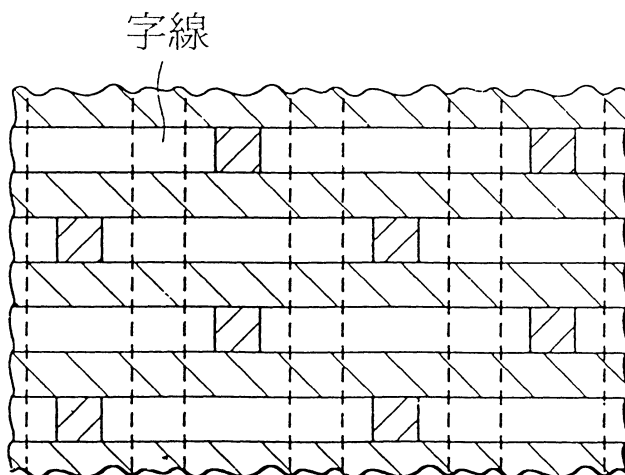


字線

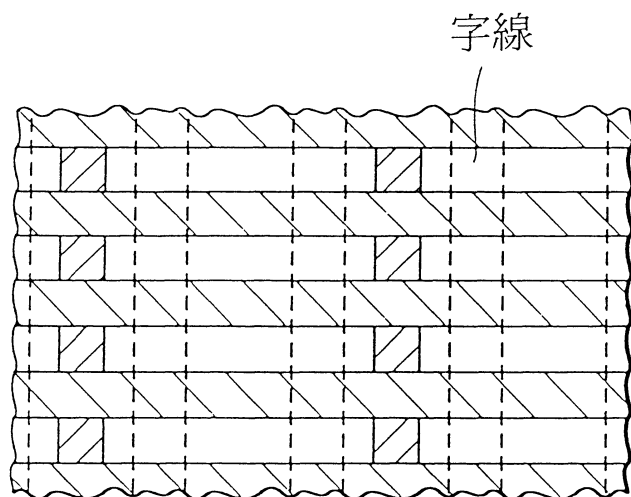
第 8A-2 圖



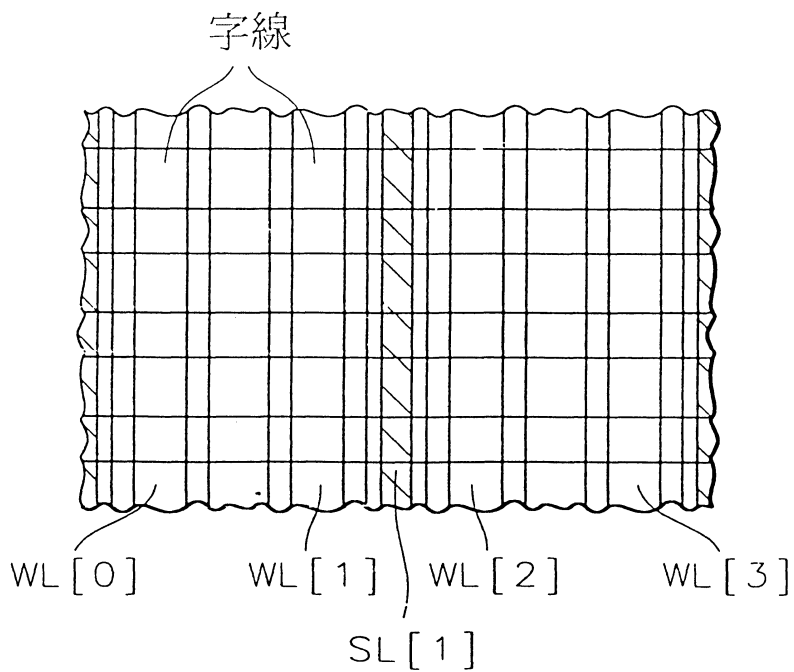
第 8A-3 圖



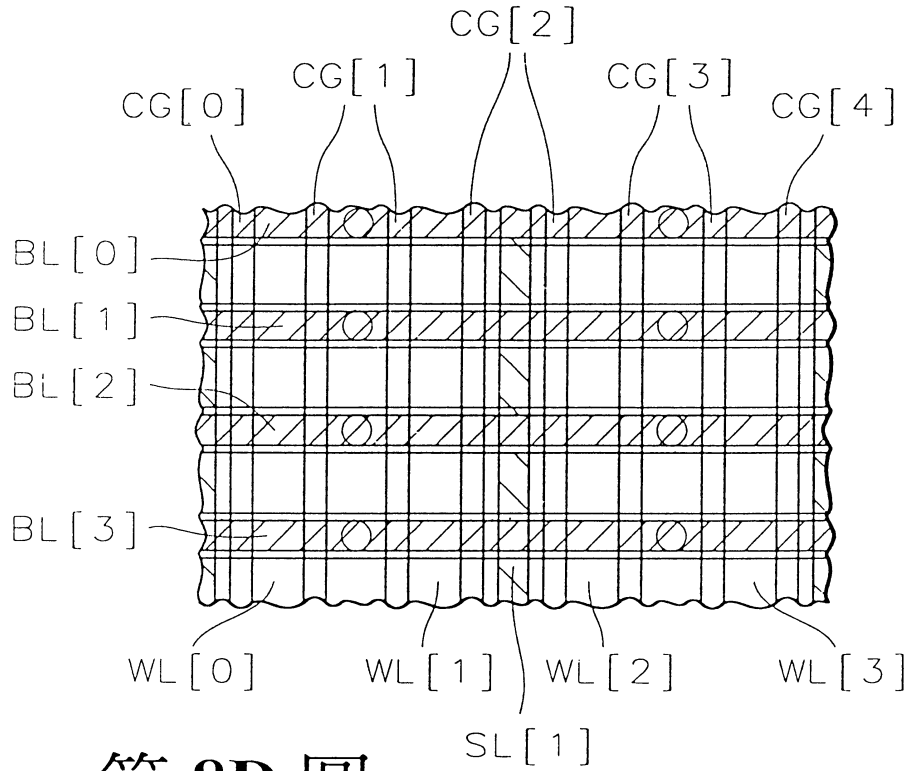
第 8B-1 圖



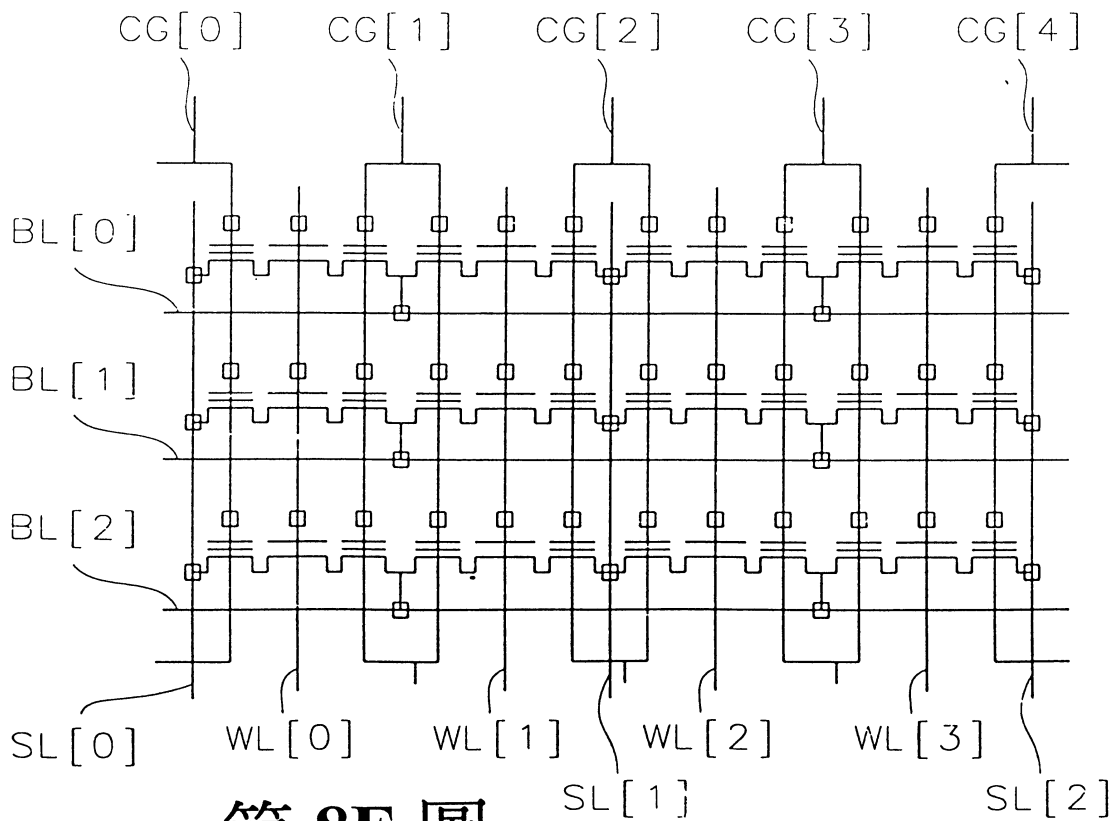
第 8B-2 圖



第 8C 圖



第 8D 圖



第 8E 圖

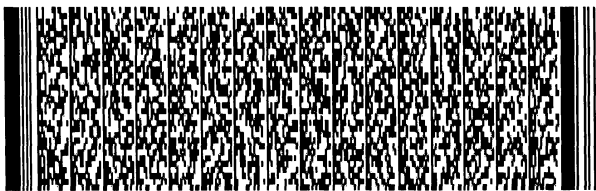
92年8月1日	修正 補充	(含claim)	公告本	年 月 日	修正
申請日期:	91.2.19	IPC分類			
申請案號:	91102786				H01L 29/712

(以上各欄由本局填註)

發明專利說明書

560064

一、 發明名稱	中文	雙MONOS單元製造方法及陣列機構
	英文	Twin MONOS cell fabrication method and array organization
二、 發明人 (共3人)	姓名 (中文)	1. 佐藤君洋
	姓名 (英文)	1. Kimohiro Satoh
	國籍 (中英文)	1. 日本 JP
	住居所 (中文)	1. 美國紐約州12533霍普威爾溫麥路56號(56 Wimmer Rd., Hopewell Jct., NY 12533, USA)
	住居所 (英文)	1.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 美商·哈婁利公司
	名稱或姓名 (英文)	1. Halo LSI, Inc.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國紐約州12590瓦賓柏鎮美亞角路169號2樓(169 Myers Corners Road, Floor 2, Wappingers Falls, N.Y. 12590, USA) (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 大倉世紀
	代表人 (英文)	1. Seiki Ogura



本修正申請專利範圍

1. 一種整合製造一雙MONOS記憶體單元陣列及一CMONS邏輯元件電路之方法，其係包括有；
- 提供一基板，其具有一記憶體區及一邏輯區；
- 同時在該邏輯區定義出一邏輯閘極、及在該記憶體區定義出一記憶體閘極，其中亦形成一邏輯記憶體邊界結構，其中該邏輯閘極包括有一閘極氧化層於一第一傳導層下，且其中該記憶體閘極及該邏輯記憶體邊界結構包括有一閘極氧化層於一第一傳導層下，該第一傳導層係於一蓋氮化層下；
- 形成一氧化物-氮化物-氧化物(ONO)覆蓋於該基板、該邏輯閘極、該記憶體閘極及該邏輯記憶體邊界結構上；
- 均勻地沉積一多晶矽層覆蓋於該ONO層上；
- 回蝕該多晶矽層，以留下多晶矽間隙壁於該邏輯閘極、該記憶體閘極及該邏輯記憶體邊界結構的側壁上，其中該多晶矽間隙壁在該記憶體區中形成控制閘極；
- 形成源極/汲極區於該邏輯區中，其係使用該邏輯閘極及該多晶矽間隙壁為一離子植入罩幕；
- 之後，移除在邏輯區中的該多晶矽間隙壁；
- 形成源極/汲極區於該記憶體區中，其係使用該控制閘極為一離子植入罩幕；
- 自行對準矽化在該邏輯區中的該控制閘極及該源極/汲極區；及

