



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I850116 B

(45)公告日：中華民國 113 (2024) 年 07 月 21 日

(21)申請案號：112135998

(22)申請日：中華民國 112 (2023) 年 09 月 21 日

(51)Int. Cl. : G01D5/24 (2006.01)

G01R27/26 (2006.01)

H03M3/00 (2006.01)

(71)申請人：晶豪科技股份有限公司 (中華民國) ELITE SEMICONDUCTOR  
MICROELECTRONICS TECHNOLOGY INC. (TW)

新竹市科學工業園區工業東四路二十三號

(72)發明人：黃一洲 HUANG, YI-CHOU (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW 201140256A

CN 116670529A

US 10817114B2

US 2018/0011125A1

審查人員：陳勇志

申請專利範圍項數：17 項 圖式數：5 共 30 頁

(54)名稱

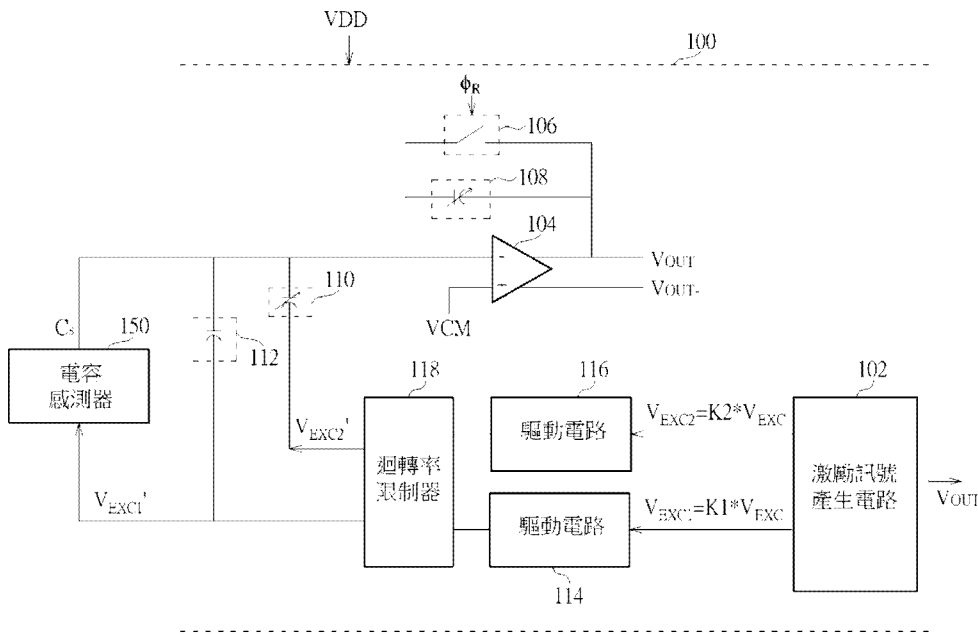
電容量測電路

(57)摘要

一種電容量測電路包含有一電荷至電壓轉換器，電荷至電壓轉換器包含有至少一第一可變電容、一激勵訊號產生電路、一差動電路、一第一開關電路以及至少一第二可變電容，其中藉由至少一第一可變電容來減少透過一電容感測器所感測的一感測電容值中的一寄生電容值。激勵訊號產生電路係用以產生並連接一第一激勵訊號至電容感測器，以及產生並連接一第二激勵訊號至至少一第一可變電容，其中第一激勵訊號與第二激勵訊號係反相，並且第一激勵訊號的電壓振幅不同於第二激勵訊號的電壓振幅。差動放大器的反相輸入端係用以自電容感測器接收感測電容值。

A capacitance measurement circuit includes a charge to voltage converter (CVC) that includes at least one first variable capacitor, an excitation signal generation circuit, a differential amplifier, a first switch circuit, and at least one second variable capacitor, wherein a parasitic capacitance from a sensing capacitance sensed by a capacitance sensor is reduced by the at least one first variable capacitor. The excitation signal generation circuit is arranged to generate and connect a first excitation signal to the capacitance sensor, and generate and connect a second excitation signal to the at least one first variable capacitor, wherein the first excitation signal and the second excitation signal are out-of-phase, and a voltage amplitude of the first excitation signal is different from a voltage amplitude of the second excitation signal. The inverting input terminal of the differential amplifier is arranged to receive the sensing capacitance from the capacitance sensor.

指定代表圖：



第1圖

符號簡單說明：

100:電荷至電壓轉換器

102:激勵訊號產生電路

104:差動放大器

106:開關電路

108:至少一可變電容

110:至少一補償電容

112:自校準電容

114,116:驅動電路

118:迴轉率限制器

150:電容感測器

$\Phi_R$ :時脈訊號

$V_{OUT+}$ :第一差動輸出電壓

$V_{OUT-}$ :第二差動輸出電壓

$C_s$ :感測電容值

$V_{EXC}$ :激勵電壓訊號

$V_{EXC1}$ :第一激勵訊號

$V_{EXC2}$ :第二激勵訊號

$V_{EXC1}'$ :第一限制激勵訊號

$V_{EXC2}'$ :第二限制激勵訊號

$V_{OUT}$ :輸出電壓



I850116

## 【發明摘要】

【中文發明名稱】電容量測電路

【英文發明名稱】CAPACITANCE MEASUREMENT CIRCUIT

## 【中文】

一種電容量測電路包含有一電荷至電壓轉換器，電荷至電壓轉換器包含有至少一第一可變電容、一激勵訊號產生電路、一差動電路、一第一開關電路以及至少一第二可變電容，其中藉由至少一第一可變電容來減少透過一電容感測器所感測的一感測電容值中的一寄生電容值。激勵訊號產生電路係用以產生並連接一第一激勵訊號至電容感測器，以及產生並連接一第二激勵訊號至至少一第一可變電容，其中第一激勵訊號與第二激勵訊號係反相，並且第一激勵訊號的電壓振幅不同於第二激勵訊號的電壓振幅。差動放大器的反相輸入端係用以自電容感測器接收感測電容值。

## 【英文】

A capacitance measurement circuit includes a charge to voltage converter (CVC) that includes at least one first variable capacitor, an excitation signal generation circuit, a differential amplifier, a first switch circuit, and at least one second variable capacitor, wherein a parasitic capacitance from a sensing capacitance sensed by a capacitance sensor is reduced by the at least one first variable capacitor. The excitation signal generation circuit is arranged to generate and connect a first excitation signal to the capacitance sensor, and generate and connect a second excitation signal to the at least one first variable capacitor, wherein the first excitation signal and the second excitation signal are out-of-phase, and a voltage amplitude of

第 1 頁，共 4 頁(發明摘要)

the first excitation signal is different from a voltage amplitude of the second excitation signal. The inverting input terminal of the differential amplifier is arranged to receive the sensing capacitance from the capacitance sensor.

【指定代表圖】第 ( 1 ) 圖。

【代表圖之符號簡單說明】

100:;電荷至電壓轉換器

102:激勵訊號產生電路

104:差動放大器

106:開關電路

108:至少一可變電容

110:至少一補償電容

112:自校準電容

114, 116:驅動電路

118:迴轉率限制器

150:電容感測器

$\Phi_R$ :時脈訊號

$V_{OUT+}$ :第一差動輸出電壓

$V_{OUT-}$ :第二差動輸出電壓

$C_S$ :感測電容值

$V_{EXC}$ :激勵電壓訊號

$V_{EXC1}$ :第一激勵訊號

$V_{EXC2}$ :第二激勵訊號

$V_{EXC1}'$ :第一限制激勵訊號

$V_{EXC2}'$ :第二限制激勵訊號

$V_{OUT}$ :輸出電壓

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】電容量測電路

【英文發明名稱】CAPACITANCE MEASUREMENT CIRCUIT

【技術領域】

【0001】 本發明係有關於電容量測，且尤指一種電容至數位轉換器 (capacitance to digital converter, CDC) 以及其中的電荷至電壓轉換器 (charge to voltage converter, CVC)。

【先前技術】

【0002】 對於電容量測電路（例如包含有電荷至電壓轉換器以及電壓至數位轉換器（例如類比至數位轉換器 (analog to digital converter, ADC)）的電容至數位轉換器）來說，電荷至電壓轉換器內的可變電容可用來減少/抵銷待測電容的感測電容值中的寄生電容值，或為後續訊號轉換調整輸入動態範圍，其中待測電容係藉由電容至數位轉換器前端電路的電荷轉換電路所感測。然而，倘若寄生電容值遠大於可變電容的電容值的話，則可能無法透過可變電容來減少/抵銷寄生電容值，在寄生電容值過大而無法減少/抵銷的情況下，電荷至電壓轉換器之輸出電壓的電壓振幅可能會超過類比至數位轉換器的輸入電壓範圍，其導致類比至數位轉換器無法正常操作。

【發明內容】

【0003】 因此，本發明的目的之一在於提供一種可分別產生具有不同電壓振幅的多個激勵訊號至外部電容感測器與至少一內部補償電容的電容量測電路，

以解決上述問題。

【0004】 根據本發明之一實施例，提供了一種電容量測電路。電容量測電路可包含有一電荷至電壓轉換器，電荷至電壓轉換器可包含有至少一第一可變電容、一激勵訊號產生電路、一差動放大器、一第一開關電路以及至少一第二可變電容，其中藉由至少一第一可變電容來減少透過一電容感測器所量測的一感測電容值中的一寄生電容值。激勵訊號產生電路可用以產生並連接一第一激勵訊號至電容感測器的一第一端，以及產生並連接一第二激勵訊號至至少一第一可變電容，其中第一激勵訊號與第二激勵訊號為反相，以及第一激勵訊號的一電壓振幅係不同於第二激勵訊號的一電壓振幅。差動放大器具有一反相輸入端、一非反相輸入端、一反相輸出端以及一非反相輸出端，其中反相輸入端係用以自電容感測器的一第二端接收感測電容值，第一開關電路係耦接於差動放大器的反相輸入端以及非反相輸出端之間，以及第一開關電路與至少一第二可變電容係並聯於差動放大器的反相輸入端以及非反相輸出端之間。

【0005】 此外，電荷至電壓轉換器可用以根據感測電容值產生一輸出電壓，電容量測電路可以是一電容至數位轉換器，並且另包含有一類比至數位轉換器，其中類比至數位轉換器可用以將輸出電壓轉換為一數位脈衝流。

【0006】 本發明的好處之一在於，本發明的電容量測電路（其包含有電荷至電壓轉換器以及類比至數位轉換器）可分別產生具有不同電壓振幅的多個激勵訊號至外部電容感測器與至少一內部補償電容的電容量測電路，在待測電容的感測電容值中的寄生電容值遠大於至少一補償電容的電容值的情況下，本發明的電荷至電壓轉換器可藉由具有不同電壓振幅的激勵訊號來利用該至少一補償

電容以成功地減少/抵銷寄生電容值。如此一來，電荷至電壓轉換器之輸出電壓的電壓振幅不會超過類比至數位轉換器的輸入動態範圍，其可使得類比至數位轉換器正常地操作。

### 【圖式簡單說明】

#### 【0007】

第1圖為依據本發明第一實施例之電荷至電壓轉換器的示意圖。

第2圖為依據本發明一實施例之激勵訊號產生電路的示意圖。

第3圖為依據本發明第二實施例之電荷至電壓轉換器的示意圖。

第4圖為依據本發明第三實施例之電荷至電壓轉換器的示意圖。

第5圖為依據本發明一實施例之電容量測電路的示意圖。

### 【實施方式】

【0008】 第1圖為依據本發明第一實施例之電荷至電壓轉換器(charge to voltage converter, CVC) 100的示意圖。如第1圖所示，電荷至電壓轉換器100可包含有激勵訊號產生電路102、差動放大器104、開關電路106、至少一可變電容108、至少一補償電容110、自校準電容112、多個驅動電路114與116以及迴轉率(slew rate, SR)限制器118，其中供應電壓VDD可供應至電荷至電壓轉換器100，並且至少一補償電容110可以是至少一可變電容。此外，電容感測器150位於電荷至電壓轉換器100之外部，其中電容感測器150具有兩端連接架構，並且可用以感測一感測電容值 $C_S$ 。電容感測器150可作為一可變元件，並且感測電容值 $C_S$ 的動態範圍可隨著外部環境的變化而改變。電荷至電壓轉換器100可用以根據感測電容值 $C_S$ 來產生輸出電壓 $V_{OUT}$ （其係藉由 $V_{OUT+}$ 與 $V_{OUT-}$ 所產生的差動輸出），舉例來說，感測電容值 $C_S$ 可包含有一實際待測電容值（為簡潔起見，表示為

第 3 頁，共 15 頁(發明說明書)

“ $C_S'$ ”）以及一寄生電容值 $C_P$ （亦即 $C_S = C_S' + C_P$ ），其中至少一補償電容110可用以自感測電容值 $C_S$ 減少/抵銷寄生電容值 $C_P$ 。此外，在電容感測器150沒有耦接於電荷至電壓轉換器100（亦即沒有待測電容）的情況下，電荷至電壓轉換器100可能會有浮接(floating connection)的問題，為解決此問題，自校準電容112可用以為電荷至電壓轉換器100進行一自校準操作。

【0009】 激勵訊號產生電路102可用以產生一第一激勵訊號 $V_{EXC1}$ 並透過驅動電路114與迴轉率限制器118來將第一激勵訊號 $V_{EXC1}$ 連接至電容感測器150的第一端，以及產生一第二激勵訊號 $V_{EXC2}$ 並透過驅動電路116與迴轉率限制器118來將第二激勵訊號 $V_{EXC2}$ 連接至至少一補償電容110，其中第一激勵訊號 $V_{EXC1}$ 與第二激勵訊號 $V_{EXC2}$ 係反相(out-of-phase)並不重疊(non-overlapping)，以及第一激勵訊號 $V_{EXC1}$ 的電壓振幅不同於第二激勵訊號 $V_{EXC2}$ 的電壓振幅，尤其是，第一激勵訊號 $V_{EXC1}$ 的電壓振幅低於第二激勵訊號 $V_{EXC2}$ 的電壓振幅。為了更好的理解，第一激勵訊號 $V_{EXC1}$ 可以是激勵電壓訊號 $V_{EXC}$ 的 $K1$ 倍（亦即 $V_{EXC1} = K1 * V_{EXC}$ ），並且第二激勵訊號 $V_{EXC2}$ 可以是激勵電壓訊號 $V_{EXC}$ 的 $K2$ 倍（亦即 $V_{EXC2} = K2 * V_{EXC}$ ），舉例來說，在寄生電容值 $C_P$ 遠大於至少一補償電容110之電容值的情況下，可藉由激勵訊號產生電路102來將第一激勵訊號 $V_{EXC1}$ 的電壓振幅設置為低於第二激勵訊號 $V_{EXC2}$ 的電壓振幅（亦即 $K1 < K2$ ）。

【0010】 詳細地來說，請參照第2圖，第2圖為依據本發明一實施例之激勵訊號產生電路200的示意圖，其中第1圖所示之激勵訊號產生電路102可藉由激勵訊號產生電路200來實現。如第2圖所示，激勵訊號產生電路200可包含有低壓差穩壓器(low dropout regulator, LDO regulator)202以及縮放電路204，低壓差穩壓器202可用以調節供應電壓 $VDD$ 來產生激勵電壓訊號 $V_{EXC}$ （亦即低壓差穩壓器202

的輸入與輸出分別為供應電壓VDD與激勵電壓訊號V<sub>EXC</sub>），並可包含有P型電晶體206以及放大器208，其中激勵電壓訊號V<sub>EXC</sub>可以是具有自32 kHz至500 kHz的頻率範圍中的一頻率值的一方波（例如具有32 kHz的方波），激勵電壓訊號V<sub>EXC</sub>的高電壓位準（表示為“V<sub>EXC+</sub>”）係不同於供應電壓VDD，以及激勵電壓訊號V<sub>EXC</sub>的低電壓位準（表示為“V<sub>EXC-</sub>”）係不同於一接地電壓GND。P型電晶體206具有耦接於供應電壓VDD的一源極端以及耦接於縮放電路204的一汲極端。放大器208具有一反相輸入端（在第2圖中標記為“-”）、一非反相輸入端（在第2圖中標記為“+”）以及一輸出端，其中非反相輸入端係耦接於一參考電壓VREF，反相輸入端係耦接於縮放電路204，以及輸出端係耦接於P型電晶體206的一閘極端。激勵電壓訊號V<sub>EXC</sub>係自P型電晶體206的汲極端輸出至縮放電路204。

【0011】 縮放電路204可用以對激勵電壓訊號V<sub>EXC</sub>進行多個縮放操作以產生第一激勵訊號V<sub>EXC1</sub>以及第二激勵訊號V<sub>EXC2</sub>，具體上來說，縮放電路204可包含有多個電阻R1與R2、擇取電路210以及多個緩衝器212與214，其中第一激勵訊號V<sub>EXC1</sub>以及第二激勵訊號V<sub>EXC2</sub>可透過電阻R1、電阻R2與擇取電路210之間的一配置來產生。電阻R1具有耦接於接地電壓GND的一第一端以及耦接於放大器208之反相輸入端的一第二端。電阻R2具有耦接於電阻R1之第二端的一第一端以及耦接於P型電晶體206之汲極端的一第二端。擇取電路210係耦接於電阻R2的第一端。藉由改變電阻R1之電阻值與電阻R2之電阻值之間的比例，可藉由擇取電路210來取得複數個縮放電壓V<sub>SCAL\_1</sub>~V<sub>SCAL\_N</sub>（其包含有第一激勵訊號V<sub>EXC1</sub>以及第二激勵訊號V<sub>EXC2</sub>），其中N係大於1的整數（亦即N > 1）。舉例來說，縮放電壓V<sub>SCAL\_1</sub>~V<sub>SCAL\_N</sub>的設置參數可儲存於一暫存器（未顯示於第2圖）中，並且對於第一激勵訊號V<sub>EXC1</sub>與第二激勵訊號V<sub>EXC2</sub>中的任一個激勵訊號來說，擇取電路210可用以自該暫存器擇取縮放電壓V<sub>SCAL\_1</sub>~V<sub>SCAL\_N</sub>中的

一縮放電壓。

【0012】 擇取電路210可包含有多個N至1多工器（multiplexer, MUX；例如複數個多工器216與218），其中多工器216可用以接收縮放電壓 $V_{SCAL\_1} \sim V_{SCAL\_N}$ 並根據一擇取訊號SEL\_S來將縮放電壓 $V_{SCAL\_1} \sim V_{SCAL\_N}$ 中的一縮放電壓（例如第一激勵訊號 $V_{EXC1}$ ）輸出至緩衝器212，多工器218可用以接收縮放電壓 $V_{SCAL\_1} \sim V_{SCAL\_N}$ 並根據擇取訊號SEL\_S來將縮放電壓 $V_{SCAL\_1} \sim V_{SCAL\_N}$ 中的一縮放電壓（例如第二激勵訊號 $V_{EXC2}$ ）輸出至緩衝器214，以及擇取訊號SEL\_S可指示第一激勵訊號 $V_{EXC1}$ 的電壓振幅與第二激勵訊號 $V_{EXC2}$ 的電壓振幅之間的一比例（例如K1與K2之間的一比例）。舉例來說，在擇取訊號SEL\_S指示K1與K2之間的比例係8（例如 $K2 = 8 * K1$ ）的情況下，擇取電路210可自縮放電壓 $V_{SCAL\_1} \sim V_{SCAL\_N}$ 擇取與 $K1 * V_{EXC}$ 相等的一縮放電壓並將該縮放電壓輸出至緩衝器212，以及自縮放電壓 $V_{SCAL\_1} \sim V_{SCAL\_N}$ 擇取與 $8 * K1 * V_{EXC}$ 相等的另一縮放電壓並將該另一縮放電壓輸出至緩衝器214。

【0013】 緩衝器212可用以自擇取電路210（尤其是，多工器216）接收第一激勵訊號 $V_{EXC1}$ ，並透過驅動電路114與迴轉率限制器118來將第一激勵訊號 $V_{EXC1}$ 連接至電容感測器150的第一端。緩衝器214可用以自擇取電路210（尤其是，多工器218）接收第二激勵訊號 $V_{EXC2}$ ，並透過驅動電路116與迴轉率限制器118來將第二激勵訊號 $V_{EXC2}$ 連接至至少一補償電容110。

【0014】 請參照回第1圖，由於縮放後的電壓（例如第一激勵訊號 $V_{EXC1}$ 與第二激勵訊號 $V_{EXC2}$ ）可能會有較差的驅動能力，因此驅動電路114可用以自激勵訊

號產生電路102/200（尤其是，緩衝器212）接收第一激勵訊號 $V_{EXC1}$ ，並根據第一激勵訊號 $V_{EXC1}$ 來驅動電容感測器150，而驅動電路116可用以自激勵訊號產生電路102/200（尤其是，緩衝器214）接收第二激勵訊號 $V_{EXC2}$ ，並根據第二激勵訊號 $V_{EXC2}$ 來驅動至少一補償電容110。在本實施例中，驅動電路114與116中的每一個驅動電路係推挽驅動器(push-pull driver)，其中推挽驅動器係由一P型電晶體與一N型電晶體串聯所組成的一數位驅動電路，但是本發明不限於此。在某些實施例中，驅動電路114與116中的每一個驅動電路可包含有多個開關（例如多個傳輸閘(transmission gate)）。在某些實施例中，驅動電路114與116可以是推挽驅動器與多個開關的一組合，其中驅動電路114與116中的一驅動電路係推挽驅動器，而驅動電路114與116中的另一驅動電路可包含有多個傳輸閘。

【0015】 在第一激勵訊號 $V_{EXC1}$ 與第二激勵訊號 $V_{EXC2}$ 分別直接地自驅動電路114與116連接至電容感測器150與至少一補償電容110的情況下，方波可能會在高電壓位準與低電壓位準之間急劇地上升與下降，其可能會導致電磁干擾(electromagnetic interference, EMI)並干擾附近的電子元件，為解決此問題，迴轉率限制器118可用以分別對第一激勵訊號 $V_{EXC1}$ 與第二激勵訊號 $V_{EXC2}$ 進行迴轉率限制操作，以產生並連接一第一限制激勵訊號 $V_{EXC1}'$ 至電容感測器150的第一端，以及產生並連接一第二限制激勵訊號 $V_{EXC2}'$ 至至少一補償電容110。

【0016】 差動放大器104具有一反相輸入端（在第1圖中標記為“-”）、一非反相輸入端（在第1圖中標記為“+”）、一非反相輸出端（亦即輸出一第一差動輸出電壓 $V_{OUT+}$ 的一端）以及一反相輸出端（亦即輸出一第二差動輸出電壓 $V_{OUT-}$ 的一端），其中反相輸入端可耦接於至少一補償電容110、自校準電容112以及電容感測器150，並可用以自電容感測器150的一第二端接收感測電容值 $C_S$ ；非反相輸

入端可耦接於一共模(common-mode)電壓(在第1圖中標記為“VCM”);以及輸出電壓 $V_{OUT}$ 係差動放大器104之反相輸出端與非反相輸出端之間的電壓差(亦即 $V_{OUT} = V_{OUT+} - V_{OUT-}$ )。開關電路106可耦接於差動放大器104的反相輸入端與非反相輸出端之間,其中開關電路106係藉由與第一激勵訊號 $V_{EXC1}$ 同相(in-phase)的一控制訊號(亦即該控制訊號與第二激勵訊號 $V_{EXC2}$ 反相)所控制。舉例來說,該控制訊號可以是一時脈訊號 $\Phi_R$ ,其中時脈訊號 $\Phi_R$ 可以是具有自32 kHz至500 kHz的頻率範圍中的一頻率值的一方波(例如具有32 kHz的方波),時脈訊號 $\Phi_R$ 的高電壓位準可以是供應電壓VDD,以及時脈訊號 $\Phi_R$ 的低電壓位準可以是接地電壓GND。

【0017】 在本實施例中,假設當時脈訊號 $\Phi_R$ 位於高電壓位準(例如供應電壓VDD)時開關電路106係關閉的,以及當時脈訊號 $\Phi_R$ 位於低電壓位準(例如接地電壓GND)時開關電路106係打開的,此外,開關電路106與至少一可變電容108並聯於差動放大器104的反相輸入端以及非反相輸出端之間。至少一補償電容110可具有多個待擇取的電容值,舉例來說,至少一補償電容110可被配置為與寄生電容值 $C_P$ 相等或相近的某個數值(例如自多個電容值所則取出來的一電容值),以根據第二激勵訊號 $V_{EXC2}$ 來進行寄生電容減少/抵銷。藉由差動放大器104、開關電路106以及至少一可變電容108之間的配置,輸出電壓 $V_{OUT}$ 可藉由以下公式來取得:

$$V_{OUT} = \frac{(V_{EXC1} * C_S) - (V_{EXC2} * C_{DAC})}{C_i}$$

其中 $V_{EXC1}$ 係第一激勵訊號 $V_{EXC1}$ 的電壓振幅, $C_S$ 係感測電容值 $C_S$ , $V_{EXC2}$ 係第二激勵訊號 $V_{EXC2}$ 的電壓振幅, $C_{DAC}$ 係至少一補償電容110的電容值,以及 $C_i$ 係至少一可變電容108的電容值。

【0018】 此外，在第一激勵訊號 $V_{EXC1}$ 係激勵電壓訊號 $V_{EXC}$ 的 $K1$ 倍（亦即 $V_{EXC1} = K1 * V_{EXC}$ ）以及第二激勵訊號 $V_{EXC2}$ 係激勵電壓訊號 $V_{EXC}$ 的 $K2$ 倍（亦即 $V_{EXC2} = K2 * V_{EXC}$ ）的情況下，上述公式可簡化如下：

$$V_{OUT} = \frac{V_{EXC} * [(K1 * C_S) - (K2 * C_{DAC})]}{C_i}$$

其中 $V_{EXC}$ 係激勵電壓訊號 $V_{EXC}$ 的電壓振幅。在感測電容值 $C_S$ 中的寄生電容值 $C_P$ 遠大於（例如10倍於）至少一補償電容110的電容值的情況下，可藉由激勵訊號產生電路102/200來將 $K2$ 設置為 $K1$ 的10倍（例如 $K2 = 10 * K1$ ），如此一來，寄生電容值 $C_P$ 可成功地被至少一補償電容110所減少/抵銷。

【0019】 第3圖為依據本發明第二實施例之電荷至電壓轉換器300的示意圖，其中第3圖所示之電荷至電壓轉換器300與第1圖所示之電荷至電壓轉換器100之間的差異在於電荷至電壓轉換器100中的驅動電路114與116被修改以分別藉由電荷至電壓轉換器300的驅動電路302與304來實現。當縮放電壓（例如第一激勵訊號 $V_{EXC1}$ ）的電壓位準低於P型電晶體及/或N型電晶體的門檻電壓位準時，推輓驅動器中的P型電晶體及/或N型電晶體可能無法正常地運作，其導致推輓驅動器無法正常工作並因此無法具備驅動能力，為解決此問題，不受縮放電壓的電壓位準影響的多個開關（例如多個傳輸閘）可嵌入於電荷至電壓轉換器300之驅動電路302與304中的每一個驅動電路中。

【0020】 具體上來說，驅動電路302可包含有多個開關電路306與308，開關電路306具有一第一端以及一第二端，其中開關電路306的第一端係用以自激勵訊號產生電路102接收第一激勵訊號 $V_{EXC1}$ 的高電壓位準（表示為“ $V_{EXC1+}$ ”），並且開

關電路306係被與第一激勵訊號 $V_{EXC1}$ 同相的一控制訊號（例如時脈訊號 $\Phi_R$ ）所控制，以將第一激勵訊號 $V_{EXC1}$ 的高電壓位準連接至開關電路306的第二端。假設當時脈訊號 $\Phi_R$ 位於高電壓位準（亦即第一激勵訊號 $V_{EXC1}$ 亦位於高電壓位準）時開關電路306係關閉的，以及當時脈訊號 $\Phi_R$ 位於低電壓位準（亦即第一激勵訊號 $V_{EXC1}$ 亦位於低電壓位準）時開關電路306係開啟的。

【0021】 開關電路308具有一第一端以及一第二端，其中開關電路308的第一端係用以自激勵訊號產生電路102接收第一激勵訊號 $V_{EXC1}$ 的低電壓位準（表示為“ $V_{EXC1-}$ ”），並且開關電路308係被與第一激勵訊號 $V_{EXC1}$ 反相的一控制訊號 $\overline{\Phi_R}$ 所控制，以將第一激勵訊號 $V_{EXC1}$ 的低電壓位準連接至開關電路308的第二端。假設當控制訊號 $\overline{\Phi_R}$ 位於高電壓位準（亦即第一激勵訊號 $V_{EXC1}$ 位於低電壓位準）時開關電路308係關閉的，以及當控制訊號 $\overline{\Phi_R}$ 位於低電壓位準（亦即第一激勵訊號 $V_{EXC1}$ 位於高電壓位準）時開關電路308係開啟的。電容感測器150係透過迴轉率限制器118來耦接於開關電路306的第二端以及開關電路308的第二端。

【0022】 驅動電路304可包含有多個開關電路310與312，開關電路310具有一第一端以及一第二端，其中開關電路310的第一端係用以自激勵訊號產生電路102接收第二激勵訊號 $V_{EXC2}$ 的高電壓位準（表示為“ $V_{EXC2+}$ ”），並且開關電路310係被與第一激勵訊號 $V_{EXC1}$ 反相的控制訊號 $\overline{\Phi_R}$ 所控制，以將第二激勵訊號 $V_{EXC2}$ 的高電壓位準連接至開關電路310的第二端。假設當控制訊號 $\overline{\Phi_R}$ 位於高電壓位準（亦即第二激勵訊號 $V_{EXC2}$ 亦位於高電壓位準）時開關電路310係關閉的，以及當控制訊號 $\overline{\Phi_R}$ 位於低電壓位準（亦即第二激勵訊號 $V_{EXC2}$ 亦位於低電壓位準）時開關電路310係開啟的。

【0023】 開關電路312具有一第一端以及一第二端，其中開關電路312的第一端係用以自激勵訊號產生電路102接收第二激勵訊號 $V_{EXC2}$ 的低電壓位準(表示為“ $V_{EXC2-}$ ”)，並且開關電路312係被與第一激勵訊號 $V_{EXC1}$ 同相的一控制訊號(例如時脈訊號 $\Phi_R$ )所控制，以將第二激勵訊號 $V_{EXC2}$ 的低電壓位準連接至開關電路312的第二端。假設當時脈訊號 $\Phi_R$ 位於高電壓位準(亦即第二激勵訊號 $V_{EXC2}$ 位於低電壓位準)時開關電路312係關閉的，以及當時脈訊號 $\Phi_R$ 位於低電壓位準(亦即第二激勵訊號 $V_{EXC2}$ 位於高電壓位準)時開關電路312係開啟的。至少一補償電容110係透過迴轉率限制器118來耦接於開關電路310的第二端以及開關電路312的第二端。

【0024】 第4圖為依據本發明第三實施例之電荷至電壓轉換器400的示意圖，其中第4圖所示之電荷至電壓轉換器400與第1圖所示之電荷至電壓轉換器100之間的差異在於電荷至電壓轉換器100中的驅動電路114與116被修改以分別藉由電荷至電壓轉換器400的驅動電路402與404來實現。在本實施例中，由於對應於第一激勵訊號 $V_{EXC1}$ 的縮放範圍(例如減少範圍)過小，因此第一激勵訊號 $V_{EXC1}$ 的電壓位準不夠大來驅動推輓驅動器，而第二激勵訊號 $V_{EXC2}$ 仍可正常地驅動推輓驅動器，為解決此問題，驅動電路402包含有不受縮放電壓的電壓位準影響的多個開關(例如多個傳輸閘，諸如多個開關電路406與408)，並且驅動電路404仍可藉由推輓驅動器來實現。由於本領域具通常知識者可透過上述第1圖所示之電荷至電壓轉換器100以及第3圖所示之電荷至電壓轉換器300的說明書相關段落來熟知電荷至電壓轉換器400的操作，為簡潔起見在此不再重複詳細描述。

【0025】 第5圖為依據本發明一實施例之電容量測電路500的示意圖，其中電容量測電路500係一電容至數位轉換器(capacitance to digital converter, CDC)。如

第 11 頁，共 15 頁(發明說明書)

第5圖所示，電容量測電路500可至少包含有第1圖所示之電荷至電壓轉換器100以及一類比至數位轉換器(analog to digital converter, ADC)510，並另包含有溫度感測器501以及一2至1多工器（例如多工器503），其中類比至數位轉換器510可用以將輸出電壓 $V_{OUT}$ 轉換為數位脈衝流(digital pulse stream) $D\_S$ 。在本實施例中，類比至數位轉換器510係一三角積分類比至數位轉換器(sigma-delta ADC)，但是本發明不限於此，實際上，類比至數位轉換器510可採用任一種能夠將輸出電壓 $V_{OUT}$ 轉換為數位脈衝流 $D\_S$ 的類比至數位轉換器架構，該些替代設計皆落入本發明的範疇。

【0026】 此外，由於感測電容值 $C_S$ 的動態範圍可能會隨著外部環境而改變，因此溫度感測器501可用以感測環境溫度來產生溫度資料 $TEM\_D$ 。多工器503可用以自電荷至電壓轉換器100接收輸出電壓 $V_{OUT}$ ，自溫度感測器501接收溫度資料 $TEM\_D$ ，並根據一擇取訊號 $SEL\_S$ 來將輸出電壓 $V_{OUT}$ 與溫度資料 $TEM\_D$ 的其一輸出至類比至數位轉換器510，其中可藉由類比至數位轉換器510來根據溫度資料 $TEM\_D$ 以微調感測電容值 $C_S$ 。

【0027】 類比至數位轉換器510可至少包含有減法電路502、積分器電路504以及回授電路506，減法電路502可用以自電荷至電壓轉換器100接收輸出電壓 $V_{OUT}$ ，並自輸出電壓 $V_{OUT}$ 減去一回授訊號 $F\_S$ 以產生一處理後訊號 $P\_S$ ，積分器電路504可耦接於減法電路502，並且可用以對處理後訊號 $P\_S$ 進行積分操作以產生數位脈衝流 $D\_S$ ，回授電路506可耦接於減法電路502與積分器電路504，並且可用以自數位脈衝流 $D\_S$ 取得回授訊號 $F\_S$ ，以及將回授訊號 $F\_S$ 傳送至減法電路502。由於三角積分類比至數位轉換器已被該領域者具有通常知識者所熟知，因此為簡潔起見，關於類比至數位轉換器510的詳細內容在此不描述。

【0028】 總結來說，本發明的電容量測電路（其包含有電荷至電壓轉換器以及類比至數位轉換器）可分別產生具有不同電壓振幅的多個激勵訊號至外部電容感測器與至少一內部補償電容的電容量測電路，在待測電容的感測電容值中的寄生電容值遠大於至少一補償電容的電容值的情況下，本發明的電荷至電壓轉換器可藉由具有不同電壓振幅的激勵訊號來利用該至少一補償電容以成功地減少/抵銷寄生電容值。如此一來，電荷至電壓轉換器之輸出電壓的電壓振幅不會超過類比至數位轉換器的輸入動態範圍，其可使得類比至數位轉換器正常地操作。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【符號說明】

#### 【0029】

100, 300, 400:電荷至電壓轉換器

102, 200:激勵訊號產生電路

104:差動放大器

106, 306, 308, 310, 312, 406, 408:開關電路

108:至少一可變電容

110:至少一補償電容

112:自校準電容

114, 116, 302, 304, 402, 404:驅動電路

118:迴轉率限制器

150:電容感測器

$\Phi_R$ :時脈訊號

$V_{OUT+}$ :第一差動輸出電壓

$V_{OUT-}$ :第二差動輸出電壓

$C_S$ :感測電容值

$V_{EXC}$ :激勵電壓訊號

$V_{EXC1}$ :第一激勵訊號

$V_{EXC2}$ :第二激勵訊號

$V_{EXC1}'$ :第一限制激勵訊號

$V_{EXC2}'$ :第二限制激勵訊號

$V_{OUT}$ :輸出電壓

202:低壓差穩壓器

204:縮放電路

206:P型電晶體

208:放大器

210:擇取電路

212, 214:緩衝器

216, 218, 503:多工器

$V_{REF}$ :參考電壓

GND:接地電壓

R1, R2:電阻

$V_{SCAL\_1} \sim V_{SCAL\_N}$ :縮放電壓

SEL\_S, SEL\_S':擇取訊號

$\overline{\Phi_R}$ :控制訊號

500:電容量測電路

501:溫度感測器

502:減法電路

504:積分器電路

506:回授電路

510:類比至數位轉換器

## 【發明申請專利範圍】

【請求項1】 一種電容量測電路，包含有：

一電荷至電壓轉換器，包含有：

至少一第一可變電容，其中藉由該至少一第一可變電容來減少透過一電容感測器所量測的一感測電容值中的一寄生電容值；

一激勵訊號產生電路，用以產生並連接一第一激勵訊號至該電容感測器的一第一端，以及產生並連接一第二激勵訊號至該至少一第一可變電容，其中該第一激勵訊號與該第二激勵訊號為反相，以及該第一激勵訊號的一電壓振幅係不同於該第二激勵訊號的一電壓振幅；

一差動放大器，具有一反相輸入端、一非反相輸入端、一反相輸出端以及一非反相輸出端，其中該反相輸入端係用以自該電容感測器的一第二端接收該感測電容值；

一第一開關電路，耦接於該差動放大器的該反相輸入端以及該非反相輸出端之間；以及

至少一第二可變電容，其中該第一開關電路以及該至少一第二可變電容係並聯於該差動放大器的該反相輸入端以及該非反相輸出端之間。

【請求項2】 如申請專利範圍第1項所述之電容量測電路，其中該第一激勵訊號的該電壓振幅係小於該第二激勵訊號的該電壓振幅。

【請求項3】 如申請專利範圍第1項所述之電容量測電路，其中該激勵訊號產生電路包含有：

一低壓差穩壓器，用以調節一供應電壓以產生一激勵電壓訊號，其中該供應電壓被供應至該電荷至電壓轉換器；以及

一縮放電路，用以對該激勵電壓訊號進行多個縮放操作，以產生並連接該第一激勵訊號至該電容感測器的該第一端，並產生且連接該第二激勵訊號至該至少一第一可變電容。

**【請求項4】** 如申請專利範圍第3項所述之電容量測電路，其中該低壓差穩壓器包含有：

一P型電晶體，具有耦接於該供應電壓的一源極端以及耦接於該縮放電路的一汲極端；以及

一放大器，具有一反相輸入端、一非反相輸入端以及一輸出端，其中該非反相輸入端係耦接於一第一參考電壓，該反相輸入端係耦接於該縮放電路，以及該輸出端係耦接於該P型電晶體的一閘極端；

其中該激勵電壓訊號係自該P型電晶體的該汲極端輸出至該縮放電路。

**【請求項5】** 如申請專利範圍第4項所述之電容量測電路，其中該縮放電路包含有：

一第一電阻，具有耦接於一第二參考電壓的一第一端以及耦接於該放大器之該反相輸入端的一第二端；

一第二電阻，具有耦接於該第一電阻之該第二端的一第一端以及耦接於該P型電晶體之該汲極端的一第二端；以及

一擇取電路，耦接於該第二電阻的該第一端；

其中該第一激勵訊號以及該第二激勵訊號係透過該第一電阻、該第二電阻以及該擇取電路之間的一配置來產生。

【請求項6】 如申請專利範圍第5項所述之電容量測電路，其中該縮放電路另包含有：

- 一第一緩衝器，用以自該擇取電路接收該第一激勵訊號，並將該第一激勵訊號連接至該電容感測器的該第一端；以及
- 一第二緩衝器，用以自該擇取電路接收該第二激勵訊號，並將該第二激勵訊號連接至該至少一第一可變電容。

【請求項7】 如申請專利範圍第5項所述之電容量測電路，其中該電荷至電壓轉換器另包含有：

- 一第一驅動電路，用以自該激勵訊號產生電路接收該第一激勵訊號，並根據該第一激勵訊號來驅動該電容感測器；以及
- 一第二驅動電路，用以自該激勵訊號產生電路接收該第二激勵訊號，並根據該第二激勵訊號來驅動該至少一第一可變電容。

【請求項8】 如申請專利範圍第7項所述之電容量測電路，其中該第一驅動電路以及該第二驅動電路中的每一個驅動電路係一推輓驅動器。

【請求項9】 如申請專利範圍第7項所述之電容量測電路，其中該第一驅動電路以及該第二驅動電路中的每一個驅動電路包含有多個開關。

【請求項10】 如申請專利範圍第9項所述之電容量測電路，其中該第一驅動電路包含有：

- 一第二開關電路，具有一第一端以及一第二端，其中該第二開關電路的該

第一端係用以自該激勵訊號產生電路接收該第一激勵訊號的一高電壓位準，該第二開關電路被一第一控制訊號所控制以將該第一激勵訊號的該高電壓位準連接至該第二開關電路的該第二端，以及該第一控制訊號與該第一激勵訊號係同相；以及

一第三開關電路，具有一第一端以及一第二端，其中該第三開關電路的該第一端係用以自該激勵訊號產生電路接收該第一激勵訊號的一低電壓位準，該第三開關電路被一第二控制訊號所控制以將該第一激勵訊號的該低電壓位準連接至該第三開關電路的該第二端，以及該第二控制訊號與該第一激勵訊號係反相；

其中該電容感測器的該第一端係耦接於該第二開關電路的該第二端以及該第三開關電路的該第二端。

**【請求項11】** 如申請專利範圍第9項所述之電容量測電路，其中該第二驅動電路包含有：

一第二開關電路，具有一第一端以及一第二端，其中該第二開關電路的該第一端係用以自該激勵訊號產生電路接收該第二激勵訊號的一高電壓位準，該第二開關電路被一第一控制訊號所控制以將該第二激勵訊號的該高電壓位準連接至該第二開關電路的該第二端，以及該第一控制訊號與該第一激勵訊號係反相；以及

一第三開關電路，具有一第一端以及一第二端，其中該第三開關電路的該第一端係用以該激勵訊號產生電路接收該第二激勵訊號的一低電壓位準，該第三開關電路被一第二控制訊號所控制以將該第二激勵訊號的該低電壓位準連接至該第三開關電路的該第二端，以及該第二控制訊號與該第二激勵訊號係同相；

第 4 頁，共 6 頁(發明申請專利範圍)

其中該至少一第一可變電容係耦接於該第二開關電路的該第二端以及該第三開關電路的該第二端。

**【請求項12】** 如申請專利範圍第7項所述之電容量測電路，其中該第一驅動電路與該第二驅動電路中的一驅動電路係一推輓驅動器，以及該第一驅動電路與該第二驅動電路中的另一驅動電路包含有多個開關。

**【請求項13】** 如申請專利範圍第12項所述之電容量測電路，其中該第一驅動電路包含有該多個開關，以及該第二驅動電路係該推輓驅動器。

**【請求項14】** 如申請專利範圍第1項所述之電容量測電路，其中該電荷至電壓轉換器另包含有：

一迴轉率限制器，用以分別對該第一激勵訊號與該第二激勵訊號進行一迴轉率限制操作，以產生一第一限制後激勵訊號以及一第二限制後激勵訊號。

**【請求項15】** 如申請專利範圍第1項所述之電容量測電路，其中該電荷至電壓轉換器另包含有：

一自校準電容，用以為該電荷至電壓轉換器進行一自校準操作。

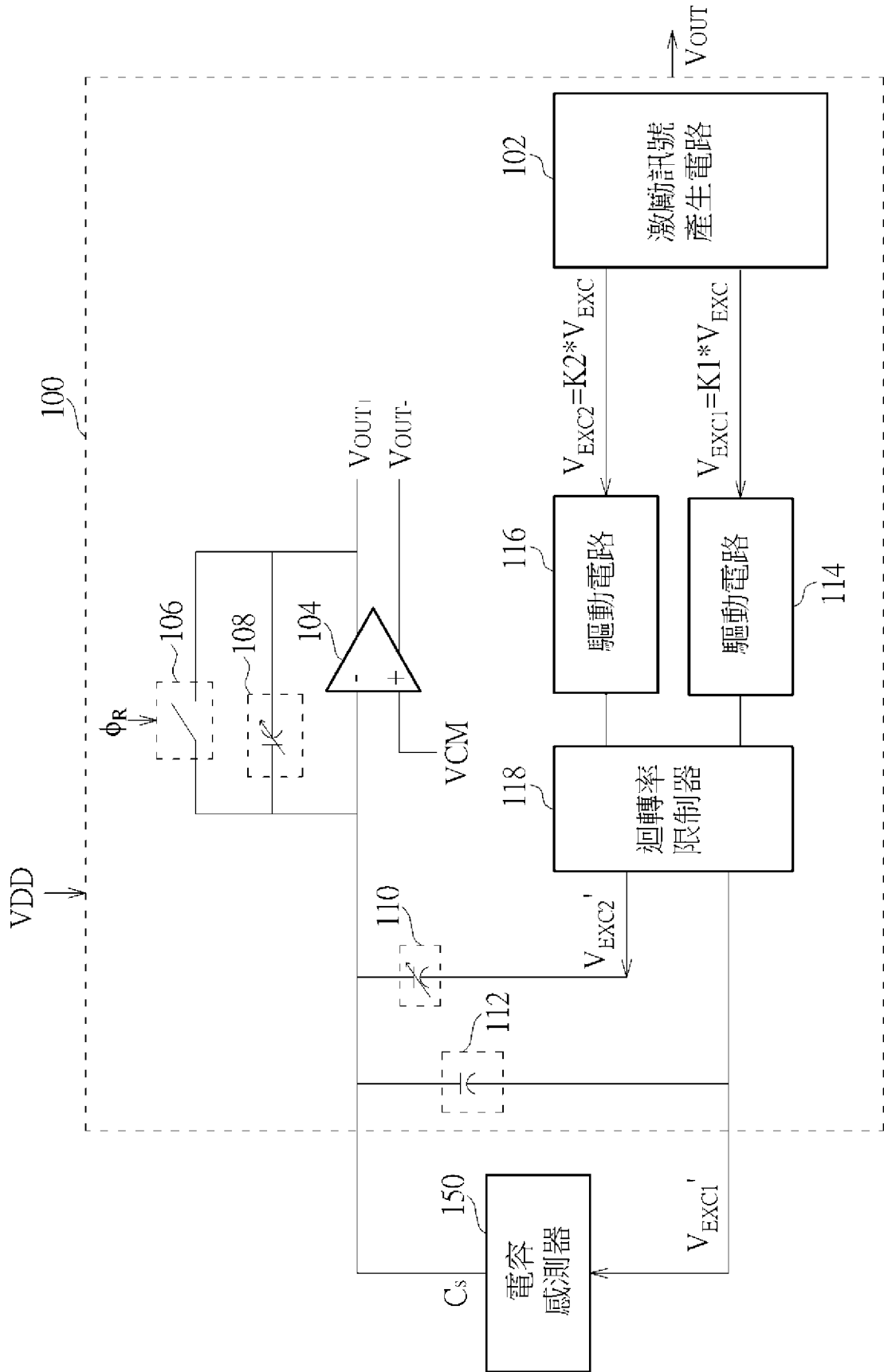
**【請求項16】** 如申請專利範圍第1項所述之電容量測電路，其中該電荷至電壓轉換器係用以根據該感測電容值來產生一輸出電壓；以及該電容量測電路係一電容至數位轉換器，並另包含有：

一類比至數位轉換器，用以將該輸出電壓轉換為一數位脈衝流。

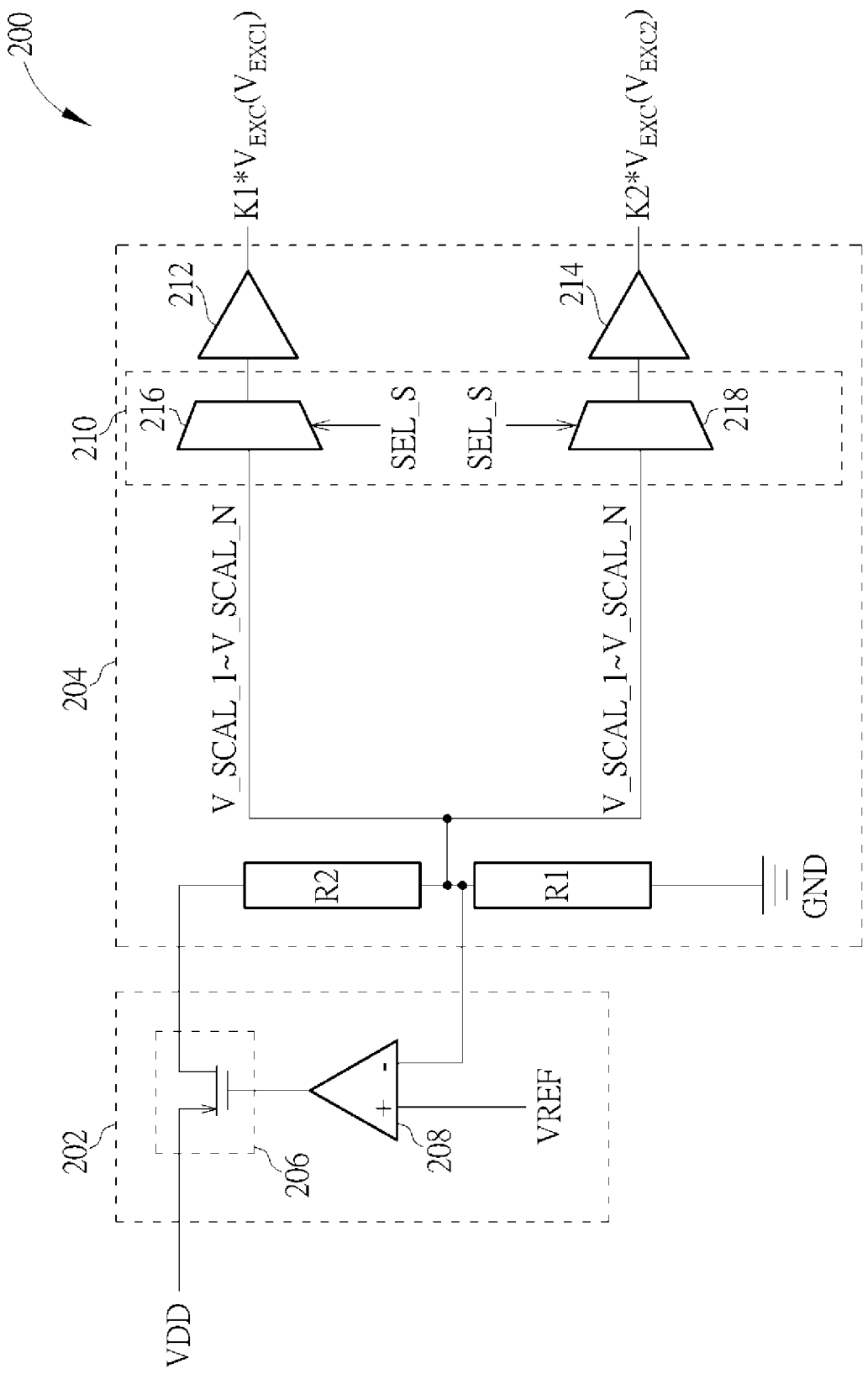
【請求項17】 如申請專利範圍第16項所述之電容量測電路，其中該類比至數位轉換器係一三角積分類比至數位轉換器，以及該三角積分類比至數位轉換器至少包含有：

- 一減法電路，用以自該電荷至電壓轉換器接收該輸出電壓，並且自該輸出電壓減去一回授訊號以產生一處理後訊號；
- 一積分器電路，耦接於該減法電路，並且用以對該處理後訊號進行積分以產生該數位脈衝流；以及
- 一回授電路，耦接於該積分器電路以及該減法電路，並且用以自該數位脈衝流取得該回授訊號，以及將該回授訊號傳送至該減法電路。

【發明圖式】

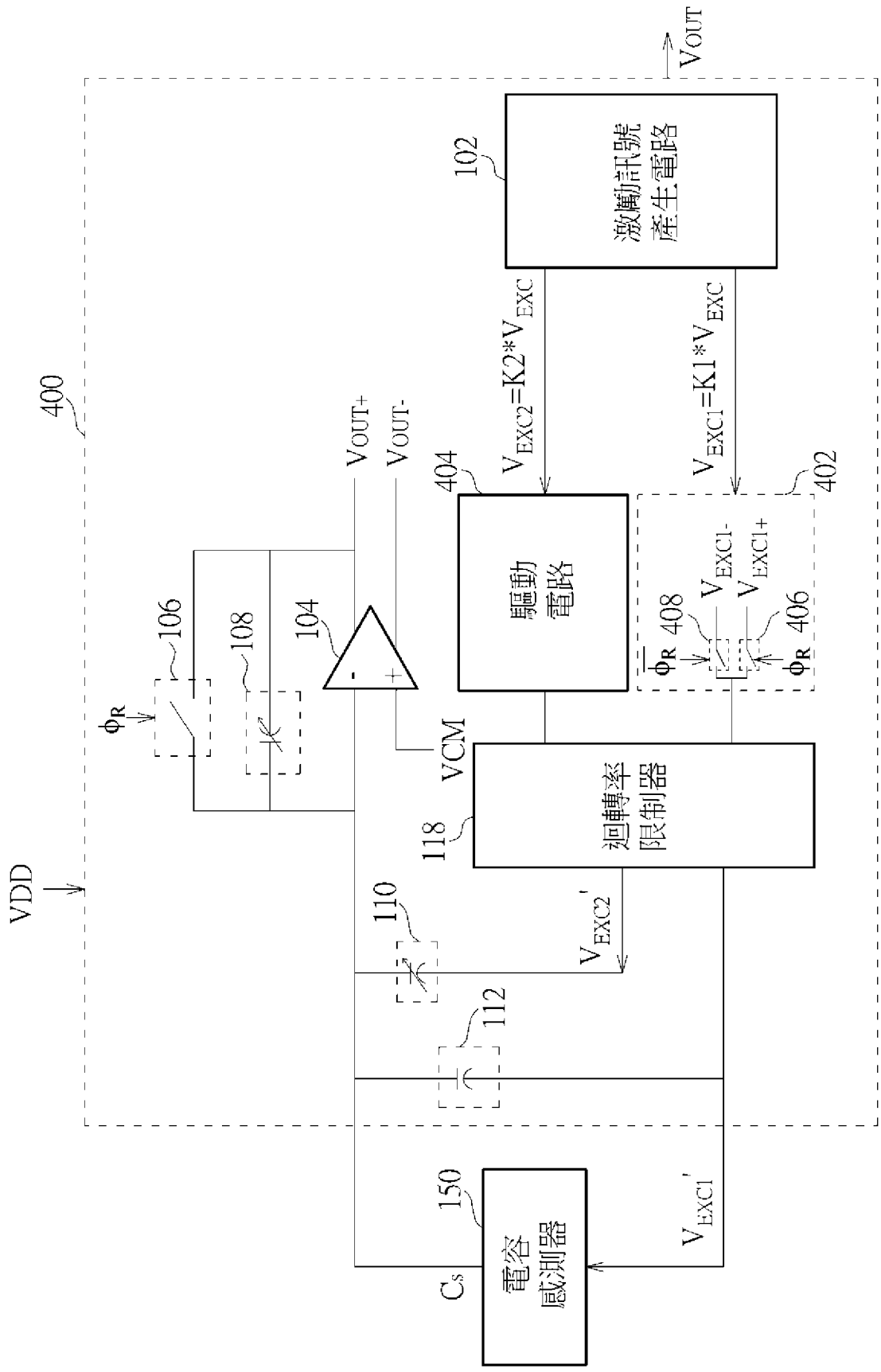


第1圖

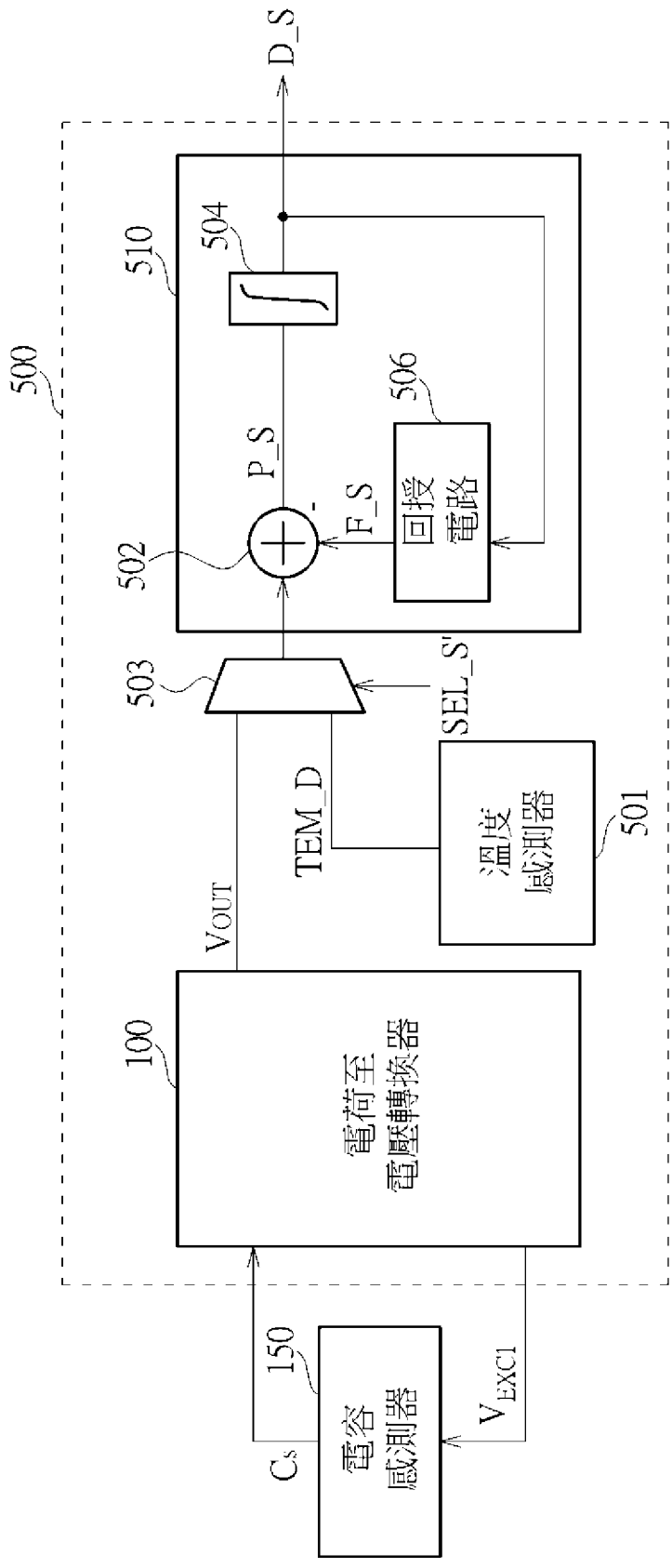


第2圖





第4圖



第5圖