I284917

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：P3111P091

※ 申請日期：93.6.24　　※IPC 分類：H01L21/00
G02F1/133

一、發明名稱：（中文/英文）

電路陣列基板及其製造方法
CIRCUIT ARRAY SUBSTRATE AND METHOD OF MANUFACTURING THE SAME

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

日商東芝松下顯示技術股份有限公司
TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO., LTD.

代表人：（中文/英文）

米澤　敏夫
YONEZAWA, TOSHIO

住居所或營業所地址：（中文/英文）

日本國東京都港區港南4丁目1番8號
1-8, KONAN 4-CHOME, MINATO-KU, TOKYO 108-0075, JAPAN

國　籍：（中文/英文）

日本　JAPAN

三、發明人：（共 4 人）

姓　名：（中文/英文）

1.石田　有親

2.淵　正芳

3.松浦　由紀

4.多田　典生

住居所地址：（中文/英文）

1.日本國埼玉縣桶川市東2-10-23

2.日本國埼玉縣深谷市常盤町61番地克雷亞雷常盤120

3.日本國埼玉縣北葛飾郡栗橋町綠1-32-2

4.日本國埼玉縣熊谷市大字拾六間154比耶利丘姆302

國　籍：（中文/英文）

1.~4.均日本　JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年07月22日；特願2003-277779

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般關係一使用於顯示裝置之電路陣列基板及其製造方法，及較具體關係一使用於顯示裝置中具有切換元件之電路陣列基板及其製造方法。

本申請根據及主張先前日本專利申請案第2003-277779號的優先權利，2003年07月22日申請，全文以提示方式併入本文。

【先前技術】

液晶顯示裝置基本上具有一電路陣列基板、一計數器基板及一固定在該電路陣列基板及該計數器基板之間的液晶層。本電路陣列基板包括切換元件以操作像素。雖然非晶矽薄膜電晶體仍應用於先前技術切換元件，最近已發展多晶矽薄膜電晶體取代非晶矽薄膜電晶體並進入實用。

為了在電路陣列基板上製造多晶矽薄膜電晶體，一非晶矽膜在絕緣基板上形成，如玻璃基板，然後非晶矽膜退火以再結晶成為多晶矽膜，然後完成圖案化方法以製成多晶矽膜，為多晶矽薄膜電晶體的作用層。

其次，一低密度P型或N型雜質摻雜入作用層(「輕摻雜作用層」)以控制多晶矽薄膜電晶體的低限電壓及一閘極絕緣層在絕緣基板上形成，其包括該輕摻雜作用層。

另外，一導電膜塗佈在閘極絕緣層上及為導電膜及閘極絕緣層執行一圖案化處理以便在作用層上形成閘極電極。摻雜高密度P型或N型雜質入該作用層以形成多晶矽薄膜電

基板上製成。不過，那樣，多晶矽薄膜電晶體在驅動器電路的通道長度必須短小，因為當液晶顯示裝置的影像解析度變為較細時，驅動器電路的操作頻率一般需要較高。

一般，在汲極電極的耐受電壓變為較低，因為通道長度的設定較短。換言之，如果通道長度較短，因為電場密集，載體更集中在汲極電極，及在低電壓處發生汲極崩塌。事實上，超大型積體電路(VLSI)具有相似的情況。即是，為了高頻率操作，其通道長度縮短，但為了符合低耐受電壓，VLSI電路使用低電源電壓。該種先前技術揭露於日本專利案第2959682號(見其說明2-4頁及圖1)。

液晶顯示裝置或電致發光顯示裝置需要以規定電壓驅動液晶元件或電致發光元件。如此，其總電源電壓不能降低，如液晶元件必須以不低10 V的電壓驅動。

為了滿足該對立要求，顯示裝置以高耐受電壓高頻率操作，具有不同通道長度的薄膜電晶體在玻璃基板上形成。這些具有短及長通道長度的電晶體分別用於高頻率操作及高耐受應用。

圖27及28顯示根據通道長度及使用多晶矽膜作為作用層的汲極電流Id對閘極電壓Vg特性(Id-Vg特性)。根據Id-Vg特性，因為通道長度變為較短，低限電壓減少及截斷電流增加，閘極電壓Vg=0 V。簡單地說，這種結果來自作用層為非晶矽膜及維持中間帶隙位準的事實。因此，截斷電流增加引起電路中的消耗電流增加或造成錯誤電路操作。所以，只有通道長度改變並不需要薄膜電晶體以高頻率或高

耐受電壓操作。

【發明內容】

所以本發明提供一種具有不同切換元件及光電感應器的電路陣列基板，及以較小或較少步驟的其製造方法。

本發明的第一觀點為應用一電路陣列基板，其具有一絕緣基板、一在該絕緣基板上形成具有一多結晶半導體的作用層之切換元件、一在該絕緣基板上形成具有一多結晶半導體的光電感應器部份之光電半導體裝置、及雜質，其在具有不同的雜質濃度的相同處理室內摻入該作用層及該光電感應器部份。

如此，該電路陣列基板包括具有規格特性的切換元件及具有改良敏感度的光電半導體裝置，能以較少步驟在該絕緣基板上較簡單地製成。

本發明的第二觀點為應用一電路陣列基板，其具有一絕緣基板、於該絕緣基板上形成具有作用層之切換元件、及在具有不同雜質濃度的相同處理室內摻雜入作用層之雜質。如此，電路陣列基板包括具有不同特性的切換元件，便能以較少步驟在該絕緣基板上較簡單地製成。

【實施方式】

以下參考附圖詳細說明本發明的具體實施例。必須注意本發明並不限於這些具體實施例並且包含其他相當的具體實施例。附圖中相同或相似參考號碼顯示相似，相等或相同組件。

第一具體實施例

參考圖1至13說明本發明第一具體實施例的電路陣列基板。

圖1為液晶顯示裝置1的斷面圖。液晶顯示裝置1包括矩型電路陣列基板2、計數器基板61及液晶層65。電路陣列基板2包括透明絕緣板，如玻璃基板3。玻璃基板3的上表面覆蓋一底塗層(undercoat layer)，該底塗層未顯示但由氮化矽及氧化矽製成。

N型通道薄膜電晶體4、P型通道薄膜電晶體5及光電半導體裝置6，如PIN二極體，在底塗層上形成一矩陣。N型通道及P型通道薄膜電晶體4及5用於液晶顯示裝置的切換元件而PIN二極體6用於光電感應器元件。

因此，在底塗層上形成具有作用層11之薄膜電晶體4及5。各作用層11由多結晶半導體膜，如多晶矽膜，組成；由退火一非結晶半導體膜，如非晶矽膜，在底塗層之上形成。作用層11具有通道區12位於其中心部份及N^+或P^+源極及汲極區13及14分別位於通道區12的兩側上面。

底塗層及在底塗層上形成的作用層11覆蓋氧化矽製成的閘極絕緣膜15。閘極電極16相對通道區12在閘極絕緣膜上形成。各閘極電極16的寬度約等於通道區12的寬度。

另外，PIN二極體6在底塗層上形成。PIN二極體6由多結晶半導體膜，如多晶矽膜，組成；由退火一非結晶半導體膜，如非晶矽膜，在底塗層之上形成。PIN二極體6配置在相同平面上如薄膜電晶體4及5位於玻璃基板3上面。各PIN二極體6具有光電感應器部份21，其位於底塗層上及其中利

用和薄膜電晶體4及5的作用層11相同方法來摻雜P型或N型雜質(摻雜物)。光電感應器部份21的雜質濃度不同於薄膜電晶體4及5的作用層的濃度。

光電感應器部份21具有本質(I)層位於PIN二極體6的中心區，及P^+多晶矽區23及N^+多晶矽區24分別位於I層22的兩側面上。

光電感應器部份21及底塗層覆蓋閘極絕緣膜15。閘極電極25由應用與絕緣膜15相同的方法形成，作為薄膜電晶體4及5的閘極電極16。另外，閘極電極25實質上與光電感應器部份21的I層22的寬度相同。

PIN二極體6的閘極電極25、薄膜電晶體4及5的閘極電極16及閘極絕緣膜15覆蓋由氧化矽製成的層間絕緣膜31。

接觸孔32及33通過層間絕緣膜31及閘極絕緣膜15分別達到N型通道薄膜電晶體4的源極及汲極區13及14。

同樣，接觸孔34及35也通過層間絕緣膜31及閘極絕緣膜15分別達到P型通道薄膜電晶體5的源極及汲極區13及14。

接觸孔36及37進一步通過層間絕緣膜31及閘極絕緣膜15分別達到PIN二極體6的I層22的兩端上的P^+及N^+區23及24。

接觸孔32及34充滿歐姆接觸膜38及源極電極41的導電材料。如此，源極電極41經歐姆接觸膜38在信號線(未顯示)及薄膜電晶體4及5的源極區13之間電連接。

同樣，接觸孔33及35充滿歐姆接觸膜38及汲極電極42的導電材料。如此，汲極電極42經歐姆接觸膜38分別電連接薄膜電晶體4及5的汲極區14經歐姆接觸膜38。

接觸孔36進一步充滿歐姆接觸膜38及源極電極41的導電材料。如此，源極電極41經歐姆接觸膜38電連接至PIN二極體6的N^+區24。接觸孔37進一步充滿歐姆接觸膜38及汲極電極42的導電材料。如此，汲極電極42經歐姆接觸膜38電連接至PIN二極體6的P^+區23。

保護膜51在薄膜電晶體4及5及PIN二極體6及層間絕緣膜31的源極及汲極電極41及42上形成。接觸孔52透過保護膜51到達N型通道薄膜電晶體4的源極電極41。

像素電極53的導電材料沉積在保護膜51上及接觸孔52內，致使像素電極53電連接源極電極41。如此，像素電極53由N型通道薄膜電晶體4控制。另外，對準膜54在像素電極53及保護膜51上面形成。

相對電路陣列基板2提供一矩型計數器基板6。計數器基板6包括矩型玻璃基板62、計數器電極63及對準膜64。液晶層65位於電路陣列及計數器基板2及61之間及沿該液晶顯示裝置的周圍部份密封。

參考附圖說明本發明第一具體實施例的電路陣列基板的製造方法。

第一，如圖2所示，在玻璃基板3上面形成底塗層後，施加一電漿化學汽相沉積(電漿CVD)方法沉積50 nm厚的非晶矽膜71於底塗層上面。

然後準分子雷射(Excimer Laser)照射非晶矽膜71致使非晶矽膜71熔解及再結晶成為多晶矽膜72。

其次，如圖3所示，利用旋塗機塗佈一正型光阻在多晶矽

膜72的表面上以形成2.0 μm厚的光阻73。

然後，完成相對光阻73的遮罩圖案76。遮罩圖案76具有光遮蔽部份74及半透明部份75，其分別對應於PIN二極體6及薄膜電晶體4及5。光阻73用曝光機(未顯示)曝光，同時相對光阻73保持遮罩圖案76。

遮罩圖案76的半透明部份75由線及間隔圖案組成，即是複數個等距槽77。

於光阻73上面有完全曝光部份、未曝光部份及具有中間曝光能的中間曝光部份之曝光結果。

另外，曝光的光阻73於顯影溶液內顯影。因為完全曝光部份、未曝光部份及中間部份的溶解度彼此不等，光阻73變為具有不同厚度的光阻圖案78，如圖4所示。

藉由應用使用CF_4氣體的乾蝕刻透過光阻圖案78來蝕刻玻璃基板上3的多晶矽膜72作為一遮罩圖案，完成圖案化以形成島型圖案，如圖5所示。

然後，在乾蝕刻的同一處理室執行O_2電漿磨光以形成島型光阻圖案78於多晶矽膜72上面。

如圖6所示，磨光方法免除薄膜電晶體4及5的作用層11的島型多晶矽膜72的薄光阻圖案78及曝光遮罩圖案76的半透明部份75。

磨光形成厚光阻圖案78曝光較薄遮罩圖案76的光遮蔽部份74，但不能完全移除PIN二極體6的光電感應器部份21的圖案76，致使保留光阻圖案79。

其次，如圖7所示，藉由施加一植入方法透過保留光阻圖

案79作為遮罩圖案而將P型雜質(摻雜物)少量摻雜入島型多晶矽膜72。

然後，施加O_2電漿磨光以移除島型多晶矽膜72的保留光阻圖案79。

其次，在分別對應於PIN二極體6的I層22及P^+區23；p型通道薄膜電晶體5的通道、源極及汲極區12、13及14及N型通道薄膜電晶體4的通道區12的部份上形成光阻膜81。

保持這種狀態，如圖8所示，藉由施加一植入方法透過光阻圖案81作為遮罩圖案而將高濃度N型雜質(摻雜物)摻雜入相對應於PIN二極體6的N^+區24及N型通道薄膜電晶體4的源極及汲極區13及14之島型多晶矽膜72的部份內。

然後移除島型多晶矽膜72的光阻81及沉積閘極絕緣膜15在底塗層及島型多晶矽膜72上面，如圖9所示。接著沉積導電膜82在閘極絕緣膜15上面。然後，施加一圖案化方法於導電膜82以形成閘極電極16及25。

在p型通道薄膜電晶體5的通道區12及在N型通道薄膜電晶體4的通道區12及源極及汲極區13及14上面形成閘極電極16，同時在PIN二極體6的通道區12及N^+區24上形成閘極電極25。

如圖10所示，藉由施加一植入方法透過閘極電極16及25作為一遮罩圖案而將高濃度P型雜質(摻雜物)摻雜入相對應於PIN二極體6的P^+區23及P型通道薄膜電晶體5的源極及汲極區13及14之島型多晶矽膜72的部份內。

如圖11所示，施加一圖案化方法於導電膜82以形成閘極

電極16及25，層間絕緣膜31沉積在閘極電極16及25和閘極絕緣膜15上，及透過層間絕緣膜3形成接觸孔32至37。

然後，如圖12所示，接觸孔32至37充滿導電膜83及也形成在層間絕緣膜31上面，施加一圖案化方法於導電膜83以形成薄膜電晶體4及5及PIN二極體6的源極及汲極電極41及42。

其次，如圖13所示，保護膜51在源極及汲極電極41及42上形成及形成通過保護膜51的接觸孔52。

然後，像素電極53的連接部份充滿於接觸孔52中及像素電極53在保護膜51上形成及然後在像素電極53及保護膜51上形成對準膜54致使電路陣列基板2完成，如圖1所示。

如上述，根據第一具體實施例，在玻璃基板4上形成的薄膜電晶體4及5及PIN二極體6的摻雜雜質濃度不同。即是，第一具體實施例包括一為曝光光阻73透過具有光遮蔽部份74的不同透明成分的遮罩圖案76及半透明部份75以製造不同摻雜雜質濃度的薄膜電晶體4及5及PIN二極體6之方法。

在玻璃基板3上形成的多晶矽膜72上面產生具有不同厚度膜的光阻圖案78。另外，透過光阻圖案78蝕刻多晶矽膜72作為一遮罩圖案及然後磨光光阻圖案78以移除光阻圖案78的薄部份。透過厚光阻圖案79將雜質摻雜入多晶矽膜72作為一遮罩圖案後，從多晶矽膜72中移除光阻圖案79。

如此，便能容易地在相同玻璃基板3上用較小或較少的製造方法形成具有需要性能特性的薄膜電晶體4及5及具有改善光敏感性的PIN二極體6。尤其，因為蝕刻及磨光方法係

在同一反應室中循序完成，增加的方法便可減少。所以，因為微影方法數維持不變而總製造方法數只稍為增加，具有薄膜電晶體4及5及PIN二極體6的電路陣列基板2便能以低成本生產。

第二具體實施例

參考圖14至26說明本發明第二具體實施例的電路陣列基板。

雖然圖14至26顯示的電路陣列基板及其製造方法基本上與圖1至13所顯示的相同，前者具有N型通道薄膜電晶體91、92及93在具有不同通道長度的玻璃基板上形成。

如圖15所示，一非結晶半導體膜，如非晶矽膜71，在玻璃基板3上形成及然後由雷射光束退火製成多晶矽膜。其次，如圖16所示，完成相對光阻73的遮罩圖案76。遮罩圖案76具有光遮蔽部份74及半透明部份75，其分別當應於長通道薄膜電晶體92及93及短通道薄膜電晶體91(見圖14)。透過遮罩圖案76執行光阻73的曝光。

另外，在顯影溶液中顯影曝光的光阻73以製造不同厚度的光阻圖案78在光阻73上形成，如圖17所示。藉由透過光阻圖案78施加在玻璃基板上3的多晶矽膜72作為遮罩圖案而完成圖案化以形成島型圖案，如圖18所示。

然後，進行磨光以形成島型光阻圖案78位於多晶矽膜72上面。磨光免除島型多晶矽膜72的薄光阻圖案78曝光遮罩76的半透明部份75。磨光留下厚光阻圖案78，由遮罩圖案76的光遮蔽部份74阻止曝光，如圖19所示。

其次，如圖20所示，藉由施加一植入方法透過保留光阻圖案79作為一遮罩圖案而摻雜P型或N型雜質(摻雜物)至島型多晶矽膜72內。短通道薄膜電晶體91的低限電壓(見圖14)由摻雜雜質濃度控制。例如，硼摻雜入短通道薄膜電晶體91的多晶矽膜71以移動正方向中的低限電壓0.3 V。

然後，如圖21所示，從玻璃基板3上形成的島型多晶矽膜72移除保留的光阻圖案79。如圖22所示，閘極絕緣模15沉積在底塗層及島型多晶矽膜72上面。為了形成圖23所示的結構，在閘極絕緣膜15上面沉積導電膜82，施加一圖案化方法於導電膜82以形成閘極電極16。

如此，藉由施加一植入方法透過閘極電極16作為一遮罩圖案而將高濃度P型或N型雜質摻雜入相對應於薄膜電晶體91、92及93的源極及汲極區13及14之島型多晶矽膜72的部份內(見圖14)。較具體，例如，磷摻離入島型多晶矽膜72內後，完成退火方法以活化磷摻雜多晶矽膜72。結果，薄膜電晶體91、92及93的作用層11的摻雜雜質濃度根據薄膜電晶體91、92及93(見圖14)的閘極電極長度而不同。

在執行閘極電極16的圖案化方法後，層間絕緣膜31在閘極電極16及閘極絕緣膜15上面形成。如圖24所示，製造接觸孔32至37通過層間絕緣膜31及導電膜83，使其充滿於接觸孔32至37中及塗佈在層間絕緣膜31上。如圖25所示，施加圖案化方法於導電膜83以形成薄膜電晶體91、92及93的源極及汲極電極41及42。

其次，如圖26所示，保護膜51在源極及汲極電極41及42

上形成後，形成通過保護膜51的接觸孔52。然後，像素電極53的連接部份充滿於接觸孔52中，像素電極53在保護膜51上形成，及在像素電極53及保護膜51上形成對準膜54，致使電路陣列基板2完成，如圖14所示。

如上述，根據第二具體實施例，因為根據玻璃基板3上形成的不同通道長度薄膜電晶體91、92及93分別可製成不同的摻雜雜質濃度，薄膜電晶體91、92及93的低限電壓便可獨立控制。因此，高頻率操作需要的薄膜電晶體91可以如高耐受電壓需要的薄膜電晶體92、93一樣形成在相同基板上及用相同方法形成。

換言之，不同通道長度薄膜電晶體91、92及93的低限電壓可容易控制及該薄膜電晶體91、92及93可用有限的處理步驟製成。短通道、高頻率薄膜電晶體91及長通道、高耐受電壓薄膜電晶體92及93兩種可在相同玻璃基板3上形成。另外，因為製造不同通道長度薄膜電晶體91、92及93的方法具有相同數目的微影方法用於薄膜電晶體91、92及93及實質上不增加製造步驟數，具有該等薄膜電晶體91、92及93的電路陣列基板2的製造成本便可降低。

本發明應用於電路陣列基板包括，但不限於，下列在相同玻璃基板上形成具有不同特性的薄膜電晶體：N型通道及P型通道薄膜電晶體的CMOS電路；其中低限電壓獨立設定的N型通道及P型通道薄膜電晶體；及具有相同通道長度但在截斷性質的光中具有大的低限電壓絕對值之薄膜電晶體。

在第二具體實施例中，雜質摻雜入短通道薄膜電晶體91的作用層11。如果作用層11需要相當於長通道薄膜電晶體92及93的一定低限電壓控制，完成經光阻圖案78的雜質摻雜及移除保留光阻圖案79後，雜質摻雜入玻璃基板3的整個表面中。

N型通道薄膜電晶體91、92及93係在第二具體實施例中形成，但可透過閘極電極16摻雜一P型雜質，如磷，作為一遮罩圖案以形成P型通道薄膜電晶體。

本發明的電路陣列基板不只能用於液晶顯示裝置也能應用於有機電致發光顯示裝置。

本發明並不限於上述的具體實施例。雖然本發明已作相當程度的詳細說明，必須了解本文揭露的較佳形式不論詳細結構及組件組合及配置均可改變並不背離本發明的精神及範圍如下列申請專利範圍。

【圖式簡單說明】

參考以下詳細說明及附圖，便能更了解本發明的優點，其中：

圖1為根據本發明第一具體實施例包括電路陣列基板的液晶顯示器裝置的斷面圖；

圖2為說明在圖1所示的電路陣列基板的絕緣基板上形成多晶矽膜之斷面圖；

圖3為說明在圖2所示的多晶矽膜上一光阻之塗層及在該光阻上提供一遮罩圖案準備之斷面圖；

圖4為說明藉由多晶矽膜上光阻的曝光及顯影透過圖3所

示之光阻上遮罩圖案而形成的配置之斷面圖；

圖5為說明藉由蝕刻圖4所示絕緣基板上形成的多晶矽膜而形成的配置之斷面圖；

圖6為說明藉由磨光圖5所示多晶矽膜上塗抹的薄光阻而形成的配置之斷面圖；

圖7為說明摻雜P型雜質至圖6所示多晶矽膜之斷面圖；

圖8為說明摻雜N型雜質至圖7所示多晶矽膜之斷面圖；

圖9為說明在圖8所示的絕緣基板及多晶矽膜上一閘極絕緣膜的塗層之斷面圖；

圖10為說明摻雜雜質至圖9所示多晶矽膜經閘極絕緣膜上形成的閘極電極作為遮罩圖案之斷面圖；

圖11為說明透過閘極絕緣膜及一層間絕緣膜形成接觸孔以覆蓋圖10所示的絕緣基板及多晶矽膜上形成的閘極電極及閘極絕緣膜之之斷面圖；

圖12為說明圖11所示位於接觸孔的源極及汲極電極之斷面圖；

圖13為說明在圖12所示源極及汲極電極及層間絕緣膜上一保護膜的塗層之斷面圖；

圖14為根據本發明第二具體實施例包括電路陣列基板的液晶顯示器裝置的斷面圖；

圖15為說明在圖14所示的電路陣列基板的絕緣基板上形成多晶矽膜之斷面圖；

圖16為說明在圖15所示的多晶矽膜上塗抹一光阻的塗層及在該光阻上準備一遮罩圖案之斷面圖；

圖17為說明藉由非晶矽膜上光阻的曝光及顯影透過圖16所示之光阻上提供的遮罩圖案而形成的配置之斷面圖；

圖18為說明藉由蝕刻圖17所示絕緣基板上形成的多晶矽膜而形成的配置之斷面圖；

圖19為說明藉由磨光圖18所示多晶矽膜上塗抹的薄光阻而形成的配置之斷面圖；

圖20為說明摻雜P型或N型雜質至圖19所示多晶矽膜之斷面圖；

圖21為說明從圖20所示之多晶矽膜中移除薄光阻之斷面圖；

圖22為說明在圖21所示的絕緣基板及多晶矽膜上一閘極絕緣膜的塗層之斷面圖；

圖23為說明摻雜雜質至圖22所示多晶矽膜經閘極絕緣膜上形成的閘極電極作為遮罩圖案之斷面圖；

圖24為說明透過閘極絕緣膜及一層間絕緣膜形成接觸孔以覆蓋圖23所示的絕緣基板及多晶矽膜上形成的閘極電極及閘極絕緣膜之斷面圖；

圖25為說明圖24所示位於接觸孔處的源極及汲極電極之斷面圖；

圖26為說明在圖25所示源極及汲極電極及層間絕緣膜上一保護膜的塗層之斷面圖；

圖27為一曲線顯示具有通道長度1.5 μm的多結晶半導體薄膜電晶體的汲極電流對閘極電壓特性：

圖28為一曲線顯示具有通道長度4.5 μm的多結晶半導體

37	接觸孔
38	歐姆接觸膜
41	源極電極
42	汲極電極
51	保護膜
52	接觸孔
53	像素電極
54	對準膜
61	計數器基板
62	玻璃基板
63	計數器電極
64	對準膜
65	液晶層
71	非晶矽膜
72	多晶矽膜
73	光阻
74	光遮蔽部份
75	半透明部份
76	遮罩圖案
77	等距槽
78	光阻圖案
79	光阻圖案
81	光阻或光阻圖案
82	導電膜

83	導電膜
91	N型通道薄膜電晶體
92	N型通道薄膜電晶體
93	N型通道薄膜電晶體

十一、圖式：

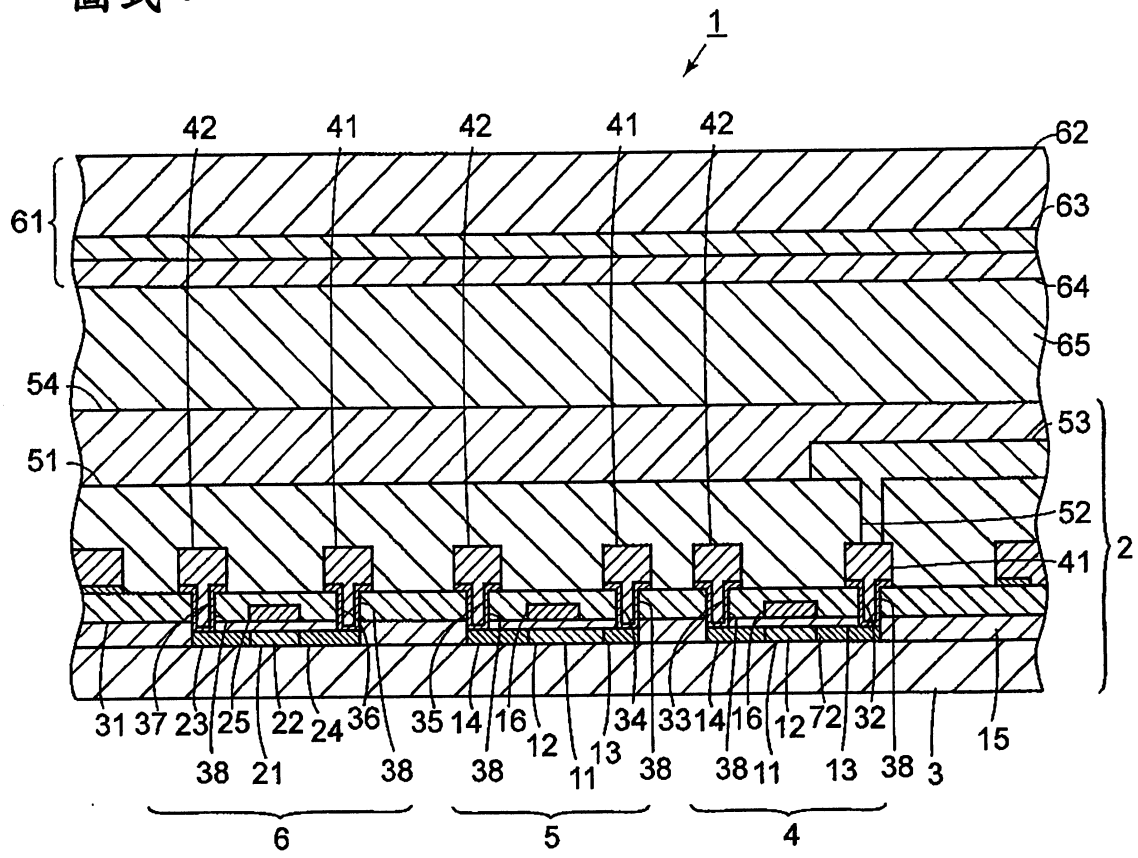
1
42
41
42
41
42
62
61
63
64
65
54
53
51
52
41
2
31 37 23 25 22 24 36 35 14 16 12 13 34 33 14 16 12 72 32 15
38 21 38 38 11 38 38 11 13 38 3
6
5
4

圖1

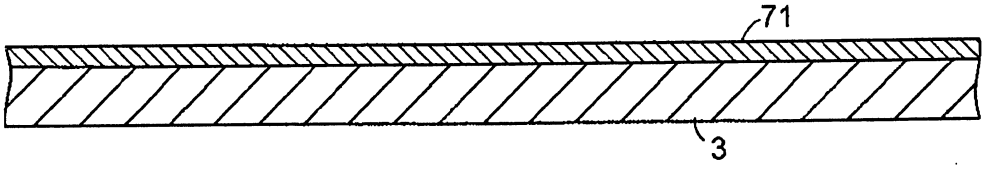
71
3

圖2

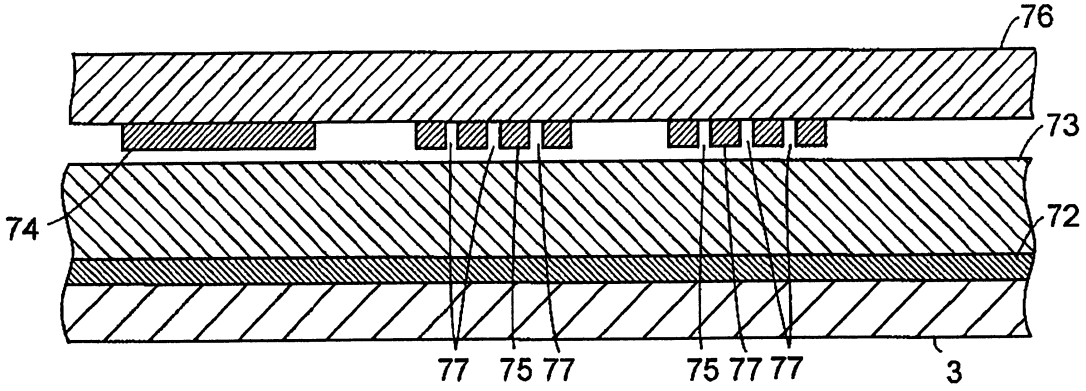

圖3

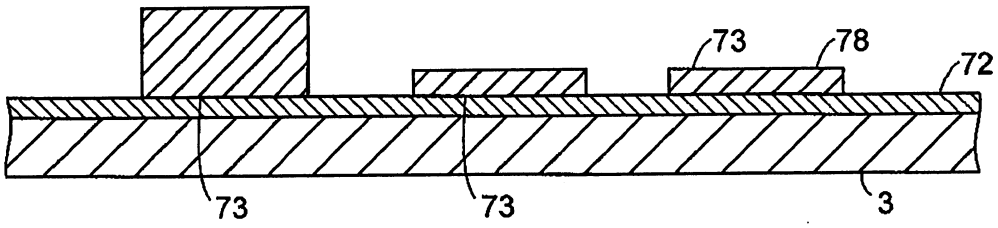

圖4

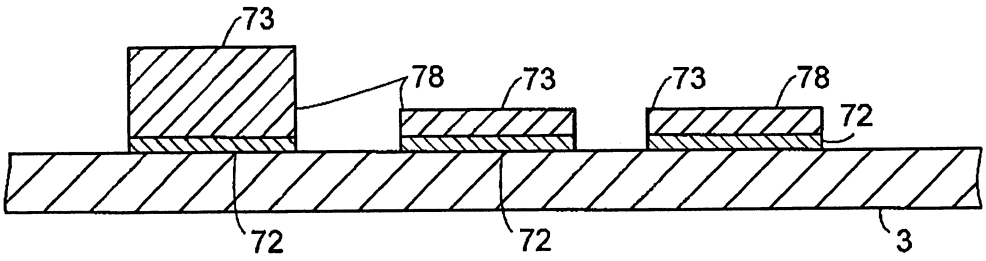

圖5

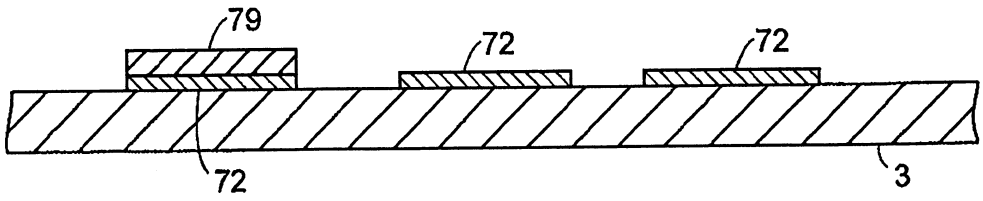

圖6

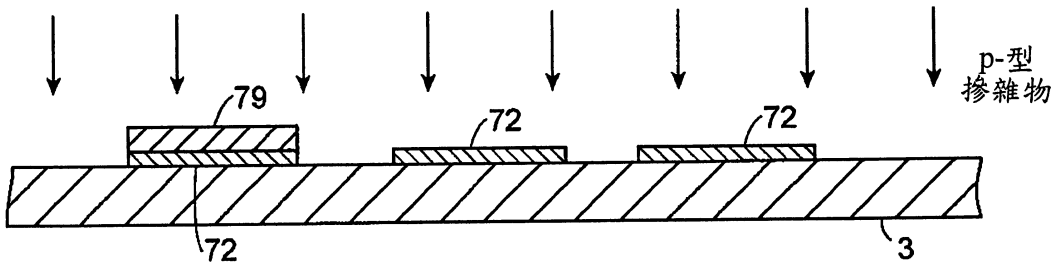

圖7

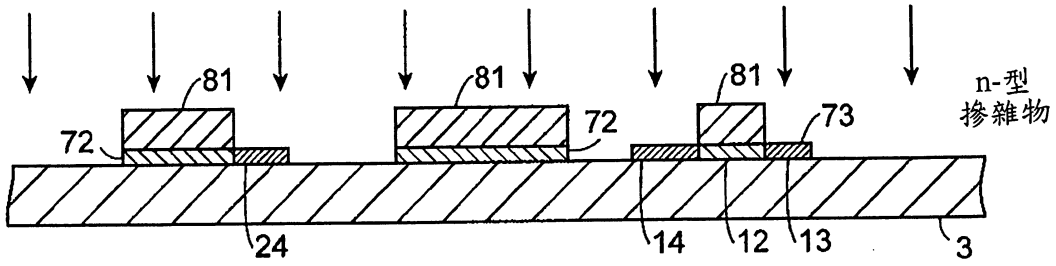

圖8

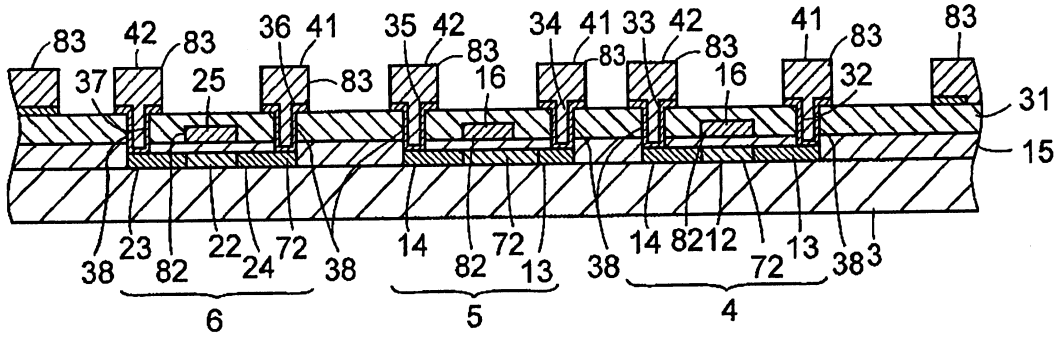
83
42
83
36
41
35
42
83
34
41
33
42
83
41
83
83
37
25
83
16
83
16
32
31
15
38
23
82
22
24
72
38
14
82
72
13
38
14
82
12
72
13
38
3
6
5
4

圖12

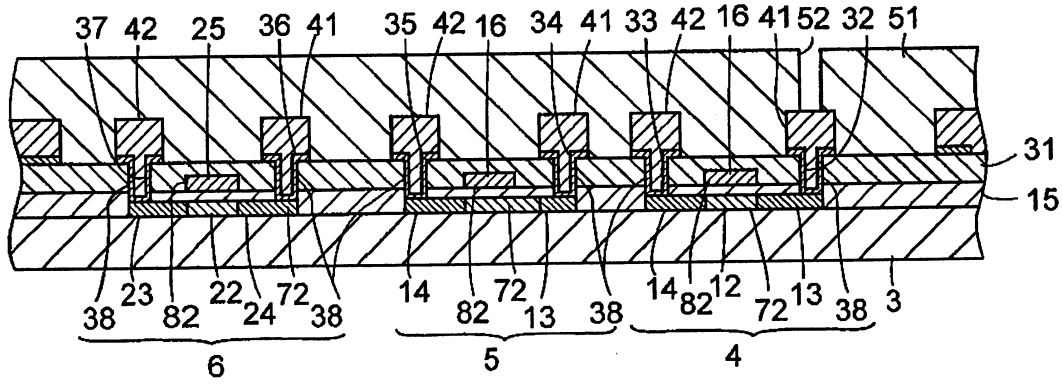
37
42
25
36
41
35
42
16
34
41
33
42
16
41
52
32
51
31
15
38
23
82
22
24
72
38
14
82
72
13
38
14
82
12
72
13
38
3
6
5
4

圖13

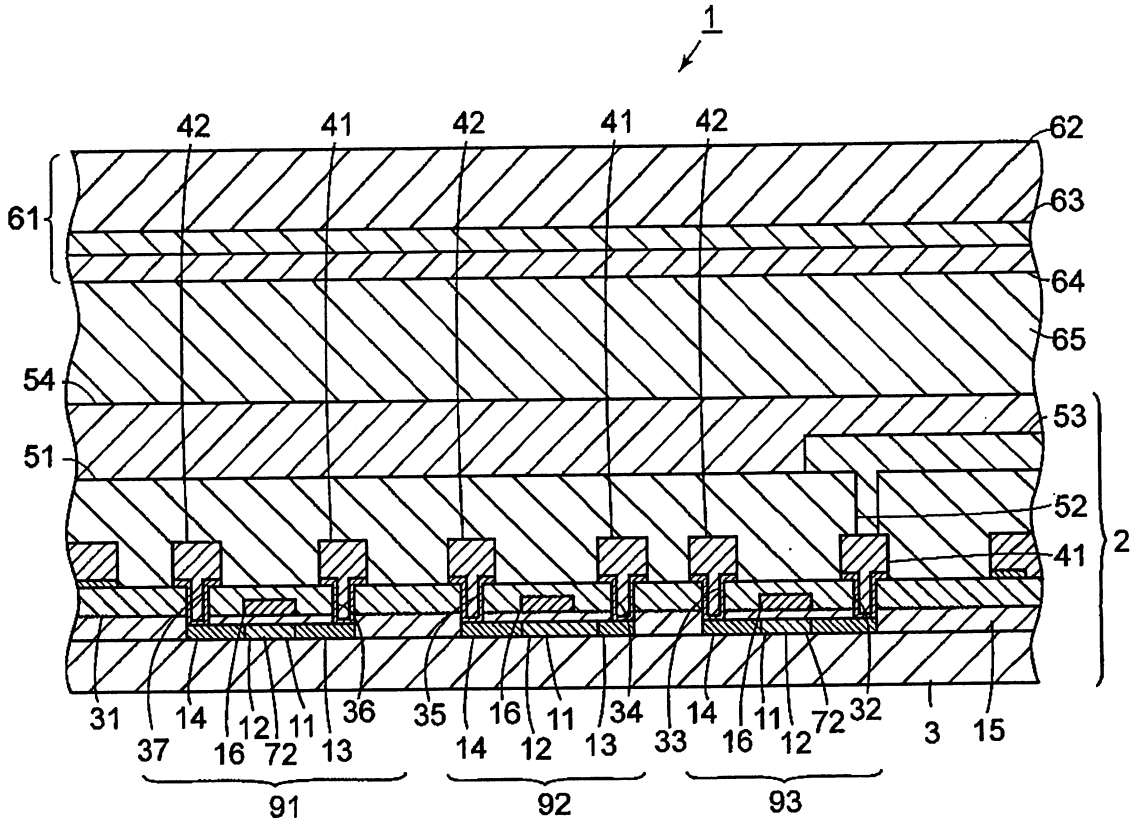
1
42
41
42
41
42
62
61
63
64
65
54
53
51
52
41
2
31
37
14
16
12
72
11
13
36
35
14
16
12
11
13
34
33
14
16
11
12
72
32
3
15
91
92
93

圖14

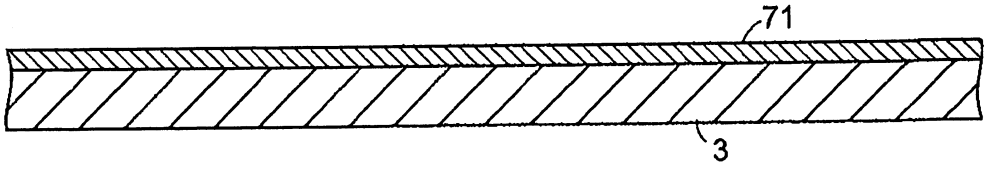
71
3

圖15

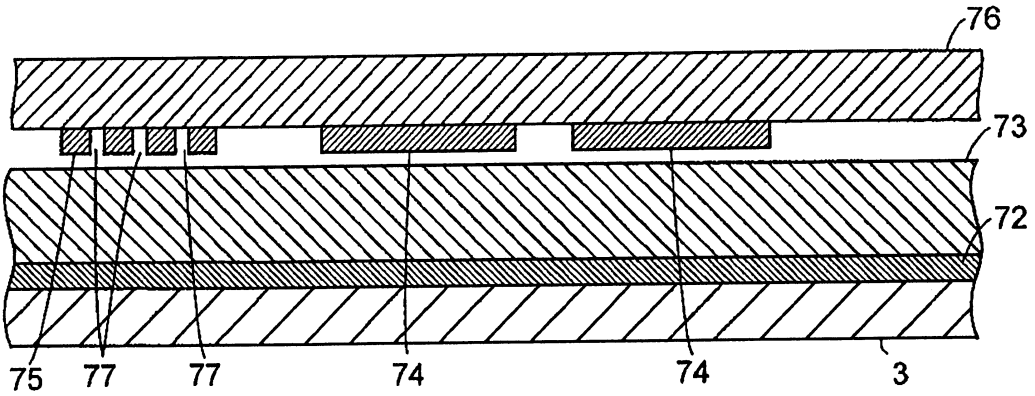
76
73
72
75
77
77
74
74
3

圖16

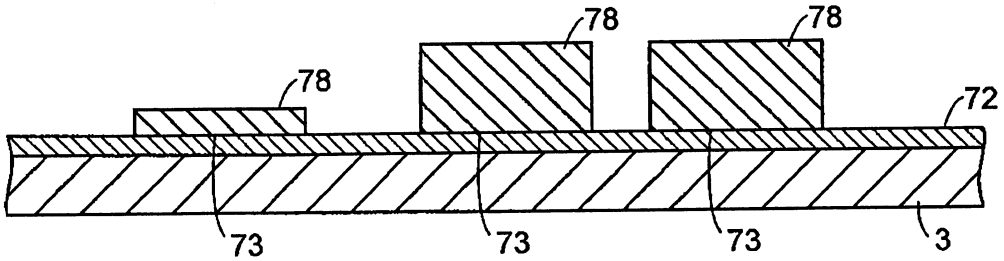
78
78
78
72
73
73
73
3

圖17

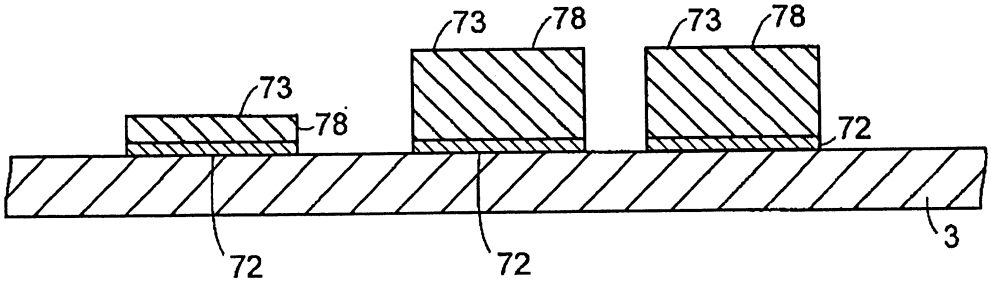
73
78
73
78
73
78
72
72
72
3

圖18

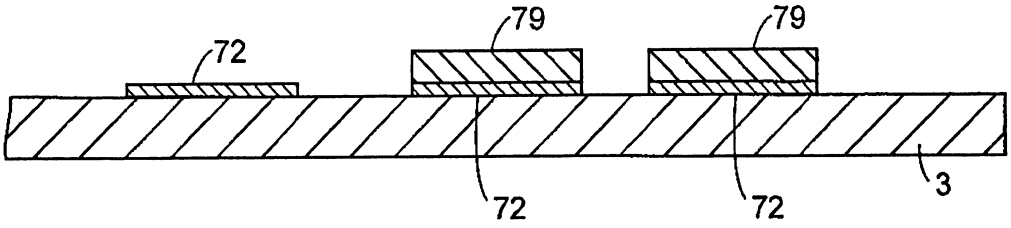

圖19

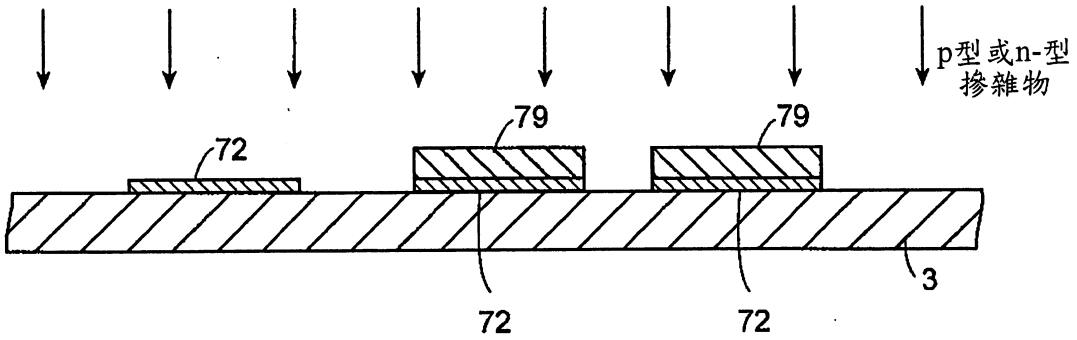

圖20

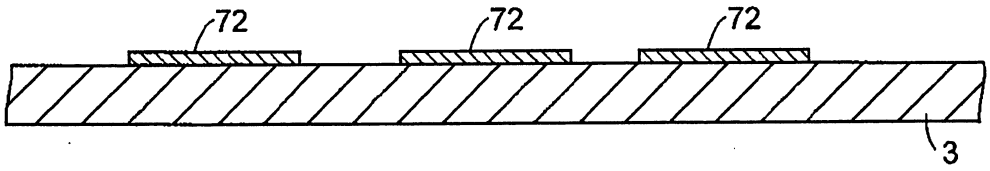

圖21

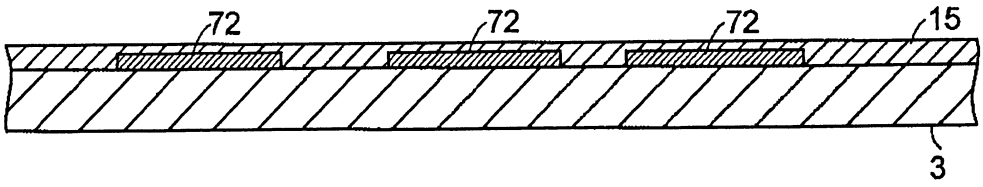
72
72
72
15
3

圖22

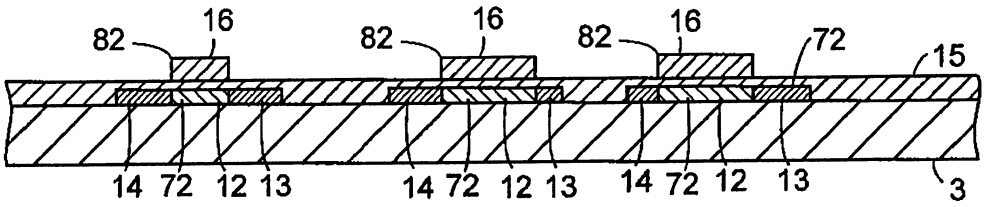
82
16
82
16
82
16
72
15
14 72 12 13
14 72 12 13
14 72 12 13
3

圖23

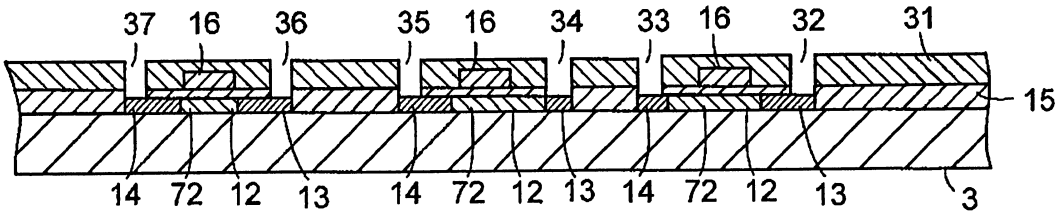
37
16
36
35
16
34
33
16
32
31
15
14 72 12 13
14 72 12 13
14 72 12 13
3

圖24

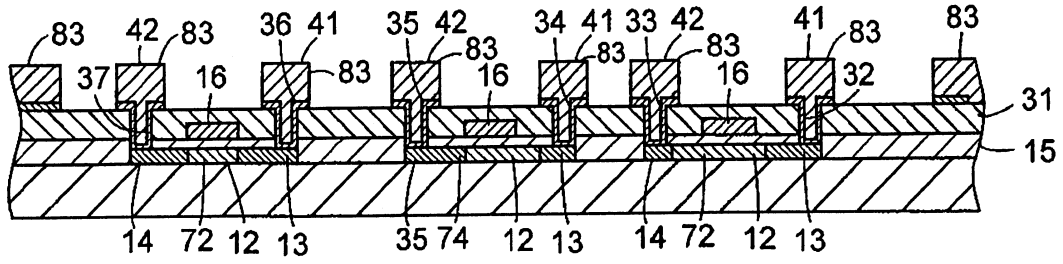
83
42
83
36
41
35
42
34
41
33
42
41
83
83
37
16
83
83
16
83
16
16
32
31
15
14
72
12
13
35
74
12
13
14
72
12
13

圖25

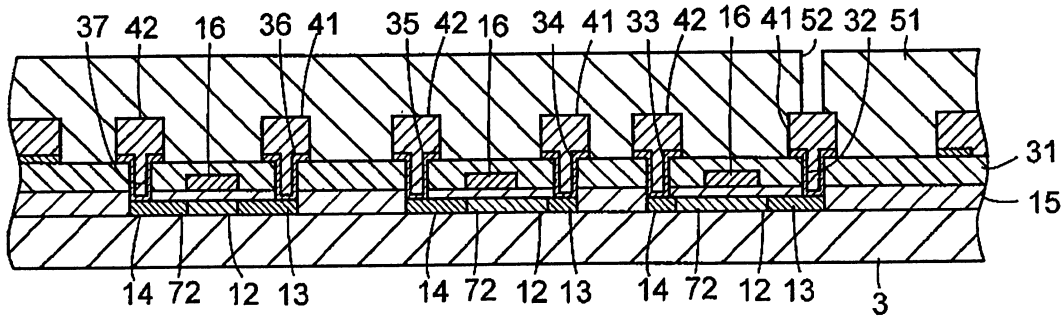
37
42
16
36
41
35
42
16
34
41
33
42
16
41
52
32
51
31
15
14
72
12
13
14
72
12
13
14
72
12
13
3

圖26

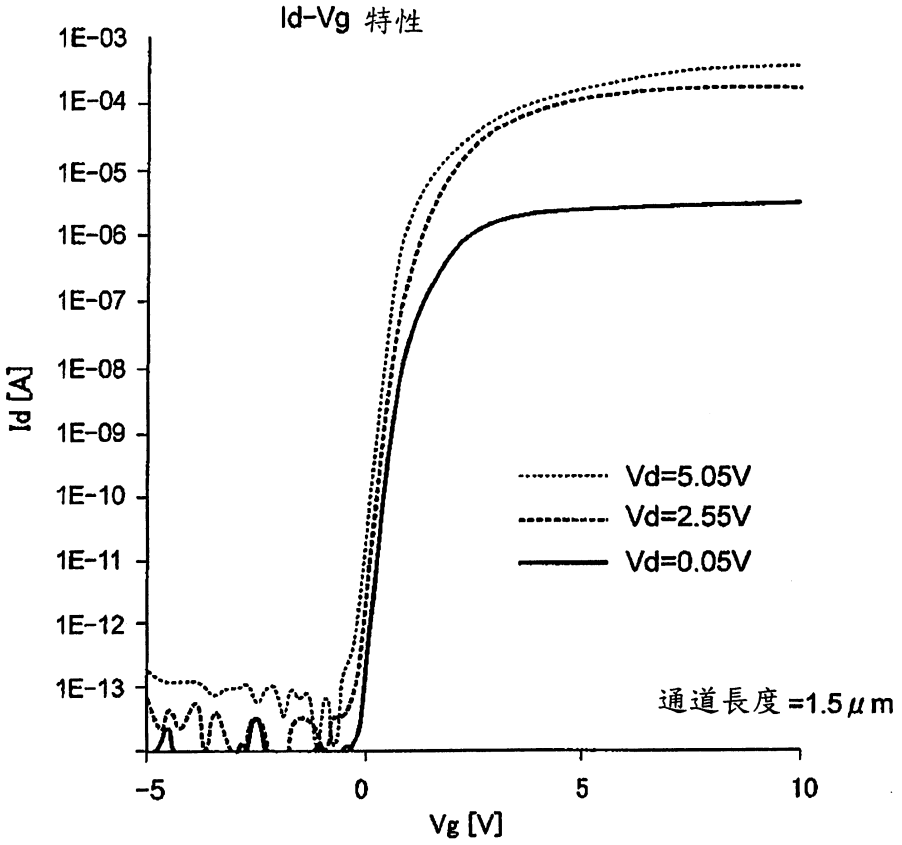
Id-Vg 特性
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
Vd=5.05V
Vd=2.55V
Vd=0.05V
通道長度 =1.5μm
-5
0
5
10
Vg [V]

圖27

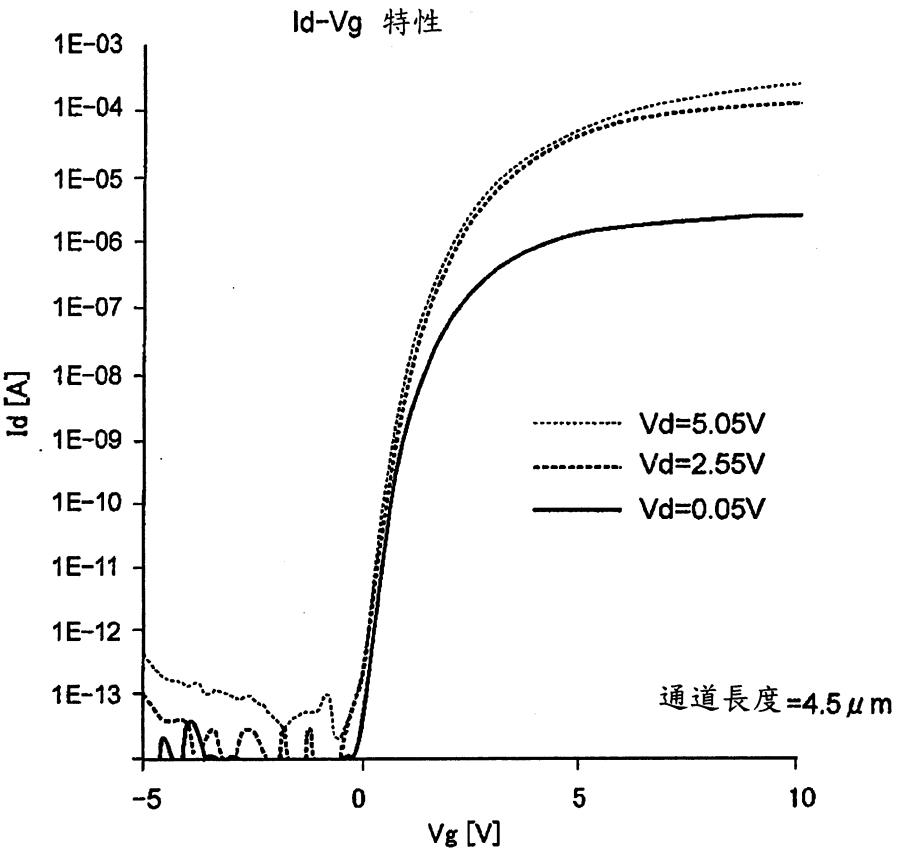
Id-Vg 特性
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
-5
0
5
10
Vg [V]
Vd=5.05V
Vd=2.55V
Vd=0.05V
通道長度=4.5μm

圖28

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明:

1	液晶顯示裝置
2	電路陣列基板
3、62	玻璃基板
4	N型通道薄膜電晶體
5	P型通道薄膜電晶體
6	PIN二極體
11	作用層
12	通道區
13	源極區
14	汲極區
15	閘極絕緣膜
16、25	閘極電極
21	光電感應器部份
22	本質(I)層
23	P^+多晶矽區
24	N^+多晶矽區
31	層間絕緣膜
32, 33, 34, 35, 36, 37, 52	接觸孔
38	歐姆接觸膜
41	源極電極

42	汲極電極
51	保護膜
53	像素電極
54、64	對準膜
61、63	計數器基板
65	液晶層
72	多晶矽膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

晶體的源極及汲極區。

然後，在閘極絕緣層及閘極電極上塗佈一層間絕緣膜，形成接觸孔通過該層間絕緣膜以便分別達到源極及汲極區。層間絕緣膜及接觸孔覆蓋導電膜藉以施加圖案化處理以形成源極及汲極電極及信號線。

其次，塗佈一保護膜在源極及汲極電極及層間絕緣膜上及形成接觸孔通過保護膜以便分別到達汲極電極。接觸孔充滿導電膜以連接汲極電極至一外部裝置。如此，完成液晶顯示裝置用的電路基板。

另外，提供一資料輸入裝置，如光電感應器元件(光電變換元件)，位於玻璃基板上。光電感應器元件由PIN光電二極體組成，其中一I(本質)層接收入射光產生光子。

如上述，雜質需要摻雜入薄膜電晶體的作用層以獲得規格性能特性。不過，為了增加PIN二極體的光電敏應性，較理想為PIN二極體的I層沒有摻雜雜質。

由於薄膜電晶體在相同處理室內(如光電感應器元件)在玻璃基板上形成，雜質濃度不能改變。如此，具有規格性能特性的薄膜電晶體及加強敏感性光電感應器元件不容易同時形成。這些薄膜電晶體及光電感應器元件可於分開處理中形成，其中不同密度雜質分別摻雜入薄膜電晶體的作用層及光電感應器元件的I層。不過，該種製造方法，造成製造方法數增加及不易製造及製造成本昂貴。

另一方面，因為多晶矽作用層具有高接通電阻，不只該像素切換電路並且驅動器電路也能由多晶矽作用層在陣列

薄膜電晶體的汲極電流對閘極電壓特性。

【主要元件符號說明】

1	液晶顯示裝置
2	電路陣列基板
3	玻璃基板
4	N型通道薄膜電晶體
5	P型通道薄膜電晶體
11	作用層
12	通道區
13	源極區
14	汲極區
15	閘極絕緣膜
16	閘極電極
21	光電感應器部份(光電變換部份)
22	本質(I)層
23	P^+多晶矽區
24	N^+多晶矽區
25	閘極電極
31	層間絕緣膜
32	接觸孔
33	接觸孔
34	接觸孔
35	接觸孔
36	接觸孔

95年9月21日修(更)正替換頁

五、中文發明摘要：

本發明提供一種於絕緣基板3上形成具有薄膜電晶體4及5及PIN二極體6之電路陣列基板。作用層11及光電感應器部份21由多晶矽膜製成。如果需要，在相同處理室內摻雜雜質入作用層11及光電感應器部份(光電變換部份)21以製成彼此不同的雜質濃度。具有規格特性的薄膜電晶體4及5及具有改良光敏感性的PIN二極體6可同時使用較少之製程步驟卻較容易地在絕緣基板3上製成。

六、英文發明摘要：

十、申請專利範圍：

1. 一種電路陣列基板，包括：

一絕緣基板；

在該絕緣基板上形成之切換元件，其具有一多結晶半導體的作用層；及

一在該絕緣基板上形成之光電半導體裝置，其具有一多結晶半導體的光電感應器部份(光電變換部份)；且

該作用層及該光電感應器部份係由以下步驟所形成：

使用具有與該光電感應器部份對應之半透明部份及與該作用層對應之光遮蔽部份之遮罩，

使與該半透明部份對應之該絕緣基板之僅一面上殘留有薄光阻，而與該光遮蔽部份對應之該絕緣基板之一面上不殘留光阻，

藉由對與該作用層及該光電感應器部份對應之部份摻雜雜質之同一處理步驟，

形成雜質之摻雜濃度不同之該作用層及該光電感應器部份。

2. 如申請專利範圍第1項之電路陣列基板，其中該等切換元件為薄膜電晶體，及

該光電半導體裝置為一PIN二極體。

3. 一種電路陣列基板，包括：

一絕緣基板；及

複數個切換元件，其係形成在該絕緣基板上，並具有多結晶半導體的作用層；且

該複數個切換元件係由以下步驟所形成：

該等複數個切換元件之作用層各具有不同之摻雜濃度，

使用具有與該摻雜濃度高的該切換元件對應之半透明部份及與該摻雜濃度低的該切換元件對應之光遮蔽部份之遮罩，

使與該摻雜濃度高的該切換元件對應之半透明部份對應之該絕緣基板之僅一面上殘留有薄光阻，而與該摻雜濃度低的該切換元件對應之光遮蔽部份對應之該絕緣基板之一面上不殘留光阻，

藉由對與該摻雜濃度高的該切換元件及該摻雜濃度低的該切換元件對應之部份摻雜雜質之同一處理步驟，

形成雜質之摻雜濃度不同之複數個切換元件。

4. 如申請專利範圍第3項之電路陣列基板，其中該等切換元件為具有不同通道長度的薄膜電晶體，及

該等薄膜電晶體之該等作用層的該等不同雜質濃度相對於該等薄膜電晶體的該不同通道長度而彼此有所不同。

5. 如申請專利範圍第1、2、3項中任一項之電路陣列基板，其中該步驟係在同一處理室中進行。

6. 一種製造電路陣列基板的方法，包括：

於一絕緣基板上形成一多結晶半導體膜；

於該多結晶半導體膜上形成一光阻；

透過一具有光透明度不同之半透明部份及光遮蔽部份的遮罩來曝光該光阻，因而在該多結晶半導體膜上形成

一具有薄及厚區之光阻圖案；

以該光阻圖案作為一遮罩，光蝕刻該多結晶半導體膜；

移除該光阻圖案的該薄區以形成一保留光阻圖案；

透過該保留光阻圖案將雜質摻雜入該多結晶半導體膜；及

自該多結晶半導體膜中移除該保留光阻圖案，因而於具有不同雜質濃度摻雜膜的該絕緣基板上形成切換元件及光電半導體裝置。

7. 如申請專利範圍第6項之製造電路陣列基板的方法，其中透過該光阻圖案的該多結晶半導體膜之該光蝕刻及從該光阻圖案的該薄區之該移除係在一預定處理室中循序完成。

95年9月21日修(更)正替換頁

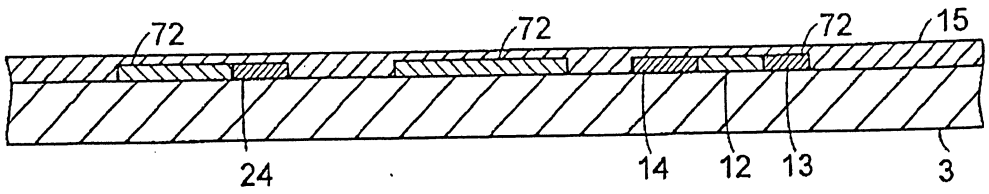

圖9

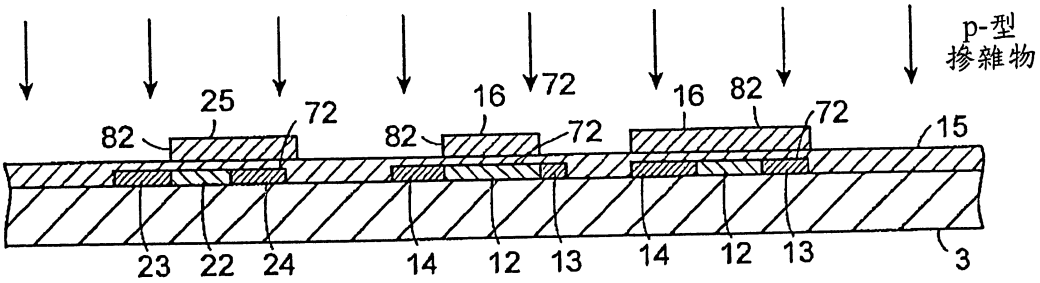

圖10

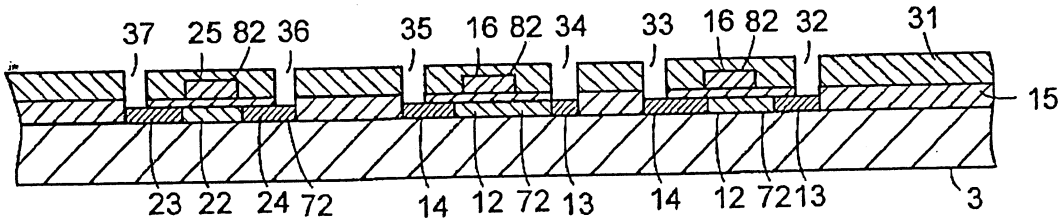

圖11