

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-306037

(P2008-306037A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.

H01L 25/00 (2006.01)

F I

H01L 25/00

テーマコード (参考)

B

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2007-152604 (P2007-152604)
 (22) 出願日 平成19年6月8日(2007.6.8)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100107836
 弁理士 西 和哉
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100101465
 弁理士 青山 正和
 (72) 発明者 西山 佳秀
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

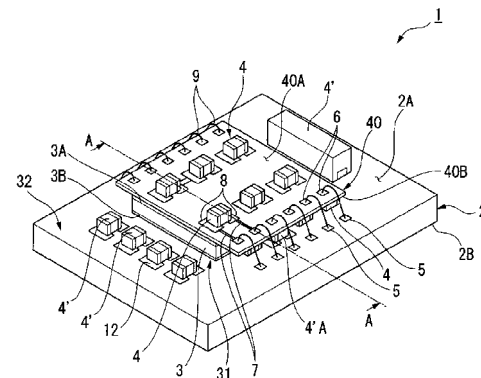
(54) 【発明の名称】 半導体モジュール及びその製造方法

(57) 【要約】

【課題】受動部品を有する場合であっても小型化が可能な半導体モジュール及びその製造方法を提供する。

【解決手段】本発明の半導体モジュール1は、第1のインターポーザ2と、能動面3Aと裏面3Bとを有し、裏面3Bが第1のインターポーザ2と対向して配置された半導体チップ3と、半導体チップ3の能動面3Aに対向して半導体チップ3と電氣的に接続し、且つ第1のインターポーザと電氣的に接続する第2のインターポーザ40と、第2のインターポーザ40の少なくとも上面40Aに実装された受動部品4とを備えている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第 1 のインターポーザと、
能動面と裏面とを有し、前記裏面が前記第 1 のインターポーザと対向して配置された半
導体チップと、

前記半導体チップの前記能動面に対向して該半導体チップと電氣的に接続し、且つ前記
第 1 のインターポーザと電氣的に接続する第 2 のインターポーザと、

前記第 2 のインターポーザの、少なくとも前記半導体チップと反対側の第 1 の面に実装
された第 1 の受動部品と、を備えたことを特徴とする半導体モジュール。

【請求項 2】

前記第 2 のインターポーザは、前記半導体チップの前記能動面と平行な平面内における
大きさが前記半導体チップよりも大きく、

前記第 2 のインターポーザの前記半導体チップと対向する第 2 の面のうち、前記半導体
チップが存在する第 1 の領域以外の第 2 の領域にも、前記第 1 の受動部品が実装されてい
ることを特徴とする請求項 1 に記載の半導体モジュール。

【請求項 3】

前記第 2 のインターポーザは、前記半導体チップの前記能動面と平行な平面内における
大きさが前記半導体チップよりも大きく、

前記第 1 のインターポーザの前記半導体チップに対向する前記第 1 の面のうち、前記第
2 のインターポーザの前記第 2 の領域に対向する領域に第 2 の受動部品が実装されている
ことを特徴とする請求項 1 または 2 に記載の半導体モジュール。

【請求項 4】

前記第 2 のインターポーザは、

前記第 1 の受動部品と電氣的に接続するための第 1 の端子と、

前記半導体チップと電氣的に接続するための第 2 の端子と、

前記第 1 のインターポーザと電氣的に接続するための第 3 の端子と、を備えた多層配線
基板からなることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体モジュール
。

【請求項 5】

前記第 2 のインターポーザの前記第 1 の端子、前記第 2 の端子、及び前記第 3 の端子が
、金めっきされていることを特徴とする請求項 4 に記載の半導体モジュール。

【請求項 6】

前記半導体チップは、前記第 2 のインターポーザの前記第 2 の端子と接続する端子を備
え、

当該端子が金バンプまたはハンダバンプからなることを特徴とする請求項 4 または 5 に記
載の半導体モジュール。

【請求項 7】

前記第 1 のインターポーザは、前記第 2 のインターポーザの前記第 3 の端子と電氣的に
接続する端子を備え、

当該端子と前記第 3 の端子とがワイヤーボンディングによって接続されていることを特
徴とする請求項 4 または 5 に記載の半導体モジュール。

【請求項 8】

前記半導体チップは、前記第 2 のインターポーザにフリップチップ実装されていること
を特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体モジュール。

【請求項 9】

能動面と裏面とを有する半導体チップを用意し、

第 1 のインターポーザに、前記半導体チップを、前記裏面が前記第 1 のインターポーザ
と対向するようにして実装する工程と、

前記半導体チップの前記能動面側に、前記第 2 のインターポーザを電氣的に接続するよ
うにして実装する工程と、

10

20

30

40

50

前記第２のインターポーザの少なくとも前記半導体チップと反対側の第１の面に、受動部品を接続する工程と、

前記第１のインターポーザと前記第２のインターポーザとを電氣的に接続する工程と、を含むことを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体モジュール及びその製造方法に関するものである。

【背景技術】

【０００２】

電子機器の小型化及び高性能化等を目的として、複数の半導体チップ及び受動部品等をインターポーザ上に実装することによってモジュールを形成する、ＭＣＭ（Multi Chip Module）、ＳｉＰ（System in a Package）等と呼ばれる半導体モジュールが案出されている。下記特許文献には、半導体モジュールに関する技術の一例が開示されている。

【特許文献１】特開平５－２０６３７９号公報

【特許文献２】特開平１１－２２００８９号公報

【特許文献３】特開２００２－３５９３４１号公報

【発明の開示】

【発明が解決しようとする課題】

【０００３】

受動部品を有する半導体モジュールにおいて、インターポーザ上に半導体チップと受動部品とを並べて配置する場合、受動部品を配置するための領域を確保しなければならず、半導体モジュールの小型化、特に、インターポーザの表面と平行な面内における半導体モジュールの小型化が困難となる。

【０００４】

また、インターポーザ上に半導体チップと受動部品とを並べて配置するために、製造工程がインターポーザと半導体チップ及び受動部品のそれぞれとを接続する工程を有する場合、その工程が複雑又は煩雑になる可能性がある。

【０００５】

本発明はこのような事情に鑑みてなされたものであって、受動部品を有する場合であっても小型化が可能な半導体モジュール及びその製造方法を提供することを目的としている。

【課題を解決するための手段】

【０００６】

本発明の半導体モジュールは、上記課題を解決するために、第１のインターポーザと、能動面と裏面とを有し、裏面が第１のインターポーザと対向して配置された半導体チップと、半導体チップの能動面に対向して該半導体チップと電氣的に接続し、且つ第１のインターポーザと電氣的に接続する第２のインターポーザと、第２のインターポーザの、少なくとも半導体チップと反対側の第１の面に実装された第１の受動部品と、を備えたことを特徴とする。

【０００７】

本発明の半導体モジュールによれば、半導体チップをその裏面に対向させて第１のインターポーザに実装するとともに、半導体チップの能動面に対向させて第２のインターポーザを配置し、少なくともその上面（半導体チップと反対側の第１の面）に受動部品を搭載してなるので、半導体モジュールの小型化、特に第１、第２のインターポーザの表面と平行な面内における半導体モジュールの小型化を実現することができる。また、本発明によれば、半導体モジュールを製造するときの工程の複雑化等を抑制できる。

【０００８】

また、第２のインターポーザは、半導体チップの能動面と平行な平面内における大きさが半導体チップよりも大きく、第２のインターポーザの半導体チップと対向する第２の面

10

20

30

40

50

のうち、半導体チップが存在する第１の領域以外の第２の領域にも、第１の受動部品が実装されていることが好ましい。

このような構成によれば、第２のインターポーザの半導体チップと対向する第２の面のうち、半導体チップが接続された第１の領域以外の第２の領域を有効に利用することができる。すなわち、このように第２のインターポーザの、半導体チップから底状に張り出した領域にも第１の受動部品を備えることで、第２のインターポーザの両面を有効に利用することができる。

【０００９】

また、第２のインターポーザは、半導体チップの能動面と平行な平面内における大きさが半導体チップよりも大きく、第１のインターポーザの半導体チップに対向する第１の面のうち、第２のインターポーザの第２の領域に対向する領域に第２の受動部品が実装されていることが好ましい。

このような構成によれば、第１のインターポーザの第１の面のうち、半導体チップが接続される領域以外の領域を有効に利用することができる。

【００１０】

また、第２のインターポーザは、第１の受動部品と電氣的に接続するための第１の端子と、半導体チップと電氣的に接続するための第２の端子と、第１のインターポーザと電氣的に接続するための第３の端子と、を備えた多層配線基板からなることが好ましい。

このような構成によれば、第２のインターポーザに各端子間の接続配線を設けることにより、モジュール全体の高集積化が可能になる。

【００１１】

また、第２のインターポーザの第１の端子、第２の端子、及び第３の端子が、金めっきされていることが好ましい。

このような構成によれば、半導体チップと第２のインターポーザとの電氣的接続を良好にできるとともに、第２のインターポーザと受動部品との電氣的接続を良好にすることができる。

【００１２】

また、半導体チップは、第２のインターポーザの第２の端子と接続する端子を備え、当該端子が金バンプまたはハンダバンプからなることが好ましい。

このような構成によれば、半導体チップを第１のインターポーザ上にフリップチップ実装することができ、これにより、半導体チップの能動面と第１のインターポーザとを良好に接続することができる。

【００１３】

また、第１のインターポーザは、第２のインターポーザの第３の端子と電氣的に接続する端子を備え、当該端子と第３の端子とがワイヤーボンディングによって接続されていることが好ましい。

このような構成によれば、第１のインターポーザと第２のインターポーザとを、ワイヤーを介して電氣的に良好に接続することができる。

【００１４】

また、半導体チップは、第２のインターポーザにフリップチップ実装されていることが好ましい。

このような方法によれば、半導体チップの能動面と第２のインターポーザとを良好に接続することができる。

【００１５】

本発明の半導体モジュールの製造方法によれば、能動面と裏面とを有する半導体チップを用意し、第１のインターポーザに、半導体チップをその裏面が第１のインターポーザと対向するようにして実装する工程と、半導体チップの能動面側に、第２のインターポーザを電氣的に接続するようにして実装する工程と、第２のインターポーザの少なくとも半導体チップと反対側の第１の面に、受動部品を接続する工程と、第１のインターポーザと第２のインターポーザとを電氣的に接続する工程と、を含むことを特徴とする。

本発明の半導体モジュールの製造方法によれば、半導体チップをその裏面を対向させるようにして第１のインターポーザに実装するとともに、半導体チップの能動面と対向させるようにして第２のインターポーザを配置し、少なくともその上面（半導体チップと反対側の第１の面）に受動部品を接続するようにしたので、半導体モジュールの小型化、特に第１、第２のインターポーザの表面と平行な面内における半導体モジュールの小型化を実現することができる。また、本発明によれば工程の複雑化等を抑制できる。なお、半導体チップを第１のインターポーザ及び第２のインターポーザのどちらに先に実装するかは適宜選択するものとする。

【発明を実施するための最良の形態】

【００１６】

10

<半導体モジュール>

本発明の半導体モジュールの一実施形態について説明する。図１は、本実施形態に係る半導体モジュール１を模式的に示す斜視図、図２は、断面図であって、図１のＡ－Ａ線断面矢視図に相当する。また、図３は、本実施形態に係る半導体モジュール１の一部を拡大した平面図である。なお、以下の説明に用いる各図面では、各部材を認識可能な大きさとするため、各部材の縮尺を適宜変更している。

【００１７】

図１、図２及び図３において、半導体モジュール１は、第１のインターポーザ２と、能動面３Ａと裏面３Ｂとを有し、裏面３Ｂが第１のインターポーザ２と対向するように配置された半導体チップ３と、半導体チップ３の能動面３Ａと対向するように配置された第２のインターポーザ４０と、第２のインターポーザ４０に接続された受動部品４とを備えている。

20

【００１８】

第１のインターポーザ２は、半導体チップ３の裏面３Ｂに対向する上面２Ａ（第１の面）と、その上面２Ａとは反対側の下面２Ｂとを有している。

【００１９】

第２のインターポーザ４０は、半導体チップ３の能動面３Ａに対向する下面４０Ｂ（第２の面）と、その下面４０Ｂとは反対側の上面４０Ａ（第１の面）とを有している。

【００２０】

半導体チップ３は、第１のインターポーザ２の上面２Ａに実装され、半導体チップ３の裏面３Ｂと第１のインターポーザ２の上面２Ａとが、例えば樹脂や無鉛はんだ等で接着されている。また、半導体チップ３の能動面３Ａと第２のインターポーザ４０の下面４０Ｂとが電氣的に接続されている。

30

【００２１】

第１のインターポーザ２は、例えばエポキシ樹脂、ポリイミド樹脂等の合成樹脂（有機材料）、セラミックス、及びガラス等の絶縁性の材料によって形成された基板と、その基板に形成された導電性の配線パターンとを備えている。

【００２２】

第２のインターポーザ４０も、例えばエポキシ樹脂、ポリイミド樹脂等の合成樹脂（有機材料）、セラミックス、及びガラス等の絶縁性の材料によって形成された基板と、その基板に形成された導電性の配線パターンとを備えている。この第２のインターポーザ４０としては、下面４０Ｂ及び上面４０Ａのそれぞれに電極（端子）を有し、さらに中間部にも配線パターンを有した多層配線基板が用いられている。

40

【００２３】

半導体チップ３は、シリコン基板を含み、トランジスタ、メモリ素子等を含む電子回路（集積回路）を有する。半導体チップ３の能動面３Ａには、少なくとも集積回路が形成されている。

【００２４】

受動部品４は、抵抗、コンデンサ、及びインダクタ等を含む。本実施形態においては、半導体モジュール１が複数の受動部品４（４'）を備えている。以下の説明においては、

50

便宜上、第 1 のインターポーザ 2 に実装される受動部品 4 (第 1 の受動部品) と、第 2 インターポーザ 40 に実装される受動部品 4' (第 2 の受動部品) とで符号を区別しているが、これら第 1 のインターポーザ 2 及び第 2 のインターポーザ 40 に実装される受動部品に違いがあるのではない。

【0025】

本実施形態においては、半導体チップ 3 の能動面 3A と平行な平面内における半導体チップ 3 の大きさは、第 2 のインターポーザ 40 よりも小さく、半導体チップ 3 の能動面 3A は、第 2 のインターポーザ 40 の下面 40B の一部の領域 40C に接続されている。以下の説明において、第 2 のインターポーザ 40 の下面 40B のうち、半導体チップ 3 が接続される領域 40C を適宜、第 1 領域 40C、と称する。

10

【0026】

本実施形態においては、第 2 のインターポーザ 40 の一部が、半導体チップ 3 の外側に庇状に張り出している。すなわち、第 2 のインターポーザ 40 の下面 40B のうち、半導体チップ 3 と接続された第 1 領域 40C 以外の第 2 領域 40D が、半導体チップ 3 の外側に張り出している。以下の説明においては、第 2 のインターポーザ 40 の下面 40B うち、半導体チップ 3 の外側に張り出した第 2 領域 40D を適宜、オーバーハング領域 40D、と称する。

【0027】

そして、複数の受動部品 4 の少なくとも一つは、第 2 のインターポーザ 40 の下面 40B のうち第 1 領域 40C 以外の第 2 領域 (オーバーハング領域) 22 に接続されている。この第 2 領域 40D には、図 2 に示すように、受動部品 4 と電氣的に接続可能な端子 8' が所定位置に形成されている。端子 8' は、多層配線基板からなる第 2 のインターポーザ 40 の下面 40B あるいは内部の中間部に引き廻された配線 (不図示) を介して半導体チップ 3 と電氣的に接続されている。また、これにより、端子 8' と電氣的に接続された受動部品 4 が半導体チップ 3 と電氣的に接続されている。

20

【0028】

また、複数の受動部品 4 の少なくとも一つは、第 2 のインターポーザ 40 の半導体チップ 3 が接続される下面 40B と反対側の上面 40A に接続されている。すなわち、本実施形態においては、受動部品 4 が、第 2 のインターポーザ 40 の下面 40B の第 2 領域 (オーバーハング領域) 22、及び上面 40A のそれぞれに接続されている。さらに、本実施形態においては、下面 40B 及び上面 40A のそれぞれに、受動部品 4 が複数配置されている。

30

【0029】

第 1 のインターポーザ 2 の上面 2A には、端子 5 が形成されている。第 2 のインターポーザ 40 の上面 40A には、第 1 のインターポーザ 2 に形成された端子 5 と電氣的に接続可能な端子 6 (第 3 の端子) が形成されている。また、第 2 のインターポーザ 40 の上面 40A には、端子 6 と受動部品 4 とを電氣的に接続する配線 7 が形成されている。

【0030】

また、第 2 のインターポーザ 40 の上面 40A には、受動部品 4 と電氣的に接続する端子 8 (第 1 の端子) が形成されている。そして、配線 7 は、端子 6 と端子 8 とを接続するように形成されている。端子 6 と端子 8 とが配線 7 を介して電氣的に接続されることによって、端子 8 と電氣的に接続された受動部品 4 と端子 6 とが配線 7 を介して電氣的に接続される。

40

【0031】

端子 5、端子 6、端子 8、及び端子 8' のそれぞれは電極パッド (ランド) である。端子 5、端子 6、端子 8、及び端子 8' のそれぞれの表面は、例えば金 (Au) によってメッキされている。以下の説明においては、端子 5 を適宜、電極パッド 5、と称し、端子 6 を適宜、電極パッド 6、と称し、端子 8 を適宜、電極パッド 8、と称し、端子 8' を、電極パッド 8' と称する。

【0032】

50

電極パッド 8 は、複数の受動部品 4 のそれぞれに対応するように、第 2 のインターポーザ 40 の上面 40 A において複数形成されている。また、本実施形態においては、電極パッド 8 は、1 つの受動部品 4 に対して少なくとも 2 つ形成されている。図 1 において、受動部品 4 は、第 2 のインターポーザ 40 の上面 40 A に 6 つ配置されており、電極パッド 8 は、1 つの受動部品 4 に対して 2 つずつ形成され、全部で 12 箇所形成されている。

なお、電極パッド 8 ' においても、下面 40 B 側に接続される受動部品 4 に対応するように形成されている。

【0033】

電極パッド 6 は、複数の電極パッド 8 のそれぞれに対応するように、第 2 のインターポーザ 40 の上面 40 A において複数形成されている。本実施形態においては、電極パッド 6 は、全部で 12 箇所形成されており、上面 40 A の対向する二辺に沿って並ぶように形成されている。

【0034】

配線 7 は、所定の電極パッド 6 及び電極パッド 8 に対応して第 2 のインターポーザ 40 の上面 40 A において形成されている。配線 7 は、所定の電極パッド 6 と所定の電極パッド 8 とを接続するように形成されている。また、配線 7 は、所定の受動部品 4 同士を接続すべく、所定の電極パッド 8 間を繋ぐように形成されている。

【0035】

本実施形態においては、図 1, 2 において、半導体チップ 3 は、第 1 のインターポーザ 2 の上面 2 A に対して裏面 3 B 側を対向させた状態でダイボンディング実装されている。半導体チップ 3 の裏面 3 B と第 1 のインターポーザ 2 の上面 2 A とは、ダイボンディングするための接着剤 35 によって接続されている。ダイボンディングするための接着剤（ダイボンディングペースト）35 としては、例えば樹脂や無鉛はんだ等を用いることができる。

【0036】

また、第 2 のインターポーザ 40 には、半導体チップ 3 がフリップチップ実装されている。半導体チップ 3 の能動面 3 A には、金及び無鉛はんだの少なくとも一方を含むバンプ 30 が形成されている。また、第 2 のインターポーザ 40 の下面 40 B には、半導体チップ 3 のバンプ 30 と電氣的に接続可能な接続端子 10（第 2 の端子）が形成されている。そして、半導体チップ 3 が第 2 のインターポーザ 40 に対してフリップチップ実装されることによって、第 2 のインターポーザ 40 の下面 40 B と半導体チップ 3 の能動面 3 A とが電氣的に接続される。本実施形態では、フリップチップ実装において、バンプ 30 と接続端子 10 とを位置合わせし、荷重を加えつつ所定の方向に振動させ、その摩擦熱によってバンプ 30 と接続端子 10 とを機械的、電氣的に接続する方法（超音波接合）が用いられる。

【0037】

第 2 のインターポーザ 40 を半導体チップ 3 上に実装する際の接合材としては、異方性導電フィルム（ACF：Anisotropic Conductive Film）、異方性導電ペースト（ACP：Anisotropic Conductive Paste）、非導電性フィルム（NCF：Non Conductive Film）、及び非導電性ペースト（NCP：Non Conductive Paste）の少なくとも一つを用いることができる。また、実装する際、加熱しつつ加圧するようにしてもよいし、超音波を作用させながら実装してもよい。なお、接合材を用いない場合には、半導体チップ 3 上に第 2 のインターポーザ 40 を実装した後、半導体チップ 3 と第 2 のインターポーザ 40 との間にアンダーフィル材を充填してもよい。

【0038】

また、本実施形態では、第 2 のインターポーザ 40 が多層配線基板であることから、上記電極パッド 6, 8 と半導体チップ 3 とを電氣的に接続するための配線（不図示）が、第 2 のインターポーザ 40 の上面 40 A や下面 40 B、あるいは中間部に引き廻されている。

【0039】

10

20

30

40

50

そして、第 1 のインターポーザ 2 の上面 2 A に形成された電極パッド 5 と、第 2 のインターポーザ 4 0 の上面 4 0 A に形成された電極パッド 6 とは、ワイヤーボンディングによって接続されている。ワイヤーボンディングするためのワイヤー 9 は、例えば、金 (Au)、アルミニウム (Al) によって形成可能である。

【0040】

また、半導体チップ 3 は、第 1 のインターポーザ 2 の上面 2 A の一部の領域 2 C に実装されている。以下の説明において、第 1 のインターポーザ 2 の上面 2 A のうち、半導体チップ 3 が実装される領域 2 C を適宜、第 3 領域 2 C、と称する。

【0041】

本実施形態においては、第 1 のインターポーザ 2 の上面 2 A のうち半導体チップ 3 が実装された第 3 領域 2 C 以外の第 4 領域 2 D にも、受動部品 4 ' が実装されている。受動部品 4 ' は、第 2 のインターポーザ 2 の上面 2 A に形成された第 6 電極パッド (第 6 の端子) 1 2 と電氣的に接続される。本実施形態においては、受動部品 4 ' 及びその受動部品 4 ' と接続される電極パッド 1 2 の少なくとも一部は、第 3 領域 2 C に実装された半導体チップ 3 を囲むように複数設けられている。

【0042】

ここで、受動部品 4 ' が接続される第 1 のインターポーザ 2 の上面 2 A の第 4 領域 2 D は、第 2 のインターポーザ 4 0 の下面 4 0 B のうち第 1 領域 4 0 C 以外の第 2 領域 (オーバーハング領域) 2 2 と対向する領域 2 E を含む。すなわち、第 1 のインターポーザ 2 の上面 2 A に接続される受動部品 4 ' の一つは、上面 2 A において、第 2 のインターポーザ 2 のオーバーハング領域 4 0 D と対向する領域 2 E (オーバーハング領域 4 0 D の下側の領域) に配置される (図 1、図 2 の符号 4 ' A 参照)。

【0043】

また、上述のように、受動部品 4 の一つは、第 2 のインターポーザ 4 0 のオーバーハング領域 4 0 D にも接続されている。すなわち、本実施形態においては、複数の受動部品 4 の少なくとも一部は、第 1 のインターポーザ 2 の上面 2 A の第 4 領域 2 D (オーバーハング領域 4 0 D と対向する領域 2 E) と、第 2 のインターポーザ 4 0 の下面 4 0 B の第 2 領域 4 0 D との間の空間に配置される。

【0044】

また、第 1 のインターポーザ 2 のうち、半導体チップ 3 が実装される上面 2 A とは反対側の下面 2 B には、例えばマザーボード等の外部機器と電氣的に接続可能な端子 1 3 が形成されている。本実施形態においては、端子 1 3 は、はんだボールによって形成されている。

【0045】

また、第 1 のインターポーザ 2 の上面 2 A 側に実装された半導体チップ 3、受動部品 4、4'、ワイヤー 9 等は、樹脂 1 4 (図 2) によって覆われている。樹脂 1 4 は型 (モールド) を形成する。

【0046】

[半導体モジュールの製造方法]

次に、半導体モジュール 1 を製造する手順の一例について説明する。なお、本実施形態においては、既存の半導体チップ 3 を用いて半導体モジュール 1 を構成してもよいし、以下に説明するように半導体チップ 3 を始めから形成することとしてもよい。

半導体モジュール 1 の半導体チップ 3 を形成する際には、図 5 に示すように、同一のシリコン基板 (ウエハ) 1 0 0 上に半導体チップ 3 を複数一括して形成し、その後ダイシング (切断) して個片化することによって、半導体チップ 3 が得られることになるが、以下の図 4 を用いた説明においては、簡略化のため、1 つの半導体チップ 3 を形成する場合について説明する。

【0047】

シリコン基板に、後に半導体チップ 3 の一部となる集積回路を含む第 1 面 (能動面 3 A) と第 2 面 (裏面 3 B) とを形成する。シリコン基板に能動面 3 A と裏面 3 B とを有する

10

20

30

40

50

半導体チップ 3 を形成した後、図 4 (a) に示すように、その半導体チップ 3 を第 1 のインターポーザ 2 にダイボンディングする。このとき、半導体チップ 3 を、その裏面 3 B が第 1 のインターポーザ 2 の上面 2 A に対向するようにして第 1 のインターポーザ 2 に接続する。

【 0 0 4 8 】

上述のように、ダイボンディングするためのダイボンディングペースト 3 5 としては、例えば導電性樹脂、無鉛はんだ等を用いることができる。なお、ダイボンディングペースト 3 5 は、例えばインクジェット法、ディスペンス法、印刷法等を用いて、半導体チップ 3 の裏面 3 B 及び第 1 のインターポーザ 2 の上面 2 A の第 3 の領域 2 C の少なくとも一方に供給可能である。

10

【 0 0 4 9 】

また、図 4 (a) に示すように、第 1 のインターポーザ 2 の上面 2 A の第 4 領域 2 D に受動部品 4 ' を接続するとともに、第 4 領域 2 D の一部の領域である上記領域 2 E に受動部品 4 ' A を接続する。本実施形態においては、受動部品 4 ' (4 ' A) と第 1 のインターポーザ 2 の上面 2 A の電極パッド 1 2 とを、導電性材料を含む接着剤を介して電氣的に接続 (ボンディング) する。

【 0 0 5 0 】

受動部品 4 ' (4 ' A) と電極パッド 1 2 とを電氣的に接続するための接着剤としては、例えば導電性樹脂、無鉛はんだ等を用いることができる。なお、接着剤は、例えばインクジェット法、ディスペンス法、印刷法等を用いて、受動部品 4 ' (4 ' A) 及び第 1 の

20

【 0 0 5 1 】

また、別の工程において、第 2 のインターポーザ 4 0 の下面 4 0 B の周縁の第 2 領域 4 0 D、及び上面 4 0 A の所定位置に、受動部品 4 を接続する。受動部品 4 と第 2 のインターポーザ 2 の上面 4 0 A の電極パッド 8 とは、導電性材料を含む接着剤を介して電氣的に接続 (ボンディング) する。受動部品 4 と電極パッド 8 とを電氣的に接続するための接着剤としては、例えば導電性樹脂、無鉛はんだ等を用いることができる。

【 0 0 5 2 】

なお、接着剤は、例えばインクジェット法、ディスペンス法、印刷法等を用いて、受動部品 4 及び第 2 のインターポーザ 2 の電極パッド 8 の少なくとも一方に供給可能である。同様に、第 2 のインターポーザ 4 0 の下面 4 0 B (第 2 領域 4 0 D) にも、受動部品 4 と電氣的に接続可能な電極パッド 8 ' を形成し、受動部品 4 と、第 2 のインターポーザ 4 0 の下面 4 0 B の電極パッド 8 ' とを、導電性材料を含む接着剤を介して電氣的に接続する。

30

【 0 0 5 3 】

そして、図 4 (b) に示すように、第 1 のインターポーザ 2 に実装された半導体チップ 3 の能動面 3 A に、受動部品 4 が接続された第 2 のインターポーザ 4 0 の下面 4 0 B を接続する。本実施形態においては、半導体チップ 3 を第 2 のインターポーザ 4 0 にフリップチップ実装する。半導体チップ 3 を、その能動面 3 A を第 2 のインターポーザ 4 0 の下面 4 0 B とを対向させて第 2 のインターポーザ 4 0 に実装する。このとき、半導体チップ 3 のパンプ 3 0 と第 2 のインターポーザ 4 0 の接続端子 1 0 とを接触させるように実装することによって、半導体チップ 3 と第 2 のインターポーザ 4 0 とが電氣的に接続されることになる。

40

【 0 0 5 4 】

このフリップチップ実装には、金属圧着式、ろう材や異方性導電材を用いた加圧加熱式、超音波振動式 (超音波加熱方式) などを用いることができる。本実施形態では、上述したように超音波接合 (A u - A u 接合) することにより、狭ピッチに対応した電気接続を可能としている。これは、半導体チップ 3 のパンプ 3 0 と第 2 のインターポーザ 4 0 の接続端子 1 0 との接合に留まらず、能動面 3 A と下面 4 0 B との接着性を向上させる手段としても有効である。

50

【 0 0 5 5 】

次に、図 4 (c) に示すように、第 1 のインターポーザ 2 の電極パッド 5 と第 2 のインターポーザ 4 0 の電極パッド 6 とをワイヤーボンディングによって電氣的に接続する。上述のように、ワイヤーボンディングするためのワイヤー 9 は、例えば、金 (A u) 、アルミニウム (A l) によって形成可能である。

【 0 0 5 6 】

そして、図 4 (d) に示すように、第 1 のインターポーザ 2 の上面 2 A 側に実装された半導体チップ 3 、受動部品 4 、 4 ' 、ワイヤー 9 等を覆うように、モールドを形成するための樹脂 1 4 が供給される。

【 0 0 5 7 】

また、第 1 のインターポーザ 2 のうち、半導体チップ 3 が実装される上面 2 A とは反対側の下面 2 B には、例えばマザーボード等の外部機器と電氣的に接続可能なはんだボール等の端子 1 3 が形成される。

【 0 0 5 8 】

以上説明したように、本実施形態によれば、第 1 のインターポーザ 2 に裏面 3 B を対向させて半導体チップ 3 を実装するとともに、半導体チップ 3 の能動面 3 A と対向するように受動部品 4 が接続された第 2 のインターポーザ 4 0 を配置するようにしたので、半導体モジュール 1 の小型化、特に第 1 のインターポーザ 2 の表面 (上面 2 A 、下面 2 B) 、及び第 2 のインターポーザ 4 0 の表面 (上面 4 0 A 、下面 4 0 B) と平行な面内における半導体モジュール 1 の小型化を実現することができる。

【 0 0 5 9 】

すなわち、受動部品 4 を有する半導体モジュール 1 において、全ての受動部品 4 を例えば第 1 のインターポーザ 2 の上面 2 A に設け、第 1 のインターポーザ 2 上に半導体チップ 3 と受動部品 4 とを並べるように配置する場合、受動部品 4 を配置するための領域を確保しなければならず、半導体モジュール 1 の小型化、特に、第 1 のインターポーザ 2 の上面 2 A と平行な面内における半導体モジュール 1 の小型化が困難となる。

【 0 0 6 0 】

本実施形態においては、図 2 に示すように、半導体モジュール 1 に実装される受動部品の少なくとも一部を、半導体チップ 3 を介して第 2 のインターポーザ 4 0 に実装するようにしたので、半導体モジュール 1 の小型化を実現することができる。

【 0 0 6 1 】

また、本実施形態においては、半導体モジュール 1 を製造する際、第 1 のインターポーザ 2 に半導体チップ 3 を実装する第 1 の工程と、第 2 のインターポーザ 4 0 に受動部品 4 を接続する第 2 の工程とを別々に実行し、それら第 1 、第 2 の工程の後、第 1 のインターポーザ 2 に実装された半導体チップ 3 の能動面 3 A に、受動部品 4 が接続された第 2 のインターポーザ 4 0 を接続するようにしたので、半導体モジュール 1 を製造する際の工程の複雑化等を抑制できる。

【 0 0 6 2 】

また、本実施形態においては、第 2 のインターポーザ 4 0 の大きさを、半導体チップ 3 よりも大きくし、第 2 のインターポーザ 4 0 の下面 4 0 B にオーバーハング領域 4 0 D が形成されるようにしたので、そのオーバーハング領域 4 0 D にも受動部品 4 を接続することができる。所定数の受動部品 4 を第 2 のインターポーザ 4 0 に接続しようとする場合、上面 4 0 A のみに複数の受動部品 4 を接続しようとする第 2 のインターポーザ 4 0 の大きさを大きくしなくてはならない可能性がある。本実施形態においては、第 2 のインターポーザ 4 0 にオーバーハング領域 4 0 D を設けて下面 4 0 B にも受動部品 4 を接続するようにしたので、第 2 のインターポーザ 4 0 の下面 4 0 B のうち、半導体チップ 3 が接続される第 1 領域 4 0 C 以外のオーバーハング領域 4 0 D を有効に利用して、第 2 のインターポーザ 4 0 の大型化を抑制しつつ、所定数の受動部品 4 をその第 2 のインターポーザ 4 0 に接続することができる。

【 0 0 6 3 】

また、本実施形態においては、半導体チップ3は、第1のインターポーザ2の上面2Aの第3領域2Cに実装され、半導体モジュール1に実装される受動部品の一部は、第1のインターポーザ2の上面2Aのうち、半導体チップ3が実装される第3領域2C以外の第4領域2Dに接続される。また、第4領域2Dのうち、半導体チップ3から底状に張り出した第2のインターポーザ40のオーバーハング領域40Dに対向する領域2Eにも受動部品を接続するようにしたので、第1のインターポーザ2の上面2Aの第4領域2Dを有効に利用することができる。

【0064】

また、本実施形態においては、その第1のインターポーザ2に接続される受動部品4' (4'A)を、第2のインターポーザ2のオーバーハング領域40Dに対向する領域に配置するようにしたので、半導体モジュール1の小型化を実現することができる。

10

【0065】

また、本実施形態においては、受動部品4が実装される第2のインターポーザ40の上面40Aには、第1のインターポーザ2の電極パッド5と電氣的に接続可能な電極パッド6が形成されるとともに、受動部品4と電極パッド6とを電氣的に接続するための電極パッド8及び配線7が形成され、電極パッド5と電極パッド6とはワイヤーボンディングで接続されるので、第2のインターポーザ40に接続された受動部品4と第1のインターポーザ2とを電氣的に接続することができる。

【0066】

以上、添付図面を参照しながら本発明に係る好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもなく、上記各実施形態を組み合わせても良い。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

20

【0067】

なお、上述の実施形態においては、第2のインターポーザ40の下面40Bに、受動部品4を接続可能なオーバーハング領域40Dを設けているが、所定数の受動部品4の全てを第2のインターポーザ40の上面40Aに接続可能であるならば、オーバーハング領域40Dは無くてもよい。すなわち、能動面3Aと平行な面内における第2のインターポーザ40の大きさが、半導体チップ3の大きさとほぼ同じあるいは小さくてもよい。こうすることにより、より一層、半導体モジュール1を小型化することができる。

30

【0068】

また、上述の実施形態においては、第1のインターポーザ2の上面2Aの第4領域2Dにも受動部品4'が接続されているが、受動部品4'を設けないようにしてもよい。こうすることにより、第4領域2Dを小さくすることができる。すなわち、半導体チップ3の裏面3Bと平行な面内における第1のインターポーザ2の大きさを小さくすることができる。より一層、半導体モジュール1を小型化することができる。

【0069】

また、上述の実施形態においては、受動部品4が接続された第2のインターポーザ40を半導体チップ3に実装したが、第1のインターポーザ2に実装された半導体チップ3の能動面3Aに、第2のインターポーザ40を接続した後、その第2のインターポーザ40に受動部品4を接続するようにしてもよい。

40

【0070】

また、上述の実施形態においては、第1のインターポーザ2に半導体チップ3を先に設け、その後半導体チップ3上に第2のインターポーザ3を実装したが、半導体チップ3を第2のインターポーザ40に対して先に実装し、その後、第2のインターポーザ40を備えた半導体チップ3を第1のインターポーザ2に実装するようにしてもよい。これにより、第2のインターポーザ2に対する半導体チップ3の位置決めが容易となり、フリップチップ実装精度が向上する。

【図面の簡単な説明】

50

【 0 0 7 1 】

【 図 1 】 本実施形態に係る半導体モジュールを模式的に示す斜視図である。

【 図 2 】 本実施形態に係る半導体モジュールの側断面図であって、図 1 の A - A 線断面矢視図に相当する図である。

【 図 3 】 本実施形態に係る半導体モジュールの一部を拡大した平面図である。

【 図 4 】 本実施形態に係る半導体モジュールを製造する手順の一例を説明するための図である。

【 図 5 】 本実施形態に係る半導体モジュールを製造する手順の一例を説明するための図である。

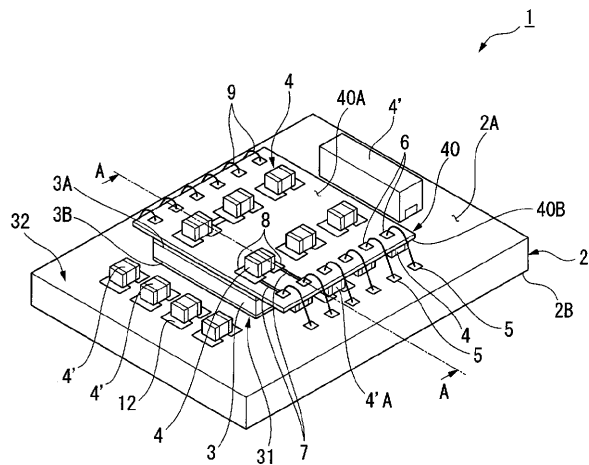
【 符号の説明 】

10

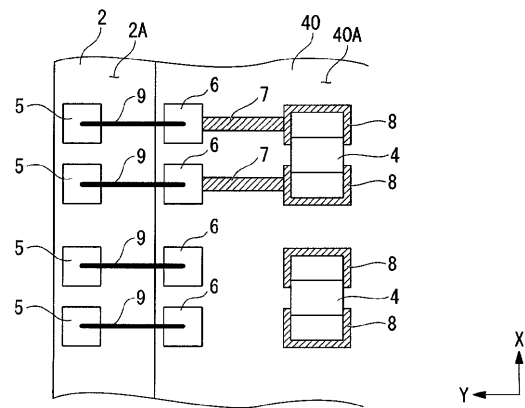
【 0 0 7 2 】

1 ... 半導体モジュール、2 ... 第 1 のインターポーザ、2 A ... 上面（第 1 の面）、3 ... 半導体チップ、3 A ... 能動面、3 B ... 裏面、4, 4', 4' A ... 受動部品、5, 6, 8, 8', 12 ... 電極パッド（端子）、7 ... 配線、9 ... ワイヤー、10 ... 接続端子、40 C, 40 D, 2 C, 2 D, 2 E ... 領域、40 ... 第 2 のインターポーザ、40 A ... 上面（第 1 の面）、40 B ... 下面（第 2 の面）

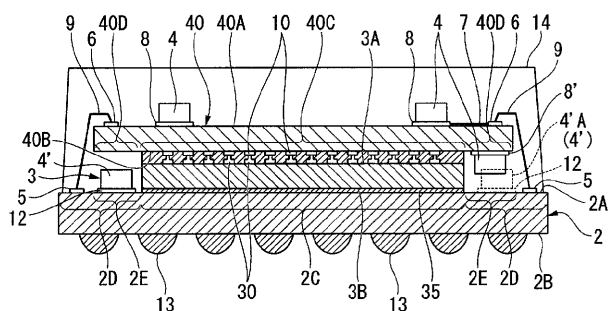
【 図 1 】



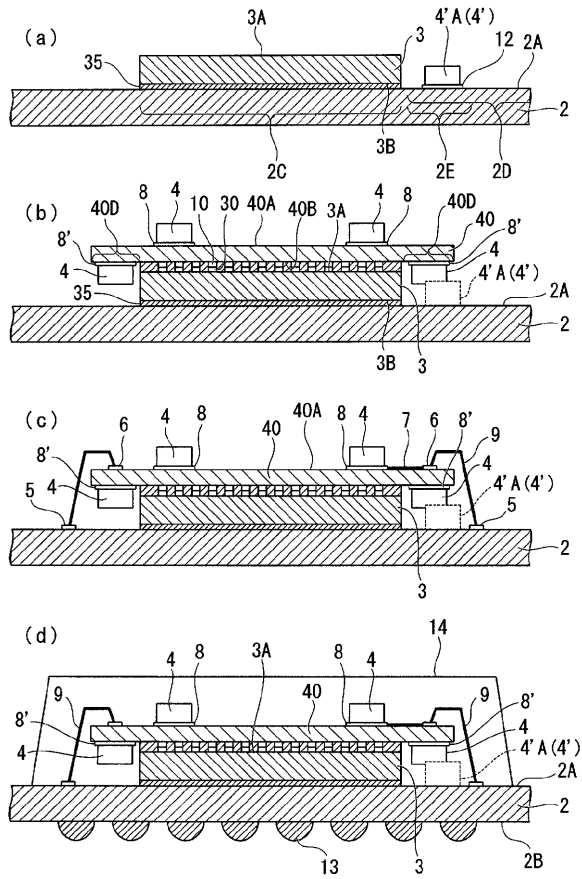
【 図 3 】



【 図 2 】



【 図 4 】



【 図 5 】

