

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5653519号
(P5653519)

(45) 発行日 平成27年1月14日(2015.1.14)

(24) 登録日 平成26年11月28日(2014.11.28)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 M
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 D
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 5 2 Q
HO 1 L 29/417 (2006.01)	HO 1 L 29/78	6 5 2 N
請求項の数 13 (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2013-521487 (P2013-521487)
 (86) (22) 出願日 平成24年3月7日(2012.3.7)
 (86) 国際出願番号 PCT/JP2012/055792
 (87) 国際公開番号 W02012/176503
 (87) 国際公開日 平成24年12月27日(2012.12.27)
 審査請求日 平成25年6月25日(2013.6.25)
 (31) 優先権主張番号 特願2011-139251 (P2011-139251)
 (32) 優先日 平成23年6月23日(2011.6.23)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 日野 史郎
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 三浦 成久
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の炭化珪素半導体基板(20)と、
 前記炭化珪素半導体基板(20)上に形成された、第1導電型の炭化珪素ドリフト層(21)と、
 前記炭化珪素ドリフト層(21)表層に互いに離間して形成されて複数のユニットセルを構成する、第2導電型の第1ウェル領域(41)と、
各前記第1ウェル領域(41)表層に選択的に形成された第1導電型のソース領域(80)と、

少なくとも前記炭化珪素ドリフト層(21)と、各前記第1ウェル領域(41)と、前記ソース領域(80)との上に形成されたゲート絶縁膜(30)と、
 前記ゲート絶縁膜(30)上に選択的に形成されたゲート電極(50)と、
 前記ゲート絶縁膜(30)を貫通して、前記ソース領域(80)内部まで到達するソースコンタクトホール(61)と、
 前記ソースコンタクトホール(61)の少なくとも側面に形成された、圧縮応力が残留する圧縮応力残留層(90)とを備えることを特徴とする、
 半導体装置。

【請求項2】

前記ソースコンタクトホール(61)が、前記ソース領域(80)内部の、前記炭化珪素ドリフト層(21)表面からの深さが5nmより深い深度まで到達することを特徴とす

10

20

る、

請求項 1 に記載の半導体装置。

【請求項 3】

各前記第 1 ウェル領域 (4 1) 表層に選択的に形成され、前記ソース領域 (8 0) に平面視上囲まれた、第 2 導電型のウェルコンタクト領域 (4 6) をさらに備え、

前記ソースコンタクトホール (6 1) が、前記ウェルコンタクト領域 (4 6) 内部の、前記炭化珪素ドリフト層 (2 1) 表面からの深さが 5 n m より深い深度まで到達することを特徴とする、

請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記圧縮応力残留層 (9 1 、 9 2 、 1 0 0) が、前記ソースコンタクトホール (6 1) の底面に形成されることを特徴とする、

請求項 1 又は 2 に記載の半導体装置。

【請求項 5】

前記ゲート絶縁膜 (3 0) 及び前記ゲート電極 (5 0) を覆って形成された層間絶縁膜 (3 2) をさらに備え、

前記圧縮応力残留層 (9 2 、 1 0 0) が、前記層間絶縁膜 (3 2) 上面にも形成されることを特徴とする、

請求項 1 又は 2 に記載の半導体装置。

【請求項 6】

前記圧縮応力残留層 (9 2) は、前記ソースコンタクトホール (6 1) の底面に形成され、

前記圧縮応力残留層 (9 2) 上に、前記圧縮応力残留層 (9 2) とは異なる電極材料 (1 0 2) が積層されたことを特徴とする、

請求項 5 に記載の半導体装置。

【請求項 7】

複数の前記ユニットセルが配置されたセル領域と、

前記炭化珪素ドリフト層 (2 1) 表層において、前記セル領域を平面視上囲んで形成された、第 2 導電型の第 2 ウェル領域 (4 2) とをさらに備え、

前記ゲート絶縁膜 (3 0) は、前記第 2 ウェル領域 (4 2) 上に延在して形成されることを特徴とする、

請求項 1 又は 2 に記載の半導体装置。

【請求項 8】

前記炭化珪素ドリフト層 (2 1) 上において、前記ゲート絶縁膜 (3 0) を平面視上囲んで形成された、フィールド絶縁膜 (3 1) をさらに備え、

前記ゲート電極 (5 0) は、前記フィールド絶縁膜 (3 1) 上に延在して形成され、

前記フィールド絶縁膜 (3 1) 上の前記ゲート電極 (5 0) に到達する、ゲートコンタクトホール (6 4) をさらに備え、

前記圧縮応力残留層 (9 0) が、前記ソースコンタクトホール (6 1) において形成された態様に対応して、前記ゲートコンタクトホール (6 4) においても形成されることを特徴とする、

請求項 7 に記載の半導体装置。

【請求項 9】

前記圧縮応力残留層 (9 0) に、3 2 M P a 以上の圧縮応力が残留することを特徴とする、

請求項 1 又は 2 に記載の半導体装置。

【請求項 1 0】

前記圧縮応力残留層 (9 0) が、T i を含む 1 層以上の積層膜から成ることを特徴とする、

請求項 1 又は 2 に記載の半導体装置。

10

20

30

40

50

【請求項 1 1】

前記圧縮応力残留層(90)が、Alを含む層およびTiを含む層を備える積層膜から成ることを特徴とする、
請求項 1 又は 2 に記載の半導体装置。

【請求項 1 2】

請求項 2 に記載の半導体装置の製造方法であって、
前記ソース領域(80)内部の、前記炭化珪素ドリフト層(21)表面からの深さが5nmより深い深度まで到達するように、前記ソースコンタクトホール(61)をエッチング形成する工程を備えることを特徴とする、
半導体装置の製造方法。

10

【請求項 1 3】

第1導電型の炭化珪素半導体基板(20)と、
前記炭化珪素半導体基板(20)上に形成された、第1導電型の炭化珪素ドリフト層(21)と、
前記炭化珪素ドリフト層(21)表層に互いに離間して形成されて複数のユニットセルを構成する、第2導電型の第1ウェル領域(41)と、
各前記第1ウェル領域(41)表層に選択的に形成された第1導電型のソース領域(80)と、

少なくとも前記炭化珪素ドリフト層(21)と、各前記第1ウェル領域(41)と、前記ソース領域(80)との上に形成されたゲート絶縁膜(30)と、

20

前記ゲート絶縁膜(30)上に選択的に形成されたゲート電極(50)と、
前記ゲート絶縁膜(30)を貫通して、前記ソース領域(80)内部まで到達するソースコンタクトホール(61)と、

前記ソースコンタクトホール(61)の少なくとも側面に形成された、圧縮応力が残留する圧縮応力残留層(90)とを備え、

前記圧縮応力残留層(91、92、100)が、前記ソースコンタクトホール(61)の底面にも形成され、

前記ゲート絶縁膜(30)及び前記ゲート電極(50)を覆って形成された層間絶縁膜(32)をさらに備え、

前記圧縮応力残留層(92、100)が、前記層間絶縁膜(32)上面にも形成され、
前記圧縮応力残留層(90)が、Tiを含む1層以上の積層膜から成ることを特徴とする、
半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及び半導体装置の製造方法に関し、特に、電力用半導体装置に関するものである。

【背景技術】

【0002】

従来から、ゲート電極と、ゲート絶縁膜と、半導体層との積層構造からなる、いわゆるMOS(Metal-Oxide-Semiconductor)構造を有する半導体装置が、電力用半導体装置として多く利用されている。

40

【0003】

例えば特許文献1に開示されているように、エミッタ電極と層間絶縁膜との間に、窒素を含有するバリアメタル層を形成し、エミッタ領域の下側にあるベース領域のピンチ抵抗を低くする等、様々な改良も加えられてきている。

【先行技術文献】

【特許文献】

【0004】

50

【特許文献1】特開2002-184986号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、上記のような半導体装置、特に炭化珪素半導体装置においては、ゲート電極に電圧、特に負バイアスを印加することによって、そのしきい値電圧が経時変化してしまうという問題あるということを、本願発明者が発見した。なお、これについては、本願発明の動作の記載部分において詳述する。

【0006】

本発明は、当該問題を解決するためになされたものであり、しきい値電圧の経時変化を抑制することができる半導体装置及び半導体装置の製造方法の提供を目的とする。

10

【課題を解決するための手段】

【0007】

本発明の一態様に関する半導体装置は、第1導電型の炭化珪素半導体基板と、前記炭化珪素半導体基板上に形成された、第1導電型の炭化珪素ドリフト層と、前記炭化珪素ドリフト層表層に互いに離間して形成されて複数のユニットセルを構成する、第2導電型の第1ウェル領域と、各前記第1ウェル領域表層に選択的に形成された第1導電型のソース領域と、少なくとも前記炭化珪素ドリフト層と、各前記第1ウェル領域と、前記ソース領域との上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に選択的に形成されたゲート電極と、前記ゲート絶縁膜を貫通して、前記ソース領域内部まで到達するソースコンタクトホールと、前記ソースコンタクトホールの少なくとも側面に形成された、圧縮応力が残留する圧縮応力残留層とを備えることを特徴とする。

20

また、本発明の別の態様に関する半導体装置は、第1導電型の炭化珪素半導体基板と、前記炭化珪素半導体基板上に形成された、第1導電型の炭化珪素ドリフト層と、前記炭化珪素ドリフト層表層に互いに離間して形成されて複数のユニットセルを構成する、第2導電型の第1ウェル領域と、各前記第1ウェル領域表層に選択的に形成された第1導電型のソース領域と、少なくとも前記炭化珪素ドリフト層と、各前記第1ウェル領域と、前記ソース領域との上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に選択的に形成されたゲート電極と、前記ゲート絶縁膜を貫通して、前記ソース領域内部まで到達するソースコンタクトホールと、前記ソースコンタクトホールの少なくとも側面に形成された、圧縮応力が残留する圧縮応力残留層とを備え、前記圧縮応力残留層が、前記ソースコンタクトホールの底面にも形成され、前記ゲート絶縁膜及び前記ゲート電極を覆って形成された層間絶縁膜をさらに備え、前記圧縮応力残留層が、前記層間絶縁膜上面にも形成され、前記圧縮応力残留層が、Tiを含む1層以上の積層膜から成ることを特徴とする。

30

【0008】

また、本発明にかかる半導体装置の製造方法は、上記の半導体装置の製造方法であって、前記ソース領域内部の、前記ドリフト層表層からの深さが5nmより深い深度まで到達するように、前記ソースコンタクトホールをエッチング形成する工程を備えることを特徴とする。

【発明の効果】

40

【0009】

本発明の一態様に関する半導体装置によれば、第1導電型の炭化珪素半導体基板と、前記炭化珪素半導体基板上に形成された、第1導電型の炭化珪素ドリフト層と、前記炭化珪素ドリフト層表層に互いに離間して形成されて複数のユニットセルを構成する、第2導電型の第1ウェル領域と、各前記第1ウェル領域表層に選択的に形成された第1導電型のソース領域と、少なくとも前記炭化珪素ドリフト層と、各前記第1ウェル領域と、前記ソース領域との上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に選択的に形成されたゲート電極と、前記ゲート絶縁膜を貫通して、前記ソース領域内部まで到達するソースコンタクトホールと、前記ソースコンタクトホールの少なくとも側面に形成された、圧縮応力が残留する圧縮応力残留層とを備えることにより、ゲート電極におけるしきい値電圧の経

50

時変化を抑制することができる。

また、本発明の別の態様に関する半導体装置によれば、第1導電型の炭化珪素半導体基板と、前記炭化珪素半導体基板上に形成された、第1導電型の炭化珪素ドリフト層と、前記炭化珪素ドリフト層表層に互いに離間して形成されて複数のユニットセルを構成する、第2導電型の第1ウェル領域と、各前記第1ウェル領域表層に選択的に形成された第1導電型のソース領域と、少なくとも前記炭化珪素ドリフト層と、各前記第1ウェル領域と、前記ソース領域との上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に選択的に形成されたゲート電極と、前記ゲート絶縁膜を貫通して、前記ソース領域内部まで到達するソースコンタクトホールと、前記ソースコンタクトホールの少なくとも側面に形成された、圧縮応力が残留する圧縮応力残留層とを備え、前記圧縮応力残留層が、前記ソースコンタクトホールの底面にも形成され、前記ゲート絶縁膜及び前記ゲート電極を覆って形成された層間絶縁膜をさらに備え、前記圧縮応力残留層が、前記層間絶縁膜上面にも形成され、前記圧縮応力残留層が、Tiを含む1層以上の積層膜から成ることにより、ゲート電極におけるしきい値電圧の経時変化を抑制することができる。

10

【0010】

また、本発明にかかる半導体装置の製造方法によれば、前記ソース領域内部の、前記ドリフト層表層からの深さが5nmより深い深度まで到達するように、前記ソースコンタクトホールをエッチング形成する工程を備えることにより、ゲート絶縁膜と半導体面との接触面の下層及び上層範囲に圧縮応力残留層が配置され、その残留応力により、ゲート絶縁膜と半導体面とを主面垂直方向に引き離すことができる。

20

【0011】

この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施の形態1における半導体装置を模式的に表す平面図である。

【図2】本発明の実施の形態1における半導体装置を模式的に表す平面図である。

【図3】本発明の実施の形態1における半導体装置の一部の断面を模式的に表す断面図である。

【図4】本発明の実施の形態1における半導体装置の一部の断面を模式的に表す断面図である。

30

【図5】本発明の実施の形態1における半導体装置の製造工程を説明するための電力用半導体装置の一部を模式的に表す断面図である。

【図6】本発明の実施の形態1における半導体装置の製造工程を説明するための電力用半導体装置の一部を模式的に表す断面図である。

【図7】スパッタ圧力と得られたTi膜の応力の関係を表す図である。

【図8】本発明の実施の形態2における半導体装置の一部の断面を模式的に表す変形図である。

【図9】本発明の実施の形態3における半導体装置の一部の断面を模式的に表す変形図である。

40

【図10】本発明の実施の形態4における電力用半導体装置の一部の断面を模式的に表す変形図である。

【図11】半導体装置のしきい値電圧の時間変動を示す図である。

【図12】半導体装置のしきい値電圧の時間変動を示す図である。

【発明を実施するための形態】

【0013】

< A . 実施の形態 1 >

< A - 1 . 構成 >

図1は、本発明にかかる半導体装置を上面から見た平面模式図である。本実施の形態では特に電力用半導体装置として、炭化珪素を基板に用いたMOSFET(Metal - O

50

x ide - Semiconductor Field - Effect Transistor) を例に示す。

【0014】

図1において、電力用半導体装置の上面の中央部には、ソースパッド10が設けられている。ソースパッド10を上面から見た一方の側には、ゲートパッド11が設けられている。また、ゲートパッド11から延伸してソースパッド10を取り囲むように、ゲート配線12が設けられている。

【0015】

ソースパッド10は、ソースパッド10の下部のセル領域に複数設けられたユニットセル(MOSFET)の、それぞれのソース電極に電氣的に接続される。

10

【0016】

ゲートパッド11及びゲート配線12は、ユニットセルのゲート電極に電氣的に接続される。そして、外部の制御回路から供給されたゲート電圧を、ユニットセルのゲート電極に印加する。

【0017】

図2は、図1に示した電力用半導体装置のソースパッド10(破線で示す)及びゲートパッド11(図示せず)等が存在する層よりも下部の層を、上部から透視した平面模式図である。

【0018】

図2において、図1に示したソースパッド10の下部層の周囲には、図示しない層間絶縁膜を貫通してウェルコンタクトホール62が形成されている。ウェルコンタクトホール62のさらに下部には、p型の炭化珪素で構成された第2ウェル領域42が形成されている。

20

【0019】

ウェルコンタクトホール62及び第2ウェル領域42で平面視上囲まれた内側の領域(すなわち、ソースパッド10の下部層)には、前述のユニットセルが互いに離間して複数設けられたセル領域が設けられている。セル領域には、図示しない層間絶縁膜に形成された複数のソースコンタクトホール61、及びそれぞれソースコンタクトホール61の下部に、p型の炭化珪素で構成された第1ウェル領域41が形成されている。

【0020】

第2ウェル領域42の上部の一部には図示しないゲート電極が形成されており、ゲートパッド11(図1参照)及びゲート配線12(図1参照)とゲート電極とを電氣的に接続する孔であるゲートコンタクトホール64が、層間絶縁膜を貫通して形成されている。

30

【0021】

図3は、図2の平面模式図のA-A'部分の断面を模式的に表した図であり、図4は、図2の平面模式図のB-B'部分の断面を模式的に表した図である。

【0022】

図3においては、第1導電型としてのn型で、低抵抗の炭化珪素で構成される半導体基板20上に、n型の炭化珪素で構成されるドリフト層21が形成されている。

【0023】

ドリフト層21表層には、第2導電型としてのp型で、炭化珪素で構成される第1ウェル領域41が形成されている。なお、第1ウェル領域41は、セル領域において、互いに離間して複数配置されているものである(図2参照)。

40

【0024】

第1ウェル領域41表層には、ソース領域80が部分的に形成されており、さらにソース領域80に平面視上で囲まれるように、第1ウェルコンタクト領域46が形成されている。

【0025】

第1ウェル領域41及びソース領域80を含むドリフト層21上には、ゲート絶縁膜30が形成される。ゲート絶縁膜30は、第1ウェルコンタクト領域46上及びその周辺を

50

除いて形成される。

【0026】

さらにゲート絶縁膜30上の、ソース領域80の一部及び第1ウェル領域41を含むドリフト層21に対応する領域に、ゲート電極50が形成される。なお、ゲート絶縁膜30は、例えば二酸化珪素で構成されている。

【0027】

層間絶縁膜32は、ゲート絶縁膜30及びゲート電極50を覆って形成される。そして、第1ウェルコンタクト領域46上及びその周辺(ソース領域80に跨る領域)に、層間絶縁膜32を貫通したソースコンタクトホール61を形成すべく、ソースパッド10が形成される。ソースコンタクトホール61は、ソース領域80及び第1ウェルコンタクト領域46を掘り込んでその内部まで到達するように形成され、その底面には、オーミック電極71が形成される。

10

【0028】

また、ソースコンタクトホール61における側面、すなわち、ソースパッド10の側面あるいは層間絶縁膜32の側面には、圧縮応力残留層90が形成される。圧縮応力残留層90は、圧縮応力が残留している層であり、当該応力により奏される作用については、動作の記載部分で詳述する。

【0029】

一方、半導体基板20の裏面においては、裏面オーミック電極72を介して、ドレイン電極13が形成されている。

20

【0030】

図4においては、右側(セル領域に対応)に示された単位構造(ユニットセル)が図3に示した構造と同様であり、その左側に位置している構造が、平面視上でセル領域を囲む構造となっている。なお、左側に位置している構造は、必須の構成ではない。

【0031】

第1導電型としてのn型で、低抵抗の炭化珪素で構成される半導体基板20上に、n型の炭化珪素で構成されるドリフト層21が形成されている。

【0032】

ドリフト層21表層には、第2導電型としてのp型で、炭化珪素で構成される第2ウェル領域42が設けられている。第2ウェル領域42は、第1ウェル領域41とは所定の間隔をおいて形成され、セル領域を囲むように配置される。第2ウェル領域42表層には、第2ウェルコンタクト領域47が形成されている。

30

【0033】

またドリフト層21表層には、第2ウェル領域42を囲むようにJTE領域40(図2参照)が形成され、さらにそのJTE領域40を離間して囲むようにフィールドストッパー領域81(図2参照)が形成されている。

【0034】

ゲート絶縁膜30は、セル領域上から第2ウェル領域42上にかけて形成され、第2ウェル領域42上からフィールドストッパー領域81上に跨る領域においては、ゲート絶縁膜30を平面視上囲むようにフィールド絶縁膜31が形成される。ゲート絶縁膜30上の一部にはゲート電極50が形成され、ゲート電極50はフィールド絶縁膜31上にまで跨って形成される。

40

【0035】

層間絶縁膜32は、ソースコンタクトホール61と、ウェルコンタクトホール62と、ゲートコンタクトホール64とを除くように、セル領域からフィールドストッパー領域81に跨って形成される。すなわち各ホールが、層間絶縁膜32を貫通して形成される。

【0036】

ソースパッド10は、ソース領域80及び第1ウェルコンタクト領域46を掘り込むソースコンタクトホール61において層間絶縁膜32を貫通し、その底面には、オーミック電極71が形成される。また、ソースコンタクトホール61の側面、すなわちソースパッ

50

ド 10 の側面には、圧縮応力残留層 90 が形成される。

【 0037 】

またソースパッド 10 は、第 2 ウェルコンタクト領域 47 を掘り込むウェルコンタクトホール 62 において層間絶縁膜 32 を貫通し、その底面には、オーミック電極 71 が形成される。また、ウェルコンタクトホール 62 の側面、すなわち、ソースパッド 10 の側面にも、圧縮応力残留層 90 が形成される。

【 0038 】

よって、ソースコンタクトホール 61 及びウェルコンタクトホール 62 を介して、第 1 ウェル領域 41 と第 2 ウェル領域 42 とは互いに電氣的に接続される。

【 0039 】

ゲート配線 12 は、ゲートコンタクトホール 64 において層間絶縁膜 32 を貫通し、ゲート電極 50 と接続される。また、ゲートコンタクトホール 64 の側面、すなわち、ゲート配線 12 の側面には、圧縮応力残留層 90 を形成することができるが、形成しなくてもよい。

【 0040 】

一方、半導体基板 20 の裏面においては、裏面オーミック電極 72 を介して、ドレイン電極 13 が形成されている。

【 0041 】

< A - 2 . 製造方法 >

次に、図 5 及び図 6 を用いて、本発明にかかる半導体装置の製造方法を説明する。図 5 及び図 6 は特に、電力用半導体装置の製造工程を説明する、電力用半導体装置の一部を模式的に表した断面図である。

【 0042 】

図 5 及び図 6 それぞれにおいて、(a) は図 2 の A - A ' 断面部、(b) は図 2 の B - B ' 断面部に対応する。

【 0043 】

まず、n 型で低抵抗の炭化珪素の半導体基板 20 (第 1 の主面) 上に、化学気相堆積 (Chemical Vapor Deposition : CVD) 法により、 $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の n 型不純物濃度で、 $4 \sim 200 \mu\text{m}$ の厚さの炭化珪素で構成されるドリフト層 21 をエピタキシャル成長させる。

【 0044 】

ここで上記の炭化珪素の半導体基板 20 としては、第 1 の主面の面方位が (0001) 面で 4H のポリタイプを有し、c 軸方向に対して 8° 以下に傾斜されているものを用いるが、他の面方位、ポリタイプ、傾斜角度であってもよく、また、傾斜していなくてもよい。

【 0045 】

続いて図 5 (a) 及び (b) に示すように、ドリフト層 21 表層の所定位置に、イオン注入法により p 型の第 1 ウェル領域 41、p 型の第 2 ウェル領域 42、p 型の JTE 領域 40、さらに n 型のソース領域 80、n 型のフィールドストッパー領域 81、さらに p 型の第 1 ウェルコンタクト領域 46、p 型の第 2 ウェルコンタクト領域 47 を形成する。イオン注入する p 型不純物としては、Al (アルミニウム) 又は B (硼素) が好適であり、イオン注入する n 型不純物としては、N (窒素) 又は P (燐) が好適である。また、イオン注入時の半導体基板 20 の加熱は、積極的に行わなくてもよいし、 $200 \sim 800$ で加熱を行ってもよい。

【 0046 】

第 1 ウェル領域 41 及び第 2 ウェル領域 42 それぞれの深さは、エピタキシャル結晶成長層であるドリフト層 21 の底面より深くないように設定する必要があり、例えば、 $0.3 \sim 2 \mu\text{m}$ の範囲の値とする。また、第 1 ウェル領域 41 及び第 2 ウェル領域 42 の各々の p 型不純物濃度は、ドリフト層 21 の不純物濃度より高く、かつ、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲内に設定される。

10

20

30

40

50

【 0 0 4 7 】

ソース領域 8 0 の深さについては、その底面が第 1 ウェル領域 4 1 の底面を越えないように設定し、その n 型不純物濃度は、第 1 ウェル領域 4 1 の p 型不純物濃度より高く、かつ、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲内に設定される。

【 0 0 4 8 】

フィールドストッパー領域 8 1 については、ソース領域 8 0 と同様の条件で形成すればよい。

【 0 0 4 9 】

ただし、ドリフト層 2 1 の最表面近傍に限っては、M O S F E T のチャネル領域における導電性を高めるために、第 1 ウェル領域 4 1 及び第 2 ウェル領域 4 2 各々の p 型不純物濃度が、ドリフト層 2 1 の n 型不純物濃度より低くなってもよい。

10

【 0 0 5 0 】

第 1 ウェルコンタクト領域 4 6 及び第 2 ウェルコンタクト領域 4 7 は、それぞれオーミック電極 7 1 を間に挟んで、第 1 ウェル領域 4 1 及び第 2 ウェル領域 4 2 とソースパッド 1 0 との良好な電氣的接触を得るために設けるもので、第 1 ウェル領域 4 1 及び第 2 ウェル領域 4 2 の p 型不純物濃度よりも高濃度の不純物濃度に設定することが望ましい。

【 0 0 5 1 】

また、これら高濃度の不純物をイオン注入する際には、第 1 ウェルコンタクト領域 4 6 及び第 2 ウェルコンタクト領域 4 7 を低抵抗化する上で、半導体基板 2 0 を 1 5 0 以上に加熱してイオン注入することが望ましい。

20

【 0 0 5 2 】

続いて、A r (アルゴン) ガス又は窒素ガス等の不活性ガス雰囲気中、又は、真空中で、1 5 0 0 ~ 2 2 0 0 の温度範囲、0 . 5 ~ 6 0 分の範囲の時間でアニールを行い、イオン注入された不純物を電氣的に活性化させる。このアニールを行う際に、半導体基板 2 0 及びこれに形成された膜を炭素膜で覆った状態でアニールしてもよい。炭素膜で覆ってアニールすることにより、アニール時における装置内の残留水分や残留酸素などによって発生する炭化珪素表面の荒れの発生を防止することができる。

【 0 0 5 3 】

次に、上記のようにイオン注入されたドリフト層 2 1 表面を犠牲酸化することにより熱酸化膜を形成し、この熱酸化膜をフッ酸により除去することにより、イオン注入されたドリフト層 2 1 の表面変質層を除去して清浄な面を露出させる。

30

【 0 0 5 4 】

続いて、C V D 法、フォトリソグラフィ技術などを用いて、上述のセル領域にほぼ対応した位置以外の領域に、膜厚が 0 . 5 ~ 2 μm 程度の二酸化珪素膜 (フィールド絶縁膜 3 1) を形成する。このとき、例えばフィールド絶縁膜 3 1 を全面に形成した後、セル領域にほぼ対応した位置のフィールド絶縁膜 3 1 をフォトリソグラフィ、エッチングなどで除去すればよい。

【 0 0 5 5 】

続いて、セル領域を中心とする活性領域に、熱酸化法又は堆積法を用いて、フィールド絶縁膜 3 1 より厚さが小さく、例えば、厚さがフィールド絶縁膜 3 1 の 1 / 1 0 程度の二酸化珪素膜で構成されるゲート絶縁膜 3 0 を形成する。

40

【 0 0 5 6 】

ゲート絶縁膜 3 0 の膜厚としては、3 0 n m 以上 3 0 0 n m 以下であれば良く、より好ましくは 5 0 n m 以上 1 5 0 n m 以下であればよい。なお、この膜厚値は、どの程度のゲート電圧及びゲート電界で M O S F E T を駆動 (スイッチング動作) させるかに依存し、好ましくはゲート電界 (ゲート絶縁膜 3 0 に印加される電界) として 3 M V / c m 以下の大きさであればよい。

【 0 0 5 7 】

続いて、図 6 (a) 及び (b) に示すように、ゲート絶縁膜 3 0 及びフィールド絶縁膜 3 1 の上に、C V D 法、フォトリソグラフィ技術などを用いて、所定の箇所に多結晶シ

50

リコン材料のゲート電極50を形成する。このゲート電極に用いられる多結晶シリコンは、PやBが含まれて低抵抗であることが望ましい。PやBは多結晶シリコンの成膜中に導入してもよいし、成膜後にイオン注入法などによって導入してもよい。また、ゲート電極50は、多結晶シリコンと金属との多層膜、又は、多結晶シリコンと金属シリサイドとの多層膜であってもよい。

【0058】

なお、ゲート電極50の最外端面は、フィールド絶縁膜31上にあるように配置してもよい。このようにすることで、ドライエッチング処理による端面のオーバーエッチングによって端面でむき出しになるゲート絶縁膜30の品質劣化を防ぐことができる。

【0059】

次に、ゲート電極50上に、CVD法などの堆積法により二酸化珪素膜で構成される層間絶縁膜32を形成する。続いて、フォトリソグラフィ技術及びドライエッチング技術を用いて、ソースコンタクトホール61及びウェルコンタクトホール62となる箇所の層間絶縁膜32を除去する。

【0060】

さらに、ソースコンタクトホール61下の層(第1ウェルコンタクト領域46上及びその周辺)をドライエッチングで掘り込む。この工程は、層間絶縁膜32のエッチングと別工程として行っても良いし、同じ装置及び同じエッチングガスのまま連続して行っても良い。別工程として行えば、エッチングガスを変えることで、層間絶縁膜32のエッチング、ソースコンタクトホール61下の層のエッチングそれぞれに最適なエッチングガス、エッチング条件を選択でき、エッチング時間の削減、再現性の向上などが期待できる。一方、連続してエッチングする場合には、エッチング装置への搬入、搬出の時間を削減できる。

【0061】

ドライエッチングする量は、半導体層の表層から5nmより深く、ソース領域80及び第1ウェルコンタクト領域46より浅いことが望ましい。5nmより深くするのは、ソースコンタクトホール61底面に、オーミック電極71としてのシリサイドを形成した際、そのシリサイド表面が、チャンネル部表面よりも深い位置とするためである。

【0062】

一般にシリサイド形成には、10nm以上のニッケルの堆積と、その後の熱処理が必要であるが、シリサイド反応は、堆積したニッケルとその下の層(炭化珪素)とが混ざり合う反応となるため、堆積したニッケルのおよそ半分の膜厚分だけ、ニッケルシリサイドの表面は堆積前の炭化珪素表面から高い位置に出来上がる。ゆえに、コンタクト底の炭化珪素を予め5nmより深くエッチングすることが好ましい。

【0063】

ソース領域80及び第1ウェルコンタクト領域46より浅いことが望ましいのは、コンタクト部のソース領域80及び第1ウェルコンタクト領域46がなくなって、コンタクト抵抗が高くなるのを防ぐためである。

【0064】

次に、スパッタ法などによる、Niを主成分とする金属膜の形成を行い、続いて600~1100の温度の熱処理を行い、Niを主成分とする金属膜と炭化珪素層とを反応させる。そして、炭化珪素層と金属膜との間にシリサイドを形成する。

【0065】

続いて、反応してできたシリサイド以外の層間絶縁膜32上に残留した金属膜を、硫酸、硝酸、塩酸のいずれか、又はこれらと過酸化水素水との混合液などによるウェットエッチングにより除去する。前述の通り、ソースコンタクトホール61内に形成されたシリサイド表面がチャンネル部の炭化珪素表面(ドリフト層)よりも深い位置とする。

【0066】

このようにして、ソースコンタクトホール61及びウェルコンタクトホール62内に形成されたシリサイドは、図3及び図4に示すようなオーミック電極71となり、ソース領

10

20

30

40

50

域 8 0 等の n 型の炭化珪素領域と、第 1 ウェル領域 4 1 等の p 型の炭化珪素領域との両方に対してオーミック接続する。

【 0 0 6 7 】

さらに、フォトリソグラフィ技術及びドライエッチング技術を用いて、ゲートコンタクトホール 6 4 となる箇所の層間絶縁膜 3 2 を除去する。続いて、半導体基板 2 0 の裏面（第 2 の主面）に Ni を主成分とする金属を形成し、さらに熱処理することにより、半導体基板 2 0 の裏側に裏面オーミック電極 7 2 を形成する。

【 0 0 6 8 】

その後、ソースコンタクトホール 6 1 及びウェルコンタクトホール 6 2 内に形成されたシリサイドと、後に形成される金属電極との接触抵抗を低減するために、シリサイド上に熱工程で形成された酸化物を、逆スパッタエッチングによって除去する（逆スパッタエッチング工程）。

【 0 0 6 9 】

このとき、半導体装置に対して生じるダメージを軽減するために、逆スパッタエッチングの単位面積当たりの投入エネルギー、すなわち全投入エネルギーをスパッタ電極面積で除した値は、望ましくは $2 \text{ W} / \text{cm}^2$ 以下、さらに望ましくは $0.5 \text{ W} / \text{cm}^2$ 以下とする。

【 0 0 7 0 】

その後、圧縮応力が残留する Ti を堆積させる。このとき Ti は、層間絶縁膜 3 2 の上面だけではなく、必ず層間絶縁膜 3 2 の側面にも堆積させるようにする。

【 0 0 7 1 】

層間絶縁膜 3 2 の側面に形成される膜厚は、層間絶縁膜 3 2 に対し、半導体基板 2 0（炭化珪素）の主面と垂直方向に十分な力を印加するために、 20 nm 以上であることが望ましい。

【 0 0 7 2 】

層間絶縁膜 3 2 の側面に堆積する手法の一例として、スパッタ法を用いることが挙げられる。その場合、Ti に圧縮応力を残留させるために、スパッタ圧力は低い方が望ましい。これはスパッタ圧力が高いと Ti 膜中にガスが混入し、スパッタ装置から取り出した際に脱ガス及び膜の収縮が生じ、結果として Ti の圧縮応力の残留を低減させ、さらには引張応力を残留させやすくなるためである。

【 0 0 7 3 】

図 7 は、半導体基板上に Ti 薄膜を堆積後、当該基板の反りから求めた Ti 薄膜の残留応力 (MPa) を、スパッタ圧力 (Pa) に対してプロットした図である。

【 0 0 7 4 】

この図 7 に示すように、スパッタ圧力が 1.2 Pa 以下の場合には圧縮応力が残留し、有用な圧縮応力残留層 9 0 が得られることが分かる。

【 0 0 7 5 】

その後、指向性の高いドライエッチングにより層間絶縁膜 3 2 上面、及び、ソースコンタクトホール 6 1 底面に堆積した Ti を除去し、層間絶縁膜 3 2 側面に堆積した Ti の一部を残存させる。

【 0 0 7 6 】

その後、半導体基板 2 0 の表面に、ソースパッド 1 0、ゲートパッド 1 1、さらにはゲート配線 1 2 となる導電性材料を堆積させ、フォトリソグラフィ技術とエッチング技術とにより、ソースパッド 1 0、ゲートパッド 1 1、ゲート配線 1 2 の形状にそれぞれ加工する。この導電性材料の一例として、導電性に優れワイヤーボンドが容易であるアルミニウムが上げられる。またソースパッドに対して直接半田接続が可能となるニッケルも好適である。

【 0 0 7 7 】

最後に、基板裏面の裏面オーミック電極 7 2 上に金属膜を形成することによりドレイン電極 1 3 を形成し、図 3、図 4 に示すような電力用半導体装置が完成する。

10

20

30

40

50

【 0 0 7 8 】

なお、層間絶縁膜 3 2 の側面に堆積させる圧縮応力残留層 9 0 を形成する材料として T i を例に挙げたが、圧縮応力を有していれば T i 以外の金属材料でも良い。また、本実施の形態においては、オーミック電極 7 1 に対するソースパッド 1 0 との電氣的な導通は、圧縮応力残留層 9 0 を介さずに実現されるため、圧縮応力残留層 9 0 の導電性は問われない。すなわち圧縮応力が残留していれば絶縁膜でも良い。

【 0 0 7 9 】

また、層間絶縁膜 3 2 の側面に薄膜を形成する堆積法としてスパッタ法を例に挙げたが、これに限定されない。層間絶縁膜 3 2 の側面に薄膜が形成される方法であれば、真空蒸着法、C V D 法、電解めっき法などでも良い。

10

【 0 0 8 0 】

< A - 3 . 動作 >

図 1 1 は、M O S F E T のゲート電極に対し - 2 0 V の電圧 (負バイアス) 印加を行い、また、その状態でしきい値電圧の測定を繰り返すことによって得た、しきい値電圧の経時変化の様子である。

【 0 0 8 1 】

この M O S F E T には、ソースパッド 1 0 とする電極材料として、スパッタ法によって堆積させた、4 2 M P a の引張応力が残留する A 1 を用いている。

【 0 0 8 2 】

図 1 1 に示すように、しきい値電圧は徐々に減少し、1 時間後には元の特性から約 - 7 V 変動していることが分かる。これは、チャンネル部のゲート絶縁膜に正孔が捕獲され、その正孔電荷を補償する電圧分だけ、同じドレイン電流を流すために必要となるゲート電圧が変化したと考えられる。

20

【 0 0 8 3 】

ここで、炭化珪素を用いた M O S F E T において、ゲート電極に負バイアスを印加することで、約 - 7 V という著しいしきい値電圧の変動が生じる現象の報告は、発明者らの調査の限り存在せず、その解決方法も当然明らかにされていない。

【 0 0 8 4 】

このようなしきい値電圧の変化は、半導体装置を搭載した機器の動作を乱すことが考えられるため、極めて深刻な問題である。

30

【 0 0 8 5 】

このようなしきい値電圧の変動を生じさせる捕獲準位の形成を抑制するために、まずその (すなわち捕獲準位形成の) メカニズムについて説明する。

【 0 0 8 6 】

半導体層としてのドリフト層 2 1 とゲート絶縁膜 3 0 との間には、例えば、炭化珪素とゲート酸化膜材料との格子不整合に起因した歪が存在する。この格子歪によって、ゲート酸化膜と接触する炭化珪素の原子間距離が、バルク中における炭化珪素の原子間距離とは異なる距離となり、その距離に起因して、バルク中における場合とは異なるエネルギー準位が形成される。この新たなエネルギー準位が炭化珪素の禁制帯中に形成されると、界面準位として機能する。

40

【 0 0 8 7 】

界面準位は、一定の時定数を持って電荷を捕獲するため、このような界面準位がチャンネル部に形成されると、前述のしきい値電圧の変動を生じさせる。特に炭化珪素は、シリコンと比較してバンドギャップが広く、ゲート酸化膜と炭化珪素との界面に形成されるエネルギー準位が界面準位として機能する可能性が高いため、界面における格子歪の制御は重要となる。

【 0 0 8 8 】

一方、炭化珪素の原子間距離と、ゲート酸化膜として一般に用いられる例えば二酸化珪素の原子間距離と比較した場合、炭化珪素の原子間距離の方が 5 . 6 % 大きいため、二酸化珪素と接触する炭化珪素には圧縮応力が残留する。二酸化珪素近傍の炭化珪素 (二酸化

50

珪素と接触する炭化珪素)は、その原子間距離がバルク中における場合に比べて半導体基板主面と平行な方向に狭められており、これに起因して界面準位が形成されているものと考えられる。

【0089】

よって本実施の形態では、チャンネルが形成される領域、ゲート絶縁膜30と第1ウェル領域41との界面、さらには、ゲート絶縁膜30とソース領域80との界面において、互いを引き離す方向に力を加える着想に至った。

【0090】

ゲート絶縁膜30と、これに接触する半導体面とを主面垂直方向に引き離すことにより、チャンネル部において、原子間距離が狭められていた半導体層にかかる圧縮が緩和され、半導体層は、元の原子間距離を有する状態に近づく。これにより、捕獲準位が減少し、しきい値電圧の変動が抑制される。

10

【0091】

ゲート絶縁膜30と半導体面とを引き離す方法として、まず、ソースコンタクトホール61底面をドリフト層21表層よりも掘り込み、さらに、ソースコンタクトホール61の側面において、圧縮応力残留層90を形成する手法を提供する。このように形成することにより、ゲート絶縁膜30と半導体面との接触面の下層及び上層範囲に圧縮応力残留層90が配置され、その残留応力により、ゲート絶縁膜30と半導体面とを主面垂直方向に引き離すことができる。

【0092】

この構成の効果を実証するために、以下の検証を行った。

20

【0093】

まず、ソースパッド10を堆積させる直前の工程までを、3つの試料(試料A~C)に施す。なお、ソースコンタクトホール61を形成する際、ソースコンタクトホール61の底面の炭化珪素をドライエッチング法により30nmエッチングするものとする。

【0094】

その後、試料Aにはスパッタ法で、試料Bには真空蒸着法で、それぞれ厚さ3 μ mのAlを堆積させる。一方試料Cにはスパッタ法で、厚さ50nmのTiを堆積させ、その後スパッタ法で厚さ3 μ mのAlを積層させる。

【0095】

次に、フォトリソグラフィ技術により、これらのAl及びTiをソースパッド10、ゲートパッド11、ゲート配線12の形状にそれぞれ加工する。

30

【0096】

最後に、半導体基板裏面に形成された裏面オーミック電極72上に金属膜を形成することにより、ドレイン電極13を形成し、3つのMOSFETを完成させる。

【0097】

なお、これらのAl及びTiの膜応力を、基板の反りからそれぞれ計算したところ、試料AのAlでは42MPaの引張応力が、試料BのAlでは32MPaの圧縮応力が、試料CのTiでは180MPaの圧縮応力が、それぞれ残留していることが分かった。

【0098】

これらのMOSFETを用いて、前述の測定の場合と同様にゲート電極に対し-20Vの電圧印加を行い、また、しきい値電圧の測定を繰り返し行う。

40

【0099】

その結果、図12に示すように、引張応力が残留するAlを堆積した試料Aが、7Vという著しいしきい値電圧の変動を示したのに対し、32MPaの圧縮応力が残留するAlを堆積した試料Bは、約2Vの小さなしきい値電圧の変動を示し、180MPaの圧縮応力が残留するTiを堆積後、Alをスパッタ法で形成した試料Cは、しきい値電圧の変動が0.1V以下に抑制された。

【0100】

試料B及び試料Cにおける改善結果は、圧縮応力が残留する材料が層間絶縁膜32の側

50

面に形成され、圧縮応力を発揮したことによるものであると考えられる。またこれらの結果から、32 MPa以上の圧縮応力を残留させることで、しきい値電圧の変動を1 V以下に抑制できるということが分かる。

【0101】

なお、ここではMOSFETを例に挙げて説明したが、IGBTを用いる場合でも、主面側の構成は同じであるため同様の効果が期待できると容易に想像される。

【0102】

また、本実施の形態における構造図では、各コンタクトホール61の側面、すなわち、層間絶縁膜32の側面（すなわちソースコンタクトホール61の側面）が、半導体基板20の主面に対して垂直であるように示しているが、必ずしも垂直（90°）である必要はなく、層間絶縁膜32の側面が半導体基板20の主面に対して10°以上の角度を有していれば良い。

10

【0103】

また、電力用半導体装置においては、温度センサー用の電極、及び、電流センサー用の電極が電力用半導体装置の一部に形成される場合があるが、本実施の形態における電力用半導体装置にこれらの電極が形成されていてもよい。温度センサー用の電極及び電流センサー用の電極の有無が、本発明にかかる半導体装置の効果に何ら影響を及ぼすものではない。

【0104】

< A - 4 . 効果 >

本発明にかかる実施の形態によれば、半導体装置において、半導体基板20上に形成されたドリフト層21と、ドリフト層21表層に互いに離間して形成された第1ウェル領域41と、ドリフト層21及び各第1ウェル領域41の上に跨って形成されたゲート絶縁膜30と、ゲート絶縁膜30上に選択的に形成されたゲート電極50と、ゲート絶縁膜30を貫通して、各第1ウェル領域41内部まで到達するソースコンタクトホール61と、ソースコンタクトホール61の少なくとも側面に形成された、圧縮応力が残留する圧縮応力残留層90とを備えることで、ゲート絶縁膜30（二酸化珪素）と半導体層との間の格子不整合を緩和し、しきい値電圧の変動を低減することが可能となる。

20

【0105】

また、半導体層とゲート絶縁膜30との界面に発生する界面捕獲準位を低減することで、ゲート絶縁膜30（二酸化珪素）と半導体層との間の格子不整合を緩和できると考えられる。

30

【0106】

また、本発明にかかる実施の形態によれば、半導体装置において、各第1ウェル領域41表層に選択的に形成された第1導電型のソース領域80をさらに備え、ゲート絶縁膜30は、ソース領域80上に跨って形成され、ソースコンタクトホール61が、ソース領域80内部の、ドリフト層21表層からの深さが5 nmより深い深度まで到達することで、ゲート絶縁膜30と半導体面との接触面の下層及び上層範囲に圧縮応力残留層90が配置され、その残留応力により、ゲート絶縁膜30と半導体面とを主面垂直方向に引き離すことができる。

40

【0107】

また、本発明にかかる実施の形態によれば、半導体装置において、各第1ウェル領域41表層に選択的に形成され、ソース領域80に平面視上囲まれた、第2導電型の第1ウェルコンタクト領域46をさらに備え、ソースコンタクトホール61が、第1ウェルコンタクト領域46内部の、ドリフト層21表層からの深さが5 nmより深い深度まで到達することで、ゲート絶縁膜30と半導体面との接触面の下層及び上層範囲に圧縮応力残留層90が配置され、その残留応力により、ゲート絶縁膜30と半導体面とを主面垂直方向に引き離すことができる。

【0108】

また、本発明にかかる実施の形態によれば、半導体装置において、圧縮応力残留層90

50

が、ソースコンタクトホール61の底面に形成されないことで、オーミック電極71に対するソースパッド10との電氣的な導通が圧縮応力残留層90を介さず実現されるため、圧縮応力残留層90の導電性は問われず、選択の自由度が向上する。

【0109】

また、本発明にかかる実施の形態によれば、半導体装置において、圧縮応力残留層90に、32MPa以上の圧縮応力が残留することで、しきい値電圧の変動を1V以下に抑制することができる。

【0110】

また、本発明にかかる実施の形態によれば、半導体装置の製造方法において、ソース領域80内部の、ドリフト層21表層からの深さが5nmより深い深度まで到達するように、ソースコンタクトホール61をエッチング形成する工程を備えることで、ゲート絶縁膜30と半導体面との接触面の下層及び上層範囲に圧縮応力残留層90が配置され、その残留応力により、ゲート絶縁膜30と半導体面とを主面垂直方向に引き離すことができる。

10

【0111】

また、本発明にかかる実施の形態によれば、半導体装置の製造方法において、Tiを用いたスパッタ法によって、圧縮応力残留層90を堆積させる工程を備え、当該工程において、スパッタ圧力が1.2Pa以下であることで、圧縮応力残留層90が適切に圧縮応力を残留させることができ、ゲート電極50におけるしきい値電圧の経時変化を抑制することができる。

【0112】

20

< B . 実施の形態 2 >

< B - 1 . 構成 >

図8(a)は、図2の平面模式図のA-A'部分の断面を模式的に表した変形図であり、図8(b)は、図2の平面模式図のB-B'部分の断面を模式的に表した変形図である。

【0113】

本実施の形態2では、層間絶縁膜32上面を除く各コンタクトホールに対し、圧縮応力が残留するプラグ91(埋め込み配線)を形成する。プラグ91は、コンタクトホールの底面まで形成する。

【0114】

30

プラグ91によってコンタクトを得る場合、実施の形態1で述べたような、各コンタクトホール側面の圧縮応力残留層とソースパッド(金属電極)との両方を、コンタクトホール内に配置する必要がない。プラグ91に圧縮応力が残留しているため、より小さいコンタクトホールに対しても、コンタクトホールの側面、すなわち、層間絶縁膜32の側面に圧縮応力が残留した膜(又は層)を形成することができる。

【0115】

< B - 2 . 製造方法 >

この作成方法を、以下に述べる。「ソースコンタクトホール61及びウェルコンタクトホール62内に形成されたシリサイドと、後に形成される金属電極との接触抵抗を低減するために、シリサイド上に熱工程で形成された酸化物を、逆スパッタエッチングによって除去する」工程(逆スパッタエッチング工程)までは、実施の形態1と同様である。

40

【0116】

その後、圧縮応力が残留するTiをスパッタ法によって堆積する。このTiの厚みは、層間絶縁膜32の厚みの半分以上であることが望ましく、さらに望ましくは層間絶縁膜32の厚み以上である。

【0117】

その後、CMP(Chemical Mechanical Polishing)によって、層間絶縁膜32の上面に堆積されたTiを除去する。そして、プラグ91を形成する。

【0118】

50

その後、実施の形態 1 と同様に、半導体基板 20 の表面に、ソースパッド 101、ゲートパッド、さらにはゲート配線 103 となる導電性材料を堆積させ、フォトリソグラフィ技術とエッチング技術とにより、ソースパッド 101、ゲートパッド、ゲート配線 103 の形状にそれぞれ加工する。

【0119】

最後に、基板裏面の裏面オーミック電極 72 上に金属膜を形成することによりドレイン電極 13 を形成し、図 8 にその断面図を示した電力用半導体装置が完成する。

【0120】

なお、この Ti のプラグ 91 は、ゲートコンタクトホール 64 内に形成されても良いし、形成されなくても良い。

10

【0121】

ゲートコンタクトホール 64 内にプラグ 91 が形成される場合には、ゲート配線 103 とゲート電極 50 との間に生じる反応を防止するバリア層として機能させることができる。

【0122】

一方、ゲートコンタクトホール 64 内に Ti のプラグ 91 が形成されない場合には、ゲート配線 103 とゲート電極 50 とが直接接触することで、低いコンタクト抵抗が得られる。

【0123】

これらは、ゲートコンタクトホール 64 を形成する工程と、Ti を堆積させる工程及び CMP 加工する工程の順序を変更することで作り分けることができる。すなわち、ゲートコンタクトホール 64 内に Ti のプラグ 91 が形成するには、上記作製方法に従って、ソースコンタクトホール 61 及びウェルコンタクトホール 62 と同様の態様で形成すれば良い。一方、Ti のプラグ 91 をゲートコンタクトホール 64 に形成しないためには、ゲートコンタクトホール 64 を形成する前に Ti を堆積させる工程及び CMP 加工する工程を行えば良い。

20

【0124】

< B - 3 . 効果 >

本発明にかかる実施の形態によれば、半導体装置において、圧縮応力残留層としての役割を果たすプラグ 91 が、ソースコンタクトホール 61 の底面に形成されることで、コンタクトホール内に積層構造を形成する必要がなく、より小さいコンタクトホールに対しても、コンタクトホールの側面、すなわち、層間絶縁膜 32 の側面に圧縮応力が残留した膜（又は層）を形成することができる。

30

【0125】

< C . 実施の形態 3 >

< C - 1 . 構成 >

図 9 (a) は、図 2 の平面模式図の A - A ' 部分の断面を模式的に表した変形図であり、図 9 (b) は、図 2 の平面模式図の B - B ' 部分の断面を模式的に表した変形図である。

【0126】

本実施の形態 3 では、各コンタクトホールの底面と、コンタクトホールの側面、すなわち、層間絶縁膜 32 の側面と、層間絶縁膜 32 の上面とに連続して形成された、圧縮応力が残留する金属電極層（単一層 100）を形成し、ソースパッド、ゲートパッド、ゲート配線の役割を果たさせる。このように形成することにより、半導体装置を作製する工程数が削減され、コストが低減する。

40

【0127】

なお、ゲートコンタクトホール 64 において、単一層 100 が形成されない構成とすることも可能である。

【0128】

< C - 2 . 製造方法 >

50

この作成方法を、以下に述べる。「ソースコンタクトホール61及びウェルコンタクトホール62内に形成されたシリサイドと、後に形成される金属電極との接触抵抗を低減するために、シリサイド上に熱工程で形成された酸化物を、逆スパッタエッチングによって除去する」工程（逆スパッタエッチング工程）までは、実施の形態1と同様である。

【0129】

その後、圧縮応力が残留するTiをスパッタ法によって堆積する。このとき、Tiは層間絶縁膜32の上面だけではなく、必ず層間絶縁膜32の側面にも堆積させるようにする。層間絶縁膜32の側面に形成される膜厚は、十分な応力を印加するために20nm以上であることが望ましい。

【0130】

その後、Tiをフォトリソグラフィ技術とエッチング技術によりソースパッド、ゲートパッド、ゲート配線のそれぞれの形状に加工し、単一層100を形成する。

【0131】

最後に、基板裏面の裏面オーミック電極72上に金属膜を形成することによりドレイン電極13を形成し、図9にその断面図を示した電力用半導体装置が完成する。

【0132】

< C - 3 . 効果 >

本発明にかかる実施の形態によれば、半導体装置において、ゲート絶縁膜30及びゲート電極50を覆って形成された層間絶縁膜32をさらに備え、圧縮応力残留層の役割を果たす単一層100が、層間絶縁膜32上面にも形成されることで、半導体装置を作製する工程数が削減され、コストが低減する。

【0133】

< D . 実施の形態 4 >

< D - 1 . 構成 >

図10(a)は、図2の平面模式図のA-A'部分の断面を模式的に表した変形図であり、図10(b)は、図2の平面模式図のB-B'部分の断面を模式的に表した変形図である。

【0134】

本実施の形態4では、各コンタクトホールの底面と、コンタクトホールの側面、すなわち、層間絶縁膜32の側面と、層間絶縁膜32の上面とに連続して形成された、圧縮応力が残留する圧縮応力残留層92（金属電極）を形成し、さらにその上に、異なる電極材料（ソースパッド102等の金属材料）を積層させる。

【0135】

このように形成することにより、圧縮応力残留層92と、ソースパッド102、ゲートパッド、ゲート配線104のそれぞれとを、別々に選択することができる。

【0136】

< D - 2 . 製造方法 >

この作成方法を、以下に述べる。「ソースコンタクトホール61及びウェルコンタクトホール62内に形成されたシリサイドと、後に形成される金属電極との接触抵抗を低減するために、シリサイド上に熱工程で形成された酸化物を、逆スパッタエッチングによって除去する」工程（逆スパッタエッチング工程）までは、実施の形態1と同様である。

【0137】

その後、圧縮応力が残留するTiをスパッタ法によって堆積する。このときTiは、層間絶縁膜32の上面だけではなく、必ず層間絶縁膜32の側面に堆積させるようにする。

【0138】

層間絶縁膜32の側面に形成される膜厚は、層間絶縁膜32に対し、半導体基板20の主面と垂直方向に十分な力を印加するために、20nm以上であることが望ましい。

【0139】

その後、例えばA1電極を形成する。A1電極は、十分な強度のワイヤーボンドを実現するために、1μm以上の厚みを有することが望ましい。

10

20

30

40

50

【0140】

その後、Al電極及びTi電極を、フォトリソグラフィ技術とエッチング技術とによりソースパッド102、ゲートパッド、ゲート配線104の形状にそれぞれ加工する。

【0141】

Al及びTiは同一のパターンレジストでエッチングしても良いし、別々のレジストパターンを形成して別々にエッチングしても良い。

【0142】

最後に、基板裏面の裏面オーミック電極72上に金属膜を形成することによりドレイン電極13を形成し、図10にその断面図を示した電力用半導体装置が完成する。

【0143】

同一のパターンレジストでエッチングした場合、ゲートコンタクトホール64内にTi電極が形成され、ゲート配線104とゲート電極50との間に生じる反応を防止するバリア層として働かせることができる。

【0144】

なお、このTiは、ゲートコンタクトホール64内に形成されても良いし、形成されなくても良い。

【0145】

ゲートコンタクトホール64内にTiが形成される場合には、ゲート配線104とゲート電極50との間に生じる反応を防止するバリア層として機能させることができる。

【0146】

一方、ゲートコンタクトホール64内にTiが形成されない場合には、ゲート配線104とゲート電極50とが直接接触することで、低いコンタクト抵抗が得られる。

【0147】

上記の作成方法に従えば、ゲートコンタクトホール64内にTiが形成された半導体装置が完成する。一方、Tiを堆積後、ゲートコンタクトホール64内のTiが露出される専用のレジストパターンを形成し、Ti電極をエッチングし、その後Alを堆積し、別のレジストパターンでエッチングすることで、ゲートコンタクトホール64内にTiが形成されない半導体装置が完成する。

【0148】

なお、電極材料として引張応力が残留するAlを用いることで、層間絶縁膜32の上層に堆積された圧縮応力が残留するTiが、半導体基板を凸に反らせる効果を低減することもでき、これにより半導体基板の割れを防ぐことができる。

【0149】

< D - 3 . 効果 >

本発明にかかる実施の形態によれば、半導体装置において、圧縮応力残留層92は、ソースコンタクトホール61の底面に形成され、圧縮応力残留層92上に、圧縮応力残留層92とは異なる電極材料で形成されたソースパッド102が積層されたことで、圧縮応力残留層92と、ソースパッド102、ゲートパッド、ゲート配線104のそれぞれとを、別々に選択することができる。

【0150】

また、本発明にかかる実施の形態によれば、半導体装置において、ソースパッド102が、引張応力が残留する材料であることで、層間絶縁膜32の上層に堆積された圧縮応力が残留する圧縮応力残留層92が、半導体基板を凸に反らせる効果を低減することもでき、これにより半導体基板の割れを防ぐことができる。

【0151】

本発明の実施の形態では、各構成要素の材質、材料、実施の条件等についても記載しているが、これらは例示であって記載したものに限られるものではない。

【0152】

この発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この

10

20

30

40

50

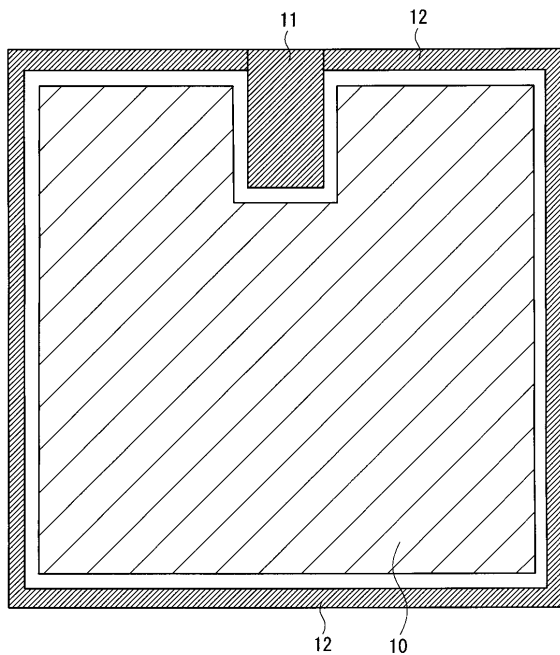
発明の範囲から外れることなく想定され得るものと解される。

【符号の説明】

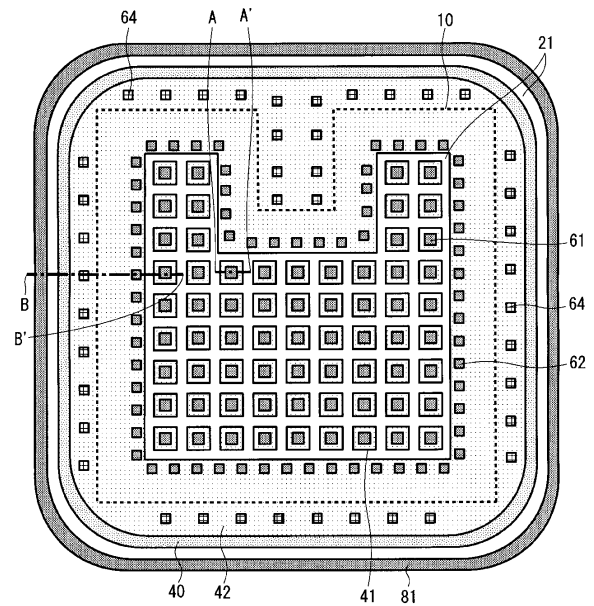
【0153】

10, 101, 102 ソースパッド、11 ゲートパッド、12, 103, 104
 ゲート配線、13 ドレイン電極、20 半導体基板、21 ドリフト層、30 ゲート
 絶縁膜、31 フィールド絶縁膜、32 層間絶縁膜、40 JTE領域、41 第1ウ
 エル領域、42 第2ウェル領域、46 第1ウェルコンタクト領域、47 第2ウェル
 コンタクト領域、50 ゲート電極、61 ソースコンタクトホール、62 ウェルコン
 タクトホール、64 ゲートコンタクトホール、71 オーミック電極、72 裏面オー
 ミック電極、80 ソース領域、81 フィールドストッパー領域、90, 92 圧縮応
 力残留層、91 プラグ、100 単一層。

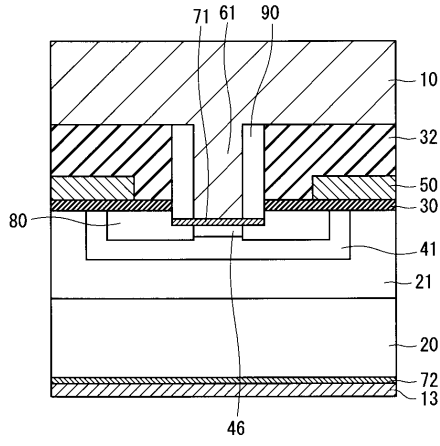
【図1】



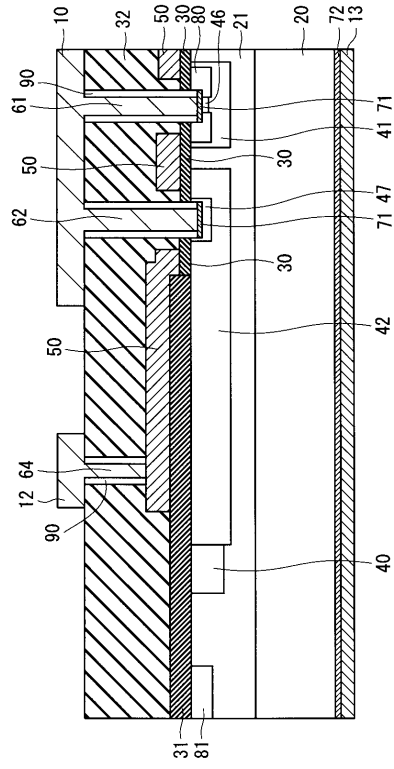
【図2】



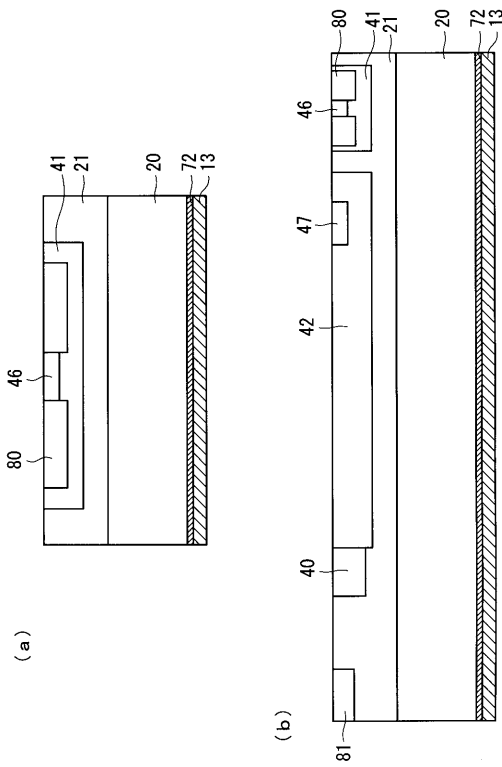
【図3】



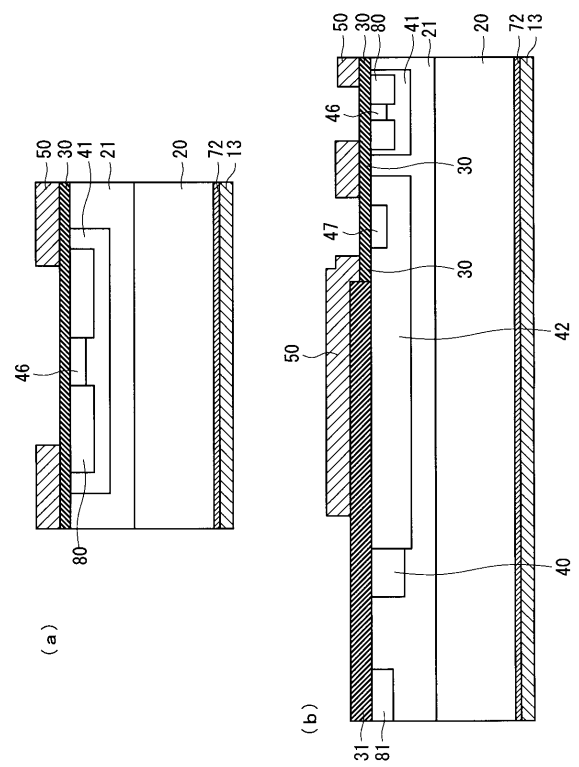
【図4】



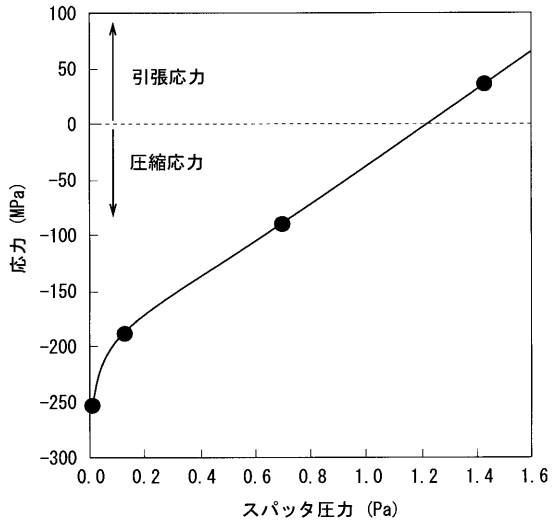
【図5】



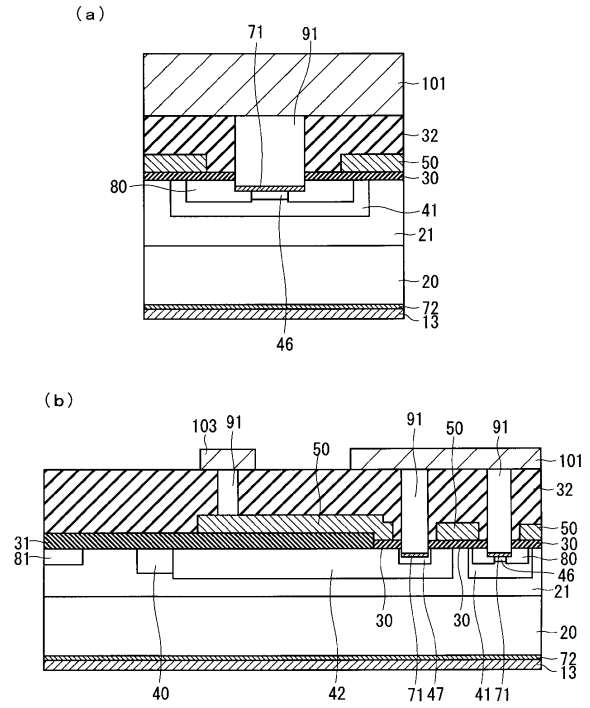
【図6】



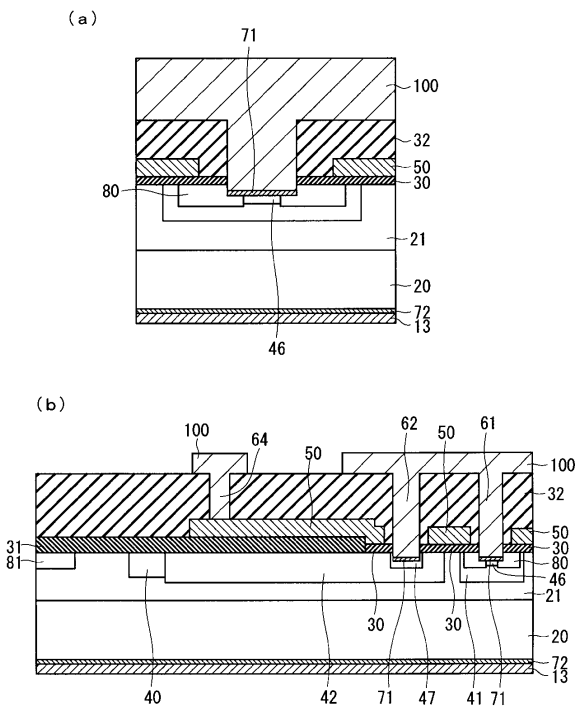
【図7】



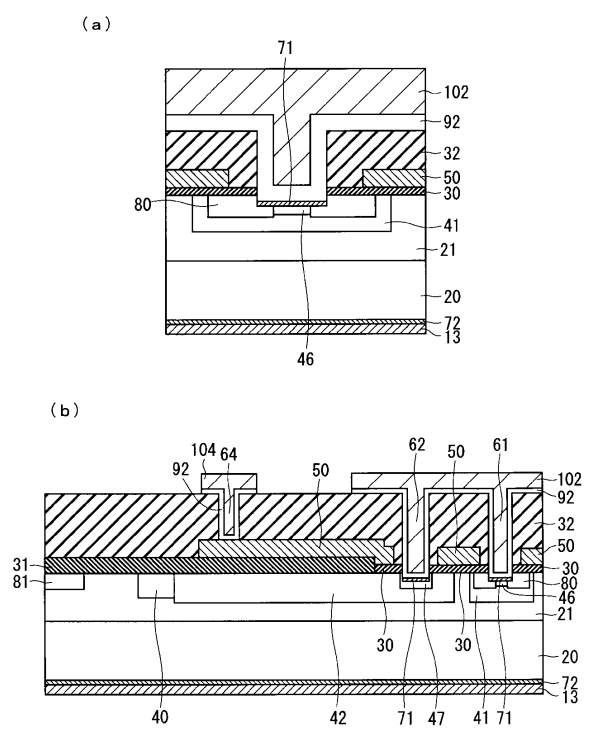
【図8】



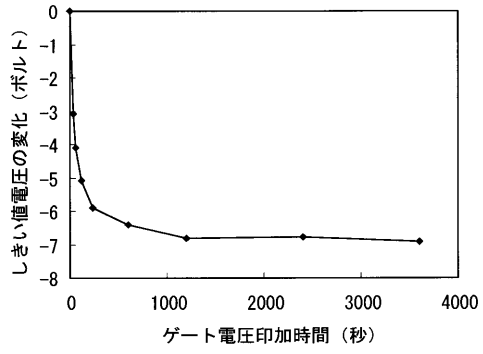
【図9】



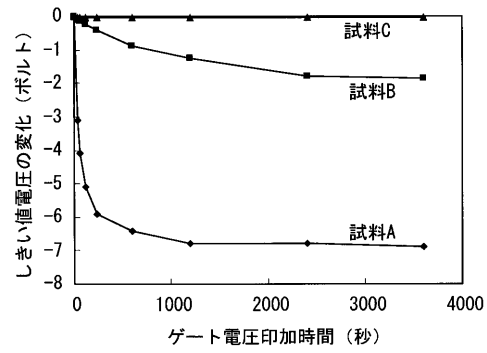
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 8 G
H 0 1 L 29/78 6 5 8 F
H 0 1 L 21/28 3 0 1 B
H 0 1 L 29/50 M

- (72)発明者 古川 彰彦
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 中尾 之泰
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 渡辺 友勝
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 多留谷 政良
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 海老池 勇史
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 今泉 昌之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 綾 淳
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 須原 宏光

- (56)参考文献 国際公開第2010/116575(WO,A1)
特開2008-038346(JP,A)

(58)調査した分野(Int.Cl.,DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6