



(21)申請案號：097119627

(22)申請日：中華民國 97 (2008) 年 05 月 28 日

(51)Int. Cl. : G06F9/46 (2006.01)

G06F9/38 (2006.01)

(30)優先權：2007/05/31 德國

10 2007 025 397.6

2008/01/16 美國

12/014,868

(71)申請人：高級微裝置公司 (美國) ADVANCED MICRO DEVICES, INC. (US)

美國

(72)發明人：凱倫妮奇 魏 KRANICH, UWE (DE)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 200822760

US 6003129

US 6651163B1

審查人員：洪奕璿

申請專利範圍項數：22 項 圖式數：2 共 73 頁

(54)名稱

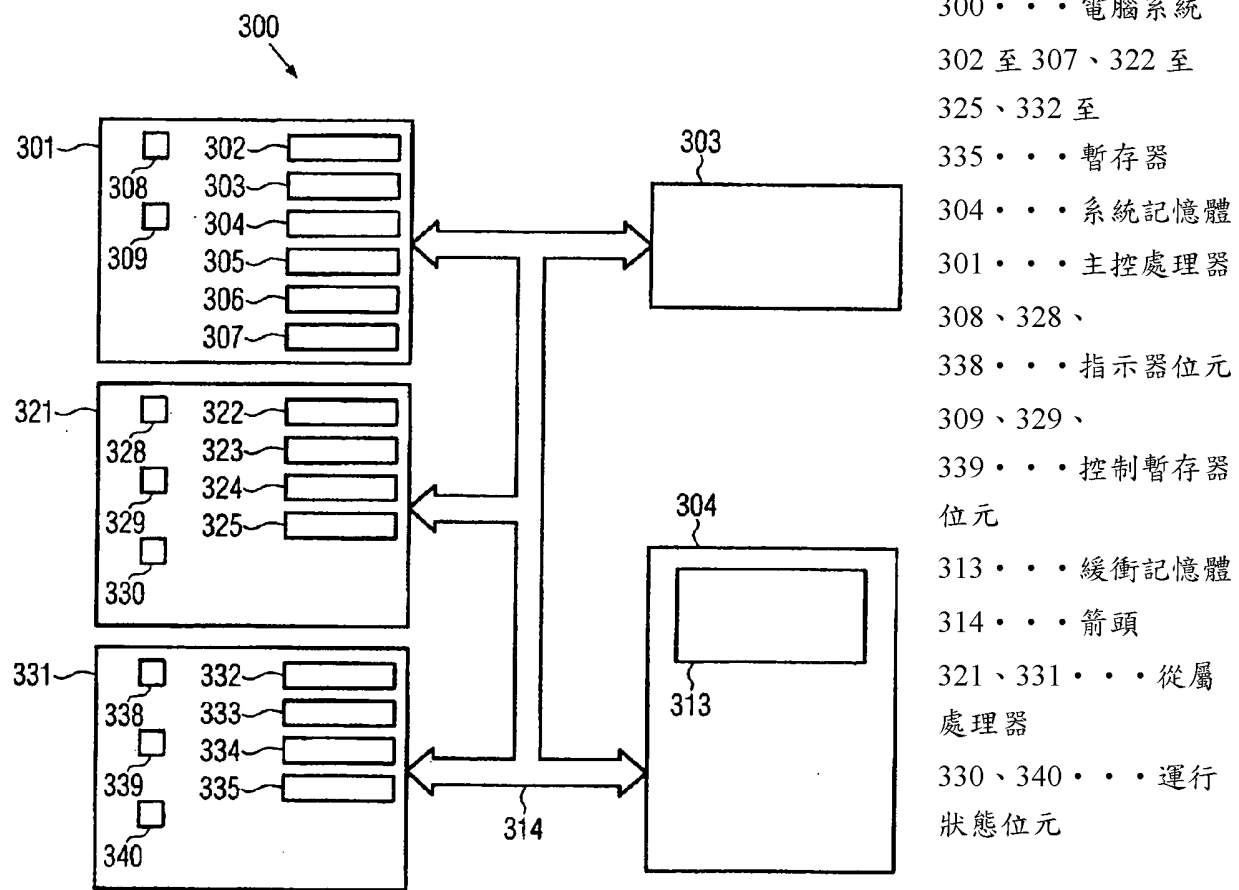
包括複數個處理器之系統以及操作該系統之方法

SYSTEM COMPRISING A PLURALITY OF PROCESSORS AND METHOD OF OPERATING THE SAME

(57)摘要

一種系統包括主控處理器及至少一個從屬處理器。該主控處理器之狀態包括第一複數個變數，且該從屬處理器之狀態包括第二複數個變數。該系統包括由該主控處理器及該從屬處理器處理資料的平行作業模式、以及由該主控處理器處理資料的序列作業模式。在該平行作業模式中發生中斷或異常時，該系統執行下列步驟：將該第一複數個變數及該第二複數個變數的至少一部分儲存到緩衝記憶體；以及將該系統切換到該序列作業模式。若該從屬處理器中發生中斷或異常，則將該第一複數個變數中之至少一個變數設定為該第二複數個變數中之至少一個變數的值。

A system comprises a master processor and at least one slave processor. A state of the master processor comprises a first plurality of variables and a state of the slave processor comprises a second plurality of variables. The system comprises a parallel mode of operation wherein data are processed by the master processor and the slave processor and a serial mode of operation wherein data are processed by the master processor. In case of an interrupt or exception occurring in the parallel mode of operation, the system performs the steps of saving at least a portion of the first plurality of variables and the second plurality of variables to a buffer memory and switching the system to the serial mode of operation. If the interrupt or exception is occurring in the slave processor, at least one of the first plurality of variables is set to a value of at least one of the second plurality of variables.



第2a圖

六、發明說明：

【發明所屬之技術領域】

本發明之揭示係大致有關電腦系統之領域，尤係有關包含複數個處理器之系統。

【先前技術】

在現代的電腦系統中，採用了包含複數個指令之處理器。處理器自被連接到該處理器的系統記憶體讀取指令及資料，並根據該等指令而修改該等指令及（或）資料。該系統記憶體可包含諸如隨機存取記憶體（RAM）的揮發性但可迅速存取的記憶體裝置、以及諸如硬碟等的緩慢但永久性的記憶體裝置。此外，電腦可自諸如鍵盤、滑鼠、及（或）網路連線等的裝置接收輸入，並可將輸出提供給諸如監視器、一個或多個喇叭、及（或）印表機等的裝置。在大部分的電腦系統中，採用被稱為“作業系統”之專門電腦程式，以便控制對各種程式的處理、以及該電腦系統的各組件間之資料傳輸。

第 1a 圖是現階段技術狀態的電腦系統 100 之方塊示意圖。電腦系統 100 包含處理器 101、系統記憶體 104、以及一個或多個輸入／輸出裝置 103。箭頭 102 示意地指示處理器 101、系統記憶體 104、與輸入／輸出裝置 103 間之資料傳輸。

處理器 101 包含複數個暫存器 102、103、104、105。可將資料自系統記憶體 104 讀取到暫存器 102 至 105，且可將暫存器 102 至 105 中之資料寫到系統記憶體 104。處

理器 101 可包括適於修改暫存器 102 至 105 的內容之指令、以及在暫存器 102 至 105 與系統記憶體 104 之間及（或）在暫存器 102 至 105 之間傳輸資料之指令。此外，可提供用來執行這些工作的一組合之指令。處理器 101 通常可以比存取系統記憶體 104 中儲存的資料的速度快許多之速度存取暫存器 102 至 105 中之資料。

為了改善電腦系統 100 的效能，最好是可提供取代單一處理器 101 的複數個處理器。因此，可同時執行複數個工作及（或）執行緒。此種方式可有助於提高電腦系統 100 的作業速度。

然而，在根據現階段最高技術的電腦系統中，如將於下文中參照第 1b 圖而說明的，處理器的數目增加時，可能需要有作業系統的修改。第 1b 圖示出在根據現階段最高技術的電腦系統 100 的處理器 101 中執行之工作 201 之示意流程圖。工作 201 包含將被處理器 101 循序地處理的複數個 210 至 215。因此，處理器 101 以自指令 210 至指令 211 且自指令 211 至指令 212 之方式循序處理該等指令。

當工作 201 被處理時，諸如在處理指令 212 期間或之後，可能發生以第 1b 圖中之箭頭 230 示意地指示之中斷或異常。如果在處理指令 212 期間發生錯誤，例如，如果發生除以零，或如果有來自系統記憶體 104 的諸如分頁錯誤等的錯誤訊息，則可產生異常。也可由工作 201 的指令（例如，指令 212）有規律地產生異常。工作 201 所產

生的異常之典型應用是呼叫電腦系統 100 的作業系統。諸如輸入到輸入／輸出裝置 103 或輸入／輸出裝置 103 的同步要求等的處理器 101 以外的其他裝置引起之事件可產生中斷。如果電腦系統 100 中執行多工，則可將時序電路所產生的中斷用來交替地啟動可以是程序或執行緒的各種工作。

如果發生了中斷或異常，則可中斷工作 201 的執行，並執行可以是諸如該作業系統的一部分之中斷常式 202。中斷常式 202 包含複數個指令 220 至 225。這些指令被循序地處理。在處理了中斷常式 202 的最後一個指令 225 之後，接續在發生中斷的指令 212 之後的指令（在上述例子中為指令 213）上繼續對工作 201 之處理。

中斷常式 202 可修改處理器 101 的暫存器 102 至 105 之內容。為了保證工作 201 在發生中斷或異常之後可不管該中斷或異常而正確地工作，暫存器 102 至 105 之內容被複製到系統記憶體 104 中之儲存位置。在繼續執行工作 201 之前，該儲存位置的內容被讀回到暫存器 102 至 105。因此，當執行指令 213 而繼續執行工作 201 時，暫存器 102 至 105 可包含如同在指令 212 之後將立即執行指令 213 一般的實質上相同之資料。

在根據現階段最高技術的電腦系統 100 中，被實施為電腦系統 100 的該作業系統的一部分之中斷常式 202 中之指令完成將該等暫存器的複製到該儲存位置及將該儲存位置的內容複製回該等暫存器。因此，如果電腦系統 100

中提供了額外的處理器，則對該作業系統的修改可能被要求保證：如果在該等處理器的任何處理器中發生中斷或異常，則該等處理器的內容被正確地儲存在系統記憶體中，且該內容在該中斷常式結束之後被讀回到該等暫存器。

可能需要對該作業系統的進一步修改，以便將個別處理器中之程序及工作的執行排程。在根據現階段最高技術的電腦系統中，係由作業系統執行對該等處理器中之程序及（或）執行緒的執行以及對將各程式及（或）執行緒分配給該等處理器之控制。除了需要根據複數個處理器的存在而調整作業系統之外，對程序及（或）執行緒的執行之控制可能在產生及（或）控制程序及（或）執行緒時需要較大的管理負擔（overhead）。尤其在呼叫作業系統常式之前將該等處理器的暫存器之內容複製到儲存位置以及在該作業系統常式終止之後將該儲存位置之內容讀回該等暫存器時，可能產生相當大的管理負擔。

根據現階段最高技術的電腦系統 100 之問題在於：在作業系統的製造商實施了對電腦系統 100 中提供的額外的處理器或任何其他可能裝置的支援之前，可能無法合理地使用該等額外的處理器。

根據現階段最高技術的電腦系統 100 之另外的一問題在於：利用作業系統執行的對程序及（或）執行緒之產生及（或）控制的較大之管理負擔可能降低了電腦系統 100 的效能，尤其在使用較細粒（fine grain）的多工及（或）多緒執行（multithreading）時更是如此。

此外，縱然在提供了對多個處理器的支援的根據現階段最高技術之電腦系統中，可能希望對作業系統隱藏額外的處理器或特徵。額外的處理器或特徵也可能包含作業系統不知道的額外的硬體及（或）處理器。因此，根據現階段最高技術的電腦系統之另外的一問題在於：該電腦系統可能難以使用諸如作業系統不知道的處理器或硬體等的額外的資源。

本發明之揭示係有關可避免或至少減輕前文所述的一個或多個問題的影響之各種系統及方法。

【發明內容】

下文中提供了本發明的簡化摘要，以便提供對本發明的某些態樣的基本了解。該摘要並不是本發明的徹底的概述。其目的並不是識別本發明的關鍵性或緊要的元件，也不是描述本發明的範圍。其唯一目的只是以簡化的形式提供某些觀念，作為將於後文中提供的更詳細的說明之前言。

根據一個顯示範例，系統包含主控處理器及至少一個從屬處理器。該主控處理器之狀態包含第一複數個變數，且該從屬處理器之狀態包含第二複數個變數。該系統包括由該主控處理器及該從屬處理器處理資料的平行作業模式、以及由該主控處理器處理資料的序列作業模式。該系統之組態被設定成在該平行作業模式中發生中斷或異常時執行下列步驟：將該第一複數個變數及該第二複數個變數的至少一部分儲存到緩衝記憶體；以及將該系統切換到該序列作業模式。該系統之組態被進一步設定成：若該從屬

工作仍然是對此項技術具有一般知識者在受益於本發明的揭示後所從事的日常工作。

現在將參照各附圖而說明本發明之標的內容。只為了解說之用，而在該等圖式中以示意圖之方式示出各種結構、系統、及裝置，以便不會以熟習此項技術者習知的細節模糊了本發明之揭示。然而，該等附圖被加入，以便描述並解說本發明揭示之各例子。應將本說明書所用的字及辭彙了解及詮釋為具有與熟習相關技術者對這些字及辭彙所了解的一致之意義。不會因持續地在本說明書中使用一術語或辭彙，即意味著該術語或辭彙有特殊的定義（亦即與熟習此項技術者所了解的一般及慣常的意義不同之定義）。如果想要使術語或辭彙有特殊的意義（亦即與熟習此項技術者所了解的意義不同之意義），則會將在本說明書中以一種直接且毫不含糊地提供該術語或辭彙的特殊定義之下定義之方式明確地述及該特殊的定義。

根據一個實施例，提供了一種包含主控處理器及至少一個從屬處理器之電腦系統。雖然在某些實施例中，該電腦系統可包含單一的從屬處理器，但是在其他實施例中，可提供複數個從屬處理器。該電腦系統包含由主控處理器及至少一個從屬處理器處理資料的平行作業模式。在電腦系統包含複數個從屬處理器之實施例中，每一個從屬處理器或該等從屬處理器的一部分可在該平行作業模式中同時執行一些指令。因此，在該平行作業模式中，可在該主控處理器及該等從屬處理器中同時執行複數個工作，以便改

善該電腦系統之效能。在某些實施例中，該序列作業模式可以是該電腦系統提供只有單一處理器的先前機型的功能之相容模式。

該主控處理器的狀態包含可代表該主控處理器的暫存器的內容之複數個變數。同樣地，每一從屬處理器的狀態可包含可代表該從屬處理器之暫存器的內容之複數個變數、及（或）用來指示該從屬處理器是否目前正在執行指令之運行狀態位元。在該主控處理器及該等從屬處理器中，個別處理器的該複數個變數中之一變數可包含該處理器於沒有中斷或異常時用來繼續指令執行之返回位址。例如，可在該等個別處理器的該等暫存器中之一暫存器中提供該返回位址。

該電腦系統可包含適於將該主控處理器的該複數個變數中之一個或多個變數的值寫到該等從屬處理器中之一個從屬處理器的該複數個變數中之一個或多個變數。因此，可在由該從屬處理器開始執行執行緒之前，先建立該從屬處理器之參數。可利用可接收將要開始指令執行的從屬處理器的識別號碼以及要開始指令執行時作為引數（argument）的目標位址之分叉指令（fork instruction）開始每一從屬處理器上之指令執行。可利用從屬聯合指令（slave join instruction）停止從屬處理器上的執行緒之執行。如果在從屬處理器執行的指令序列中發生從屬聯合指令，則該從屬處理器將停止指令的執行。可將主控聯合指令（master join instruction）用來執行該主控處理器與該等

從屬處理器中之一個從屬處理器間之同步。係以被用來作為引數的從屬處理器之識別號碼呼叫該主控聯合指令。如果在該主控處理器執行的指令序列中發生該主控聯合指令，則該主控處理器將等候到該主控聯合指令的引數中指定的該從屬處理器中之指令的執行終止為止。該電腦系統進一步包含適於將該等從屬處理器中之一個從屬處理器的該複數個變數中之一個或多個變數的值寫到該主控處理器的該複數個變數中之一個或多個變數之變數接收指令。可將該變數接收指令用來接收其中包含該從屬處理器中之工作的執行結果的緩衝記憶體之結果值或指標。

因此，在該電腦系統中，可以一種平行之方式在該主控處理器及該等從屬處理器中執行程序及（或）執行緒。使用上述的該等指令時，可以獨立於在該電腦系統上運行的作業系統之方式開始及停止該等從屬處理器中之一個或多個從屬處理器中之工作的執行。

可將該電腦系統之組態設定成：若在該平行作業模式中發生中斷或異常，則將代表該主控處理器及該等從屬處理器的狀態的變數之至少一部分儲存到緩衝記憶體，將該系統切換到該序列作業模式。尤其可儲存諸如該電腦系統的先前機型中不存在的暫存器之內容等的該等從屬處理器之變數及該主控處理器之變數。因此，無須使該作業系統適於儲存包含單一處理器的電腦系統中並未被使用的從屬處理器之變數及主控處理器之變數。因此，可提供該電腦系統與包含單一處理器的先前機型間之相容性，且可將適

於該先前機型的作業系統用於該電腦系統。

若在從屬處理器中發生了中斷或異常，則可將該主控處理器的該複數個變數中之至少一個變數設定為發生了該中斷或異常的該從屬處理器的該複數個變數中之至少一個變數的值。因此，可將該從屬處理器的各變數傳送到該作業系統，而該作業系統可自該主控處理器讀取與該作業系統執行的中斷常式相關之資料。

該電腦系統可進一步包含跳轉指令。該跳轉指令可適於自該緩衝記憶體讀取於中斷或異常時被儲存的該等從屬處理器及或有的該主控處理器之那些變數。此外，該跳轉指令可適於將該電腦系統自該序列作業模式切換到該平行作業模式。若在從屬處理器中發生中斷或異常，則該跳轉指令可將該中斷或異常發生時被設定為該從屬處理器的各變數的值之該主控處理器的那些變數寫到該從屬處理器的該等變數。可在自該緩衝記憶體讀取該主控處理器的該等原始變數之前，先執行上述步驟。

若發生了中斷或異常，則可以該跳轉指令之位址取代該主控處理器之返回位址。因此，在該中斷常式終止之後，自動地呼叫該跳轉指令。因此，可以獨立於該作業系統之方式處理包含單一處理器的電腦系統中不存在的從屬處理器及（或）主控處理器之變數。此種方式可以對作業系統透通之方式使用該電腦系統的該平行作業模式。因此，實質上不需要調整該作業系統，即可使用該電腦系統的該平行作業模式。

第 2a 圖示出根據一個實施例的電腦系統 300 之示意圖。電腦系統 300 包含主控處理器 301 以及從屬處理器 321、331。然而，本發明並不限於第 2a 圖所示的提供兩個從屬處理器之實施例。在其他實施例中，可提供三個或更多個從屬處理器。在另外的實施例中，電腦系統 300 可包含單一從屬處理器。此外，本發明不限於從屬處理器 321、331 是一般用途處理器之實施例。在其他實施例中，從屬處理器 321、331 可包含特殊功能的硬體。

電腦系統 300 可進一步包含系統記憶體 304 及輸入／輸出裝置 303。箭頭 314 示意地指示主控處理器 301、從屬處理器 321、331、系統記憶體 304、與輸入／輸出裝置 303 間之資料傳輸。

主控處理器 301 包含複數個暫存器 302 至 307。在某些實施例中，該複數個暫存器 302 至 307 可包含其中可包含諸如暫存器 302 至 305 之第一子集，以及其中可包含暫存器 306、307 之第二子集。該第一子集之暫存器 302 至 305 可對應於根據現階段最高技術的電腦系統中之處理器的各暫存器，例如，對應於前文中參照第 1a 至 1b 圖所述的電腦系統 100 中之處理器 101 的暫存器 102 至 105。主控處理器 301 之組態可進一步被設定成：在電腦系統 300 的序列作業模式中提供其中包含根據現階段最高技術的處理器 101 的指令集之指令集。因此，在該序列作業模式中，電腦系統 300 可執行提供給根據現階段最高技術的電腦系統 100 之二進位碼。

如將於下文中更詳細說明的，可將該第二子集之暫存器 306、307 用來處理與主控處理器 301 及從屬處理器 321、331 中之資料的平行處理相關聯之資料傳輸。

與主控處理器 301 類似，第一從屬處理器 321 可包含複數個暫存器 322 至 325，且第二從屬處理器 331 可包含複數個暫存器 332 至 335。在某些實施例中，從屬處理器 321、331 之暫存器 322 至 325、332 至 335 可對應於主控處理器 301 之該第一子集的暫存器 302 至 305。在暫存器 302 至 307、322 至 325、332 至 335 的每一暫存器中，可儲存代表主控處理器 302、第一從屬處理器 321、及第二從屬處理器 331 的狀態之變數。

在某些實施例中，可使主控處理器 301 及從屬處理器 321、331 中之每一處理器適於提供熟悉此項技術者習知的 x86 或 x86-64 類型的處理器之功能。在其他實施例中，可將主控處理器 301 及從屬處理器 321、331 中之每一處理器之組態設定成提供不同類型的處理器之功能。在另外的實施例中，可使主控處理器 301 適於提供與從屬處理器 321、331 的類型不同的一類型的處理器之功能。

在一個實施例中，可使主控處理器 301 適於提供現有作業系統支援的處理器類型之功能，例如，提供 x86 或 x86-64 處理器之功能，且從屬處理器 321、331 可以是無須被該作業系統支援的不同類型之處理器。例如，從屬處理器 321、331 可包含簡化架構，以便將從屬處理器 321、331 所佔用的晶粒面積最小化。此種方式可有助於增加電

腦系統 300 的從屬處理器 321、331 之數目，以便增強電腦系統 300 之效能。此外，從屬處理器 321、331 的簡化架構可增加從屬處理器 321、331 的時脈速率，因而增加了每一個別從屬處理器之工作速度。

在某些實施例中，在單晶粒上提供主控處理器 301、以及從屬處理器 321、331 中之一個或多個從屬處理器。在其他實施例中，可在不同的晶粒上提供主控處理器 301 以及從屬處理器 321、331。

主控處理器 301 可包含指示器位元 308 以及控制暫存器位元 309。指示器位元 308 可以是架構上看不到的位元，用以指示電腦系統 300 目前正在可由主控處理器 301 處理資料的序列作業模式或可由主控處理器 301 及從屬處理器 321、331 中之一個或多個從屬處理器處理資料之平行作業模式中運行。控制暫存器位元 309 可指示是否容許該平行作業模式。如果控制暫存器位元 309 被設定為例如值“開”等的第二值，則程式可在電腦系統 300 的該平行作業模式中運行。然而，如果控制暫存器位元 309 被設定為例如值“關”等的第二值，則只可在該序列作業模式中使用電腦系統 300。

與主控處理器 301 類似，從屬處理器 321、331 中之每一從屬處理器可包含指示器位元及控制暫存器位元。在第 2a 圖中，代號 328、338 表示從屬處理器 321、331 之指示器位元，且代號 329、339 表示從屬處理器 321、331 之控制暫存器位元。在其他實施例中，從屬處理器

321、331 無須包含指示器位元 328、329。在這些實施例中，可將主控處理器 301 之控制暫存器位元 309 用來指示容許電腦系統 300 的平行作業模式，且可將主控處理器 301 之控制暫存器位元 309 用來指示電腦系統 300 正處於平行作業模式中。

第一從屬處理器 321 可進一步包含運行狀態位元 330。運行狀態位元 330 指示第一從屬處理器 321 目前是否正在運行或從屬處理器 321 是否被停止了。例如，運行狀態位元 330 之值“開”可指示第一從屬處理器 321 目前正在運行，且運行狀態位元 330 之值“關”可指示第一從屬處理器 321 被停止了。與第一從屬處理器 321 類似，第二從屬處理器 331 亦可包含運行狀態位元 340。

在系統記憶體 304 中，可提供緩衝記憶體 313。如將於下文中更詳細說明的，若在電腦系統 300 處於該平行作業模式時發生了一中斷或異常，則可將主控處理器的暫存器 302 至 307 的一部分或全部之內容、從屬處理器 321、331 的暫存器 322 至 325、332 至 335 的一部分或全部之內容、以及諸如指示器位元 308、328、338、控制暫存器位元 309、329、339、及（或）運行狀態位元 330、340 的值等的進一步資訊儲存在緩衝記憶體 313 中。若正在電腦系統 300 中執行多工，則可為每一程序而分配個別的緩衝記憶體。

在某些實施例中，可自將使用電腦系統 300 的該平行作業模式的一程式之程式碼呼叫中央處理單元（CPU）

驅動常式，而分配緩衝記憶體 313。可使該 CPU 驅動常式適於分配足以儲存暫存器 302 至 307、322 至 325、及 332 至 335、以及前文所詳述之或有的進一步資訊的內容的容量之記憶體區域。在某些實施例中，可在將不會被作業系統交換到諸如硬碟等的大量儲存裝置之非分頁系統記憶體庫（non-paged pool system memory）中提供緩衝記憶體 313。在某些電腦系統 300 中，只可由 CPU 驅動常式執行該非分頁系統記憶體中之記憶體的分配。

有利之處在於：在該非分頁系統記憶體庫中分配緩衝記憶體 313 之方式可有助於確保緩衝記憶體 313 將一直是保持在實體記憶體的狀態，且不會發生分頁錯誤。此種方式可較易於利用不可分割的作業（atomic operation）對緩衝記憶體 313 進行第二複數個暫存器 309 至 312 的內容及或有的進一步資料之分別寫入及讀取。因此，可有利地避免在將資料寫到緩衝記憶體 313 時碰到中斷或異常而可能發生的錯誤。

可將該 CPU 驅動常式之組態設定成返回緩衝記憶體 313 之記憶體位址。在某些實施例中，該記憶體位址可以是虛擬位址。此種方式可有助於將在電腦系統 300 上運行的所有程序相互隔離，且可能要求每一程序使用獨立的記憶體分頁。如果緩衝記憶體 313 的分配是不可行的，例如，如果非分頁記憶體區域中沒有可供使用的記憶體，則該 CPU 驅動常式可指示失敗。

在某些實施例中，用來分配緩衝記憶體 313 的該

CPU 驅動常式可以是處理器供應商可能提供的 CPU 驅動程式的一部分。除了用來分配緩衝記憶體 313 的該 CPU 驅動常式之外，可提供用來釋出緩衝記憶體 313 之第二 CPU 驅動常式。如熟悉此項技術者所習知的，該等 CPU 驅動常式可在開機期間被作業系統載入，且提供了在電腦系統 300 上運行的程式可執行之功能。因此，使用第二作業模式之程式可呼叫用來分配及釋出緩衝記憶體 313 之該等 CPU 驅動常式。

電腦系統 300 可包含起動指令，用以起動電腦系統 300 之該平行作業模式。該起動指令接收緩衝記憶體 313 的諸如虛擬位址等的位址，作為運算元，且該起動指令接收跳轉指令的位址。電腦系統 300 提供該跳轉指令。在某些實施例中，主控處理器 301 可提供該跳轉指令。如將於下文中更詳細說明的，在完成了中斷常式之後，通常將該跳轉指令用來恢復暫存器 302 至 307、322 至 325、及 332 至 335 的一部分或全部之內容。可在使用該平行作業模式之程式中提供該跳轉指令，且該跳轉指令的位址可以是該程式中提供的該跳轉指令的記憶位置之指標。

可將電腦系統 300 之組態設定成：如果該起動指令被呼叫，則執行下列步驟。電腦系統 300 可檢查控制暫存器位元 309。如果控制暫存器位元 309 指示不容許使用該平行作業模式，則該起動指令將產生非法指令錯誤，且將不執行任何進一步的步驟。否則，可將主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之第

一暫存器（例如，暫存器 306）設定為緩衝記憶體 313 之位址，且可將暫存器 302 至 307 的第二子集的暫存器 306、307 中之第二暫存器（例如，暫存器 307）設定為該跳轉指令之位址。在其他實施例中，可將主控處理器 301 的暫存器 302 至 307 中之另一暫存器用來儲存緩衝記憶體 313 及該跳轉指令之位址。此外，電腦系統 300 可將指示器位元 308 以及或有的從屬處理器 321、331 之指示器位元 328、338 設定為用來指示該電腦系統正處於該平行作業模式之值。然後，電腦系統 300 可在該平行作業模式中執行次一指令。

在某些實施例中，該起動指令之組態可進一步設定成清除從屬處理器 321、331 之暫存器 322 至 325、332 至 335。因此，可避免不同的程序間之狀態資訊的傳播，因而可有助於電腦系統 300 之安全。

電腦系統 300 可進一步包含適於將主控處理器 301 的暫存器 302 至 307 中之一個或多個暫存器的內容寫到從屬處理器 321、331 中之一個從屬處理器的暫存器 322 至 325、332 至 335 中之一個或多個暫存器的變數傳送指令。在某些實施例中，該變數傳送指令接收內容將被寫到其暫存器的從屬處理器 321、331 之識別號碼、用來識別其內容將被傳送到從屬處理器 321、331 的主控處理器 301 的暫存器之資料、以及用來識別其值將被設定的從屬處理器 321、331 的暫存器之資料，作為運算元。在一個實施例中，可將該變數傳送指令之組態設定成每次將主控處理器 301

的該等暫存器中之一個暫存器的內容傳送到從屬處理器 321、331 中之一個從屬處理器，且用來識別主控處理器 301 及個別從屬處理器 321、331 的暫存器之資料可包含主控處理器 301 及從屬處理器 321、331 的個別暫存器之識別號碼。

可將電腦系統 300 之組態設定成：如果該變數傳送指令被呼叫，則執行下列步驟。電腦系統 300 可檢查指示器位元 308。如果指示器位元 308 指示電腦系統 300 並非處於平行作業模式，則該變數傳送指令將產生非法指令錯誤，且將不執行任何進一步的步驟。否則，可檢查主控處理器 301 是否執行該變數傳送指令。如果從屬處理器 321、331 中之一個從屬處理器執行該變數傳送指令，則產生非法指令錯誤，且將不執行任何進一步的行動。否則，將該變數傳送指令的運算元中指定的主控處理器 301 的暫存器 302 至 307 中之一個或多個暫存器的內容寫到被指定的從屬處理器 321、331 之被指定的暫存器。然後，電腦系統 300 可執行次一指令。

電腦系統 300 可進一步包含適於將從屬處理器 321、331 中之一個從屬處理器的暫存器 322 至 325、332 至 335 中之一個或多個暫存器的內容寫到主控處理器 301 的暫存器 302 至 307 中之一個或多個暫存器之變數接收指令。該變數接收指令可接收將自其接收變數的從屬處理器 321、331 之識別號碼、用來識別其內容將被讀取的從屬處理器 321、331 的暫存器之資料、以及用來識別其

值將被設定的主控處理器 301 的暫存器之資料，作為運算元。與該變數傳送指令類似，用來識別該等暫存器之資料可包含從屬處理器 321、331 的暫存器之識別號碼、以及主控處理器 301 的暫存器之識別號碼。

可將電腦系統 300 之組態設定成：如果該變數接收指令被呼叫，則執行下列步驟。電腦系統 300 可檢查指示器位元 308。如果指示器位元 308 指示電腦系統 300 並非處於平行作業模式，則該變數接收指令將產生非法指令錯誤，且將不執行任何進一步的步驟。否則，可檢查主控處理器 301 是否執行該變數接收指令。如果從屬處理器 321、331 中之一個從屬處理器執行該變數接收指令，則該變數接收指令產生非法指令錯誤，且將不執行任何進一步的行動。否則，將被指定的從屬處理器 321、331 之被指定的一個或多個暫存器之內容寫到主控處理器 301 之被指定的暫存器。

可將該變數傳送指令及該變數接收指令用來交換主控處理器 301 與從屬處理器 321、331 間之資訊。如將於下文中更詳細說明的，尤其可將該變數傳送指令用來在從屬處理器 321、331 中開始執行緒之前先建立從屬處理器 321、331 之參數，且尤其可將該變數接收指令用來在完成了執行緒的執行之後擷取其中包含一個或多個結果值的記憶位置之結果值或指標。

電腦系統 300 可進一步包含適於啟動從屬處理器 321、331 中之一個從屬處理器的指令執行之分叉指令。該

分叉指令可接收將開始指令執行的從屬處理器 321、331 之識別號碼、以及將用來開始指令執行之目標位址，作為運算元。

可將電腦系統 300 之組態設定成：如果該分叉指令被呼叫，則執行下列步驟。電腦系統 300 可檢查指示器位元 308。如果指示器位元 308 指示電腦系統 300 並非處於平行作業模式，則產生非法指令錯誤，且將不執行任何進一步的步驟。否則，檢查主控處理器 301 是否執行該分叉指令。如果從屬處理器 321、331 中之一個從屬處理器執行該分叉指令，則產生非法指令錯誤，且將不執行任何進一步的行動。否則，將被指定的目標位址傳送到被指定的從屬處理器 321、331。從屬處理器 321、331 接收該目標位址。在從屬處理器 321、331 中，運行狀態位元 330、340 被設定為用來指示從屬處理器 321、331 正在運行之值，且從屬處理器 321、331 在該目標位址上開始指令執行。然後，可執行另外的指令。

在某些實施例中，若於指令的運算元中指定的個別從屬處理器 321、331 正在運行時，使用該變數傳送指令、該變數接收指令、及（或）該分叉指令，則將產生不可預測的結果。在這些實施例中，可改寫在該電腦系統上運行的程式之程式碼，使上述的狀況不會發生。在其他實施例中，如果在運算元中指定的從屬處理器 321 正在運行時，呼叫該變數傳送指令、該變數接收指令、或該分叉指令，則可使電腦系統 300 適於產生非法指令錯誤。

電腦系統 300 可進一步包含適於停止從屬處理器 321、331 中之一個從屬處理器的指令執行之從屬聯合指令。從屬處理器 321、331 中之一個從屬處理器可執行該從屬聯合指令，且可在執行該從屬聯合指令的從屬處理器上停止指令執行。更具體而言，可將電腦系統 300 適於在該從屬聯合指令被呼叫時執行下列步驟。電腦系統 300 可檢查指示器位元 308。如果指示器位元 308 指示電腦系統 300 並非處於平行作業模式，則產生非法指令錯誤，且將不執行任何進一步的步驟。否則，檢查從屬處理器 321、331 中之一個從屬處理器是否執行該從屬聯合指令。如果並非在從屬處理器 321、331 上執行該從屬聯合指令，則產生非法指令錯誤，且將不執行任何進一步的行動。否則，將運行狀態位元 330 設定為用來指示從屬處理器 321、331 並不正在運行且可停止從屬處理器 321、331 上的指令執行之值。

電腦系統 300 可進一步包含適於使主控處理器 301 保持等候直到從屬處理器 321、331 中之一個從屬處理器上的指令執行停止了為止之主控聯合指令。該主控聯合指令可接收主控處理器 301 必須等候的從屬處理器 321、331 中之一個從屬處理器的識別號碼，作為運算元。

可將電腦系統 300 之組態設定成：如果該主控聯合指令被呼叫，則執行下列步驟。電腦系統 300 可檢查指示器位元 308。如果指示器位元 308 指示電腦系統 300 並非處於平行作業模式，則產生非法指令錯誤，且將不執行

任何進一步的步驟。否則，檢查主控處理器 301 是否執行該主控聯合指令。如果主控處理器 301 並不執行該主控聯合指令，則產生非法指令錯誤，且將不執行任何進一步的行動。否則，檢查該主控聯合指令的運算元中指定的從屬處理器 321、331 之運行狀態位元 330、340 是否指示個別的從屬處理器 321、331 正在運行。然後，主控處理器 301 將等候到運行狀態位元 330、340 被設定為用來指示從屬處理器 321、331 不再運行之值為止。然後，可在接續在主控聯合指令之後的指令上繼續主控處理器 301 中之指令執行。

在其他實施例中，該主控聯合指令可檢查該等個別的從屬處理器 321、331 是否仍然在運行中。然後該主控聯合指令可在諸如主控處理器 301 的暫存器 302 至 307 中之一暫存器等之架構上可看見之暫存器中送回該結果。在電腦系統 300 上運行的程式然後可將該狀態用來決定進一步的作業。因此，主控處理器 301 可檢查該等個別的從屬處理器 321、331 之運行狀態，然後繼續程式的執行。在這些實施例中，該主控聯合指令的進一步之特徵可類似於前文所述的其他實施例的那些指令之特徵。

可將該從屬聯合指令及該主控聯合指令用來同步在主控處理器 301 及從屬處理器 321、331 中運行的執行緒。該主控聯合指令可精確地指定從屬處理器 321、331 中之一個從屬處理器。因此，在程式的執行期間，不需要所有執行緒的共同聯合點，即可在不同的時點將該不同從屬

處理器中運行的執行緒同步。因此，可得到較大程度的彈性。

本發明不限於提供相互不同的主控聯合指令及從屬聯合指令之實施例。在其他實施例中，可提供單一的聯合指令。當該聯合指令被呼叫時，即檢查是在主控處理器 301 中或在從屬處理器 321、331 的一個從屬處理器中執行該聯合指令。如果是在從屬處理器 321、331 的一個從屬處理器中執行該聯合指令，則執行與前文中針對該從屬聯合指令所述之那些步驟對應的步驟。相反地，如果是在主控處理器 301 中執行該聯合指令，則可執行與前文中針對該主控聯合指令所述之那些步驟對應的步驟。

如前文所述，電腦系統 300 可進一步包含跳轉指令。在完成了中斷常式之後，可將該跳轉指令用來恢復主控處理器 301 的暫存器 302 至 307 以及從屬處理器 321、331 的暫存器 322 至 325、332 至 335 的一部分或全部之內容。

可使該跳轉指令適於執行下列步驟：如果在主控處理器 301 中發生中斷，則將電腦系統 300 切換到該平行作業模式；以及自緩衝記憶體 313 讀取暫存器 322 至 325、332 至 335 之內容以及主控處理器 301 之返回位址。此外，可自該緩衝記憶體讀取暫存器 302 至 307 中之第二子集的暫存器 306、307 之內容。

可使該跳轉指令進一步適於執行下列步驟：如果在從屬處理器 321、331 中之一個從屬處理器中發生中斷或異

常，則將電腦系統 300 切換到該平行作業模式；自該緩衝記憶體讀取從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容；將該主控處理器的暫存器 302 至 307 中之一個或多個暫存器的內容寫到發生該中斷或異常的從屬核心 321、331 之各暫存器；以及自該緩衝記憶體讀取主控處理器 301 的暫存器 302 至 307 之內容。

在某些實施例中，可將電腦系統 300 之組態設定成：若該跳轉指令被呼叫，則執行下列步驟。電腦系統 300 可檢查控制暫存器位元 309。如果控制暫存器位元 309 指示不容許使用電腦系統 300 的該平行作業模式，則將產生非法指令錯誤。否則，可自主控處理器 301 的暫存器 302 至 307 中之一個暫存器讀取緩衝記憶體 313 之位址。在某些實施例中，可自主控處理器 301 的暫存器 302 至 307 中之第一子集的暫存器 302 至 305 中之一個暫存器（例如，自暫存器 305）讀取緩衝記憶體 313 之位址。

然後，電腦系統 300 可自緩衝記憶體 313 讀取造成中斷或異常的處理器之識別號碼。在某些實施例中，主控處理器 301 可具有識別號碼 0，第一從屬處理器 321 可具有識別號碼 1，且第二從屬處理器 331 可具有識別號碼 2。在提供不同於 2 的數目的從屬處理器之實施例中，每一個從屬處理器可具有大於零的自然數之識別號碼，且主控處理器 301 可具有識別號碼 0。在另外的實施例中，可使用處理器 301、321、331 的不同之編號體系。電腦系統 300 然後可自該識別號碼決定是由主控處理器 301 或是

由從屬處理器 321、331 中之一個從屬處理器造成該中斷或異常。

如果因處理器識別號碼等於零而指出是由主控處理器 301 造成該中斷或異常，則電腦系統 300 可自緩衝記憶體 313 讀取第一從屬處理器 321 的暫存器 322 至 325 以及第二從屬處理器 331 的暫存器 332 至 335 中之每一暫存器的內容。此外，可自緩衝記憶體 313 讀取主控處理器 301 的暫存器 302 至 307 中之第二子集的暫存器 306、307 之內容。此外，可自該緩衝記憶體讀取主控處理器 301 之返回位址。在某些實施例中，可將該主控處理器之該返回位址寫到主控處理器 301 的該等暫存器中之一個暫存器，例如，寫到暫存器 302。此外，可自緩衝記憶體 313 讀取從屬處理器 321、331 之運行狀態位元 330、340。在某些實施例中，自緩衝記憶體 313 讀取的從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容可包含從屬處理器 321、331 之返回位址。在其他實施例中，可自緩衝記憶體 313 分別地讀取從屬處理器 321、331 之返回位址。

然後，可交換主控處理器 301 的暫存器 302 至 307 中之第二子集的暫存器 306、307 中之一個暫存器的內容（例如，暫存器 306 的內容）、以及用來讀取該緩衝記憶體的位址之暫存器的內容（例如，暫存器 305 的內容）。因此，將緩衝記憶體 313 之位址寫到暫存器 306，而暫存器 306 可以是該起動指令用來儲存緩衝記憶體 313 的位

址之暫存器。自緩衝記憶體 313 讀取的第二子集的暫存器 306、307 中之另一暫存器（例如，暫存器 307）可包含該跳轉指令之位址。

然後，可將指示器位元 308 設定為用來指示電腦系統 300 係處於該平行作業模式之值，例如，設定為值“開”。因此，可將電腦系統 300 切換到該平行作業模式，且可自從屬處理器 321、331 的每一從屬處理器中開始指令執行，其中運行狀態位元 330、340 指示該等個別的從屬處理器 321、331 之運行狀態。在主控處理器 301 中，係在自緩衝記憶體 301 讀取的該返回位址上繼續指令的執行。因此，可在電腦系統 300 的該平行作業模式中繼續被該中斷或異常打斷的程式之處理。

如果從屬處理器 321、331 中之一個從屬處理器造成該中斷或異常，則可自緩衝記憶體 313 讀取第一從屬處理器 321 的暫存器 322 至 325 及第二從屬處理器 331 的暫存器 332 至 335 之內容、以及運行狀態位元 330、340。此外，可自緩衝記憶體 313 讀取主控處理器 301 的暫存器 302 至 307 中之第二子集的暫存器 306、307 之內容。第二子集的暫存器 306、307 中之暫存器 307 或在其他實施例中之另一暫存器可包含該跳轉指令之位址。

然後，可將用來讀取該緩衝記憶體的位址的該等暫存器中之一個暫存器的內容（例如，暫存器 305 的內容）寫到可例如在緩衝記憶體 313 中提供的暫時性暫存器，且可自緩衝記憶體 313 將造成該中斷或異常的從屬處理器

321、331 的對應的暫存器之內容讀取到暫存器 305。例如，如果第一從屬處理器 321 造成該中斷或異常，則可自緩衝記憶體 313 將第一從屬處理器 321 的暫存器 325 之被儲存的內容讀取到暫存器 305。如果第二從屬處理器 331 造成該中斷或異常，則可自緩衝記憶體 313 將第二從屬處理器 331 的暫存器 335 之被儲存的內容讀取到暫存器 305。

如將於下文中更詳細說明的，在完成了該中斷常式之後，第一處理器 301 的其他暫存器 302 至 304 包含發生該中斷或異常的從屬處理器 321、331 的各暫存器之內容，其中該中斷常式可已經修改了該等暫存器中之某些暫存器的內容。因此，在將發生中斷或異常的該從屬處理器的對應的暫存器之內容寫到主控處理器 301 的暫存器 305 之後，主控處理器 301 的第一子集的暫存器 302 至 305 包含代表發生中斷或異常的該從屬處理器的對應的暫存器的內容之資料，其中該中斷常式可已經修改了該等暫存器中之某些暫存器的內容。

現在可將主控處理器 301 的第一子集的暫存器 302 至 305 之內容寫到發生該中斷或異常的從屬處理器 321、331 之暫存器。例如，如果在第一從屬處理器 321 中發生該中斷或異常，則可將暫存器 302 至 305 之內容寫到第一從屬處理器 321 之暫存器 322 至 325。如果在第二從屬處理器 331 中發生該中斷或異常，則可將暫存器 302 至 305 之內容寫到第二從屬處理器 331 之暫存器 332 至

335。因此，可將該中斷常式造成的暫存器內容之修改寫到從屬處理器 321、331 之該等暫存器。

本發明並不限於將該主控處理器的暫存器 302 至 307 中之第一子集的暫存器 302 至 305 的每一暫存器之內容複製到造成中斷或異常的該從屬處理器的各暫存器之實施例。在其他實施例中，可以只將第一子集的暫存器 302 至 305 中已被中斷常式修改的某些暫存器之內容複製到該從屬處理器。因此，可加速該跳轉指令的執行，這是因為只須將較少量的資料自主控處理器 301 複製到從屬處理器 321、331。

在將主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之一部分或全部的內容寫到造成該中斷或異常的從屬處理器 321、331 的各暫存器之後，可自緩衝記憶體 313 讀取主控處理器 301 的暫存器 302 至 307 中之第一子集的暫存器 302 至 305 之內容，而該等內容亦可包含主控處理器 301 之返回位址。此外，可將先前被儲存到該暫時性暫存器的緩衝記憶體 313 之位址寫到主控處理器 301 的該第二複數個暫存器中之一個暫存器，例如，寫到暫存器 306。因此，可恢復主控處理器 301 在該中斷或異常之前的狀態。

然後，可將電腦系統 300 的指示器位元 308 及或有的從屬處理器 321、331 的指示器位元 328、338 設定為用來指示係在該平行作業模式中操作電腦系統 300 之值，且可在從屬處理器 321、331 的每一從屬處理器中起

動指令的執行，其中運行狀態位元 330、340 指示個別的從屬處理器在該中斷或異常之前是正在運行中。此外，可在主控處理器 301 的該返回位址上開始主控處理器 301 中之指令執行。因此，可在電腦系統 300 中繼續程式的執行。

可使電腦系統 300 適於以一不可分割的作業之方式執行該跳轉指令的上述之步驟。因此，可有利地避免該跳轉指令的執行期間因中斷或異常而造成的錯誤。

電腦系統 300 可進一步包含適於將電腦系統 300 自該平行作業模式切換到該序列作業模式之結束指令(end instruction)。為達到此一目的，電腦系統 300 可將指示器位元 308 及或有的從屬處理器 321、331 的指示器位元 328、338 設定為用來指示電腦系統 300 正在該序列作業模式中操作之值。在一個實施例中，可將指示器位元 308、328、338 設定為值“關”。

可使電腦系統 300 進一步適於在該平行作業模式期間發生中斷或異常時執行下列步驟：將主控處理器 301 的暫存器 302 至 307 及從屬處理器 321、331 的暫存器 322 至 325、332 至 335 的內容之至少一部分、以及或有的從屬處理器 321、331 的運行狀態位元 330、340 之值儲存到緩衝記憶體 313；以及將電腦系統 300 切換到該序列作業模式。如果在從屬處理器 321、331 中之一個從屬處理器中正在發生中斷或異常，則電腦系統 300 可額外地將該主控處理器的暫存器 302 至 307 中之至少一個暫存器的內

容設定為個別的從屬處理器的該等暫存器中之至少一個暫存器的內容。因此，可以獨立於作業系統之方式儲存處理器 301、321、331 的該等暫存器中之資料。如果在從屬處理器 321、331 中之一個從屬處理器中正在發生中斷或異常，則可將與作業系統的中斷常式有關之資料自從屬處理器 321、331 寫到主控處理器 301 之各暫存器。因此，該作業系統可處理這些資料，其中該作業系統無須考慮到從屬處理器 321、331 是否存在。尤其無須使該作業系統適於自從屬處理器 321、331 中之任何從屬處理器取得與中斷常式的執行有關之資料。

在某些實施例中，可將電腦系統 300 之組態設定成：如果在指示器位元 308 被設定為用來指示電腦系統 300 處於該第二作業模式中之值時，發生了中斷或異常，則執行下列步驟。電腦系統 300 所執行的行動可取決於是在主控處理器 301 中或是在從屬處理器 321、331 的從屬處理器中發生中斷或異常。

如果正在主控處理器 301 中發生中斷或異常，則電腦系統 300 可停止從屬處理器 321、331 中之指令執行。在停止了從屬處理器 321、331 中之每一從屬處理器的指令執行之後，電腦系統 300 可將從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容寫到緩衝記憶體 313，且可自主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之一個暫存器（例如，自暫存器 306）讀取緩衝記憶體 313 之位址。這些暫存器可包含

從屬處理器 321、331 中之每一個從屬處理器的返回位址。此外，可將從屬處理器 321、331 的運行狀態位元 330、340 儲存到緩衝記憶體 313。運行狀態位元 330、340 指示從屬處理器 321、331 中之每一從屬處理器在發生該中斷或異常之前是否正在執行指令。此外，可將主控處理器 301 的識別號碼儲存到緩衝記憶體 313。如前文所述，在某些實施例中，主控處理器 301 可具有識別號碼 0。在這些實施例中，如果在主控處理器 301 中發生了中斷或異常，則可將該識別號碼 0 儲存到緩衝記憶體 313。

然後，可將其中包含緩衝記憶體 313 的位址的主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之一個暫存器（在某些實施例中，該暫存器可以是暫存器 306）的內容與主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之一個暫存器的內容交換，例如，與暫存器 305 的內容交換。其內容與暫存器 305 的內容交換之該暫存器可以相同於該跳轉指令用來讀取緩衝記憶體 313 的位址之暫存器。

主控處理器 301 的第一子集的暫存器 302 至 305 可對應於根據現階段最高技術的處理器之暫存器組。因此，可將適於在電腦系統 300 中運行的根據現階段最高技術的該處理器之作業系統之組態設定成：若發生了中斷或異常，則儲存主控處理器 301 的第一子集的暫存器 302 至 305 之內容，且在完成了係為該作業系統的一部分的中斷常式之後，恢復第一子集的暫存器 302 至 305 之內容。因

此，可藉由將包含該緩衝記憶體之位址的該暫存器之內容與第一子集的暫存器 302 至 305 中之一個暫存器之內容交換，而確保該緩衝記憶體的該位址在完成了該中斷常式之後出現在主控處理器 301 的暫存器 302 至 305 中之一個暫存器，且確保該位址可被該跳轉指令存取。此外，在電腦系統 300 之該平行作業模式中，在電腦系統 300 中運行的程式可使用第一子集的暫存器 302 至 305 中之每一暫存器，這是因為緩衝記憶體 313 之該位址於該平行作業模式中被儲存在該主控處理器的第二子集的暫存器 306、307 中之一個暫存器。因此，可改善電腦系統 300 與根據現階段最高技術的電腦系統 100 間之相容性。

然後，可將主控處理器 301 之暫存器 302 至 307 中之第二子集的暫存器 306、307 之內容儲存到緩衝記憶體 313。然後，可擷取主控處理器 301 之返回位址。在某些實施例中，可自該第一子集的暫存器中之一個暫存器（例如，自暫存器 302）讀取主控處理器 301 之該返回位址。在儲存了主控處理器 301 的該返回位址之後，可以可自主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之一個暫存器（例如，暫存器 307）讀取的該跳轉指令之位址取代主控處理器 301 之該返回位址。因此，在完成了該作業系統的該中斷常式之後，該跳轉指令被呼叫，以便恢復主控處理器 301 的第二子集的暫存器 306、307 之內容、從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容、以及並未被該作業系統恢復

的從屬處理器 321、331 之運行狀態位元 330、340。從屬處理器 321、331 之該等暫存器可包含從屬處理器 321、331 中之每一個從屬處理器的返回位址。

如果正在從屬處理器 321、331 的其中一個從屬處理器中發生中斷或異常，則可停止主控處理器 301 以及從屬處理器 321、331 的每一個從屬處理器中之指令的執行。在所有的處理器 301、321、331 中停止了指令的執行之後，電腦系統 300 可將主控處理器 301 的暫存器 302 至 307 中之每一個暫存器的內容儲存到緩衝記憶體 313，且可自主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之一個暫存器（例如，自暫存器 306）讀取緩衝記憶體 313 之位址。此外，可將從屬處理器 321、331 中之每一個從屬處理器的暫存器 322 至 325、332 至 335 之內容以及從屬處理器 321、331 中之每一個從屬處理器的運行狀態位元 330、340 之值儲存到緩衝記憶體 313。運行狀態位元 330、340 的值指示從屬處理器 321、331 在發生該中斷或異常時正在運行。

然後，可將主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中用來儲存緩衝記憶體 313 之位址之其中一個暫存器的內容寫到暫時性暫存器，而在某些實施例中，可在緩衝記憶體 313 中提供該暫時性暫存器。此外，可將發生中斷或異常的從屬處理器 321、331 之識別號碼儲存在緩衝記憶體 313。在某些實施例中，第一從屬處理器 321 可具有識別號碼 1，且第二從屬處理器

331 可具有識別號碼 2。在這些實施例中，如果在第一從屬處理器 321 中發生中斷或異常，則可將識別號碼 1 儲存到緩衝記憶體 313，且如果在第二從屬處理器 331 中發生中斷或異常，則可將識別號碼 2 儲存到緩衝記憶體 313。從屬處理器 321、331 之該等暫存器可包含從屬處理器 321、331 中之每一個從屬處理器的返回位址。

然後，可將發生中斷或異常的從屬處理器 321、331 的該等暫存器之內容寫到主控處理器 301 的暫存器 302 至 307 中之第一子集的暫存器 302 至 305。如果在第一從屬處理器 321 中發生中斷或異常，則可將第一從屬處理器 321 的暫存器 322 至 325 之內容寫到主控處理器 301 之暫存器 302 至 305。同樣地，如果在第二從屬處理器 331 中發生中斷或異常，則可將第二從屬處理器 331 的暫存器 332 至 335 之內容寫到暫存器 302 至 305。本發明不限於將第一從屬處理器 321 或第二從屬處理器 331 的暫存器 322 至 325 或 332 至 335 中之每一個暫存器的內容分別寫到主控處理器 301 之對應的暫存器之實施例。在其他實施例中，可以只將被作業系統的中斷常式修改的某些從屬處理器之內容寫到主控處理器 301 之暫存器。

在該中斷常式中，作業系統將處理主控處理器 301 的暫存器 302 至 307 中可對應於根據現階段最高技術的處理器的暫存器組（例如，對應於前文中參照第 1a 至 1b 圖所述的現階段最高技術的處理器 101 之暫存器 102 至 105）之第一子集的暫存器 302 至 305 之內容。暫存器 302

至 305 之內容可包含與該作業系統有關的中斷或異常相關之所有資訊，其中包括包含了與該中斷或異常有關的進一步資訊之從屬處理器 321、331 的堆疊之記憶體位址。

在將發生中斷或異常的從屬處理器 321、331 的該等暫存器之內容寫到主控處理器 301 的暫存器 302 至 307 之後，主控處理器 301 之狀態可對應於主控處理器 301 中若發生中斷或異常時所存在之狀態。因此，對該作業系統而言，看起來猶如主控處理器 301 遭遇到了中斷或異常。因此，縱然在使該作業系統適於只包含單一處理器的電腦系統之實施例中，該作業系統也可處理該中斷或異常。

然後，可將主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之一個暫存器（諸如暫存器 305，而暫存器 305 之內容相同於發生中斷或異常的從屬處理器 321、331 的對應的暫存器之內容）的內容寫到緩衝記憶體 313（可自暫時性緩衝器擷取緩衝記憶體 313 之位址），且可將緩衝記憶體 313 之位址寫到暫存器 305。因此，可在主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之一個暫存器中提供緩衝記憶體 313 之位址，且在完成了該中斷常式之後，該作業系統可恢復主控處理器 301 之狀態。

然後，可將主控處理器 301 之返回位址儲存在緩衝記憶體 313，且可用可自主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之一個暫存器（例如，自暫存器 307）讀取的該跳轉指令的位址取代主

控處理器 301 之返回位址。因此，可在完成該中斷常式之後，執行該跳轉指令。

可用不可分割的作業之方式執行電腦系統 300 的該平行作業模式期間發生中斷或異常時由電腦系統 300 執行的上述步驟。如熟悉此項技術者習知的，因而可避免電腦系統 300 執行該等步驟時出現中斷或異常。

在執行了上述的步驟之後，不論是否在主控處理器 301 或從屬處理器 321、331 中之一個從屬處理器中發生中斷或異常，電腦系統 300 都可將主控處理器 301 的指示器位元 308 設定為用來指示電腦系統 300 係處於該序列作業模式之值，例如，設定為值“關”。在此種方式下，電腦系統 300 可被切換到該序列作業模式。然後，可執行該作業系統之中斷常式。

在下文中，將參照第 2b 圖及第 2c 圖而說明電腦系統 300 之作業，其中第 2b 圖示出在電腦系統 300 上運行的程式 400 之示意流程圖，且第 2c 圖示出程式 400 及中斷常式 502 之示意流程圖。

在電腦系統 300 的作業系統被載入之前，可先識別主控處理器 301 及從屬處理器 321、331。在某些實施例中，可以硬體之形式提供將處理器指定為主控處理器 301 或從屬處理器 321、331 中之一個從屬處理器。在這些實施例中，在電腦系統 300 的整個使用壽命，可使作為主控處理器 301 或從屬處理器 321、331 中之一個從屬處理器的指定保持不變。在其他實施例中，可利用軟體實現作

為主控處理器 301 或從屬處理器 321、331 中之一個從屬處理器的指定。例如，可以電腦系統 300 的基本輸入／輸出系統（Basic Input/Output System；簡稱 BIOS）識別主控處理器 301 及從屬處理器 321、331。在這些實施例中，可藉由修改電腦系統 300 的 BIOS 設定值，而改變對該等處理器的指定。

在識別了主控處理器 301 及從屬處理器 321、331 之後，電腦系統 300 的作業系統可被載入。當該作業系統已啟動時，電腦系統 300 可處於該序列作業模式。因此，主控處理器 301 可提供根據現階段最高技術的電腦處理器之功能，例如，提供前文中參照第 1a 至 1b 圖所述的電腦系統 100 中之處理器 101 之功能。因此，電腦系統 300 可與在某些實施例中可適於根據現階段最高技術的電腦系統 100 之該作業系統協作。一旦該作業系統在電腦系統 300 中運行，即可啟動程式 400。

在程式 400 之步驟 401 中，可分配系統記憶體 304 中之緩衝記憶體 313，其方式係藉由呼叫為該目的而提供之 CPU 驅動常式。然後，在步驟 402 中，可執行起動指令，以便起動電腦系統 300 之該平行作業模式，且在步驟 403 中，可將堆疊記憶體分配給將被從屬處理器 321、331 執行的程式之各執行緒。可將熟悉此項技術者習知的記憶體分配技術用來分配該堆疊記憶體。

在步驟 404 中，可執行第一複數個指令。可由主控處理器 301 以一種序列之方式執行該第一複數個指令。因

為主控處理器 301 可提供諸如前文中參照第 1a 至 1b 圖所述的處理器 101 等的根據現階段最高技術的處理器之指令集，所以該第一複數個指令可包含亦可根據現階段最高技術的該處理器執行之指令碼。因此，可利用適於提供根據現階段最高技術的處理器 101 的程式碼之編譯器而產生該第一複數個指令。因此，來自現有函式庫之程式碼可被包含在程式 400 中。

在步驟 405 中，可一次或多次呼叫該變數傳送指令，以便將資料傳送到第一從屬處理器 321 之暫存器 322 至 325。因此，可使第一主控處理器 321 準備執行程式 400 之執行緒。在步驟 407 中，可將該變數傳送指令用來將資料傳送到第二從屬處理器 331 之暫存器 332 至 335，以便使該第二從屬處理器準備執行程式 400 之另一執行緒。本發明不限於先將資料傳送到第一從屬處理器 321 的暫存器 322 至 325 且然後將資料傳送到第二從屬處理器 331 之實施例。在其他實施例中，可在將資料傳送到第一從屬處理器 321 的暫存器 322 至 325 之前，先將資料傳送到第二從屬處理器 331 的暫存器 332 至 335。

在步驟 409 中，可執行該分叉指令，以便開始執行第一從屬處理器 321 中之指令。因此，在步驟 410 中，第一從屬處理器 321 可執行第二複數個指令。在步驟 411 中，可將該分叉指令用來開始第二從屬處理器 331 中之指令的執行。因此，在步驟 412 中，第二從屬處理器 331 可執行第三複數個指令。然後，主控處理器 301 可執行第四

複數個指令。電腦系統 300 可同時執行該第二複數個指令、該第三複數個指令、及該第四複數個指令，其中該第二複數個指令的執行、該第三複數個指令的執行、及該第四複數個指令的執行構成了程式 400 之不同的執行緒。因此，程式 400 的執行速度可比在前文中參照第 1a 至 1b 圖所述的根據現階段最高技術的電腦系統 100 時加快。

在主控處理器 301 及從屬處理器 321、331 中之每一處理器都適於提供特定類型的處理器的功能（例如，前文中參照第 1a 至 1b 圖所述的根據現階段最高技術的處理器 101 的功能）之實施例中，該第二、第三、及第四複數個指令之每一指令可包含適於在該個別類型的處理器中執行之指令碼。例如，該第二、第三、及第四複數個指令之每一個指令可包含適於在該 x86 或 x86-64 類型的處理器中執行之指令碼。

在從屬處理器 321、331 是與主控處理器 301 不同類型的處理器之其他實施例中，該第二複數個指令及該第三複數個指令可包含特別適於在從屬處理器 321、331 中執行的指令碼，而該第四複數個指令可包含特別適於在主控處理器 301 中執行的指令碼。

在完成了其中包含該第二複數個指令的執行緒之後，第一從屬處理器 321 可以執行該從屬聯合指令，以便停止執行第一從屬處理器 321 中之指令（步驟 415）。為達到此一目的，可提供該從屬聯合指令作為該第二複數個指令之最後的指令。同樣地，亦可提供該從屬聯合指令作為

該第三複數個指令之最後的指令，因而在執行了該第三複數個指令之後，停止執行第二從屬處理器 331 中之指令（步驟 423）。

在完成了該第四複數個指令的執行之後，主控處理器 301 可在步驟 414 中執行該主控聯合指令，以便等候到第一從屬處理器 321 完成了該第二複數個指令的執行為止。接著，在步驟 416 中，主控處理器 301 可再執行該主控聯合指令一次，以便等候到第二從屬處理器 331 完成了該第三複數個指令的執行為止。

然後，主控處理器 301 可在步驟 417、419 中執行該變數接收指令，以便分別自第一從屬處理器 321 及第二從屬處理器 331 讀取該第二複數個指令及該第三複數個指令所提供的執行緒之執行結果。在第 2b 圖中，代號 418 指示第一從屬處理器 321 提供暫存器 322 至 325 之內容，且代號 420 指示第二從屬處理器 331 提供暫存器 332 至 335 之內容。

然後，主控處理器 421 可以序列之方式執行第五複數個指令（步驟 421）。與在步驟 404 中執行的該第一複數個指令類似，該第五複數個指令可包含適於在諸如前文中參照第 1a 至 1b 圖所述的處理器 101 等的根據現階段最高技術的處理器中執行之指令碼，而主控處理器 301 提供了該根據現階段最高技術的處理器之功能。因此，該第五複數個指令可包含適於提供根據現階段最高技術的處理器 101 的程式碼的編譯器所產生之程式碼。

在終止程式 400 的執行之前，主控處理器 301 可在步驟 422 中執行該結束指令，以便將電腦系統 300 切換到該序列作業模式。此外，可在終止程式 400 的執行之前，先空出緩衝記憶體 313，且可呼叫電腦系統 300 中提供的 CPU 驅動常式，而執行該步驟。

第 2c 圖示出程式 400 以及分別在從屬處理器 321、331 及主控處理器 301 中執行該第二複數個指令、該第三複數個指令、及該第四複數個指令時發生中斷或異常的情形下可執行的中斷常式 502 之示意流程圖。

在第 2c 圖中，代號 510、511、512 表示被主控處理器 301 執行的該第四複數個指令之指令。代號 510'、511'、512' 表示被第一從屬處理器 321 執行的該第二複數個指令之指令，且代號 510''、511''、512'' 表示被第二從屬處理器 331 處理的該第三複數個指令之指令。

於分別在主控處理器 301 及從屬處理器 321、331 中執行該等指令 510'、511'、512' 之時點上，可能發生了中斷或異常 460。在該中斷或異常 460 之後，系統 300 可執行將主控處理器 301 的暫存器 302 至 307 及從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容之至少一部分儲存到緩衝記憶體 313 以及將電腦系統 300 切換到該序列作業模式之步驟。如果在從屬處理器 321、331 的一個從屬處理器中發生中斷或異常，則電腦系統 300 可進一步將發生中斷或異常的從屬處理器 321、331 的暫存器 322 至 325 或 332 至 335 中之至少一個暫存器

的內容分別寫到主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之至少一個暫存器。在第 2c 圖中，以代號 540 指示發生中斷或異常時由電腦系統 300 執行的行動。如前文中參照第 2a 圖所述的，當電腦系統 300 處於該平行作業模式時，若發生中斷或異常，則電腦系統 300 亦可執行進一步的行動。

然後，電腦系統 300 可執行中斷常式 502 之指令 520 至 525。中斷常式 502 可以是包含對電腦系統 300 的該序列作業模式的支援且無須支援該平行作業模式的作業系統之一部分。因此，中斷常式 502 可包含適於將該主控處理器的暫存器 302 至 307 的第一子集的暫存器 302 至 305 之內容儲存到系統記憶體 304 以及在中斷常式 502 的執行終止時自系統記憶體 304 讀取第一子集的暫存器 302 至 305 之內容之指令。此外，中斷常式 502 可修改主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 的一部分或全部之內容。

然而，中斷常式 502 無須適於儲存且恢復主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 之內容、第一從屬處理器 321 的暫存器 322 至 325 之內容、第二從屬處理器 331 的暫存器 332 至 335 之內容、以及從屬處理器 321、331 的運行狀態位元 330、340 之值。在某些實施例中，中斷常式 502 可以是容許多工的作業系統之一部分。尤其，可使中斷常式 502 適於執行可使用電腦系統 300 的該平行作業模式之另一程式，其中暫存

器 306、307、322 至 325、332 至 335 以及運行狀態位元 330、340 的內容可被修改。因為在執行了中斷常式 502 的最後的指令 525 之後，中斷常式 502 無須恢復暫存器 306、307、322 至 325、332 至 335 以及運行狀態位元 330、340 的內容，所以暫存器 306、307、322 至 325、332 至 335 以及運行狀態位元 330、340 的內容可以不同於在執行了程式 400 的指令 512、512'、512" 之後的該等暫存器以及運行狀態位元之內容。

在完成了中斷常式 502 之後，電腦系統 300 執行該跳轉指令 550，這是因為已以跳轉指令 550 之位址取代了可在其上執行中斷常式 502 的主控處理器 301 之返回位址。

於執行跳轉指令 550 時，電腦系統 300 可執行前文中參照第 2a 圖所述之步驟。在執行了該跳轉指令之後，恢復處理器 301、321、331 的暫存器 302 至 307、322 至 325、332 至 335 中之每一個暫存器以及運行狀態位元 330、340 之內容，其中可適當地考慮中斷常式 502 對某些暫存器所作的修改。

因此，雖然電腦系統 300 的作業系統（尤其是中斷常式 502）不適於儲存及恢復處理器 301、321、331 的暫存器 302 至 307、322 至 325、332 至 335 中之每一個暫存器以及運行狀態位元 330、340 之內容，但是在執行了中斷常式 502 之後，恢復了暫存器 302 至 307、322 至 325、332 至 335 以及運行狀態位元 330、340 之內容。此外，

可在電腦系統 300 的該序列作業模式下執行中斷常式 502。因此，不需要針對電腦系統 300 的該平行作業模式而調適該作業系統。因此，根據本發明揭示的電腦系統 300 提供了與為不支援從屬處理器 321、331 的存在的現有電腦系統所設計的軟體間之高相容性。

在某些實施例中，電腦系統 300 可進一步包含第一模式切換指令，用以將電腦系統 300 自該平行作業模式切換到該序列作業模式。可使該系統適於執行在該第一模式切換指令被呼叫時將主控處理器 301 及從屬處理器 321、331 的暫存器 302 至 307、322 至 325、332 至 335 的至少一部分之內容儲存到緩衝記憶體 313 並將該系統切換到該序列作業模式之步驟。如果從屬處理器 321、331 中之一個從屬處理器執行該第一模式切換指令，則電腦系統 300 之組態可額外地被設定成：將執行該第一模式切換指令的從屬處理器 321 或從屬處理器 331 的暫存器 322 至 325 或 332 至 335 中之至少一個暫存器的內容分別寫到主控處理器 301 的暫存器 302 至 307 中之至少一個暫存器。

在某些實施例中，電腦系統 300 之組態可設定成：於執行該第一模式切換指令時，執行下列步驟，電腦系統 300 可檢查指示器位元 308 是否被設定為用來指示電腦系統 300 處於該平行作業模式之值。如果指示器位元 308 指示電腦系統 300 係處於該序列作業模式，則產生非法指令錯誤，且將不執行任何進一步的行動。電腦系統 300 執

行之進一步的行動係取決於是由主控處理器 301 或是由從屬處理器 321、331 中之從屬處理器執行該第一模式切換指令。

如果是由主控處理器 301 執行該第一模式切換指令，則電腦系統 300 可停止從屬處理器 321、331 中之指令執行。在已停止了從屬處理器 321、331 的每一從屬處理器中之指令的執行之後，可將從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容以及或有的從屬處理器 321、331 之運行狀態位元 330、340 寫到緩衝記憶體 313，且可自主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 之一個暫存器（例如，自暫存器 306）讀取緩衝記憶體 313 之位址。此外，可將主控處理器 301 之識別號碼（在某些實施例中，該識別號碼可以是號碼 0）寫到緩衝記憶體 313。

然後，可將其中包含緩衝記憶體 313 之位址的主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之一個暫存器之內容（例如，暫存器 306 之內容）與主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之一個暫存器之內容交換（例如，與暫存器 305 之內容交換）。如前文所述，可將在電腦系統 300 上運行的作業系統之組態設定成：若發生中斷或異常，則處理主控處理器 301 之第一子集的暫存器 302 至 305。因此，暫存器 305、306 的內容之交換可有助於保證該作業系統在發生中斷或異常之情形下將儲存並恢復

緩衝記憶體 313 之位址。

然後，該電腦系統可將主控處理器 301 的第二子集的暫存器 306、307 之內容儲存到緩衝記憶體 313。如前文所述，暫存器 302 至 307 的第二子集的暫存器 306、307 中之一個暫存器（例如，暫存器 307）可包含該跳轉指令之位址。因此，於儲存暫存器 306、307 之內容時，可將該跳轉指令之位址儲存到緩衝記憶體 313。然後，電腦系統 300 可將指示器位元 308 設定為用來指示該電腦系統係處於該第二作業模式之值，例如，設定為值“關”。

如果從屬處理器 321、331 中之一個從屬處理器執行該第一模式切換指令，則電腦系統 300 可停止主控處理器 301 以及從屬處理器 321、331 中之指令的執行。在停止了所有處理器 301、321、331 中之指令的執行之後，可將主控處理器 301 的暫存器 302 至 307 之內容儲存到緩衝記憶體 313，且可自主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 中之暫存器（例如，自暫存器 306）讀取緩衝記憶體 313 之位址。此外，可將從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容以及或有的從屬處理器 321、331 的運行狀態位元 330、340 之值儲存到緩衝記憶體 313。

在某些實施例中，無須將執行該第一模式切換指令的從屬處理器 321、331 之內容儲存到該緩衝記憶體。在這些實施例中，只有將另一從屬處理器的暫存器之內容儲存到緩衝記憶體 313。因此，如果第一從屬處理器 321 執行

該第一模式切換指令，則將第二從屬處理器 331 的暫存器 332 至 335 之內容以及或有的除了從屬處理器 321、331 以外在電腦系統 300 中提供的另外的從屬處理器的暫存器之內容儲存到緩衝記憶體 313。相反地，如果第二從屬處理器 331 執行該第一模式切換指令，則該系統可將第一從屬處理器 321 的暫存器 322 至 325 之內容儲存到緩衝記憶體 313。然而，在這些實施例中，可將運行狀態位元 330、340 中之每一個運行狀態位元的值儲存到緩衝記憶體 313。

然後，可將其中包含該緩衝記憶體的位址的主控處理器 301 的暫存器之內容（例如，暫存器 306 之內容）儲存到暫時性暫存器，且在某些實施例中，可在緩衝記憶體 313 中提供該暫時性暫存器。此外，可將執行該第一模式切換指令的該處理器之識別號碼儲存到緩衝記憶體 313。例如，如果由第一從屬處理器 321 執行該第一模式切換指令，則電腦系統 300 可將識別號碼 1 儲存到緩衝記憶體 313。如果由第二從屬處理器 331 執行該第一模式切換指令，則電腦系統 300 可將識別號碼 2 儲存到緩衝記憶體 313。在其他實施例中，可使用不同的識別號碼。

然後，可將執行該第一模式切換指令的從屬處理器 321 或 331 的個別暫存器 322 至 325 或 332 至 335 之內容分別寫到主控處理器 301 的暫存器 302 至 307 中之第一子集的暫存器 302 至 305。在某些實施例中，當將暫存器 322 至 325 或 332 至 335 的內容寫到第一子集的暫存

器 302 至 305 時，可覆寫主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 之一部分或全部暫存器的內容。

然後，電腦系統 300 可將主控處理器 301 的第一子集的暫存器 302 至 305 中之一個暫存器的內容（例如，暫存器 305 的內容）儲存到緩衝記憶體 313。然後，可將該暫時性緩衝器的內容寫到暫存器 305。因此，緩衝記憶體 313 之位址被儲存在暫存器中，且該作業系統在發生中斷或異常時可處理該暫存器之內容。然後，可將指示器位元 308 設定為用來指示電腦系統 300 係處於第一作業模式之值（例如，設定為值“關”），以便將電腦系統 300 切換到該序列作業模式。

在某些實施例中，可將電腦系統 300 之組態設定成不可分割的作業之方式執行前文所述之步驟，以避免在執行該第一模式切換指令期間因中斷或異常而造成之問題。

在執行了該第一模式切換指令之後，該電腦系統可在該序列作業模式下執行一個或多個指令。在執行了前文所述之起動指令或將於後文中更詳細說明的第二模式切換指令之前，電腦系統 300 可保持在該序列作業模式中。例如，電腦系統 300 可執行對電腦系統 300 的該作業系統之呼叫。

電腦系統 300 可進一步包含第二模式切換指令，且第二模式切換指令適於將電腦系統 300 自該序列作業模式切換到該平行作業模式，並自緩衝記憶體 313 讀取處理

器 301、321、331 的暫存器 302 至 307、322 至 325、332 至 335 的一部分或全部暫存器之內容、以及或有的從屬處理器 321、331 的運行狀態位元 330、340 之值。如果從屬處理器 321、331 中之一個從屬處理器先前執行了該第一模式切換指令，則電腦系統 300 可額外地將主控處理器 301 的暫存器 302 至 307 中之至少一個暫存器的內容寫到先前執行了該第一模式切換指令之從屬處理器 321、331。

在某些實施例中，電腦系統 300 之組態可被設定成於執行該第二模式切換指令時執行下列步驟。首先，電腦系統 300 可檢查控制暫存器位元 309。如果控制暫存器位元 309 之值指示不容許電腦系統 300 的該平行作業模式，則產生非法指令錯誤，且將不執行任何進一步的行動。否則，電腦系統 300 可讀取用來指示先前執行了該第一模式切換指令的處理器之識別號碼。電腦系統 300 所執行的進一步之步驟可取決於是主由主控處理器 301 或是由從屬處理器 321、331 中之一個從屬處理器執行了該第一模式切換指令。

如果是由在某些實施例中可以 0 值的指示器號碼指示之主控處理器 301 執行了該第一模式切換指令，則電腦系統 300 可自緩衝記憶體 313 讀取從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容、以及或有的運行狀態位元 330、340 之值。此外，則電腦系統 300 可自緩衝記憶體讀取主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 之內容。然後，可將其中包

含該緩衝記憶體之位址的主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之一個暫存器的內容與第二子集的暫存器 306、307 中之一個暫存器的內容交換，以便將緩衝記憶體 313 之位址儲存在第二子集的暫存器 306、307。在某些實施例中，可交換暫存器 305、306 之內容。

然後，電腦系統 300 可將指示器位元 308 設定為用來指示電腦系統 300 係處於該平行作業模式之值。在某些實施例中，可將指示器位元 308 設定為值“關”。然後，可恢復主控處理器 301 及從屬處理器 321、331 中之任何從屬處理器中之指令的執行，其中運行狀態位元 330、340 之值指示個別的從屬處理器 321、331 在該第一模式切換指令被執行之前正在執行指令。

如果該等從屬處理器中可由大於零的識別號碼的值指示之其中一個從屬處理器先前執行了該第一模式切換指令，則可自緩衝記憶體 313 讀取從屬處理器 321、331 的暫存器 322 至 325、332 至 335 之內容、以及運行狀態位元 330、340 之值，且可自主控處理器 301 的第一子集的暫存器 302 至 305 中之一個暫存器(例如，自暫存器 305)讀取緩衝記憶體 313 之位址。在某些實施例中，只須自緩衝記憶體 313 讀取先前並未執行該第一模式切換指令的該從屬處理器 321、331 的暫存器之內容。此外，電腦系統 300 可自緩衝記憶體 313 讀取主控處理器 301 的暫存器 302 至 307 的第二子集的暫存器 306、307 之內容。

然後，可將包含緩衝記憶體 313 的位址的暫存器（在某些實施例中，可以是暫存器 305）之內容寫到可在緩衝記憶體 313 中提供的暫時性暫存器，且可自緩衝記憶體 313 讀取暫存器 305 之內容。然後，可將主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 之內容寫到先前執行了該第一模式切換指令的從屬處理器 321、331 之暫存器。因此，從屬處理器 321、331 之暫存器可包含當電腦系統 300 在該序列作業模式下操作時對主控處理器的暫存器所作之修改。因此，可更容易在該從屬處理器中繼續於該序列作業模式期間在主控處理器 301 上運行的執行緒之執行。例如，主控處理器 301 的暫存器 302 至 307 中之第一子集的暫存器 302 至 305 可包含當電腦系統 300 係處於該並列作業模式時可能被從屬處理器 321、331 視為當電腦系統 300 在該序列作業模式下操作時發生的中斷或異常有關之異常資訊。

然後，可自緩衝記憶體 313 讀取主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 之內容，且可將指示器位元 308 設定為用來指示電腦系統 300 係處於該平行作業模式之值，且可恢復主控處理器 301 及從屬處理器 321、331 中之那些從屬處理器中之指令的執行，其中各自的運行狀態位元 330、340 之值指示當該第一模式切換指令被呼叫而將該電腦系統切換到該序列作業模式時係在個別的從屬處理器 321、331 中執行指令。

在某些實施例中，電腦系統 300 之組態可被設定

成：以不可分割的作業之方式執行該第二模式切換指令的上述步驟，以避免於該第二模式切換指令的執行期間因中斷或異常的發生而造成之問題。

可將該第一模式切換指令及該第二模式切換指令用來實施可將電腦系統 300 在該平行與序列作業模式之間切換的程式。如果執行該第一模式切換指令，則在執行該起動指令或該第二模式切換指令之前，將在該序列作業模式下執行程式之進一步的執行。使用該第一模式切換指令及（或）該第二模式切換指令之程式可包含用來執行下列步驟之進一步的指令：在執行該第一模式切換指令之後，將其中儲存緩衝記憶體 313 的位址的該主控處理器的該暫存器 302 至 307 的暫存器 305 或另一暫存器之內容儲存在系統記憶體 304 中；以及在執行該第二模式切換指令之前，先自系統記憶體 304 讀取暫存器 305 之內容。可利用電腦系統 300 的該序列作業模式之標準儲存及載入指令以執行上述步驟。在將暫存器 305 的內容儲存在該系統記憶體之後，該程式可使用主控處理器 301 的暫存器 302 至 307 的第一子集的暫存器 302 至 305 中之每一個暫存器。或者，可在執行該第一及（或）該第二模式切換指令之前，先將緩衝記憶體 313 之位址儲存在可自其載入暫存器 305 之變數。

可利用主控處理器 301 及從屬處理器 321、331 中提供的專門電路或利用主控處理器 301 及從屬處理器 321、331 中提供的微碼而提供電腦系統 300 的上述之功

能及指令。

前文所揭示的該等特定實施例只是舉例，這是因為熟悉此項技術者在受益於本發明的揭示之後，可易於以不同但等效之方式修改及實施本發明。例如，可按照不同的順序執行前文所述之程序步驟。此外，除了在最後的申請專利範圍中所述者之外，將不受本說明書中示出的結構或設計的細節之限制。因此，顯然可改變或修改前文中揭示的該等特定實施例，且所有此類變化將被視為在本發明之範圍及精神內。因此，最後的申請專利範圍將述及本發明所尋求的保護。

【圖式簡單說明】

若配合各附圖而參閱前文中說明，將可了解本發明之揭示，在該等附圖中，相同的代號識別類似的元件，其中：

第 1a 圖示出根據現階段最高技術的電腦系統之示意圖；

第 1b 圖示出在根據現階段最高技術的電腦系統上運行的程式及中斷常式之示意流程圖；

第 2a 圖示出根據本發明所揭示的實施例的電腦系統之示意圖；

第 2b 圖示出在根據本發明所揭示的實施例的電腦系統上運行的程式之示意流程圖；以及

第 2c 圖示出在根據本發明所揭示的實施例的電腦系統上運行的程式及中斷常式之示意流程圖。

雖然易於對本發明所揭示的標的內容作出各種修改

及替代形式，但是該等圖式中係以舉例方式示出本發明的一些特定實施例，且已在本說明書中詳細說明了這些特定實施例。然而，我們當了解，本說明書對這些特定實施例的說明之用意並非將本發明限制在所揭示的該等特定形式，相反地，本發明將涵蓋最後的申請專利範圍所界定的本發明的精神及範圍內之所有修改、等效物、及替代。

【主要元件符號說明】

100,300	電腦系統
101	處理器
102 至 105、302 至 307、322 至 325、332 至 335	暫存器
103、303	輸入／輸出裝置
104、304	系統記憶體
201	工作
202、502	中斷常式
210 至 215、220 至 225	指令
301	主控處理器
308、328、338	指示器位元
309、329、339	控制暫存器位元
313	緩衝記憶體
314	箭頭
321、331	從屬處理器
330、340	運行狀態位元
400	程式
550	跳轉指令

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97119627

※申請日：97.5.28

※IPC 分類：

G06F 9/46 (2006.01)

G06F 9/58 (2006.01)

一、發明名稱：(中文/英文)

包括複數個處理器之系統以及操作該系統之方法

SYSTEM COMPRISING A PLURALITY OF PROCESSORS AND METHOD
OF OPERATING THE SAME

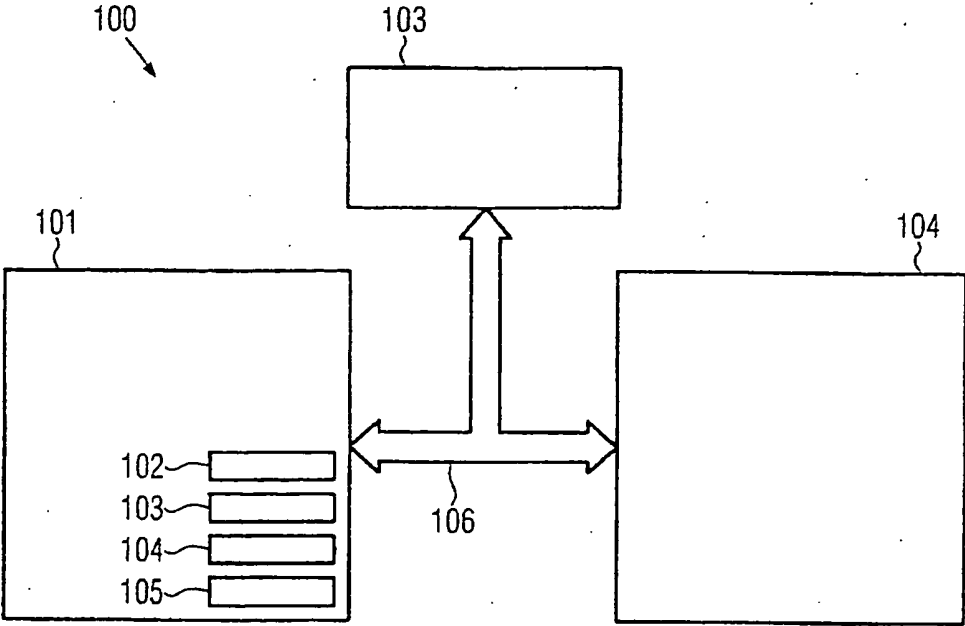
二、中文發明摘要：

一種系統包括主控處理器及至少一個從屬處理器。該主控處理器之狀態包括第一複數個變數，且該從屬處理器之狀態包括第二複數個變數。該系統包括由該主控處理器及該從屬處理器處理資料的平行作業模式、以及由該主控處理器處理資料的序列作業模式。在該平行作業模式中發生中斷或異常時，該系統執行下列步驟：將該第一複數個變數及該第二複數個變數的至少一部分儲存到緩衝記憶體；以及將該系統切換到該序列作業模式。若該從屬處理器中發生中斷或異常，則將該第一複數個變數中之至少一個變數設定為該第二複數個變數中之至少一個變數的值。

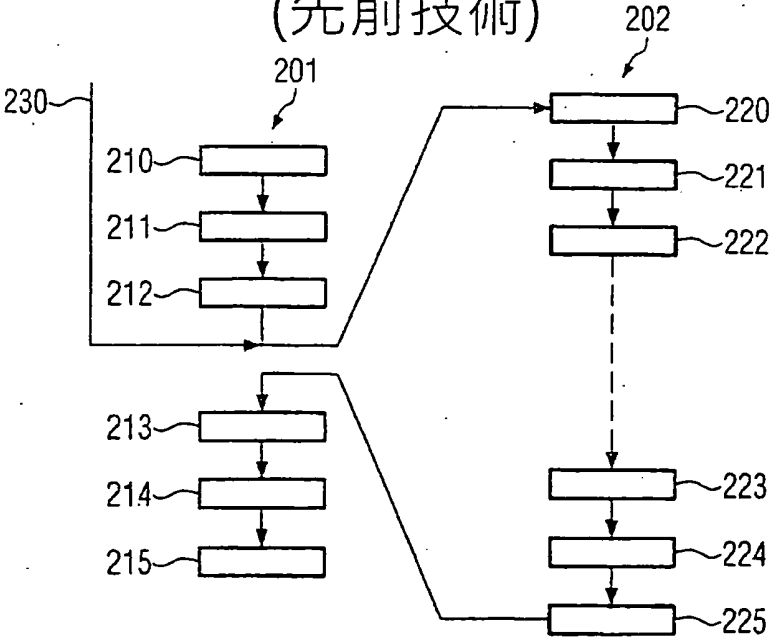
三、英文發明摘要：

A system comprises a master processor and at least one slave processor. A state of the master processor comprises a first plurality of variables and a state of the slave processor comprises a second plurality of variables. The system comprises a parallel mode of operation wherein data are processed by the master processor and the slave processor and a serial mode of operation wherein data are processed by the master processor. In case of an interrupt or exception occurring in the parallel mode of operation, the system performs the steps of saving at least a portion of the first plurality of variables and the second plurality of variables to a buffer memory and switching the system to the serial mode of operation. If the interrupt or exception is occurring in the slave processor, at least one of the first plurality of variables is set to a value of at least one of the second plurality of variables.

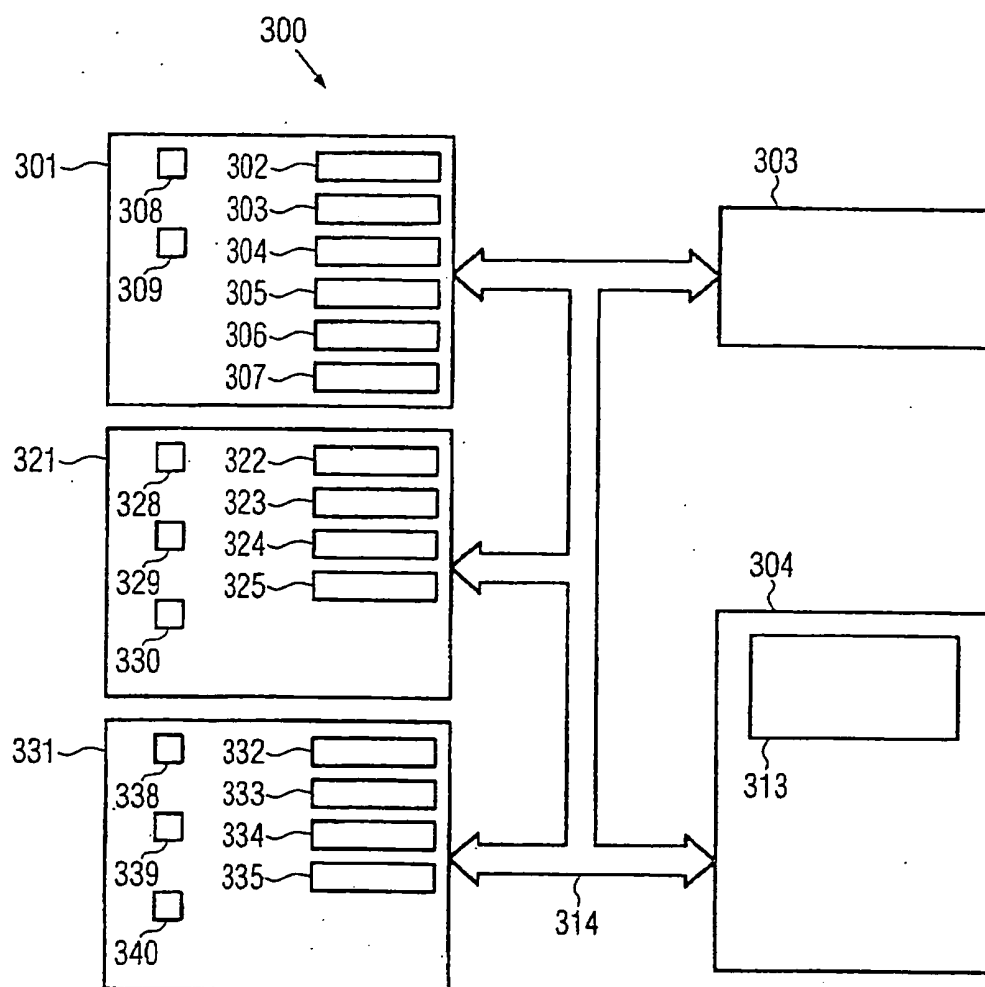
八、圖式：



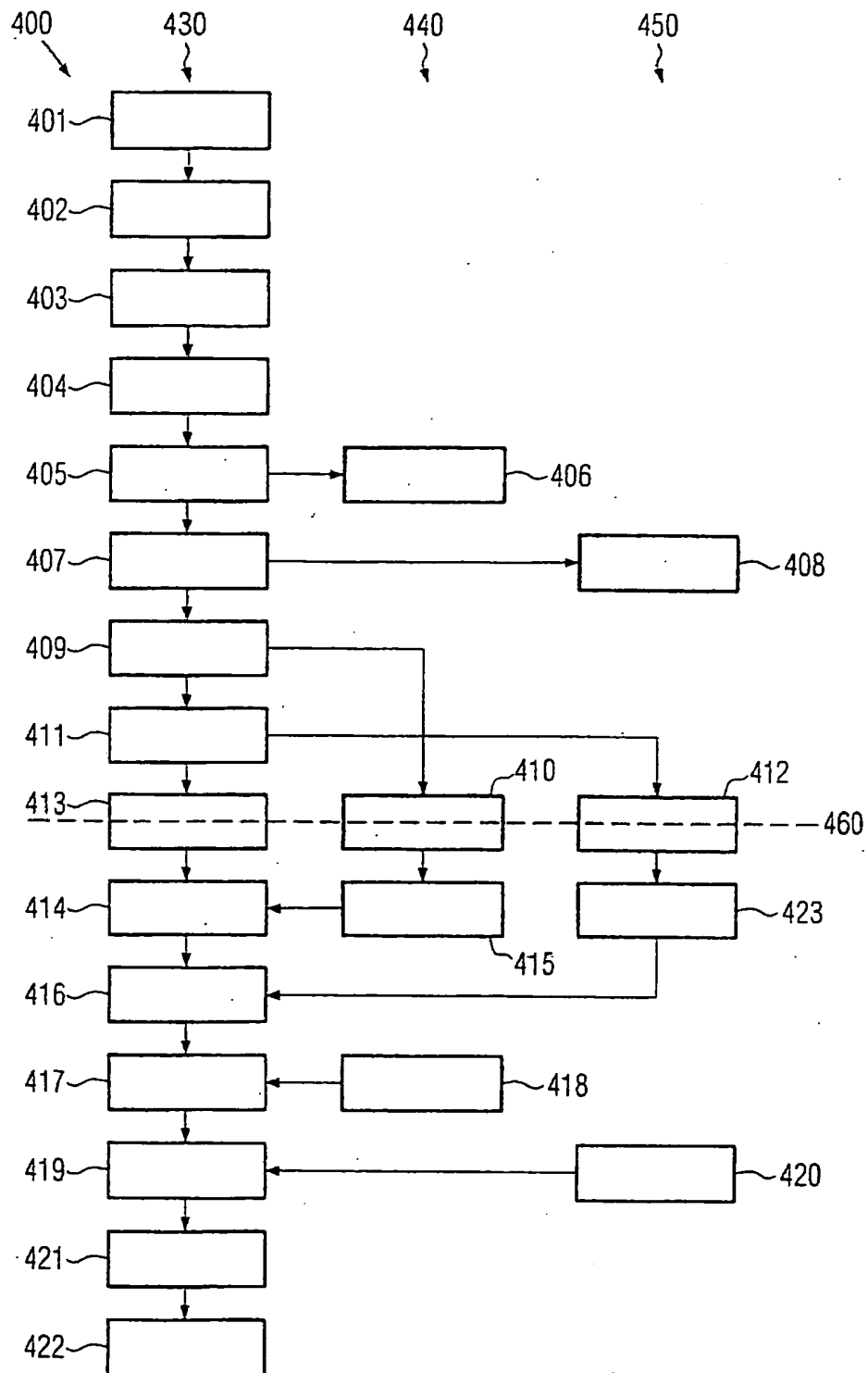
第1a圖
(先前技術)



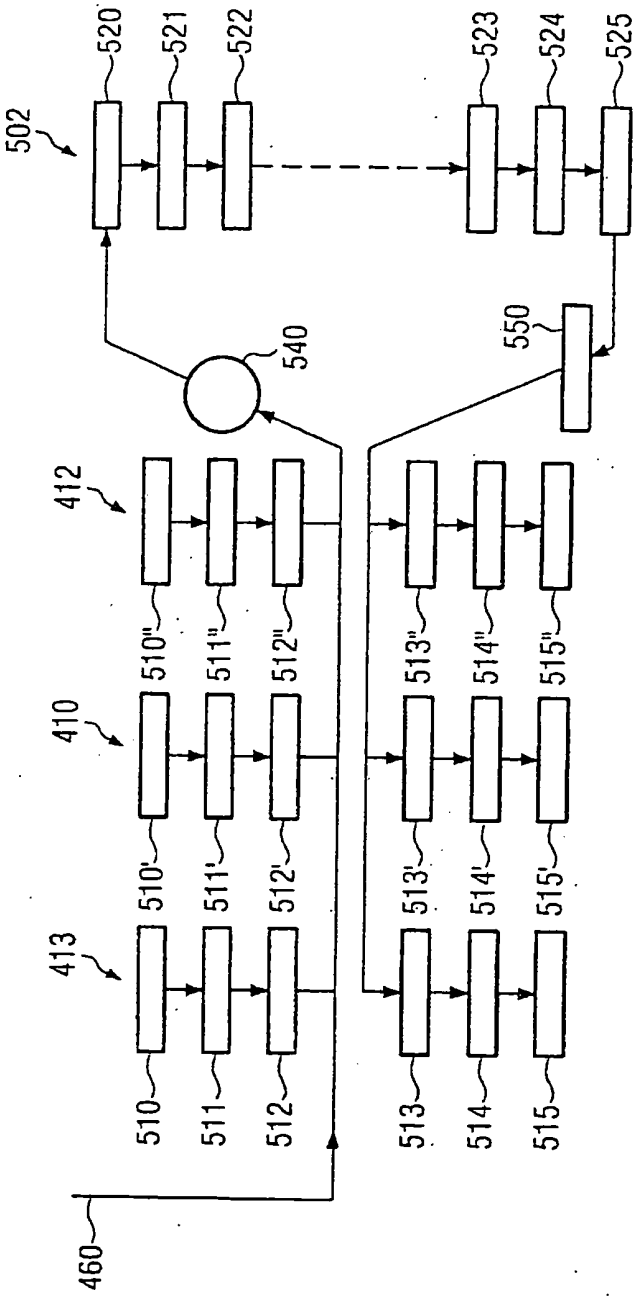
第1b圖
(先前技術)



第2a圖



第2b圖



第2c圖

四、指定代表圖：

(一)本案指定代表圖為：第 (2a) 圖。

(二)本代表圖之元件符號簡單說明：

300	電腦系統
302 至 307、322 至 325、332 至 335	暫存器
304	系統記憶體
301	主控處理器
308、328、338	指示器位元
309、329、339	控制暫存器位元
313	緩衝記憶體
314	箭頭
321、331	從屬處理器
330、340	運行狀態位元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

處理器中發生中斷或異常，則將該第一複數個變數中之至少一個變數設定為該第二複數個變數中之至少一個變數的值。

根據另一個顯示範例，系統包含主控處理器及至少一個從屬處理器。該主控處理器之狀態包括其中包含第一返回位址之第一複數個變數，且該從屬處理器之狀態包括其中包含第二返回位址之第二複數個變數。該系統包括由該主控處理器及該從屬處理器處理資料的平行作業模式、以及由該主控處理器處理資料的序列作業模式。該系統包含跳轉（trampoline）指令。該系統之組態被設定成在該平行作業模式期間於該主控處理器中發生中斷或異常時執行下列步驟：將該第一返回位址及該第二複數個變數儲存到緩衝記憶體；以該跳轉指令的位址取代該第一返回位址；以及切換到該序列作業模式。該系統之組態被進一步設定成在該平行作業模式期間於該從屬處理器中發生中斷或異常時執行下列步驟：將該第一複數個變數及該第二複數個變數儲存到緩衝記憶體；將該第一複數個變數中之至少一個變數設定為該等第二變數中之至少一個變數的值；以該跳轉指令的位址取代該第一返回位址；以及切換到該第一作業模式。該跳轉指令適於執行下列步驟：如果在該主控處理器中發生中斷或異常，則將該系統切換到該平行作業模式；以及自該緩衝記憶體讀取該第二複數個變數及該第一返回位址。該跳轉指令進一步適於執行下列步驟：如果在該至少一個從屬處理器中發生中斷或異常，則將該系統切

換到該平行作業模式；自該緩衝記憶體讀取該第二複數個變數；將該第二複數個變數中之至少一個變數設定為該第一複數個變數中之至少一個變數的值；以及自該緩衝記憶體讀取該第一複數個變數。

根據另外的顯示範例，揭示了一種操作包含主控處理器及至少一個從屬處理器的系統之方法，該主控處理器之狀態包含第一複數個變數，且該從屬處理器之狀態包含第二複數個變數，該系統包含由該主控處理器及該從屬處理器處理資料的平行作業模式、以及由該從屬處理器處理資料的序列作業模式，該方法包含下列特徵。如果在該平行作業模式中發生中斷或異常，則執行下列步驟：將該第一複數個變數及該第二複數個變數中之至少一部分儲存到緩衝記憶體；以及將該系統切換到該序列作業模式。如果在該至少一個從屬處理器中發生中斷或異常，則將該第一複數個變數中之至少一個變數設定為該第二複數個變數中之至少一個變數的值。

【實施方式】

下文中將說明本發明的各實施例。為了顧及說明的清晰，本說明書中將不說明實際實施例的所有特徵。當然，我們當了解，在任何此種實際實施例的開發過程中，必須作出許多與實施例相關的決定，以便達到開發者的特定目標，諸如符合與系統相關的及與商業相關的限制條件，而該等限制將隨著各實施例而有所不同。此外，我們當了解，雖然此種開發的工作可能是複雜且耗時的，但是此種開發

七、申請專利範圍：

1. 一種包括主控處理器及至少一個從屬處理器之系統，

其中，該主控處理器係包括第一儲存以操作維持第一複數個變數定義該主控處理器之狀態，該第一複數個變數包括第一返回位址，且

該從屬處理器係包括第二儲存以操作維持第二複數個變數定義該從屬處理器之狀態，該第二複數個變數包括第二返回位址；

該系統另包括緩衝記憶體；

其中，該系統之組態被設定成回應在平行作業模式中發生的中斷或異常，其中，資料係被該主控處理器及該從屬處理器處理，執行下列步驟：

將該第一複數個變數及該第二複數個變數的至少一部分儲存到該緩衝記憶體；以及將該系統切換到序列作業模式，其中資料係被該主控處理器處理；

回應在該從屬處理器中發生的中斷或異常，將在該第一儲存中之該第一複數個變數中之至少一個變數設定為在該第二儲存中之該第二複數個變數中之至少一個變數的值；以及

回應在該主控處理器中發生的該中斷或異常，將該第一返回位址及該第二複數個變數儲存到該緩衝記憶體；以跳轉指令之位址取代該第一返回位址；以及執行該跳轉指令以執行下列步驟：

將該系統切換到該平行作業模式，且自該緩衝記

憶體讀取該第二複數個變數及該第一返回位址。

2. 如申請專利範圍第 1 項之系統，其中，該系統之組態被進一步設定成執行下列步驟：回應在該從屬處理器中發生的該中斷或異常，將該第一複數個變數及該第二複數個變數儲存到該緩衝記憶體；以該跳轉指令之該位址取代該第一返回位址；以及切換到該序列作業模式；以及

執行該跳轉指令以執行下列步驟：將該系統切換到該平行作業模式；自該緩衝記憶體讀取該第二複數個變數；將該第二複數個變數中之該至少一個變數設定為該第一複數個變數中之該至少一個變數的值；以及自該緩衝記憶體讀取該第一複數個變數。

3. 如申請專利範圍第 1 項之系統，該系統經操作以執行用來起動該平行作業模式之起動指令，該起動指令適於：將該第一複數個變數之第一變數設定為該緩衝記憶體之位址，將該第一複數個變數之第二變數設定為該跳轉指令之位址，並將該處理器切換到該平行作業模式。
4. 如申請專利範圍第 1 項之系統，該系統經操作以執行變數傳送指令，該變數傳送指令適於將該第一儲存的該第一複數個變數中之一個或多個變數的值寫到該第二儲存的該第二複數個變數中之一個或多個變數。
5. 如申請專利範圍第 1 項之系統，該系統經操作以執行變數接收指令，該變數接收指令適於將該第二儲存的

該第二複數個變數中之一個或多個變數的值寫到該第一儲存的該第一複數個變數中之一個或多個變數。

6. 如申請專利範圍第 1 項之系統，該系統經操作以執行適於開始該至少一個從屬處理器的指令執行之分叉指令，且該指令執行係開始於被指定的記憶體位址。
7. 如申請專利範圍第 1 項之系統，該系統經操作以執行從屬聯合指令，該從屬聯合指令適於停止該至少一個從屬處理器的指令執行。
8. 如申請專利範圍第 7 項之系統，該系統經操作以執行主控聯合指令，該主控聯合指令適於使該主控處理器保持等候到已終止了該至少一個從屬處理器上之指令執行為止。
9. 如申請專利範圍第 1 項之系統，該系統經操作以執行結束指令，該結束指令適於將該系統自該平行作業模式切換到該序列作業模式。
10. 一種操作包括主控處理器、至少一個從屬處理器及緩衝記憶體的系統之方法，該主控處理器包括第一儲存以操作維持第一複數個變數定義該主控處理器之狀態，該第一複數個變數包括第一返回位址，該從屬處理器包括第二儲存以操作維持第二複數個變數定義該從屬處理器之狀態，該第二複數個變數包括第二返回位址，該方法包括下列步驟：

回應在平行作業模式中發生的中斷或異常，其中，資料係被該主控處理器及該從屬處理器處理，將

該第一複數個變數及該第二複數個變數中之至少一部分儲存到該緩衝記憶體；以及將該系統切換到序列作業模式，其中，資料係被該主控處理器處理；

回應在該從屬處理器中發生的該中斷或異常，將在該第一儲存之該第一複數個變數中之至少一個變數設定為在該第二儲存之該第二複數個變數中之至少一個變數的值；以及回應在該主控處理器中發生的該中斷或異常，將該第一返回位址及該第二複數個變數儲存到該緩衝記憶體；以跳轉指令之位址取代該第一返回位址；以及

執行該跳轉指令以將該系統切換到該平行作業模式，且自該緩衝記憶體讀取該第二複數個變數及該第一返回位址。

11. 如申請專利範圍第 10 項之方法，進一步包括下列步驟：

回應在該從屬處理器中發生的該中斷或異常，將該第一複數個變數及該第二複數個變數儲存到該緩衝記憶體；以該跳轉指令之該位址取代該第一返回位址；以及切換到該序列作業模式；以及

執行該跳轉指令以將該系統切換到該平行作業模式，自該緩衝記憶體讀取該第二複數個變數，將該第二複數個變數中之該至少一個變數設定為該第一複數個變數中之該至少一個變數的值，且讀取該第一複數個變數。

12. 如申請專利範圍第 10 項之方法，進一步包括下列步驟：

執行用以啟動該平行作業模式之起動指令，該起動指令適於設定該第一複數個變數的第一個為該緩衝記憶體之位址、設定該第一複數個變數的第二個為該跳轉指令之位址及切換該處理器到該平行作業模式。

13. 如申請專利範圍第 10 項之方法，進一步包括下列步驟：

執行變數傳送指令，以適於寫一或多個在該第一儲存中該第一複數個變數的值為一或多個在該第二儲存中該第二複數個變數。

14. 如申請專利範圍第 10 項之方法，進一步包括下列步驟：

執行變數接收指令，以適於寫一或多個在該第二儲存中該第二複數個變數的值為一或多個在該第一儲存中該第一複數個變數。

15. 如申請專利範圍第 10 項之方法，進一步包括下列步驟：

執行分叉指令，以適於開始執行至少一個從屬處理器之指令執行，該指令執行在特定記憶體位址之人員。

16. 如申請專利範圍第 10 項之方法，進一步包括下列步驟：

執行從屬聯合指令，以適於停止該至少一個從屬

處理器之指令執行。

17. 如申請專利範圍第 16 項之方法，進一步包括下列步驟：

執行主控聯合指令，以適於使該主控處理器保持等候到該至少一個從屬處理器上之指令執行已終止為止。

18. 如申請專利範圍第 10 項之方法，進一步包括下列步驟：

執行結束指令，以適於將該系統自該平行作業模式切換到該序列作業模式。

19. 一種系統，係包括：

主控處理器，係包括第一儲存以操作維持第一複數個變數定義該主控處理器之狀態，該第一複數個變數係包括第一返回位址之；

從屬處理器，係包括第二儲存以操作維持第二複數個變數定義該從屬處理器之狀態，該第二複數個變數包括第二返回位址；

緩衝記憶體；

第一手段，係用以回應在平行作業模式中發生的中斷或異常，其中，資料係被該主控處理器及該從屬處理器處理，而將該第一複數個變數及該第二複數個變數的至少一部分儲存到緩衝記憶體，以及將該系統切換到序列作業模式，其中，資料係被該主控處理器處理；

第二手段，係用以回應在該從屬處理器中發生的中斷或異常，將在該第一儲存之該第一複數個變數中之至少一個變數設定為在該第二儲存之該第二複數個變數中之至少一個變數的值；以及

第三手段，係用以回應在該主控處理器中發生的中斷或異常，將該第一返回位址及該第二複數個變數儲存到該緩衝記憶體；以跳轉指令的位址取代該第一返回位址；以及執行該跳轉指令以執行下列步驟：將該系統切換到該平行作業模式，且自該緩衝記憶體讀取該第二複數個變數及該第一返回位址。

20. 如申請專利範圍第 19 項之系統，進一步包括第四手段，用以回應在該從屬處理器中發生的該中斷或異常，將該第一複數個變數及該第二複數個變數儲存到該緩衝記憶體；以該跳轉指令之該位址取代該第一返回位址；以及切換到該序列作業模式；以及

執行該跳轉指令，以執行下列步驟：將該系統切換到該平行作業模式，自該緩衝記憶體讀取該第二複數個變數，將該第二複數個變數中之該至少一個變數設定為該第一複數個變數中之該至少一個變數的值，且自該緩衝記憶體讀取該第一複數個變數。

21. 如申請專利範圍第 19 項之系統，其中，該第一、第二及第三手段包括設置電路於至少一個該主控處理器或該從屬處理器。

22. 如申請專利範圍第 19 項之系統，其中，該第一、第

二及第三手段包括設置微碼於至少一個該主控處理器
或該從屬處理器上之第三儲存。