

## 發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91124744 ※IPC分類：H01L 21/3065, 21/28

※申請日期：91.10.24

## 壹、發明名稱

(中文) 半導體元件製造方法

(英文) SEMICONDUCTOR DEVICE MANUFACTURING METHOD

貳、發明人(共2人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 菊池秀明

(英文) Kikuchi, Hideaki

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi  
Kanagawa 211-8588, Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人(共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商·富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁  
目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588, Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Akikusa, Naoyuki

續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 小室玄一

(英文) Komuro, Genichi

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi  
Kanagawa 211-8588, Japan

## 捌、聲明事項

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為：\_\_\_\_\_

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2002/02/28；特願 2002-054440
2. \_\_\_\_\_
3. \_\_\_\_\_
4. \_\_\_\_\_
5. \_\_\_\_\_
6. \_\_\_\_\_
7. \_\_\_\_\_
8. \_\_\_\_\_
9. \_\_\_\_\_
10. \_\_\_\_\_

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明 (發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 【發明所屬之技術領域】

#### 發明背景

##### 1. 發明領域

本發明係關於半導體元件製造方法，以及更特別地，係關於具有蝕刻電極材料之步驟的半導體元件製造方法，該電極材料利用鐵電物質或高介電物質構成電容器。

### 【先前技術】

##### 2. 習知技術之說明

最近幾年來，已預期利用鐵電電容器或高介電電容器之半導體記憶體為有發展遠景的元件。舉例而言，鐵電電容器係藉由下述步驟所形成。

首先，如第 1A 圖所示，第一金屬薄膜 102、鐵電薄膜 103，以及第二金屬薄膜 104 係依照順序地形成在絕緣薄膜 101 上，以及接著將具有電容器形狀的光阻圖案 105 形成在第二金屬薄膜 104 上。

接著，藉由使用光阻圖案 105 作為光罩，依照順序蝕刻第二金屬薄膜 104、鐵電薄膜 103，以及第一金屬薄膜 102。根據此圖案化處理，如第 1B 圖所示，第二金屬薄膜 104 係作用為電容器 106 之上部電極 104a，鐵電薄膜 103 係作用為電容器 106 之介電薄膜 103a，以及第一金屬薄膜 102 係作用為電容器 106 的下部電極 102a。

於此時，因為第一金屬薄膜 102 及第二金屬薄膜 104 係分別由例如鈦、鉑等貴金屬或其氧化物所形成，且鐵電

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

薄膜 103 係由 PZT 系統材料所形成，其在常溫下具有不良的化學反應性。因此，第二金屬薄膜 104、鐵電薄膜 103，以及第一金屬薄膜 102 係在圖案化時，主要藉由濺射反應連續地蝕刻。在濺射器內的蝕刻氣體，主要係應用  
5 由例如氫氣及氯氣所組成的混合氣體。

若金屬薄膜係藉由使用氫氣及氯氣的濺射器來蝕刻，導致在電容器 106 之側表面上的導電性強側壁沈積作用（柵欄）的黏著作用。

因此，為了壓抑柵欄的形成，應用一種結構，其  
10 藉由設定蝕刻條件來逐漸設定（小量地產生）電容器 106 之側表面的錐度角，該蝕刻條件係使光阻圖案 105 安全地離開，或使電容器 106 之形狀逐步地形成。

然而，因為電容器之側表面的逐漸錐度角度導致電容器面積的增加，此一逐漸錐度角度干擾具有此電  
15 容器之半導體元件的小型化及較高積體化。

再者，在蝕刻形成電容器中，無法僅藉由氯氣及惰性氣體來確定適於薄膜之最適蝕刻速率。

## 【發明內容】

### 發明概述

20 本發明之一目的為提供半導體元件製造方法，其可根據每一構成電容器的薄膜確保最適蝕刻。

上述主題可藉由提供包含下述步驟之半導體元件製造方法來克服：在半導體元件上形成基底絕緣薄膜；在該基底絕緣薄膜上形成第一導電性薄膜；在該第一導電性薄膜  
□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

上形成由鐵電材料及高介電材料構成之介電薄膜；在該介電薄膜上形成第二導電性薄膜；在含有溴之第一氣體環境中選擇性地蝕刻該第二導電性薄膜，將該第二導電性薄膜塑造成一電容器上部電極；在含有氯之第二氣體環境中選擇性地蝕刻該介電薄膜，將該介電薄膜塑造成一電容器介電薄膜；以及在含有溴之第三氣體環境中選擇性地蝕刻該第一導電性薄膜，將該第一導電性薄膜塑造成一電容器下部電極。

上述的主題可藉由提供一種半導體元件製造方法來克服，該方法包含下述步驟：在一半導體元件上形成一基底絕緣薄膜；在該基底絕緣薄膜上形成第一導電性薄膜；在該第一導電性薄膜上形成由鐵電性材料及高介電性材料組成的介電薄膜；在該介電薄膜上形成第二導電性薄膜；在引入第一蝕刻氣體及氧氣之第一氣體環境中，選擇性地蝕刻該第二導電性薄膜，將該第二導電性薄膜塑造成一電容器上部電極；在引入不含氧氣之第二蝕刻氣體的第二氣體環境中，選擇性地蝕刻該介電薄膜，將該介電薄膜塑造成一電容器介電薄膜；以及在引入第三蝕刻氣體及氧氣之第三氣體環境中，蝕刻自一光罩曝露的第一導電性薄膜，將該第一導電性薄膜塑造成一電容器下部電極。

根據本發明，當使構成電容器電極的導電性薄膜圖案化時，此導電性薄膜係在含溴的氣體環境中蝕刻，以及當使構成電容器介電薄膜之鐵電薄膜或高介電

## 玖、發明說明

薄膜圖案化時，該鐵電薄膜或高介電薄膜係在含氣的氣體環境蝕刻。

因此，電容器電極圖案之側表面係塑造成幾乎垂直的形狀，以有助於半導體元件的較高積體化，且亦抑制介電薄膜圖案之薄膜品質的退化，並因而防止電容器特性的劣化。

再者，根據本發明，當使構成電容器電極之導電性薄膜圖案化時，此導電性薄膜係在含有氧氣的蝕刻氣體環境中蝕刻，以及當使構成電容器介電薄膜之鐵電薄膜或高介電薄膜圖案化時，此鐵電薄膜或高介電薄膜係在未引入氧氣之蝕刻氣體環境中蝕刻。

因此，當介電薄膜由氧化物構成時，在形成電容器電極時可抑制介電薄膜的退化，且亦可防止介電薄膜之蝕刻速率的降低。介電薄膜可為例如 PZT 系統的氧化物絕緣薄膜。

### 圖式簡單說明

第 1A 及 1B 圖為顯示習知技術中形成電容器之步驟的截面圖；

第 2A 至 2J 圖為顯示根據本發明之一具體實施例之形成半導體元件之步驟的截面圖；

第 3 圖為顯示根據本發明之一具體實施例之用於形成半導體元件的蝕刻設備之一實施例之結構圖；

第 4 圖為顯示用於根據本發明之一具體實施例之半導體元件之電容器電極之蝕的蝕刻速率與晶圓臺溫度之間的

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

關係；

第 5 圖為顯示當根據本發明之一具體實施例的半半導體元件的電容器暴露至由 HBr 及氧氣構成的混合氣體電漿中時，極化電荷量及氧氣密度之間的關係；

5 第 6 圖為顯示當利用由 HBr 及氧氣構成的混合氣體電漿分別蝕刻用於根據本發明之具體實施例之半導體元件的電容器電極的鈹薄膜、氧化鈹薄膜及鉑薄膜與用於作為絕緣薄膜的氧化矽薄膜時，蝕刻速率與 HBr 密度之間的關係；

10 第 7 圖為顯示當利用由 HBr 及氧氣構成的混合氣體電漿分別蝕刻用於根據本發明之具體實施例之半導體元件的電容器電極的鈹薄膜、氧化鈹薄膜及鉑薄膜與用於作為絕緣薄膜的氧化矽薄膜時，蝕刻速率與偏壓電力之間的關係；

15 第 8A 至 8D 圖為以顯微照片為基礎來說明之顯示回應用於形成根據本發明之具體實施半導體元件之電容器下部電極的 HBr-O<sub>2</sub> 混合氣體中 O<sub>2</sub> 密度改變之在電容器側表面上的導電性柵籬的黏附力狀態之透視圖；

20 第 9 圖為顯示當 Cl<sub>2</sub>-O<sub>2</sub> 混合氣體用於形成根據本發明之具體實施例之半導體元件的電容器電極時之電容器的截面圖；

第 10 圖為顯示當 HBr-O<sub>2</sub> 混合氣體用於形成根據本發明之具體實施例之半導體元件的電容器電極時之電容器的截面圖；

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

第 11 圖為顯示當 HBr-Ar 混合氣體用於蝕刻作為根據本發明之具體實施例的半導體元件之電容器介電薄膜的 PZT 薄膜時，晶圓臺溫度及蝕刻速率之間的關係圖；

第 12 圖為顯示當利用 HBr-Ar 混合氣體蝕刻用於根據本發明之具體實施例之半導體元件的電容器電極的氧化鈦薄膜、PZT 薄膜及鉑薄膜時，偏壓電力與蝕刻速率之間的關係圖；

第 13 圖為當根據本發明之具體實施例的半導體元件之電容器暴露至各種不同的氣體電漿時，極化電荷量及處理條件之間的關係圖；

第 14A 及 14B 圖為以顯微照片為基礎來說明之顯示當蝕刻構成根據本發明之具體實施例之半導體元件的電容器的 PZT 薄膜中溫度改變時，在經蝕刻 PZT 薄膜的側表面上蝕刻產物之黏附力差異的透視圖；

第 15A 及 15B 圖為以顯微照片為基礎來說明之顯示當蝕刻構成根據本發明之具體實施例之半導體元件的電容器的 PZT 薄膜中壓力改變時，在經蝕刻 PZT 薄膜的側表面上蝕刻產物之黏附力差異的透視圖；

第 16A 及 16B 圖為以顯微照片為基礎來說明之顯示當蝕刻構成根據本發明之具體實施例之半導體元件的電容器的 PZT 薄膜中氣氣分壓改變時，在經蝕刻 PZT 薄膜的側表面上蝕刻產物之黏附力差異的透視圖；

第 17A 及 17B 圖為顯示由於在蝕刻以形成根據本發明之具體實施例的半導體元件之電容器時，晶圓臺溫度之

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

差異所造成的電容器側表面之錐度角差異的截面圖；

第 18 圖為顯示由於形成根據本發明之具體實施例的半導體元件之電容器的蝕刻條件差異，所造成之電容器泄漏電流差異的圖；以及

- 5 第 19A 及 19B 圖為顯示形成根據本發明之具體實施例之半導體元件的另一電容器的截面圖。

### 【實施方式】

較佳實施例之詳細說明

- 10 本發明之具體實施例將參考附帶之圖式，於下文中解釋說明。

第 2A 至 2J 圖顯示根據本發明之一具體實施例之製造半導體元件之步驟的截面圖。

首先，於下文中將解釋說明形成如第 2A 圖所示之截面結構所需的步驟。

- 15 如第 2A 圖所示，藉由光微影術在 n-型或 p-型矽（半導體）基板 1 的電晶體形成區域周圍形成元件隔離凹穴。接著，藉由將氧化矽（ $\text{SiO}_2$ ）埋入該元件隔離凹穴以形成元件絕緣薄膜 2。具有此類結構的元件隔離絕緣薄膜 2 係稱為 STI（淺溝隔離）。在此例子中，藉由 LOCOS（局部氧化矽晶）方法形成的絕緣薄膜可應用於作為元件隔離絕緣薄膜。
- 20

接著，p-型井係藉由將 p-型雜質引入矽基板 1 上的電晶體形成區域中來形成。接著作為閘絕緣薄膜 3 的氧化矽薄膜係藉由熱氧化該矽基板 1 上之該電晶體形成區域的表

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

面來形成。

接著，閘電極 4a, 4b 係藉由在矽基板 1 之整個上部表面上連續地形成一非晶形矽薄膜或多晶矽薄膜以及矽化鎢薄膜，並接著利用光微影術使矽薄膜及矽化鎢薄膜圖案化來形成。

在此例子中，二閘電極 4a, 4b 係平行地形成在一 p-型井 1a 上且此等閘電極 4a, 4b 構成字元線的一部分。例如，閘電極 4a, 4b 的寬度為 0.18  $\mu\text{m}$ 。

接著，作為源極／汲極區域之第一至第三雜質擴散區域 5a 至 5c 係藉由將 n-型雜質離子植入至位在閘電極 4a, 4b 之二側的 p-型井 1a 中來形成。

接著，絕緣薄膜，例如氧化矽 ( $\text{SiO}_2$ ) 薄膜，係藉由 CVD 法形成在矽基板 1 的整個表面上，以及接著藉由回蝕絕緣薄膜，使絕緣薄膜留在閘電極 4a, 4b 的二側以作為絕緣側壁間隔層 6。

接著，當使用閘電極 4a, 4b 及側壁間隔層 6 作為光罩時，藉由再次將 n-型雜質離子植入至第一至第三雜質擴散區域 5a 至 5c，使第一至第三雜質擴散區域形成於 LDD 結構中。

形成在一電晶體形成區域中之二閘電極 4a, 4b 之間的第一雜質擴散區域 5a 係電氣連接至位元線，且形成在電晶體形成區域之二側的第二及第三雜質擴散區域 5b, 5c 亦電氣連接至電容器之下部電極。

根據上述步驟，包括閘電極 4a, 4b 及具有 LDD 結構

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

之雜質擴散區域 5a 至 5c 的二 MOS 電晶體  $T_1$ ,  $T_2$  係形成於 p-型井 1a 中。

接著，藉由 CVD 法，在矽基板 1 的整個表面上形成厚度約 200 nm 之氮氧化矽 ( $\text{SiON}$ ) 薄膜，以作為覆蓋絕緣薄膜 7，該薄膜覆蓋 MOS 電晶體  $T_1$ ,  $T_2$ 。接著，藉由電漿 CVD 法，利用 TEOS 氣體，在覆蓋絕緣薄膜 7 上形成厚度約 1.0  $\mu\text{m}$  的氧化矽 ( $\text{SiO}_2$ ) 薄膜以作為第一中間層絕緣薄膜 8。

接著，當進行第一中間層絕緣薄膜 8 的緻密化處理時，第一中間層絕緣薄膜 8 係在例如常壓下、氮氣環境中及溫度 700°C 下退火。

接著，藉由化學機械拋光 (CMP) 法，將第一中間層絕緣薄膜 8 之上部表面平坦化。

接下來，在下文中將解釋說明形成第 2B 圖所示之結構所需的步驟。

首先，利用光微影術，藉由將覆蓋絕緣薄膜 7 及第一中間層絕緣薄膜 8 圖案化，形成具有到達第一雜質擴散區域 5a 之深度的第一接觸孔 8a。接著，藉由濺射法，在第一中間層絕緣薄膜 8 上及第一接觸孔 8a 中，連續地形成厚度 30 nm 的鈦 (Ti) 薄膜及厚度 50 nm 的氮化鈦 ( $\text{TiN}$ ) 薄膜，以作為膠薄膜。接著，利用 CVD 法，使用  $\text{WF}_6$ ，藉由在  $\text{TiN}$  薄膜上生長鎢 (W) 薄膜，完美地包埋第一接觸孔 8a 的內側。

接著，利用 CMP 法，藉由拋光自第一中間層絕緣薄

## 玖、發明說明

膜 8 的上部表面去除 W 薄膜、TiN 薄膜及 Ti 薄膜。留在第一接觸孔 8a 中的鎢薄膜、TiN 薄膜及 Ti 薄膜係用於作為第一導電性插塞 9。

接著，如第 2C 圖所示，利用電漿 CVD 法，將厚度 5 100 nm 且由氮化矽 ( $\text{Si}_3\text{N}_4$ ) 製成的防止氧化薄膜 10a 以及厚度 100 nm 且由氧化矽 ( $\text{SiO}_2$ ) 製成的基底絕緣薄膜 10b 連續地形成第一中間層絕緣薄膜 8 及第一導電性插塞 9 上。藉由電漿 CVD 法，使用 TEOS 來生長氧化矽 ( $\text{SiO}_2$ ) 薄膜 10b。防止氧化薄膜 10a 係形成以防止第一導 10 電性插塞 9 在例如後續之退火等熱處理中不正常地氧化，以造成接觸失敗的狀況。較佳地，防止氧化薄膜的厚度應設定為例如大於 70 nm。

接著，如第 2D 圖所示，當使用光阻圖案（未顯示）時，藉由蝕刻該防止氧化薄膜 10a、該基底絕緣薄膜 10b 15 及第一中間層絕緣薄膜 8，在第二及第三雜質擴散區域 5b, 5c 上形成第二及三接觸孔 8b, 8c。

接著，藉由濺射法，在基底絕緣薄膜 10b 上及第二及第三接觸孔 8b, 8c 中，連續地形成厚度 30 nm 的鈦 (Ti) 薄膜及厚度 50 nm 的氮化鈦 (TiN) 薄膜，以作為膠薄膜 20。接著，利用 CVD 法，藉由在 TiN 薄膜上生長鎢 (W) 薄膜，完美地包埋第二及三接觸孔 8b, 8c 的內側。

接著，如第 2E 圖所示，藉由 CMP 法拋光鎢 (W) 薄膜、氮化鈦 (TiN) 薄膜以及鈦 (Ti) 薄膜，以自基底絕緣薄膜 10b 之上部表面去除。因此，留在第二及第三接觸

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

孔 8b, 8c 之鎢薄膜、氮化鈦 (TiN) 薄膜以及鈦薄膜係分別用於作為第二及第三導電性插塞 11a, 11b。

接著，於下文中將解釋說明形成如第 2F 圖所示之截面結構所需的步驟。

5 首先，藉由濺射法，在第二及第三導電性插塞 11a, 11b 及基底絕緣薄膜 10b 上形成例如厚度 200 nm 之銱 (Ir) 薄膜 12。接著，藉由濺射法在銱薄膜 12 上形成例如厚度 23 nm 之氧化鉑 (PtO) 薄膜 13。接著，藉由濺射法，在氧化鉑薄膜 13 上形成例如厚度 50 nm 之鉑 (Pt) 薄膜  
10 14。

銱 (Ir) 薄膜 12、氧化鉑 (PtO) 薄膜 13，及鉑 (Pt) 薄膜 14 構成具有多層結構之第一導電性薄膜 15。在此例子中，例如基底絕緣薄膜 10b 係在第一導電性薄膜 15 形成之前或之後退火，以避免該基底絕緣薄膜的剝離。作  
15 為退火的方法，例如應用 RTA (快速熱退火)，其在氬氣環境中，在 600 至 750°C 下進行退火。

接著，藉由濺射法在第一導電性薄膜 15 上形成例如厚度 200 nm 之 PZT 薄膜，以作為鐵電薄膜 16。作為形成鐵電薄膜 16 的方法，除了此方法之外，還有 MOD (金屬有機沈積法) 法、MOCVD (金屬有機 CVD) 法、溶  
20 膠-凝膠法等。再者，作為鐵電薄膜 16 的材料，除了 PZT 之外，可應用例如 PLCSZT、PLZT 等其他 PZT 材料；例如 SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、SrBi<sub>2</sub>(Ta,Nb)<sub>2</sub>O<sub>9</sub> 等雙層結構化合物材料；以及其他金屬氧化物鐵電物質。

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

接著，藉由在氧氣環境中進行退火可使鐵電薄膜 16 結晶化。關於退火，可應用例如二步驟 RTA 方法，該方法具有第一步驟及第二步驟，第一步驟係在氫氣-氧氣之混合氣體環境中，在基板溫度 600°C 下進行退火 90 秒，  
5 第二步驟係在氧氣環境中，在基板溫度 750°C 下進行退火 60 秒。

接著，藉由濺射法在鐵電薄膜 16 上形成例如厚度 200 nm 的氧化銱 ( $\text{IrO}_2$ ) 薄膜，以作為第二導電性薄膜。在氧化銱薄膜的生長中，濺射器的功率係設定在 1 kW  
10 以及氫氣及氧氣係分別供應至生長氣體環境中。

接著，氮化鈦薄膜 18a 及  $\text{SiO}_2$  薄膜 18b 係連續地形成在第二導電性薄膜 17 上以作為金屬光罩 18。氧化矽 ( $\text{SiO}_2$ ) 薄膜 18b 係藉由使用 TEOS 作為源極的電漿 CVD 法來形成。此金屬光罩 18 係藉由光微影術來圖案化，以  
15 供在第二及第三導電性插塞 11a, 11b 上具有電容器平面形狀。

接著，如第 2G 圖所示，連續地蝕刻位在未以金屬光罩 18 覆蓋之區域中的第二導電性薄膜 17、鐵電薄膜 16，及第一導電性薄膜 15。在此例子中，藉由濺射反應，在  
20 含有氧氣及氫氣的氣體環境中蝕刻鐵電薄膜 16。再者，藉由濺射反應，在引入溴 ( $\text{Br}_2$ ) 的氣體環境、含溴的氣體環境或僅引入溴化氫及氧氣的氣體環境中，蝕刻第二導電性薄膜 17 及第一導電性薄膜 15。

根據上述，由第一導電性薄膜 15 形成的電容器 Q 的

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

下部電極 15a，由鐵電薄膜 16 形成之電容器的介電薄膜 16a，由第二導電性薄膜 17 形成的電容器 Q 的上部電極 17a 係形成在防止氧化絕緣薄膜 10a 上。接著，在一電晶體形成區域中，一下部電極 15a 係經由第二導電性插塞 5 11a 電氣地連接至第二雜質擴散區域 5b，以及另一下部電極 15a 係經由第三導電性插塞 11b 電氣地連接至第三雜質擴散區域 5c。

接著，去除金屬光罩 18。在此例子中，應用氧化物薄膜蝕刻器去除構成光罩 18 的氧化矽薄膜，以及藉由使用 10 用下游灰化器之乾式法或使用過氧化銨之濕式法去除氮化鈦 (TiN) 薄膜。

接著，為了恢復因為蝕刻造成之鐵電薄膜 16 的損害，進行回復退火。在此例子中，回復退火係在氧氣環境中，在 650°C 之基板溫度下進行 60 分鐘。

15 接著，如第 2H 圖所示，藉由濺射器，在基底絕緣薄膜 10b 上形成厚度 50 nm 之氧化鋁薄膜，以作為覆蓋電容器 Q 的保護薄膜 19，以及接著使電容器 Q 在氧氣環境中，在 650°C 下退火 60 分鐘。保護薄膜 19 保護電容器 Q 免於處理損害。

20 接著，藉由電漿 CVD 法，使用 TEOS 氣體，在保護薄膜 19 上形成厚度約 1.0  $\mu\text{m}$  的氧化矽 ( $\text{SiO}_2$ ) 薄膜，以作為第二中間層絕緣薄膜 20。再者，藉由 CMP 法，使第二中間層薄膜 20 的上部表面平坦化。在此實施例中，於 CMP 後，在電容器 Q 之上部電極 17a 上的第二中間層絕

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

緣薄膜 20 的餘留厚度係設定為約 300 nm。

5 接著，如第 2I 圖所示，當使用光阻光罩（未顯示）時，藉由蝕刻第二中間層絕緣薄膜 20、保護薄膜 19、防止氧化絕緣薄膜 10a，以及基底絕緣薄膜 10b，在第一導電性插塞 9 上形成孔 20a。

接著，藉由濺射法，在孔 20a 中及在第二中間層絕緣薄膜 20 上形成厚度為 30 nm 的鈦薄膜以及厚度為 50 nm 的氮化鈦薄膜，以作為膠薄膜。接著，藉由 CVD 法，在膠薄膜上生長鎢（W）薄膜以完美地包埋孔 20a 的內側。

10 接著，藉由 CMP 法拋光鎢（W）薄膜、氮化鈦（TiN）薄膜以及鈦（Ti）薄膜，以自第二中間層絕緣薄膜 20 的上部表面去除。接著，留在孔 20a 中的鎢薄膜及膠薄膜係用於作為第四導電性插塞 21。第四導電性插塞 21 係經由第一導電性插塞 9 電氣連接至第一雜質擴散區域 5a。

15 接下來，在下文中將解釋說明形成第 2J 圖所示之結構所需的步驟。

20 首先，藉由 CVD 法，在第四導電性插塞 21 及第二中間層絕緣薄膜 20 上形成氮氧化矽（SiON）薄膜，以作為第二防止氧化薄膜（未顯示）。接著，利用光微影術，藉由將第二防止氧化薄膜及第二中間層絕緣薄膜 20 圖案化，在電容器 Q 之上部電極 17a 上形成接觸孔 20b。

電容器 Q 因為形成接觸孔 20b 所受到的損害係藉由退火回復。退火係例如在氧氣環境中，在 550°C 基板溫度下，進行 60 分鐘。

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

接著，藉由回蝕形成在第二中間層絕緣薄膜 20 上的防止氧化薄膜以曝露出第四導電性插塞 21 的表面。

接著，在形成於電容器 Q 之上部電極 17a 及第二中間層絕緣薄膜 20 上的接觸孔 20b 中形成多層金屬薄膜。

5 接著，經由接觸孔 20b 連接至上部電極 17a 的第一層金屬佈線 21a 以及連接至第四導電性插塞 21 的導電性墊 21b 係藉由圖案化多層金屬薄膜所形成。作為多層金屬薄膜，例如應用藉由連續地形成厚度為 60 nm 的鈦 (Ti) 薄膜、厚度為 30 nm 的氮化鈦 (TiN) 薄膜、厚度為 400 nm 的  
10 鋁-銅 (Al-Cu) 薄膜、厚度為 5 nm 的鈦 (Ti) 薄膜及厚度為 70 nm 的氮化鈦 (TiN) 所建構的結構。

作為多層金屬薄膜的圖案化方法，係應用下述方法：在多層金屬薄膜上形成防止反射薄膜，接著在防止反射薄膜上塗覆光阻，接著藉由使光阻曝光／顯影形成例如佈線  
15 形狀的光阻圖案，以及接著藉由使用光阻蝕刻防止反射薄膜及多層金屬薄膜。在此例子中，於多層金屬薄膜圖案化後，防止反射薄膜可去除或依現狀留下。

接著，在第二中間層絕緣薄膜 20、第一層金屬佈線 21a 及導電性墊 21b 上形成第三中間層絕緣薄膜 22。接著  
20 ，藉由圖案化第三中間層絕緣薄膜 22，在導電性墊 21b 上形成孔 22a，以及接著在孔 22a 中形成自底部依序由氮化鈦 (TiN) 薄膜及鎢 (W) 薄膜組成的第五導電性插塞 23。接著，雖然未特別顯示，含有位元線之第二層佈線係形成在第三中間層絕緣薄膜 22 上。位元線係經由第五導

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

電性插塞 23、導電性墊 21b、第四導電性插塞 21 及第一導電性插塞 9 電氣連接至第一雜質擴散區域 5a。接著，形成用於覆蓋第二層佈線等之絕緣薄膜，但有關其細節的解釋在此不多詳述。

5 上述步驟為形成 FeRAM 之記憶體晶胞區域的步驟。

接下來，在下文中將詳細解釋說明構成電容器之第一導電性薄膜 15、鐵電薄膜 16 及第二導電性薄膜 17 的蝕刻。

為了使藉由蝕刻曝露之側表面具有一角度，第一導電性薄膜 15、鐵電薄膜 16 及第二導電性薄膜 17 的蝕刻側表面相對於基底絕緣薄膜 10b 的上部表面接近直角，其有效地增進蝕刻氣體及被蝕刻材料之間的化學反應性。

因為揮發性物質係藉由在電漿中，蝕刻氣體及被蝕刻材料之間的化學反應所產生並接著排出，以蝕刻此等被蝕刻材料。在此例子中，因為揮發性反應產物不沈積在蝕刻側表面上而是排出，可獲得接近垂直形狀的被蝕刻形狀。

相對地，若應用使用濺射作用的蝕刻，蝕刻產物係沈積在蝕刻側表面上並作為光罩，以致於難以形成垂直形狀的蝕刻側表面。

20 再者，若嘗試使蝕刻側表面接近垂直形狀，則導電性沈積物質（柵籬）係形成在蝕刻側表面上，以致極度降低電容器特性。

因此，為了在不形成柵籬之下，蝕刻鐵電材料薄膜及電極材料薄膜，重要的是藉由將晶圓臺設定至高溫或類似

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

方式，增進蝕刻氣體及被蝕刻材料之間的化學反應性。若將晶圓臺設定至高溫，除了光阻以外的材料必須用於作為光罩材料，因為光阻缺乏耐熱性。

首先，在下文中將參考第 6 圖解釋說明用於圖案化構成電容器之薄膜的蝕刻設備。

在第 3 圖中所示的設備為 ICP 電漿蝕刻設備。

在第 3 圖中，晶圓臺 32 係設置在低壓處理室 31 中。此晶圓臺 32 具有一結構，其中靜電夾頭 32b 係安裝在加熱器 32a 上，以及第一高頻率電力供應器 33 係連接至該靜電夾頭 32b。

再者，一幾乎呈圓柱型之防止黏附板 34 係設置低壓處理室 31 中，以供圍繞晶圓臺 32，以及防止黏附板 34 的上方部分係由石英板 34a 所封閉。再者，連接至高頻電力供應器 35 之天線線圈 36 係安裝在石英板 34a 上。電漿是在防止黏附板 34 中，藉由供應高頻電力至天線線圈 36 所產生。氣體導引管 40 係連接至由防止黏附板 34 及石英板 34a 圍繞之蝕刻氣體環境。因此，在如第 2F 圖及第 2G 圖所示的蝕刻步驟中，引入分別適用於蝕刻第一導電性薄膜 15、鐵電薄膜 16 及第二導電性薄膜 17 的氣體。在此例子中，作為構成第一導電性薄膜 15 及第二導電性薄膜 17 的材料可應用例如化學安定之銥(Ir)、鉑(Pt)等貴金屬，其氧化物或其類似物。

此外，排氣管 31a 係連接至低壓處理室 31，以及開口 34b 係形成於防止黏附板 34 之接近排氣管 31a 的部分

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

中。加載互鎖真空室 38 係經由柵型閥 37 而設置在毗鄰低壓處理室 31 處。接著，藉由窗板 34c 開啟／關閉之晶圓承載埠係形成於防止黏附板 34 位在接近加載互鎖真空室 38 的部分中。

- 5 接下來，電極材料薄膜及鐵電薄膜的蝕刻所使用的設備將在下文中解釋說明。

(電極材料薄膜的蝕刻)

首先，蝕刻速率及溫度之間的關係係藉由蝕刻使用於作為電極材料銱 (Ir) 薄膜來檢驗。晶圓臺 32 的溫度係  
10 在 250°C 至 400°C 之範圍內改變，處於下述之蝕刻條件下：  
：蝕刻氣體環境的壓力係設定為 0.5 Pa，自第二高頻電力供應器 35 至天線線圈 36 的源極電力係設定至 800 瓦特，以及來自第一高頻電力供應器 33 的偏壓電力係設定為 300 瓦特。

- 15 在第 4 圖中，顯示當分別使用含有鹵素的氣體，亦即 HBr 及 Ar 的混合氣體，SF<sub>6</sub> 及 Ar 的混合氣體，及 Cl<sub>2</sub> 及 Ar 的混合氣體，銱 (Ir) 薄膜蝕刻速率對臺溫度的依賴關係。

HBr 及 SF<sub>6</sub> 的蝕刻速率具有溫度依賴性，但 Cl<sub>2</sub> 的蝕  
20 刻速率不具有溫度依賴性。因此，可以說是若晶圓臺 32 係設定至高溫，則 Cl<sub>2</sub> 之化學反應性的改良無法預期，但若晶圓臺 32 係設定至高溫，則 SF<sub>6</sub> 或 HBr 之化學反應性可以改良。

然而，因為 SF<sub>6</sub> 具有太強的反應性，第 2F 圖顯示之

## 玖、發明說明

金屬光罩 18 係被蝕刻且未被固持，且亦難以穩定地控制其蝕刻速率。

結果，若晶圓臺 32 設定至 300°C 或更高的高溫，藉由使用 HBr，例如銱 (Ir)、鉑 (Pt) 等，或其氧化物之貴金屬的薄膜可藉由化學反應蝕刻成幾乎垂直的形狀。

銱 (Ir) 薄膜、氧化銱 (IrOx) 薄膜及鉑 (Pt) 薄膜的蝕刻形狀可在 250°C 至 600°C 範圍內，利用 HBr，藉由改變晶圓臺 32 的溫度來檢驗。結果，不論材料的差異有否，藉由使用 HBr 在 300°C 至 600°C 下進行蝕刻，可獲得之貴金屬或其氧化物的蝕刻形狀，比習知技術產生者更接近垂直的形狀。

附帶一提的是，因為構成 HBr 的氫是有反應性的，HBr 使例如 PZT 等之鐵電薄膜降解，且因此無法獲得所欲的電容器特性。因此，除了 HBr 之外，亦同時將 O<sub>2</sub> 引入蝕刻氣體環境中。換言之，氫的影響可藉由使氫與氧反應以產生水而去除。因為水具有低沸點及容易在此低壓下藉由將溫度設定至高溫來揮發，故在蝕刻時，氫難以進入鐵電電容器中。

接下來，當完成的鐵電電容器係製備以作為特性測定樣品且電容器的性能亦藉由在 400°C 下及在晶圓臺 32 上，曝露樣品至 HBr 電漿來測定時，獲得如第 8 圖所示的結果。在此檢驗中，樣品電容器的極化電荷量 Q<sub>sw</sub> 係藉由將供應至防止黏附板 34 之氧密度由 0% 改變至 50% 來檢驗，以及檢驗條件為：蝕刻氣體環境的壓力係設定至

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

0.5 Pa，自第二高頻電力供應器 35 至天線線圈 36 的源極電力係設定至 800 瓦特，以及來自第一高頻電力供應器 33 供應至靜電夾頭 32b 的偏壓電力係設定為 0 瓦特。

5 根據第 5 圖，可發現到若  $O_2$  增加至 10% 或更多，可抑制電容器的退化。如第 5 圖所示的極化電荷量  $Q_{sw}$  係藉由設定供應至電容器的電壓為  $\pm 5V$  而獲得。在第 5 圖，“頂部”、“中心”及“底部”分別意指當上方形成有多數電容器之半導體晶圓的定向平面朝向下時，半導體晶圓的位置。

10 接下來，當藉由改變由 HBr 及  $O_2$  組成之混合氣體中的  $O_2$  密度來測定蝕刻速率時，獲得如第 6 圖所示的實驗結果。根據第 6 圖，即使  $O_2$  密度設定至大於 80%，仍可獲得銱 (Ir) 薄膜、氧化銱 ( $IrO_x$ ) 薄膜，及鉑 (Pt) 薄膜的充分蝕刻速率，且因此不會顯現出預期的蝕刻速率極端降低。因此，已發現由 HBr 及  $O_2$  組成的混合氣體具有

15 足夠效能以作為貴金屬及其氧化物的蝕刻劑。再者，雖然在第 6 圖中未顯示，即使當晶圓加熱溫度設定至  $700^\circ C$  時，仍可獲得足夠的蝕刻速率。在此例子中， $SiO_2$  的蝕刻速率稍微增加。

20 第 6 圖中顯示的實驗係藉由將供應至防止黏附板 34 之 HBr- $O_2$  氣體中的  $O_2$  密度由 50% 改變至 90% 來進行，以及操作條件為：圓柱形防止黏附板 34 中的壓力係設定至 0.5 Pa，自第二高頻電力供應器 35 至天線線圈 36 的源極電力係設定至 800 瓦特，以及來自第一高頻電力供應器

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

33 的偏壓電力係設定為 300 瓦特。

5 接下來，當銱 (Ir) 薄膜、氧化銱 (IrOx) 薄膜、鉑 (Pt) 薄膜及氧化矽 (SiO<sub>2</sub>) 薄膜的蝕刻速率係藉由改變偏壓電力來檢驗，同時將 HBr-O<sub>2</sub> 電漿中的 O<sub>2</sub> 密度固定至 80% 時，可獲得第 7 圖所示的結果。

10 根據第 7 圖，銱 (Ir) 薄膜、氧化銱 (IrOx) 薄膜及鉑 (Pt) 薄膜的蝕刻速率可藉由增加偏壓電力來改良，但是氧化矽 (SiO<sub>2</sub>) 薄膜的蝕刻速率隨偏壓電力增加的程度不如銱 (Ir) 薄膜、氧化銱 (IrOx) 薄膜及鉑 (Pt) 薄膜顯著。在未使用 HBr 及 O<sub>2</sub> 的一般蝕刻處理中，若增加偏壓電力，導電薄膜相對於氧化矽薄膜的選擇性蝕刻比例係顯著地降低。

結果，對氧化矽薄膜的選擇性蝕刻比例可藉由增加偏壓電力來改良，其為高溫蝕刻的特徵。

15 在蝕刻速率測量實驗中，來自第一高頻電力供應器 33 的偏壓電力係由 200 瓦特改變至 400 瓦特，其操作條件為：蝕刻氣體環境的壓力係設定至 0.5 Pa，自第二高頻電力供應器 35 至天線線圈 36 的源極電力係設定至 800 瓦特，以及在供應至圓柱形防止黏附板 34 之 HBr-O<sub>2</sub> 混合  
20 氣體中的 O<sub>2</sub> 密度係設定至 80%。

根據上述實驗結果，可發現到貴金屬及其氧化物之高速且高選擇性蝕刻可藉由調整基板溫度、偏壓電力、氣體混合比例等，同時利用由 HBr 及 O<sub>2</sub> 組成之混合氣體來達成。

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

換言之，由抑制電容器性能退化的觀點來看，HBr-O<sub>2</sub> 混合氣體中的 O<sub>2</sub> 密度必須設定為至少 10%。再者，由蝕刻速度的觀點來看，O<sub>2</sub> 密度必須設定至低於 90%。再者，若晶圓臺 32 的溫度係設定至超過 300°C 的高溫的話，同時使用含有 HBr 及 O<sub>2</sub> 的氣體，則可能蝕刻例如銱 (Ir) 及鉑 (Pt) 等貴金屬或其氧化物，該貴金屬或其氧化物係在選擇性地高蝕刻速率下，自構成基底絕緣薄膜 10b 的氧化矽 (SiO<sub>2</sub>)，用於作為鐵電電容器及高介電電容器的電極材料。

10 接著，在此蝕刻條件下，以上述實驗結果為基礎來設定電極材料薄膜的圖案化將於下文中解釋說明。

首先，在如第 2F 圖及第 2G 圖所示的圖案化步驟中，HBr-Ar 氣體係用於蝕刻構成上部電極 17a 之第二導電性薄膜 17，以及 Cl<sub>2</sub>-Ar 氣體係用於蝕刻構成介電薄膜 15 16a 之 PZT 薄膜 16。且，HBr-O<sub>2</sub> 氣體係用於蝕刻構成下部電極 15a 的第一導電性薄膜。

在此，蝕刻係藉由改變氧氣的密度來進行，該氧氣的引入量為 20% 至 90%，以蝕刻第一導電性薄膜 15，同時固定該第二導電性薄膜 17 及 PZT 薄膜 16 的蝕刻條件。再者，具有電容器平面形狀的金屬光罩係用於蝕刻中。

根據此實驗，獲得如第 8A 至 8D 圖所示的結果。

第 8A 圖顯示利用氧氣密度為 20% 之 HBr-O<sub>2</sub> 混合氣體，蝕刻第一導電性薄膜 15 以形成下部電極 15a 後的狀態。據此，沈積物 D 係黏附在電容器 Q 的側壁上。

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

第 8B 圖顯示利用氧氣密度為 50% 之 HBr-O<sub>2</sub> 混合氣體，蝕刻第一導電性薄膜 15 以形成下部電極 15a 後的狀態。據此，沈積物 D 係黏附在電容器 Q 的側壁上。

第 8C 及 8D 圖分別顯示利用氧氣密度為 80% 及 90% 之 HBr-O<sub>2</sub> 混合氣體，蝕刻第一導電性薄膜 15 以形成下部電極 15a 後的狀態。據此，在電容器之側壁上未發現沈積物的產生。

結果，發現到黏附在電容器之側壁上的沈積物可藉由增加氧氣密度來抑制。

對 HBr-O<sub>2</sub> 混合氣體中的 O<sub>2</sub> 密度而言，由抑制電容器性能退化的觀點來看，要求 HBr-O<sub>2</sub> 混合氣體中的 O<sub>2</sub> 密度至少為 10%。由抑制側壁沈積物的觀點來看，要求 80% 或以上。再者，如第 6 圖所示，較佳地，由蝕刻速度的觀點來看，O<sub>2</sub> 密度必須設定至低於 90%。

因此，HBr-O<sub>2</sub> 混合氣體中適當的 O<sub>2</sub> 密度為 80% 至 90%。且，若使用含有 HBr 及 O<sub>2</sub> 的氣體且臺溫度係設定至高於 300°C 的高溫時，由例如銱 (Ir) 及鈦 (Pt) 等貴金屬或其氧化物製成的薄膜，其係用於作為鐵電電容器及高介電電容器的電極材料，可被蝕刻成幾乎垂直的形狀，而未在電容器的側壁上形成柵籬。

另一方面，亦檢驗利用含有 Cl<sub>2</sub> 之氣體進行之電極材料的蝕刻。電極材料薄膜可藉由使用含有 Cl<sub>2</sub> 之氣體來蝕刻，但在蝕刻銱 (Ir) 薄膜或氧化銱 (IrO<sub>x</sub>) 薄膜時，導電性柵籬係形成在電容器之側表面上，且在蝕刻鈦 (Pt)

☐續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

薄膜時，產生大量的顆粒性產物。

因此，含有  $\text{Cl}_2$  的氣體不適用於作為電極材料薄膜的蝕刻氣體。然而，若可去除柵籬，則也可使用氟氣。

第 9 圖顯示電容器 Q 的截面形狀，該電容器係藉由  
5 利用  $\text{Cl}_2$ -Ar 混合氣體電漿蝕刻供作為鐵電薄膜 16 的 PZT  
薄膜，以及利用  $\text{Cl}_2$ - $\text{O}_2$  混合氣體電漿蝕刻供作為上部電  
極 17a 及下部電極 15a 之第一及第二導電性薄膜 15、17  
所獲得。根據第 9 圖，可看到導電性柵籬係形成在電容  
器 Q 的側表面。在蝕刻此等導電性薄膜 15、17 時， $\text{Cl}_2$   
10 及  $\text{O}_2$  係分別以流速 10 sccm 及 40 sccm，引入蝕刻氣體環  
境中。

第 10 圖顯示電容器 Q 的截面形狀，該電容器係藉由  
利用  $\text{Cl}_2$ -Ar 混合氣體電漿蝕刻供作為鐵電薄膜 16 的 PZT  
薄膜，以及利用 HBr- $\text{O}_2$  混合氣體電漿蝕刻供作為上部電  
15 極 17a 及下部電極 15a 之第一及第二導電性薄膜 15、17  
所獲得。

根據第 10 圖，在電容器 Q 的側表面上沒有導電性柵  
籬形成。在蝕刻此等導電性薄膜 15、17 時，HBr 及  $\text{O}_2$  係  
分別以流速 10 sccm 及 40 sccm，引入蝕刻氣體環境中。

20 在此例子中，氟氣係有效地自電容器 Q 的側表面去  
除柵籬。因此，氟氣可添加至含有 HBr 或  $\text{Cl}_2$  的氣體中。

(鐵電材料薄膜之蝕刻)

接著，構成電容器之鐵電薄膜的圖案化將於下文  
解釋說明。

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

當蝕刻構成電容器的鐵電薄膜時，重要的是不僅不在電容器的側表面上形成柵籬，也不使電容器性能之退化惡化。

首 當檢驗蝕刻速率對溫度的依賴性時，若藉由  
5 利用 HBr-Ar 混合氣體蝕刻 PZT 薄膜，獲得如第 11 圖所示的結果。發現到蝕刻速率對於溫度沒有依賴性。因此，大部分使用 HBr-Ar 混合氣體之 PZT 薄膜的蝕刻起源於濺射的 PVD。

對於此類例子中的蝕刻設備，使用如第 3 圖所示的  
10 ICP 電漿蝕刻設備。在第 11 圖所示的實驗中，晶圓臺溫度係在下述的條件下，由 250°C 改變至 400°C：圓柱形防止黏附板 34 中的壓力係設定至 0.5 Pa，自第二高頻電力供應器 35 至天線線圈 36 的源極電力係設定至 800 瓦特，以及來自第一高頻電力供應器 33 的偏壓電力係設定為  
15 300 瓦特。

接著，當使用 HBr-Ar 混合氣體作為蝕刻氣體時，  
IrO<sub>2</sub> 薄膜、PZT 薄膜及 Pt 薄膜之蝕刻速率對偏壓電力的依賴性的實驗結果係顯示於第 12 圖中。

根據第 12 圖，顯見利用 HBr-Ar 混合氣體電漿之  
20 PZT 薄膜的蝕刻速率很少依賴偏壓電力。此外，在利用 HBr-Ar 混合氣體電漿之 PZT 薄膜的蝕刻中，不期待以化學反應為主的蝕刻，且因此即使調整偏壓電力等，亦無法進行高速蝕刻。

對於在此例子中的蝕刻設備，使用如第 3 圖所示的  
□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

ICP 電漿蝕刻設備。在第 12 所示的實驗中，來自第一高  
頻電力供應器 33 的偏壓電力係在下述條件下，自 200 瓦  
特改變至 400 瓦特：圓柱形防止黏附板 34 中的壓力係設  
定至 0.5 Pa，自第二高頻電力供應器 35 至天線線圈 36 的  
5 源極電力係設定至 800 瓦特，以及晶圓臺溫度係設定至  
400°C。

接下來，當將完成的鐵電電容器製備成特性測定樣品  
時，以及亦藉由將樣品在 400°C 的晶圓臺 32 上，暴露至  
各種不同的氣體電漿中，以檢測電容器的極化電荷量  $Q_{sw}$   
10 時，獲得如第 13 圖所示的結果。第 13 圖所示的極化電荷  
量  $Q_{sw}$  係藉由將供應至電容器之電壓設定至 5V 而獲得。  
使用於此檢測中的蝕刻設備為如第 3 圖所示的 ICP 電漿  
蝕刻設備。

在第 13 圖之  $\text{—}$  至  $\text{—}$  中，在 HBr、Ar 及 Cl 前的數字  
15 分別表示流速，溫度為電漿中的基板溫度，以及  $O_2ANL$   
表示氧氣退火。

在此實驗中，蝕刻氣體環境中的壓力係設定至 0.5Pa  
，自第二高頻電力供應器 35 至天線線圈 36 的源極電力係  
設定至 800 瓦特，以及來自第一高頻電力供應器 33 至靜  
20 電夾頭的偏壓電力係設定為 0 瓦特。

如第 13 圖之  $\text{—}$  及  $\text{—}$  所示，暴露至含有 Ar 之 HBr 氣  
體電漿的電容器的性能可觀地劣化。再者，如第 13 圖之  
 $\text{—}$  及  $\text{—}$  所示，電容器的極化電荷量  $Q_{sw}$  無法充分回覆，即  
使暴露至含有 Ar 之 HBr 氣體電漿的電容器稍後在氧氣氣

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

體環境中退火。然而，如第 13 圖之十及●所示，暴露至 Cl<sub>2</sub> 電漿氣體或 Ar 電漿氣體的電容器之性能係很少劣化。再者，晶圓臺的溫度幾乎不影響電容器的退化。以此等結果為基礎，含有 Cl<sub>2</sub> 之氣體係適用於鐵電材料薄膜的蝕刻。

在此具體例中，利用 HBr 及 O<sub>2</sub> 混合氣體之電漿的 PZT 薄膜之蝕刻速率是低的，該電漿係使用於電極材料薄膜之蝕刻。再者，因為 PZT 薄膜的蝕刻速率不會變高，即使將 O<sub>2</sub> 添加至氯氣(Cl<sub>2</sub>)中，較佳地，除了氧氣以外的氣體應在蝕刻鐵電薄膜或高介電薄膜時引入。

另外，在第 2F 圖中，作為鐵電材料之 PZT 薄膜 16 的基底薄膜為 Pt 薄膜 14。PZT 薄膜 16 係藉由如上述含有 Cl<sub>2</sub> 的氣體來蝕刻，在 PZT 薄膜 16 之表面上出現不均勻性。因此，當藉由使用終端檢裝置 (EPD) 元件來檢測 PZT 薄膜 16 之適量蝕刻之狀態時，使基底 Pt 薄膜 14 達到經可觀之蝕刻的狀態。結果，自 Pt 薄膜 14 產生之顆粒狀產物係黏附在 PZT 薄膜 16 的蝕刻側表面上。

大部分顆粒狀產物係藉由使用於蝕刻的 HBr-O<sub>2</sub> 混合氣體電漿來去除，該蝕刻係應用於形成下部電極，但是一部分顆粒狀產物仍然餘留在 PZT 薄膜的蝕刻側表面上。因為顆粒狀產物為導電性物質，此類顆粒狀產物造成電容器漏電。

因此，重要的是儘可能在蝕刻 Pt 薄膜時，不產生顆粒狀產物。

☑續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

因此，進行抑制顆粒狀產物的實驗。

在此等實驗中，檢查三項目，亦即晶圓臺溫度的改變、在蝕刻反應氣體環境中壓力的改變，以及  $\text{Cl}_2$  分壓的改變。實驗結果如第 14A 及 14B 圖、第 15A 及 15B 圖，以及第 16A 及 16B 圖所示。

第 14A 圖顯示在 PZT 薄膜在  $400^\circ\text{C}$  之晶圓臺溫度下蝕刻後的狀態，以及第 14B 圖顯示 PZT 薄膜在  $350^\circ\text{C}$  之晶圓臺溫度下蝕刻後的狀態。在此等例子中， $\text{Cl}_2$  及 Ar 係分別以流速 40 sccm 及 10 sccm 引入蝕刻氣體環境中，以維持蝕刻氣體環境的壓力為 0.15 Pa。

再者，第 15A 圖顯示 PZT 薄膜在蝕刻氣體環境之壓力為 0.4 Pa 下，蝕刻後的狀態，以及第 15B 圖顯示 PZT 薄膜在蝕刻氣體環境之壓力為 0.15 Pa 下，蝕刻後的狀態。在此等例子中， $\text{Cl}_2$  及 Ar 係分別以流速 40 sccm 及 10 sccm 引入蝕刻氣體環境中，以及晶圓臺溫度係設定至  $350^\circ\text{C}$

此外，第 16A 圖顯示藉由將  $\text{Cl}_2$  及 Ar 分別以流速 40 sccm 及 10 sccm 引入蝕刻氣體環境中，蝕刻 PZT 薄膜後的狀態，以及第 16B 圖顯示藉由  $\text{Cl}_2$  及 Ar 分別以流速 10 sccm 及 40 sccm 引入蝕刻氣體環境中，蝕刻 PZT 薄膜後的狀態。在此等例子中，蝕刻氣體環境係設定至 0.15 Pa 及晶圓臺溫度係設定至  $350^\circ\text{C}$ 。

在第 14A 圖、第 15A 圖及第 16A 圖中，可瞭解到許多顆粒性產物係黏附至 PZT 薄膜的側表面。相對地，在

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

第 14B 圖、第 15B 圖及第 16B 圖中，顆粒性產物未黏附至 PZT 薄膜的側表面，且即使有顆粒產物黏附的話，也僅有小量的顆粒性產物黏附。

5 根據此等藉由改變參數所獲得的實驗結果，抑制在電容器之側表面上產生此產物的效果可藉由降低晶圓臺溫度、降低氣體環境中的壓力，以及降低氯氣之分壓來達成。換言之，可以說是應抑制  $\text{Cl}_2$  及 Pt 間的反應。

10 在第 14A 圖及第 14B 圖，第 15A 圖及第 15B 圖，以及第 16A 圖及第 16B 圖，當 PZT 薄膜適量蝕刻時，在電容器形狀圖案周圍的 Pt 薄膜的表面上出現不均勻性，以及部分 PZT 薄膜仍如基底 Pt 薄膜上的顆粒般留。

15 在蝕刻 PZT 鐵電薄膜 16 後， $\text{HBr-O}_2$  混合氣體電漿係用於蝕刻第一導電性薄膜 15，因為利用此種氣體電漿的 PZT 蝕刻速率低，PZT 之殘餘物係用於作為光罩且因此蝕刻殘餘物發生在第一導電性薄膜 15 上。為了克服此缺點，在蝕刻 PZT 薄膜後，必須施行約 20% 薄膜厚度的過分蝕刻。

20 相對地，當在 PZT 顆粒殘餘物不產物的條件下蝕刻 PZT 薄膜時，側表面的錐度角變得較平緩（減少量較小）。

舉例而言，為了不在電容器之側壁上產生蝕刻殘餘物，利用濺射的蝕刻元素可藉由抑制利用化學反應之蝕刻而增加，但是電容器的錐度角度變得平緩。對於抑制利用化學反應之蝕刻的方法，有一種方法是在蝕刻時降低晶圓臺

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

的溫度。第 17A 圖顯示在晶圓臺溫度為 300°C 下，藉由蝕刻第二導電性薄膜 17 至第一導電性薄膜 15 形成電容器 Q 的狀態。再者，第 17B 圖顯示在晶圓臺溫度為 400°C 下，藉由蝕刻第二導電性薄膜 17 至第一導電性薄膜 15 形成電容器 Q 的狀態。

顯示於第 17A 圖之電容器的側表面之錐度角  $\theta$  變成 76 度。相對地，顯示於第 17B 圖之電容器的側表面之錐度角  $\theta$  變成 79 度。

為了在 PZT 薄膜蝕刻後不產生顆粒殘餘物，可有效地使用二步驟蝕刻進行 PZT 薄膜的蝕刻。換言之，顆粒殘餘物的產生可藉由抑制藉由與 Pt 薄膜反應來抑制，其係利用在第一步驟中進行  $\text{Cl}_2$  及 PZT 之間的反應性蝕刻，以及在 PZT 薄膜適量蝕刻之前，接著改變晶圓臺溫度、氣體流速、反應壓力等，來進行濺射-反應性蝕刻以作為第二步驟，藉此暴露基底 Pt 薄膜。

(蝕刻後之電漿後處理)

對於電容器之側表面的錐度角的改良，於蝕刻時添加例如  $\text{CF}_4$ 、 $\text{C}_4\text{F}_8$  或  $\text{CHF}_3$  等氟氣是有效的。再者，蝕刻速率可藉由添加氟氣而改良。

舉例而言，在一些例子中，在藉由蝕刻第一導電性薄膜、鐵電薄膜，以及第二導電性薄膜後，側壁的沈積物係黏附在電容器的側壁上。因此，做實驗來去除側壁沈積物。

首先，用於堆積式電容器之多層薄膜係如同樣品般蝕

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

刻，同時使用具有雙層結構之金屬光罩 18，該光罩係藉由依序形成厚度  $0.2 \mu\text{m}$  之 TiN 薄膜及厚度  $1.2 \mu\text{m}$  之氧化矽薄膜（TEOS 氧化物薄膜）而獲得，以及接著去除作為金屬光罩之 TEOS 氧化物薄膜。氧化物薄膜係利用

5 TEOS 作為源極而製成。

接著，當樣品暴露至電漿氣體環境中時，其中 HBr、 $\text{O}_2$  及  $\text{C}_4\text{F}_8$  係分別以流速 5 sccm、45 sccm 及 5 sccm 注入該氣體環境中達 15 秒，可去除黏附在電容器之側壁上的沈積物。在此蝕刻過程中，氣體環境中的壓力係設定為

10 0.4 Pa，源極電力係設定至 800 瓦特，偏壓電力係設定至 700 瓦特，以及臺溫度係設定至  $400^\circ\text{C}$ 。

結果，可發現到，在去除金屬光罩後，若將電容器的側壁在 HBr、 $\text{O}_2$  及  $\text{C}_4\text{F}_8$  組合之混合氣體電漿中暴露一相當短的時間，可去除側壁沈積物。

15 附帶一提的是，氟氣的添加具有使沈積產物不黏附在電容器之側壁上的功效。據此，可降低電容器的洩漏電流以及可使電容器之側壁的角度增加較大。

如上所述，在蝕刻以形成下部電極時，較佳地，應將 HBr 及  $\text{O}_2$  引入蝕刻氣體環境中，但側壁沈積物未完全藉

20 由過度蝕刻而去除。考慮其理由可為因為蝕刻氣體的反應性不佳，蝕刻產物再度黏附在在電容器的側壁上。因此，在蝕刻中藉由添加氟氣至蝕刻氣體中來改良反應性將於下文中解釋說明。

第 18 圖中顯示當蝕刻作為下部電極 15a 之第一導電

## 玖、發明說明

性薄膜 15 時，在  $C_4F_8$  以流速 5 sccm 添加至蝕刻氣體中的條件下，洩漏電流的檢驗結果。在此例子中，源極電力係由 800 瓦特增加至 1000 瓦特，以及偏壓電力係由 700 瓦特降低至 500 瓦特，以供降低供應至半導體晶圓的電壓

5 。

根據第 18 圖，皆具有下部電極之電容器（#17, #19）的洩漏電流可改良達 2 至 3 位數，其中該下部電極係在將  $C_4F_8$  引入蝕刻氣體中的條件下部電極之電容器（#10），其中該下部電極係在未添加

10  $C_4F_8$  的條件下形成。

具有下部電極之電容器（#17, #19）的側壁，相對於基底絕緣膜 10b 之錐度角  $\theta$  為 84 度，其中該下部電極係在將  $C_4F_8$  引入蝕刻氣體中的條件下形成。相對地，具有下部電極之電容器（#10）之側壁，相對於基底絕緣膜

15 10b 之錐度角  $\theta$  為 80 度，其中該下部電極係在未添加  $C_4F_8$  的條件下形成。

構成此等電容器之上部電極（第二導電性薄膜）、鐵電薄膜，及下部電極之構成材料及蝕刻條件係揭示於表 1、表 2 及表 3 中。

20

## 玖、發明說明

表 1

電容器 (#10) 蝕刻條件

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40 Ar:10	400	EPD
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	60%OE

表 2

電容器 (#17) 蝕刻條件

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40 Ar:10	400	EPD
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	1000	500	HBr:10 O <sub>2</sub> :40, C <sub>4</sub> F <sub>8</sub> :5	400	60%OE

表 3

電容器 (#19) 蝕刻條件

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40, Ar:10 C <sub>4</sub> F <sub>8</sub> :2	400	EPD
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	1000	500	HBr:10, O <sub>2</sub> :40 C <sub>4</sub> F <sub>8</sub> :5	400	60%OE

## 玖、發明說明

附帶一提的是，在蝕刻時添加氟氣來圖案化作為電容器之電極的導電性薄膜，亦可具有使蝕刻穩定化的效果。舉例而言，即使在蝕刻中，在如第 3 圖所示的蝕刻設備中的累積之經處理片材數目，圖案化導電性薄膜所需的蝕刻時間並未增加，而係維持恆定。除非添加氟氣，否則導電性薄膜的蝕刻時間係隨著蝕刻中累積之經處理片材的增加而延長。

(其他形成電容器的例子)

與第 2H 圖不同之形成具有下部電極結構之電容器的步驟係顯示於第 19A 圖及第 19B 圖。

首先，如第 19A 圖所示，厚度 200 nm 之鈦薄膜 51a、厚度 30 nm 之氧化鈦薄膜 51b，厚度 23 nm 之氧化鉑薄膜 51c，以及厚度 50 nm 之鉑薄膜 51d 係依序地形成在基底絕緣薄膜 10b 上，以及此多層結構薄膜係用於作為第一導電性薄膜 15。接著，在第一導電性薄膜 15 上形成厚度 200 nm 之 PZT 薄膜作為鐵電薄膜 16，以及接著在鐵電薄膜 16 上形成厚度 200 nm 之 IrOx 薄膜作為第二導電性薄膜 17。接著在第二導電性薄膜 17 上依序形成厚度 200 nm 之 TiN 薄膜 18a，以及厚度 1000 nm 之氧化矽薄膜 18b。氧化矽薄膜 18b 係使用 TEOS 作為生長源來生長。

再者，藉由蝕刻 TiN 薄膜 18a 及氧化矽薄膜 18b，同時使用具有電容器平面形狀之光阻圖案來形成金屬光罩 18。在此例子中，氧化矽薄膜 18b 及 TiN 薄膜 18a 係使用個別的蝕刻器分別蝕刻。蝕刻以形成電容器的細節將顯

☐續次頁(發明說明頁不敷使用時，請註記並使用續頁)

## 玖、發明說明

示於下文中。

當具有堆積結構的電容器被形成時，蝕刻係以抑制電容器的退化及在電容器之側表面形成柵籬之蝕刻步驟來進行。第一及第二導電性薄膜 15, 17 係藉由使用含有 HBr 之氣體來蝕刻，以及 PZT 鐵電薄膜 16 係藉由使用含有 Cl<sub>2</sub> 之氣體來蝕刻。在此例子中，係應用 3-步驟的蝕刻。

因為 PZT 薄膜係難以藉由 HBr 氣體來蝕刻，產生電容器性能的退化。因此，PZT 薄膜係藉由 Cl<sub>2</sub> 氣體來蝕刻。再者，若將 O<sub>2</sub> 添加至 Cl<sub>2</sub> 氣體，PZT 薄膜之蝕刻速率可觀地降低至在第一導電性薄膜 15 上產生蝕刻殘餘物，以及因此在 PZT 薄膜的蝕刻過程中不添加氧氣。此外，如上所述，蝕刻側表面之錐度角上的改良，蝕刻側表面上沈積物之黏附作用的抑制，以及薄膜之蝕刻速率的改良可藉由添加氟氣獲得。

結果，氟氣可在每一蝕刻步驟中添加。若 PZT 鐵電薄膜 16 之基底薄膜為 Pt 薄膜 51d，顆粒產物係產生且黏附至電容器的側壁，因為 Pt 薄膜 51d 係藉由 Cl<sub>2</sub> 電漿來蝕刻。為了抑制此情況，進行 2-步驟之方法至某種程度，以致使 PZT 鐵電薄膜 16 蝕刻後，晶圓臺溫度降低，或者可應用在此 PZT 鐵電薄膜 16 難以與 Pt 薄膜 51d 反應的條件下，蝕刻 PZT 鐵電薄膜 16。因此，電容器可藉由 4-步驟蝕刻方法形成。

再者，在此有每一蝕刻步驟中，晶圓臺溫度的最適

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

值不同的狀況。在此情況中，可應用改變每一步驟中蝕刻處理室的方法，以獲得符合作業流程的蝕刻方法。再者，在去除金屬光罩 18 後，電容器之側壁沈積物可藉由電漿後處理去除。此等蝕刻方法的例子係顯示於下文中，但仍

5 有許多其他的蝕刻方法。

根據此類蝕刻，形成具有如第 19B 圖所示結構的電容器。更特別地，電容器之上部電極 17a 係藉由使用金屬光罩 18 蝕刻第二導電性薄膜 17，及接著藉由蝕刻鐵電薄膜 16 形成電容器之介電薄膜 16a，以及接著藉由蝕刻第

10 一導電性薄膜 15 形成電容器之下部電極 15a。

在此例子中，氧化物薄膜蝕刻器係用於去除構成金屬光罩 18 之氧化矽薄膜 18b，以及使用下游灰化器或過氧化氫去除 TiN 薄膜 18a。

接下來，用於使如第 19A 圖所示之多層結構薄膜圖

15 案化的蝕刻條件之例子係如表 4 至表 8 所示。多層結構薄膜的厚度係如上文所述。另外，在表 4 至表 8 中，“OE”表示以薄膜厚度表示之過度蝕刻量，以及“EPD”表示藉由使用終點檢測裝置來停止蝕刻。

## 玖、發明說明

表 4

## 蝕刻 1

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40, Ar:10	400	EPD
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	800	700	HBr:10, O <sub>2</sub> :40	400	60%OE

表 5

## 5 蝕刻 2

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40 Ar:10	400	30-秒 蝕刻
2-步驟蝕刻	0.15	800	700	Cl <sub>2</sub> :10 Ar:2.5	400	20%OE
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	800	700	HBr:10, O <sub>2</sub> :40	400	60%OE

表 6

## 蝕刻 3

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40, Ar:10 C <sub>4</sub> F <sub>8</sub> :5	400	EPD
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	800	700	HBr:10, O <sub>2</sub> :40 C <sub>4</sub> F <sub>8</sub> :5	400	60%OE

## 玖、發明說明

表 7

## 蝕刻 4

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40, Ar:10	350	EPD
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	800	700	HBr:10, O <sub>2</sub> :40	400	60%OE

表 8

## 5 蝕刻 5

	壓力 (Pa)	源極電 力(瓦特)	偏壓電 力(瓦特)	氣體速率： 流速(sccm)	晶圓臺 溫度(°C)	其他
上部電極 (IrO <sub>x</sub> )	0.4	800	700	HBr:10 O <sub>2</sub> :40	400	10%OE
鐵電薄膜 (PZT)	0.4	800	700	Cl <sub>2</sub> :40, Ar:10	400	EPD
下部電極 (Pt/PtO/ IrO <sub>x</sub> /Ir)	0.4	800	700	HBr:10, O <sub>2</sub> :40	400	60%OE
電漿 後處理	0.4	800	700	HBr:10, O <sub>2</sub> :40 C <sub>4</sub> F <sub>8</sub> :5	400	15 秒

在表 4 中，採已描述之蝕刻條件。

在表 5 中，當 PZT 薄膜之基底薄膜為 Pt 薄膜時，當利用 Cl<sub>2</sub> 蝕刻 Pt 薄膜時產生顆粒性產物。為了抑制此產物的產生，PZT 蝕刻係應用如同 2-步驟蝕刻般之難以與 Pt 反應的條件來進行。當然，所有 PZT 薄膜可在與 PZT

## 玖、發明說明

薄膜蝕刻之第 2 步驟蝕刻條件相同的條件下，進行蝕刻，該條件係難以與 Pt 反應。

在表 6 中，例如錐度角上的改良、側壁上之沈積作用的抑制，以及蝕刻速率上的改良，可藉由添加氟氣來達成。因此，在表 7 及表 8 中，提供在 PZT 蝕刻中以及在下部電極蝕刻中，以 5 sccm 之流速添加  $C_4F_8$  氣體的例子。當然，此添加速率可在每一步驟中調整。

在表 7 中，若 PZT 薄膜之基底薄膜為 Pt 薄膜，當利用  $Cl_2$  蝕刻 Pt 薄膜時產生顆粒性產物。為了抑制此產物的產生，可應用降低蝕刻 PZT 薄膜時之晶圓臺溫度的方法，以降低與 Pt 的反應。在此例子中，PZT 薄膜之蝕刻側表面的錐度角變得平緩，可氟氣使錐度角變尖銳。再者，若改變 PZT 薄膜的蝕刻條件，蝕刻可在多數個具有個別條件之不同處理室中完成。

在表 8 中，有時候側室沈積物係在所有蝕刻完成後，黏附在電容器的側壁上。此沈積物可在藉由其他蝕刻設備或其他等效物去除光罩材料後，將電容器暴露至由 HBr、 $O_2$  及  $C_4F_8$  組成之混合氣體電漿中一段短時間而去除。電漿後處理可在另一處理室中進行。

在此例子中，電容器結構之下部電極可以單層結構形式建構，例如銱、氧化銱、鉑、氧化鉑或 SRO。舉例而言，下部電極可由銱薄膜形成，鐵電薄膜可由 PZT 形成，以及上部電極可由氧化銱形成，以致於可建構成電容器。此等個別的薄膜可藉由例如 MOCVD 方法形成。

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

在上述具體例中，已解釋說明鐵電電容器。當形成高介電電容器，其中介電材料係藉由高介電材料構成時，可應用上述蝕刻技術。

如上所述，根據本發明，當將構成電容器電極之導電性薄膜圖案化時，此類導電性薄膜係在含有 Br 之氣體環境中蝕刻，以及當將構成電容器介電薄膜之鐵電薄膜或高介電薄膜圖案化時，此類薄膜係在含有 Cl 之氣體環境中蝕刻。因此，電容器電極之側表面可尖銳化成幾乎垂直的形狀，以構成半導體元件的較高積體化，以及亦可抑制介電圖案之薄膜品質的退化，以及因此可防止電容器特性的劣化。

再者，根據本發明之另一態樣，當將構成電容器電極的導電性薄膜圖案化時，此類導電性薄膜係在含有氧氣的蝕刻氣體環境中蝕刻，以及當將構成電容器介電薄膜之鐵電薄膜或高介電薄膜圖案化時，此類薄膜係在不含有氧氣之蝕刻氣體環境中蝕刻。因此，若介電薄膜係由氧化物形成時，在蝕刻電容器電極時，可抑制介電薄膜的退化，以及在介電薄膜之蝕刻中，亦可防止蝕刻速率的降低。

### 【圖式簡單說明】

第 1A 及 1B 圖為顯示習知技術中形成電容器之步驟的截面圖；

第 2A 至 2J 圖為顯示根據本發明之一具體實施例之形成半導體元件之步驟的截面圖；

第 3 圖為顯示根據本發明之一具體實施例之用於形成

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

半導體元件的蝕刻設備的一實施例之結構圖；

第 4 圖為顯示用於根據本發明之一具體實施例之半導體元件之電容器電極之鈹的蝕刻速率與晶圓臺溫度之間的關係；

5 第 5 圖為顯示當根據本發明之一具體實施例的半導體元件的電容器暴露至由 HBr 及氧氣構成的混合氣體電漿中時，極化電荷量及氧氣密度之間的關係；

第 6 圖為顯示當利用由 HBr 及氧氣構成的混合氣體電漿分別蝕刻用於根據本發明之具體實施例之半導體元件的電容器電極的鈹薄膜、氧化鈹薄膜及鉑薄膜與用於作為絕緣薄膜的氧化矽薄膜時，蝕刻速率與 HBr 密度之間的關係；

第 7 圖為顯示當利用由 HBr 及氧氣構成的混合氣體電漿分別蝕刻用於根據本發明之具體實施例之半導體元件的電容器電極的鈹薄膜、氧化鈹薄膜及鉑薄膜與用於作為絕緣薄膜的氧化矽薄膜時，蝕刻速率與偏壓電力之間的關係；

第 8A 至 8D 圖為以顯微照片為基礎來說明之顯示回應用於形成根據本發明之具體實施例之半導體元件之電容器下部電極的 HBr-O<sub>2</sub> 混合氣體中 O<sub>2</sub> 密度改變之在電容器側表面上的導電性柵籬的黏附力狀態之透視圖；

第 9 圖為顯示當 Cl<sub>2</sub>-O<sub>2</sub> 混合氣體用於形成根據本發明之具體實施例之半導體元件的電容器電極時之電容器的截面圖；

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

第 10 圖為顯示當 HBr-O<sub>2</sub> 混合氣體用於形成根據本發明之具體實施例之半導體元件的電容器電極時之電容器的截面圖；

第 11 圖為顯示當 HBr-Ar 混合氣體用於蝕刻作為根據本發明之具體實施例之半導體元件之電容器介電薄膜的 PZT 薄膜時，晶圓臺溫度及蝕刻速率之間的關係圖；

第 12 圖為顯示當利用 HBr-Ar 混合氣體蝕刻用於根據本發明之具體實施例之半導體元件的電容器電極的氧化銦薄膜、PZT 薄膜及鉑薄膜時，偏壓電力與蝕刻速率之間的關係圖；

第 13 圖為當根據本發明之具體實施例之半導體元件之電容器暴露至各種不同的氣體電漿時，極化電荷量及處理條件之間的關係圖；

第 14A 及 14B 圖為以顯微照片為基礎來說明之顯示當蝕刻構成根據本發明之具體實施例之半導體元件的電容器的 PZT 薄膜中溫度改變時，在經蝕刻 PZT 薄膜的側表面上蝕刻產物之黏附力差異的透視圖；

第 15A 及 15B 圖為以顯微照片為基礎來說明之顯示當蝕刻構成根據本發明之具體實施例之半導體元件的電容器的 PZT 薄膜中壓力改變時，在經蝕刻 PZT 薄膜的側表面上蝕刻產物之黏附力差異的透視圖；

第 16A 及 16B 圖為以顯微照片為基礎來說明之顯示當蝕刻構成根據本發明之具體實施例之半導體元件的電容器的 PZT 薄膜中氣氣分壓改變時，在經蝕刻 PZT 薄膜的

□續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

側表面上蝕刻產物之黏附力差異的透視圖；

第 17A 及 17B 圖為顯示由於在蝕刻以形成根據本發明之具體實施例的半導體元件之電容器時，晶圓臺溫度之差異所造成的電容器側表面之錐度角差異的截面圖；

- 5 第 18 圖為顯示由於形成根據本發明之具體實施例的半導體元件之電容器的蝕刻條件差異，所造成之電容器泄漏電流差異的圖；以及

第 19A 及 19B 圖為顯示形成根據本發明之具體實施例之半導體元件的另一電容器的截面圖。

## 10 【圖式之主要元件代表符號表】

101	絕緣薄膜	4b	閘電極
102	第一金屬薄膜	5a	第一雜質擴散區域
102a	下部電極	5b	第二雜質擴散區域
103	鐵電薄膜	5c	第三雜質擴散區域
103a	介電薄膜	6	側壁間隔層
104	第二金屬薄膜	7	絕緣薄膜
104a	上部電極	8	第一中間層絕緣薄膜
105	光阻圖案	8a	第一接觸孔
106	電容器	8b	第二接觸孔
1	基板	8c	第三接觸孔
1a	井	9	第一導電性插塞
2	絕緣薄膜	10a	防止氧化薄膜
3	閘絕緣薄膜	10b	基底絕緣薄膜
4a	閘電極	11a	第二導電性插塞

☐續次頁（發明說明頁不敷使用時，請註記並使用續頁）

## 玖、發明說明

- |     |           |                |           |
|-----|-----------|----------------|-----------|
| 11b | 第三導電性插塞   | 31a            | 排氣管       |
| 12  | 銱薄膜       | 32             | 晶圓臺       |
| 13  | 氧化鉑薄膜     | 32a            | 加熱器       |
| 14  | 鉑薄膜       | 32b            | 靜電夾頭      |
| 15  | 第一導電性薄膜   | 33             | 第一高頻電力供應器 |
| 15a | 下部電極      | 34             | 防止黏附板     |
| 16  | 鐵電薄膜      | 34a            | 石英板       |
| 16a | 介電薄膜      | 34b            | 開口        |
| 17  | 第二導電性薄膜   | 34c            | 窗板        |
| 17a | 上部電極      | 35             | 第二高頻電力供應器 |
| 18  | 金屬光罩      | 36             | 電線線圈      |
| 18a | 氮化鈦薄膜     | 37             | 柵型閥       |
| 18b | 氧化矽薄膜     | 38             | 加載互鎖真空室   |
| 19  | 保護薄膜      | 40             | 氣體導引管     |
| 20  | 第二中間層絕緣薄膜 | 51a            | 銱薄膜       |
| 20a | 孔         | 51b            | 氧化銱薄膜     |
| 20b | 接觸孔       | 51c            | 氧化鉑薄膜     |
| 21  | 第四導電性插塞   | 51d            | 鉑薄膜       |
| 21a | 第一層金屬佈線   | T <sub>1</sub> | 電晶體       |
| 21b | 導電性墊      | T <sub>2</sub> | 電晶體       |
| 22  | 第三中間層絕緣薄膜 | Q              | 電容器       |
| 22a | 孔         | D              | 沈積物       |
| 23  | 第五導電性插塞   | $\theta$       | 錐度角       |
| 31  | 低壓處理室     |                |           |

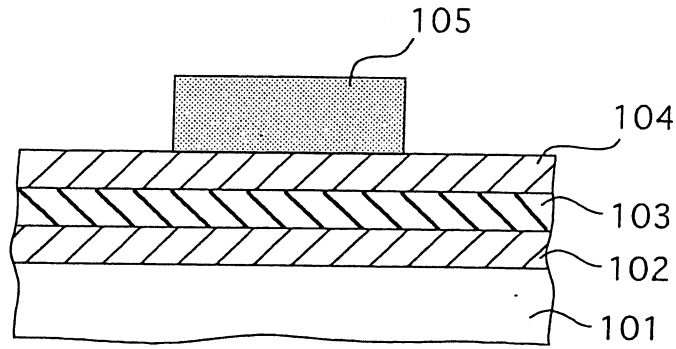
## 肆、中文發明摘要

本發明提供一種半導體元件製造方法，該半導體元件具有鐵電電容器或高介電電容器，該方法包含下述步驟：在半導體基板上形成基底絕緣薄膜；在該基底絕緣薄膜上形成第一導電性薄膜；在該第一導電性薄膜上形成由鐵電材料及高介電材料構成之介電薄膜；在該介電薄膜上形成第二導電性薄膜；在含有溴之第一氣體環境中選擇性地蝕刻該第二導電性薄膜，以形成一電容器上部電極；在含有氯之第二氣體環境中選擇性地蝕刻該介電薄膜，以形成一電容器介電薄膜；以及在含有溴之第三氣體環境中選擇性地蝕刻該第一導電性薄膜，以形成一電容器下部電極。

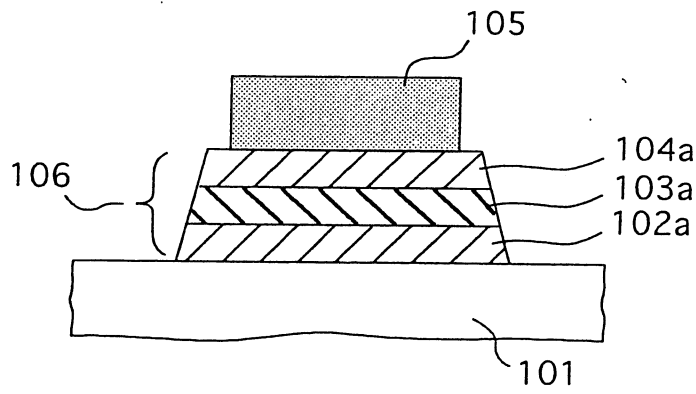
## 伍、英文發明摘要

There is provided a semiconductor device manufacturing method having a ferroelectric or high-dielectric capacitor, which comprises the steps of forming an underlying insulating film over a semiconductor substrate, forming a first conductive film on the underlying insulating film, forming a dielectric film consisting of ferroelectric material and high-dielectric material on the first conductive film, forming a second conductive film on the dielectric film, etching selectively the second conductive film in a first atmosphere containing a bromine to form a capacitor upper electrode, etching selectively the dielectric film in a second atmosphere containing a chlorine to form a capacitor dielectric film, and etching selectively the first conductive film in a third atmosphere containing the bromine to form a capacitor lower electrode.

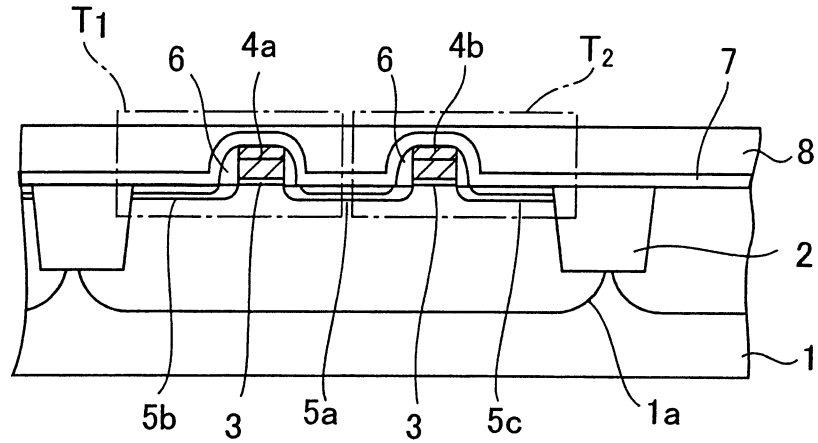
第 1A 圖



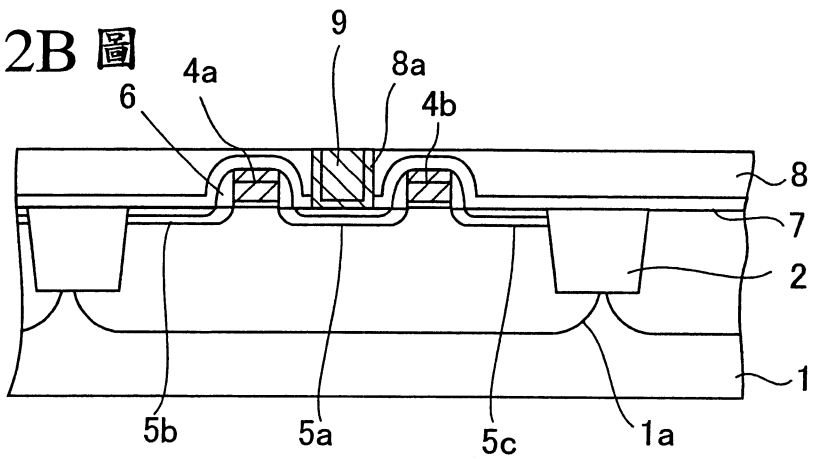
第 1B 圖



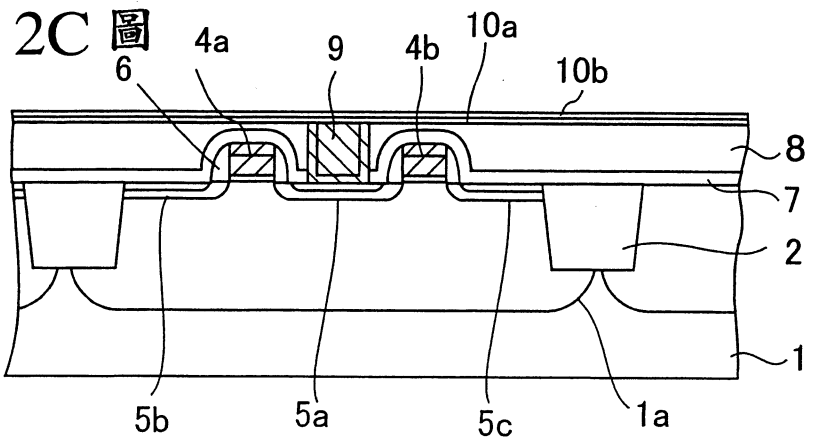
第 2A 圖



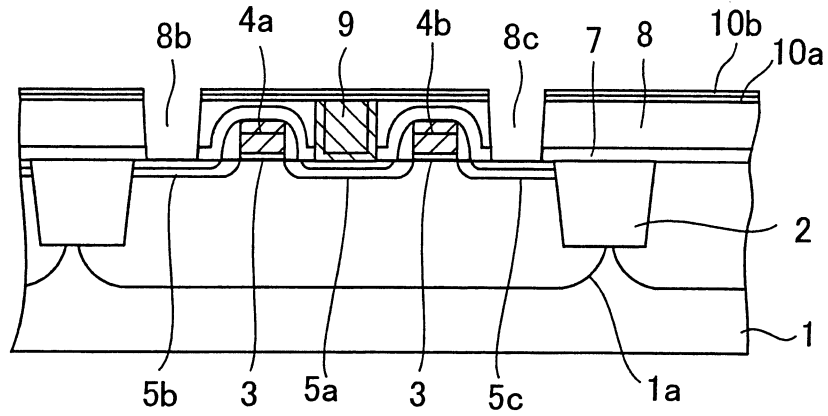
第 2B 圖



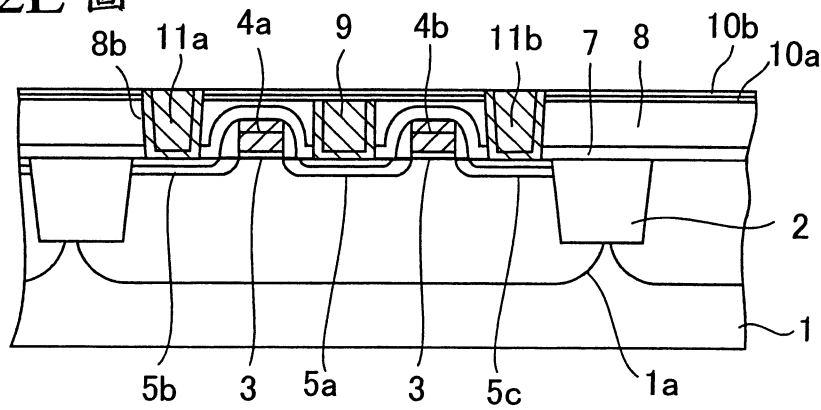
第 2C 圖



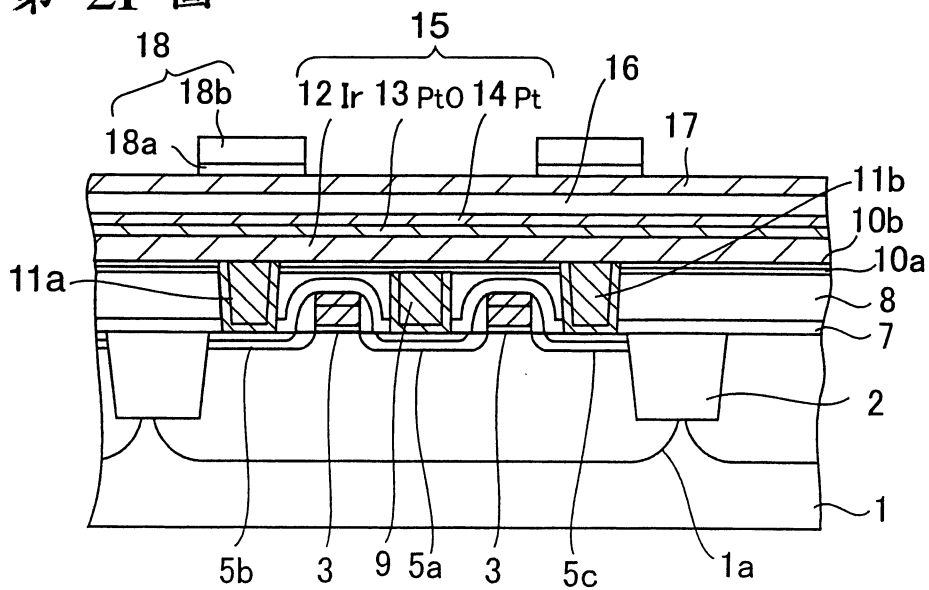
第 2D 圖



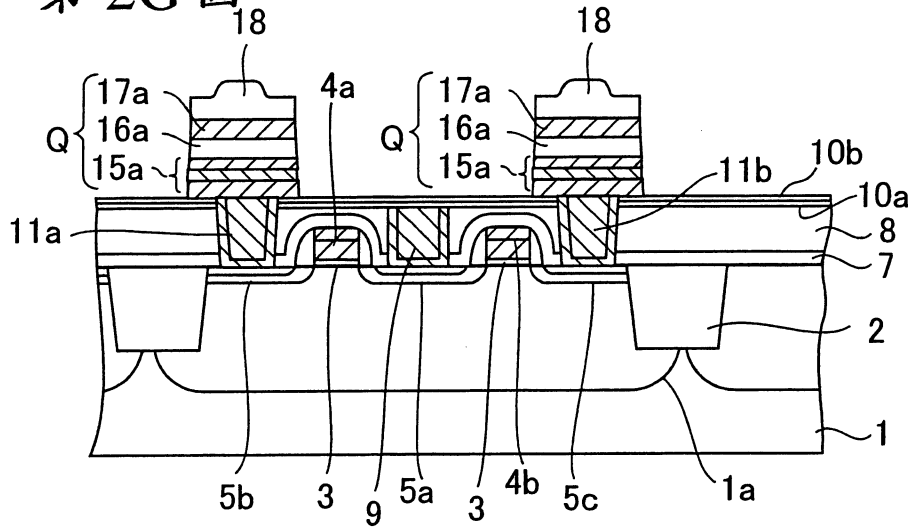
第 2E 圖



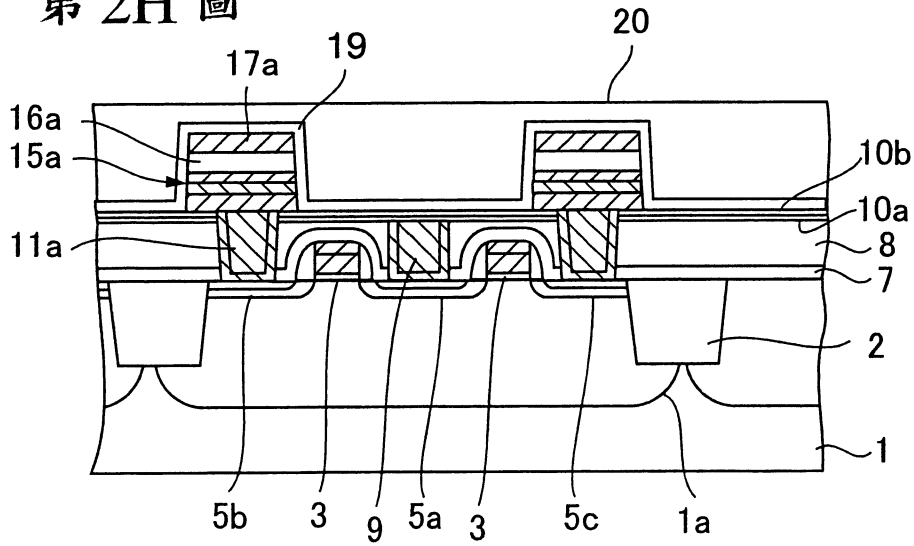
第 2F 圖



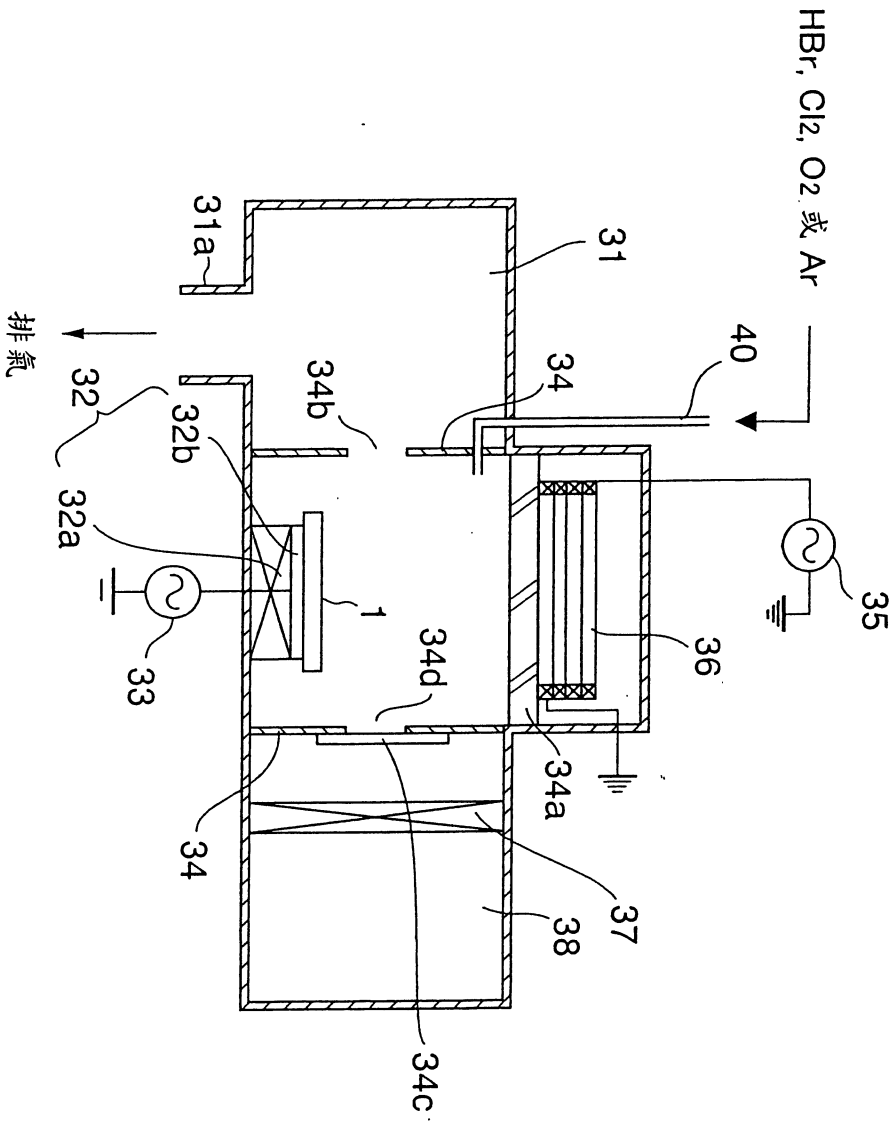
第 2G 圖



第 2H 圖

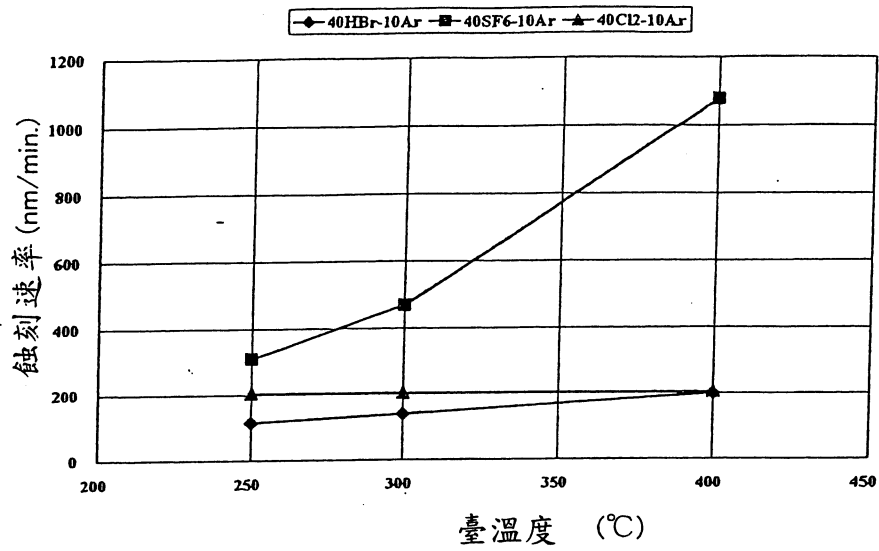




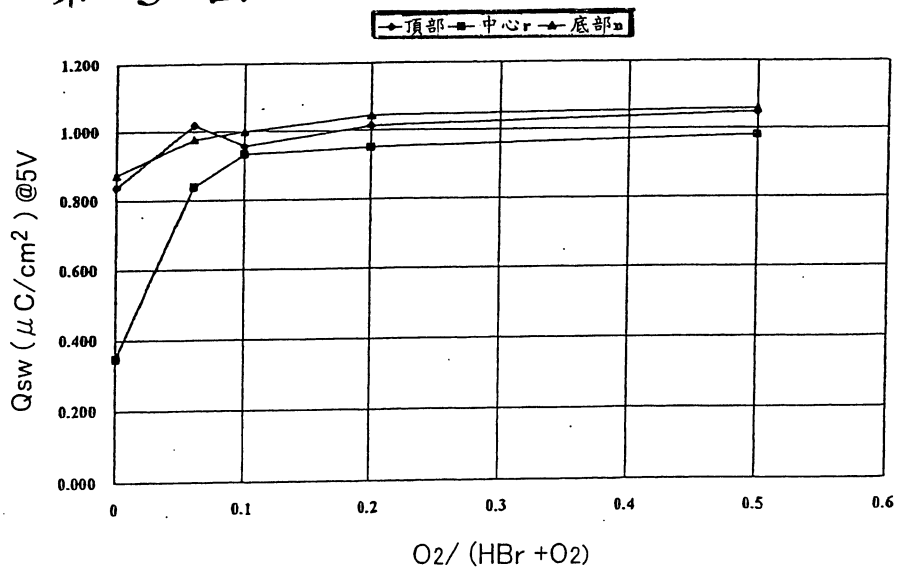


第 3 圖

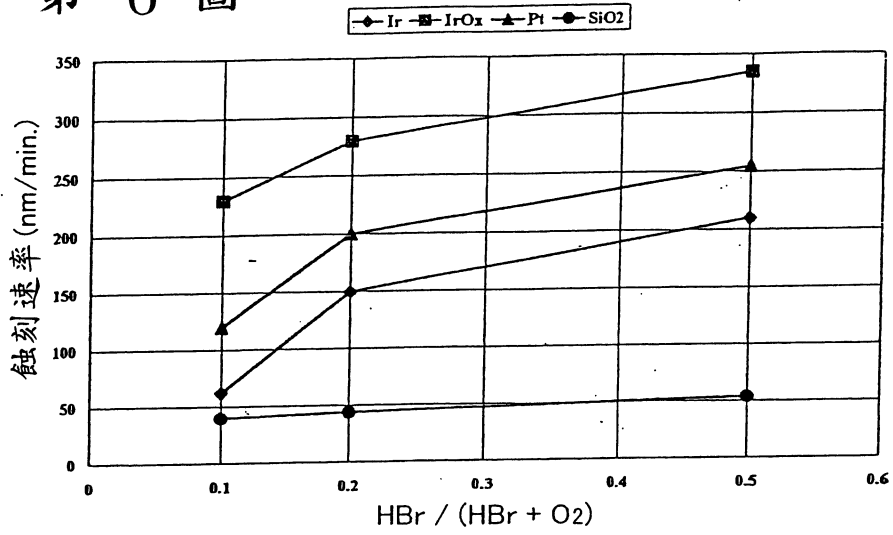
第 4 圖



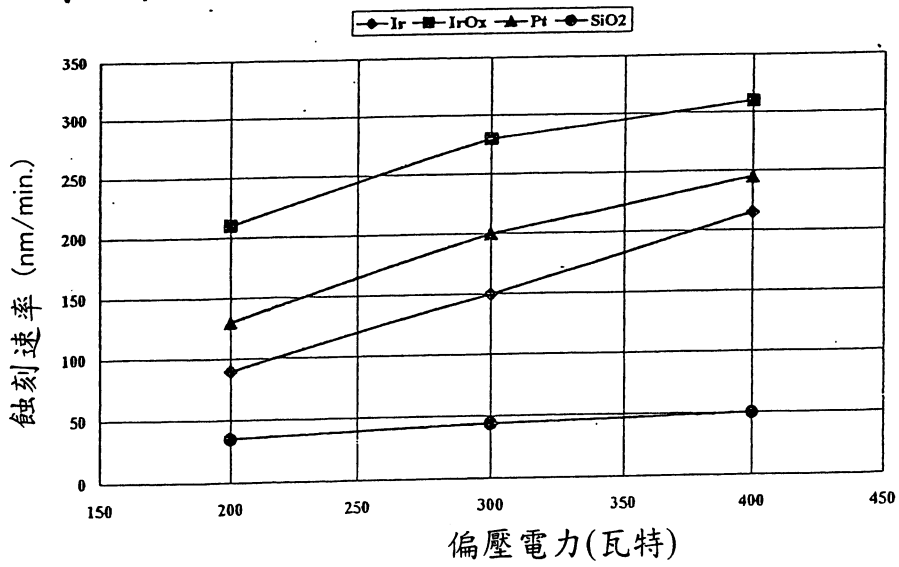
第 5 圖



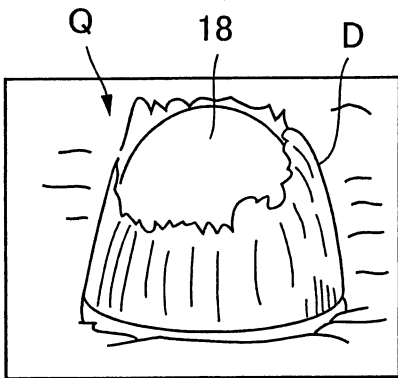
第 6 圖



第 7 圖

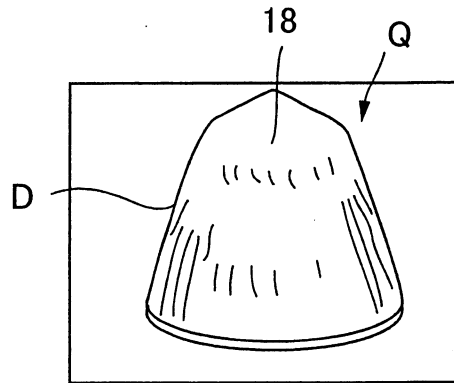


第 8A 圖



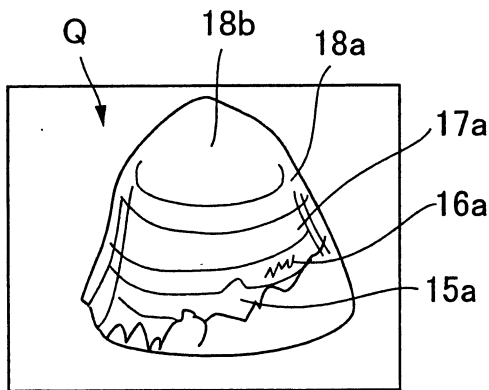
O<sub>2</sub> : 20%

第 8B 圖



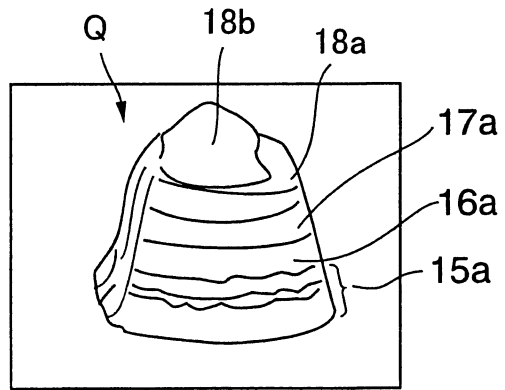
O<sub>2</sub> : 50%

第 8C 圖



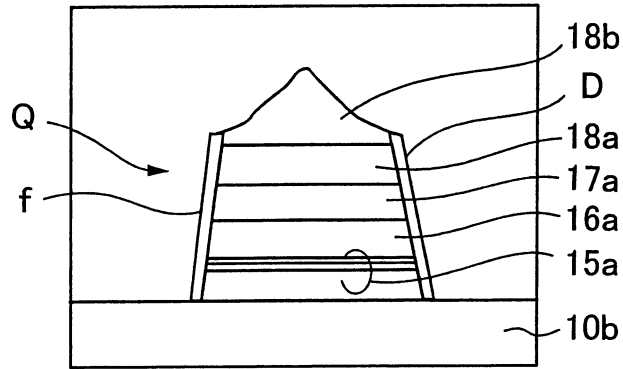
O<sub>2</sub> : 80%

第 8D 圖



O<sub>2</sub> : 90%

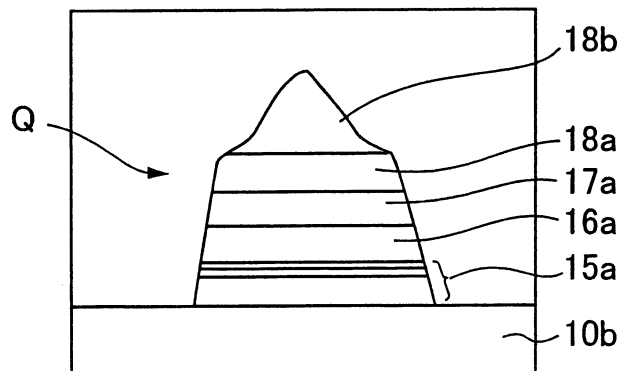
第 9 圖



Cl<sub>2</sub> : 10sccm  
O<sub>2</sub> : 40sccm

電容器側表面之錐度角 : 81°

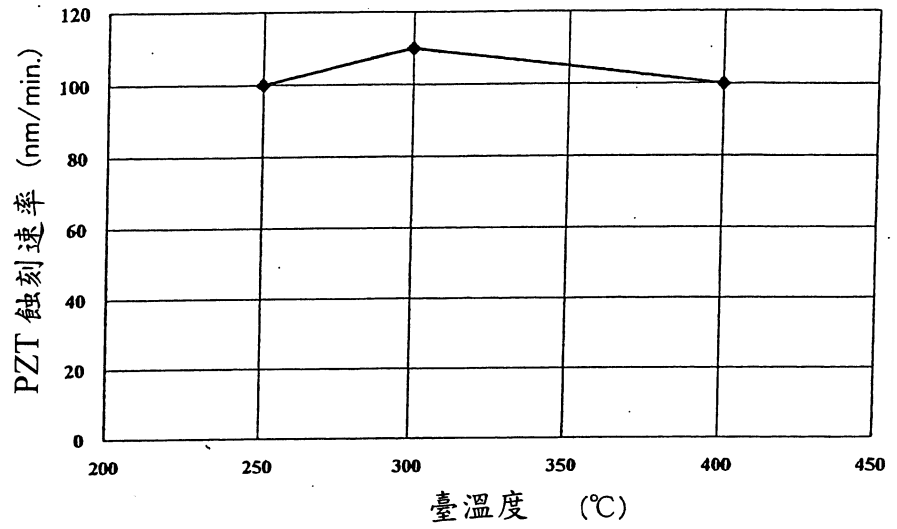
第 10 圖



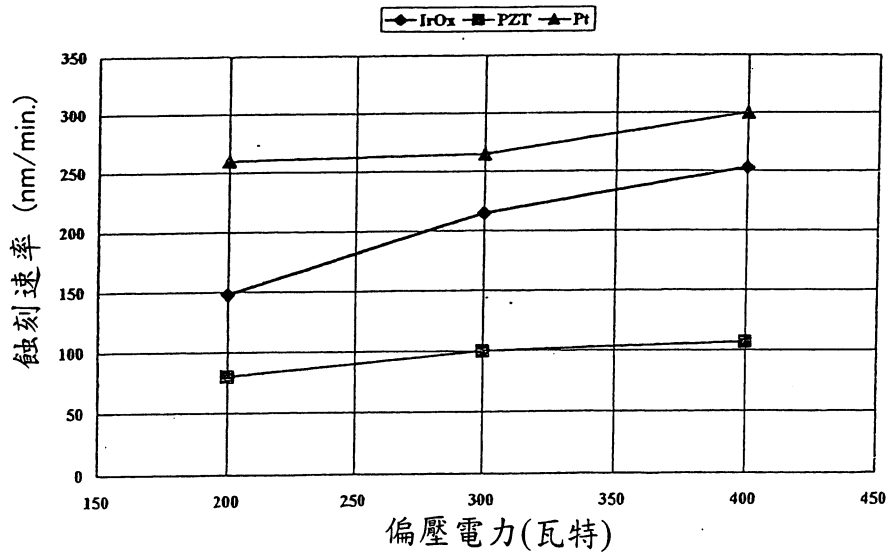
HBr : 10sccm  
O<sub>2</sub> : 40sccm

電容器側表面之錐度角 : 79°

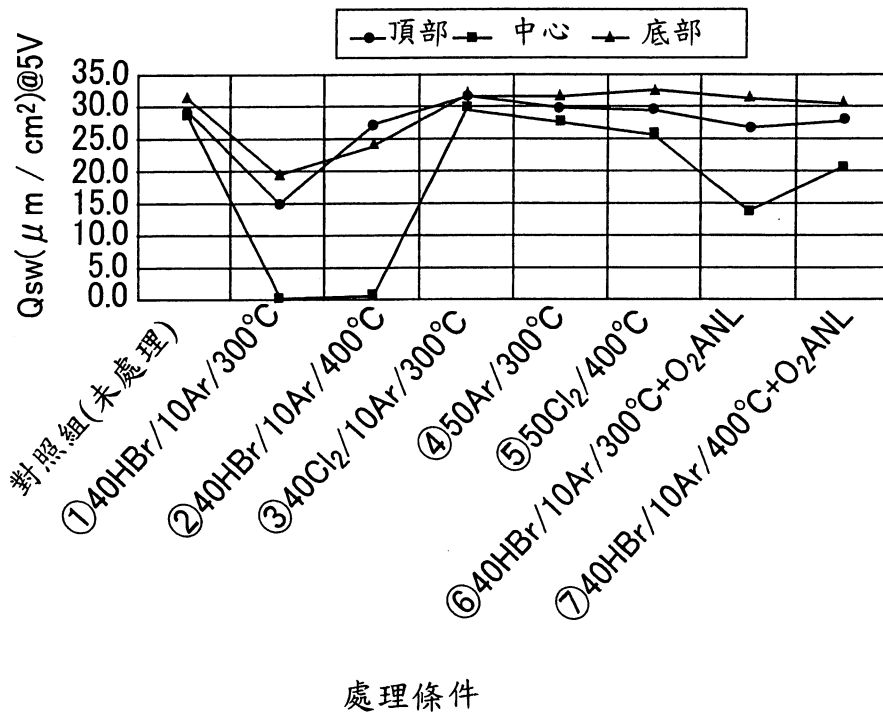
第 11 圖



第 12 圖



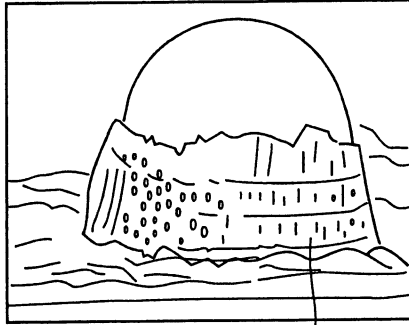
第 13 圖



處理條件

第14A圖

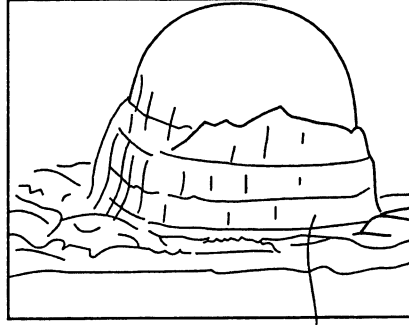
臺溫度 ; 400°C



PZT

第14B圖

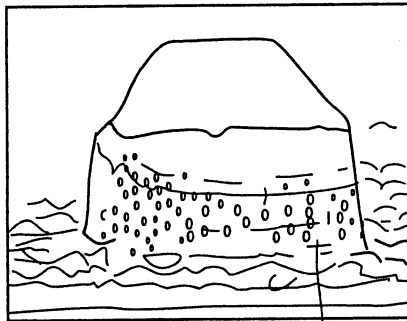
臺溫度 ; 350°C



PZT

第15A圖

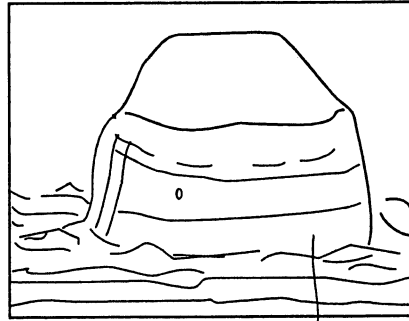
壓力 ; 0.4Pa



PZT

第15B圖

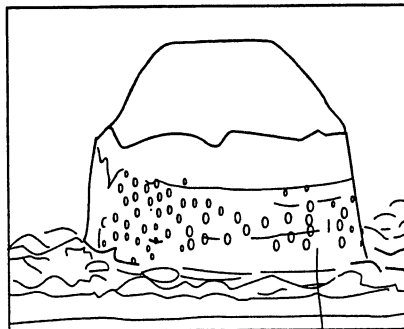
壓力 ; 0.15Pa



PZT

第16A圖

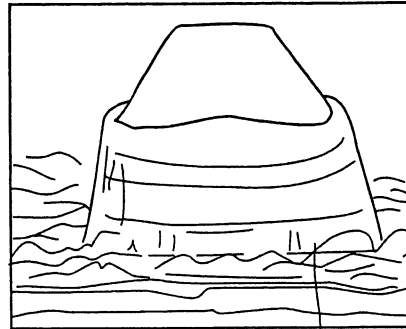
Ar : 10sccm  
Cl<sub>2</sub> : 40sccm



PZT

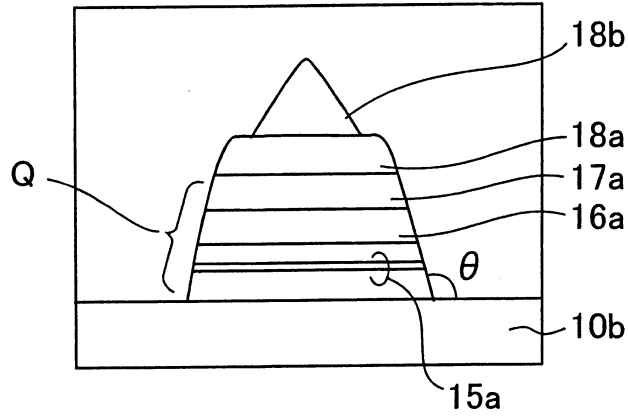
第16B圖

Ar : 40sccm  
Cl<sub>2</sub> : 10sccm



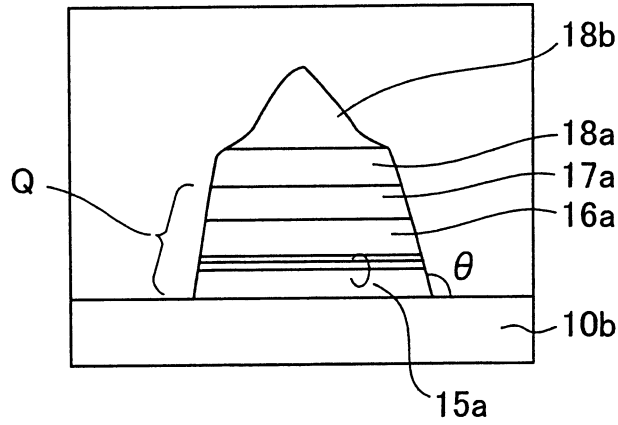
PZT

第17A圖



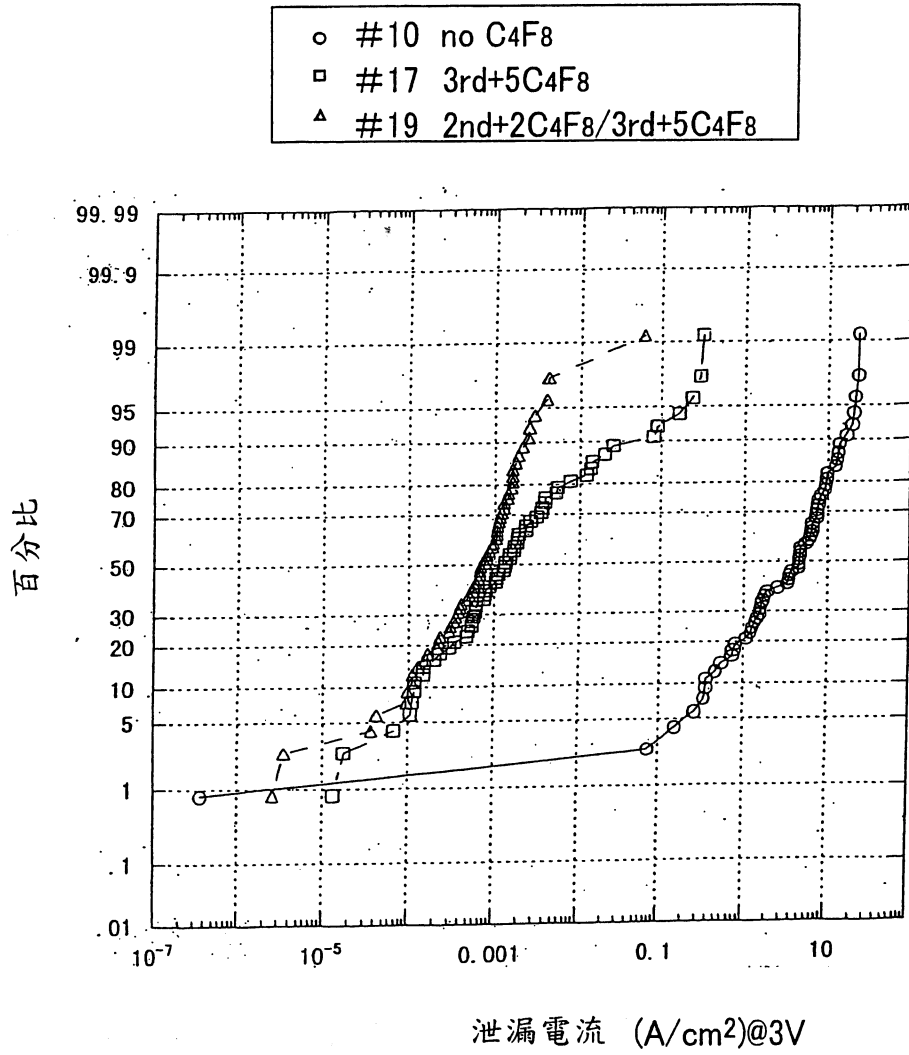
晶圓臺溫度：300°C  
側表面之錐度角  $\theta$ ：76°

第17B圖

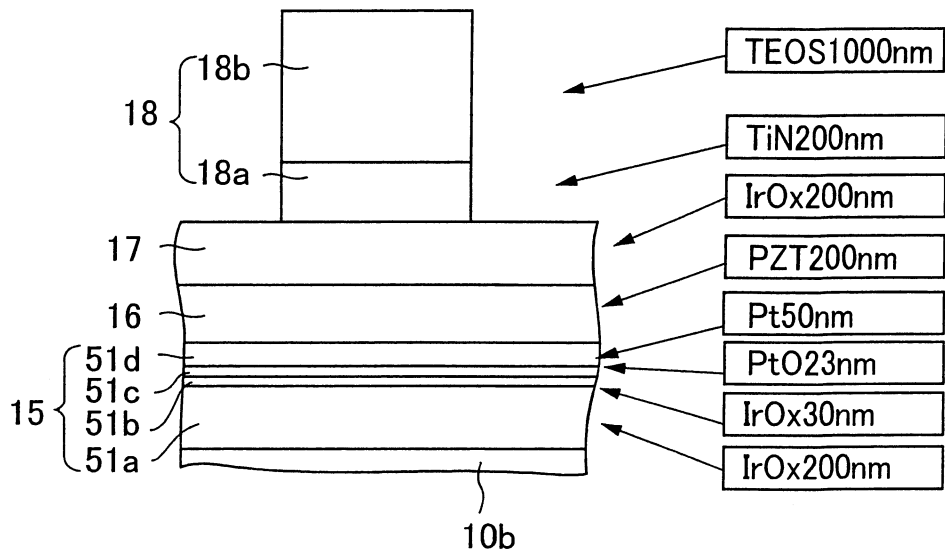


晶圓臺溫度：400°C  
側表面之錐度角  $\theta$ ：79°

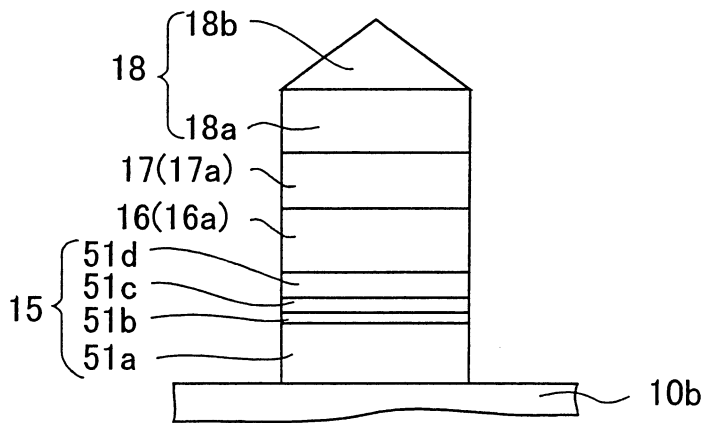
第 18 圖



第19A圖



第19B圖



陸、(一)、本案指定代表圖爲：第 2J 圖

(二)、本代表圖之元件代表符號簡單說明：

1	基板	11b	第三導電性插塞
2	絕緣薄膜	15a	下部電極
3	開絕緣薄膜	16a	介電薄膜
4a	開電極	17a	上部電極
4b	開電極	19	保護薄膜
5a	第一雜質擴散區域	20	第二中間層絕緣薄膜
5b	第二雜質擴散區域	20b	接觸孔
5c	第三雜質擴散區域	21	第四導電性插塞
7	絕緣薄膜	21a	第一層金屬佈線
8	第一中間層絕緣薄膜	21b	導電性墊
9	第一導電性插塞	22	第三中間層絕緣薄膜
10a	防止氧化薄膜	22a	孔
10b	基底絕緣薄膜	23	第五導電性插塞
11a	第二導電性插塞		

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 拾、申請專利範圍

第 91124744 號專利申請案申請專利範圍修正本

日期：93 年 2 月 18 日

1. 一種製造半導體元件之方法，包含下述步驟：

形成一基底絕緣薄膜於一半導體基板上；

5 形成第一導電性薄膜於該基底絕緣薄膜上；

形成一介電薄膜於該第一導電性薄膜上，該介電  
薄膜係由鐵電材料及高介電材料中之一者構成；

形成第二導電性薄膜於該介電薄膜上；

10 形成一具有電容器形狀之金屬光罩於該第二導  
電性薄膜上；在一含有溴氣之第一氣體環境中，選擇性地蝕  
刻自該金屬光罩曝露出的該第二導電性薄膜，以  
將該第二導電性薄膜塑造成一電容器上部電極；15 在一含有氯氣之第二氣體環境中，選擇性地蝕  
刻自該金屬光罩曝露出之該介電薄膜，以將該介  
電薄膜塑造成一電容器介電薄膜；以及在一含有溴氣之第三氣體環境中，選擇性地蝕  
刻自該金屬光罩曝露出之該第一導電性薄膜，以  
將該第一導電性薄膜塑造成一電容器下部電極。20 2. 如申請專利範圍第1項之製造半導體元件之方法，  
其中該光罩具有由氮化鈦及氧化矽所構成的雙層  
結構。3. 如申請專利範圍第1項之製造半導體元件之方法，  
其中該第一氣體環境及該第三氣體環境中至少一

## 拾、申請專利範圍

者為引入HBr及O<sub>2</sub>的氣體環境。

4. 如申請專利範圍第1項之製造半導體元件之方法，其中該第二氣體環境為引入氟氣及氫氣的氣體環境。
5. 如申請專利範圍第4項之製造半導體元件之方法，其中該氫氣的流速係設定為大於該氟氣的流速。
6. 如申請專利範圍第1項之製造半導體元件之方法，其中該氟氣的流速係設定為大於該氫氣的流速，以及在蝕刻該介電薄膜後，去除在該電容器介電薄膜之側表面上的沈積物。
7. 如申請專利範圍第1項之製造半導體元件之方法，其中含氟氣體係引入該第二氣體環境及該第三氣體環境中至少一者。
8. 如申請專利範圍第1項之製造半導體元件之方法，其中該第一氣體環境、該第二氣體環境及該第三氣體環境中至少一者為電漿氣體環境。
9. 如申請專利範圍第1項之製造半導體元件之方法，進一步包含下述步驟：於蝕刻第一導電性薄膜後，將電容器介電薄膜暴露至電漿氣體環境中。
10. 如申請專利範圍第9項之製造半導體元件之方法，其中氟氣係包含在電漿氣體環境中。
11. 如申請專利範圍第1項之製造半導體元件之方法，其中在該第二氣體環境中之該介電薄膜的蝕刻係藉由多數步驟同時改變條件來完成。

## 拾、申請專利範圍

12. 如申請專利範圍第11項之製造半導體元件之方法，  
其中該介電薄膜蝕刻在最後一條件下具有比其他  
先前條件較高的濺射器元件。
- 5 13. 如申請專利範圍第11項之製造半導體元件之方法，  
其中該第二氣體環境係設定為具有個別條件之不  
同處理室。
14. 如申請專利範圍第11項之製造半導體元件之方法，  
其中該條件之一改變為該基板之加熱溫度、蝕刻  
氣體環境中之壓力及氣體分壓中至少一者的改變  
10 。
15. 如申請專利範圍第1項之製造半導體元件之方法，  
其中該基底絕緣薄膜為一氧化矽薄膜。
16. 如申請專利範圍第1項之製造半導體元件之方法，  
其中對該第一導電性薄膜、該介電薄膜及該第二  
15 導電性薄膜中至少一者施與過度蝕刻。
17. 如申請專利範圍第1項之製造半導體元件之方法，  
其中該鐵電薄膜係由PZT材料或鈹化合物材料所形  
成。
18. 如申請專利範圍第1項之製造半導體元件之方法，  
20 其中該第一導電性薄膜及該第二導電性薄膜中至  
少一者係由銱、氧化銱、鉑、氧化鉑及SRO所構成  
之單層薄膜所形成，或由一多層結構薄膜所形成  
，該多層結構薄膜中之一層係選自銱、氧化銱、  
鉑、氧化鉑及SRO。

## 拾、申請專利範圍

19. 一種製造半導體元件之方法，其包含下述步驟：

形成一基底絕緣薄膜於一半導體元件上；

形成第一導電性薄膜於該基底絕緣薄膜上；

5 形成一介電薄膜於該第一導電性薄膜上，該介電薄膜係由鐵電性材料及高介電性材料中之一者構成；

形成第二導電性薄膜於該介電薄膜上；

形成一具有電容器形狀之金屬光罩於該第二導電性薄膜上；

10 在引入第一蝕刻氣體及氧氣之第一氣體環境中，選擇性地蝕刻自該金屬光罩曝露之該第二導電性薄膜，將該第二導電性薄膜塑造成一電容器之上部電極；

15 在引入不含氧氣之第二蝕刻氣體的第二氣體環境中，選擇性地蝕刻自該金屬光罩曝露之該介電薄膜，以將該介電薄膜塑造成一電容器之介電薄膜；以及

20 在引入第三蝕刻氣體及氧氣之第三氣體環境中，選擇性地蝕刻自該金屬光罩曝露之該第一導電性薄膜，以將該第一導電性薄膜塑造一電容器之下部電極。

20. 如申請專利範圍第19項之製造半導體元件之方法，其中該光罩具有由氮化鈦及氧化矽所構成的雙層結構。

## 拾、申請專利範圍

21. 如申請專利範圍第19項之製造半導體元件之方法，  
其中該第一氣體環境及該第三氣體環境中至少一  
者為引入HBr及O<sub>2</sub>的氣體環境。
22. 如申請專利範圍第19項之製造半導體元件之方法，  
5 其中該第二氣體環境為引入氟氣及氫氣的氣體環  
境。
23. 如申請專利範圍第22項之製造半導體元件之方法，  
其中該氫氣的流速係設定為大於該氟氣的流速。
24. 如申請專利範圍第19項之製造半導體元件之方法，  
10 其中該氟氣的流速係設定為大於該氫氣的流速，  
以及在蝕刻該介電薄膜後，去除在該電容器介電  
薄膜之側表面上的沈積物。
25. 如申請專利範圍第19項之製造半導體元件之方法，  
其中含氟氣體係引入該第二氣體環境及該第三氣  
15 體環境中至少一者。
26. 如申請專利範圍第19項之製造半導體元件之方法，  
其中該第一氣體環境、該第二氣體環境及該第三  
氣體環境中至少一者為電漿氣體環境。
27. 如申請專利範圍第19項之製造半導體元件之方法，  
20 進一步包含下述步驟：於蝕刻第一導電性薄膜後  
，將電容器介電薄膜暴露至電漿氣體環境中。
28. 如申請專利範圍第27項之製造半導體元件之方法，  
其中氟氣係包含在電漿氣體環境中。
29. 如申請專利範圍第19項之製造半導體元件之方法，

## 拾、申請專利範圍

其中在該第二氣體環境中之該介電薄膜的蝕刻係藉由多數步驟同時改變條件來完成。

- 5 30. 如申請專利範圍第29項之製造半導體元件之方法，其中該介電薄膜蝕刻在最後一條件下具有比其他先前條件較高的濺射器元件。
31. 如申請專利範圍第29項之製造半導體元件之方法，其中該第二氣體環境係設定為具有個別條件之不同處理室。
- 10 32. 如申請專利範圍第29項之製造半導體元件之方法，其中該條件之一改變為該基板之加熱溫度、蝕刻氣體環境中之壓力及氣體分壓中至少一者的改變。
33. 如申請專利範圍第19項之製造半導體元件之方法，其中該基底絕緣薄膜為一氧化矽薄膜。
- 15 34. 如申請專利範圍第19項之製造半導體元件之方法，其中對該第一導電性薄膜、該介電薄膜及該第二導電性薄膜中至少一者施與過度蝕刻。
- 20 35. 如申請專利範圍第19項之製造半導體元件之方法，其中該鐵電薄膜係由PZT材料或鈹化合物材料所形成。
36. 如申請專利範圍第19項之製造半導體元件之方法，其中該第一導電性薄膜及該第二導電性薄膜中至少一者係由銱、氧化銱、鉑、氧化鉑及SRO所構成之單層薄膜所形成，或由一多層結

拾、申請專利範圍

構薄膜所形成，該多層結構薄膜中之一層係選自鈱、氧化鈱、鉑、氧化鉑及 SRO。