

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-123725

(P2011-123725A)

(43) 公開日 平成23年6月23日(2011.6.23)

(51) Int.Cl.

G06F 1/28 (2006.01)
G06F 11/30 (2006.01)

F 1

G06F 1/00 333A
G06F 11/30 305A

テーマコード(参考)

5B011
5B042

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号
(22) 出願日特願2009-281609 (P2009-281609)
平成21年12月11日 (2009.12.11)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号

(74) 代理人 110000442
 特許業務法人 武和国際特許事務所

(72) 発明者 木村 洋
 神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内

(72) 発明者 荒川 修
 神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内

(72) 発明者 西願 裕一
 神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内

最終頁に続く

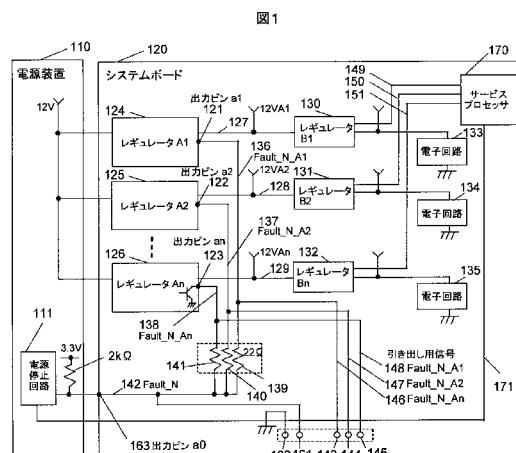
(54) 【発明の名称】計算機回路及び障害検査方法

(57) 【要約】 (修正有)

【課題】計算機回路で過電流等が発生した場合等において、障害信号を発生させた異常検出回路がどれであるかを切り分ける。

【解決手段】計算機回路は、複数のレギュレータA1(124)～An(126)と、これらの複数のレギュレータA1(124)～An(126)からの12V出力信号が入力されて、電子回路133～135に電力を供給する複数のレギュレータB1(130)～Bn(132)と、計算機回路全体の監視制御を行うサービスプロセッサ170により構成される。前述のレギュレータのそれぞれは、異常検出回路を有しており、その出力ピンa1～anの出力信号が低抵抗139～141を介してワイヤードオアされ、そのワイヤードオアされた信号が電源装置110を停止させる電源停止回路111の制御信号として使用される。出力ピンa1～anの出力信号をシステムボードの一箇所に引き出して、測定端子とする。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

システムボード上に、複数の電子回路と、これらの電子回路に電力を供給する異常検出回路を有する複数のレギュレータとを備えて構成される計算機回路において、

前記複数のレギュレータのそれぞれが有する異常検出回路の出力であるFault_N信号のそれを、抵抗を介してワイヤードオアし、該ワイヤードオアにより得られた信号を前記複数のレギュレータに電力を供給する電源装置の電源停止回路に印加し、

前記異常検出回路の何れかが異常を示す信号を出力したときに、前記電源停止回路が前記電源装置を停止させることを特徴とする計算機回路。

【請求項 2】

前記複数のレギュレータのそれぞれが有する異常検出回路の出力であるFault_N信号のそれを、前記システムボード上の1箇所に引き出し、測定用ポイントとすることを特徴とする請求項1記載の計算機回路。

【請求項 3】

前記異常検出回路が異常を示す信号を出力するのは、自異常検出回路が設けられているレギュレータが電源を供給している電子回路が異常となって過電流が流れた場合、自異常検出回路が障害となった場合、自異常検出回路が設けられているレギュレータが障害となった場合の少なくとも1つの場合であることを特徴とする請求項1記載の計算機回路。

【請求項 4】

システムボード上に、複数の電子回路と、これらの電子回路に電力を供給する異常検出回路を有する複数のレギュレータとを備えて構成される計算機回路の障害検査方法において、

前記複数のレギュレータのそれぞれが有する異常検出回路の出力であるFault_N信号のそれを、抵抗を介してワイヤードオアし、該ワイヤードオアにより得られた信号を前記複数のレギュレータに電力を供給する電源装置の電源停止回路に印加し、

前記異常検出回路の何れかが異常を示す信号を出力したときに、前記電源停止回路が前記電源装置を停止させることを特徴とする計算機回路の障害検査方法。

【請求項 5】

前記複数のレギュレータのそれぞれが有する異常検出回路の出力であるFault_N信号のそれを、前記システムボード上の1箇所に引き出し、測定用ポイントとすることを特徴とする請求項4記載の計算機回路の障害検査方法。

【請求項 6】

前記異常検出回路が異常を示す信号を出力るのは、自異常検出回路が設けられているレギュレータが電源を供給している電子回路が異常となって過電流が流れた場合、自異常検出回路が障害となった場合、自異常検出回路が設けられているレギュレータが障害となった場合の少なくとも1つの場合であることを特徴とする請求項4記載の計算機回路の障害検査方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、計算機回路及び障害検査方法に係り、特に、システムボード上に過電流等の異常検出回路を有するレギュレータを複数備える計算機回路及び異常が検出された場合に、どのレギュレータを持つ異常検出回路が異常検出信号を発したか切り分けることのできる障害検査方法に関する。

【背景技術】**【0002】**

計算機回路で過電流等が発生したような異常の検出は、異常検出回路で過電流等を検出し、その情報をサービスプロセッサに伝えることにより計算機回路内に過電流等の発生等の異常が発生したことを知らせるという方法により行われている。また、異常に対処する方法としては、電源装置内に電源停止回路を組み込み、異常検出回路が過電流等の発生を

10

20

30

40

50

検出した際に、電源停止回路を作動させて電源装置を停止させることにより、過電流等による影響を計算機回路に与えることを防止する方法が用いられている。

【0003】

計算機回路で過電流等が発生した場合等に、その異常を保守者等のユーザに知らせ、また、その異常に対処することを可能とした従来技術として、例えば、特許文献1等に記載された技術が知られている。この従来技術は、計算機回路において、過電圧、過電流等の異常が発生して警報を発するときに、その警報の種類と計算機回路の稼動状態とに応じて適切な警報処理を自動的に実行し、また、警報が生じた場合に、電源オフ等の処理を行うというものである。

【0004】

なお、一般に、異常検出回路は、異常検出回路自体が障害となったような場合に、異常検出回路が過電流等の異常を検出したとして異常検出信号を出力することがある。

【0005】

前述した従来技術は、システムボード上に過電流等の異常を検出する異常検出回路を複数備えて計算機回路を構成した場合、複数の異常検出回路のそれからの異常検出信号であるFault_N信号をワイヤードオアしてサービスプロセッサへの報告や電源停止回路の制御を実施するというものである。このため、前述の従来技術は、1つの異常検出回路自体が障害となって異常検出信号を出力し、あるいは、過電流等の異常を検出して異常検出信号を出力した場合、サービスプロセッサが、複数の異常検出回路の内のいずれの異常検出回路から異常が出力されたのかを特定することができないことになる。

10

【0006】

複数の異常検出回路の内のいずれの異常検出回路が異常を出力したのかを切り分けるためには、複数の異常検出回路のそれからの出力信号をサービスプロセッサに入力情報として与えなければならず、サービスプロセッサへの入力信号線が異常検出回路の個数分だけ必要となり、サービスプロセッサの入出力ピンネックとなる問題を生じさせる。

20

【0007】

また、異常検出回路自体の障害発生時の切り分け方法としては、複数の異常検出回路のそれぞれに直接プローブを当てて測定する方法があるが、システムボード上の異常検出回路、電子回路等の配置は、電子回路相互間の信号線のレイアウトや電源供給パターン等を考慮して実装される配置となっているため、搭載される回路部品は必然的にその場所が決まってしまい、異常検出回路を測定し易い場所に配置できないことが多い。

30

【0008】

一方、計算機回路全体の動作を検査するタイミングは、計算機システムの製造後の出荷前検査が一般的であり、その際の検査は、出荷する形態で実施する必要があるため、システムボードをシステム筐体に搭載した状態で検査をしなければならない。しかし、異常検出回路を搭載しているシステムボードは、筐体に囲まれている場合があり、異常検出回路で障害が発生し、あるいは、異常検出回路が過電流等の異常を検出して異常検出信号を出力した場合、異常検出回路自体にプローブを当てることが難しく、異常検出信号を出力した異常検出回路の切り分けの際には、筐体からシステムボードを取り外して測定しなければならない場合があった。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭61-55750号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

前述した従来技術による方法は、電子回路の障害時等に過電流等の異常が発生した際に、計算機回路に影響を与えないように、異常検出回路が電源停止回路に電源装置を停止させたり、サービスプロセッサに障害が発生したことを報告することができるものである。

50

【0011】

しかし、前述の従来技術は、異常検出回路自体が障害となって異常検出信号を出力し、あるいは、過電流等の異常を検出して異常検出信号を出力した場合、複数の異常検出回路のそれぞれの出力信号であるFault_N信号をワイヤードオアしているため、異常検出信号を出力した異常検出回路がどの異常検出回路であるかを特定することができず、速やかに障害箇所を特定することができないという問題点を生じさせている。そのため、前述の従来技術は、異常検出回路の障害箇所、過電流等の異常を生じさせている電子回路を良品に交換するための作業効率を低下させるというという問題点を生じさせ、また、計算機回路の出荷検査において、筐体からシステムボードを取り外す必要があり、作業効率が悪く、出荷を遅らせしまうという問題点を生じさせている。

10

【0012】

本発明の目的は、前述した従来技術の問題点を解決し、システムボード上に過電流等の異常検出回路を複数備える計算機回路において、異常検出回路が、電子回路が障害となつたとき、異常検出回路自体が障害となつたとき、あるいは、レギュレータが障害になつたとき、それを検出して異常検出信号を出力した場合に、どの異常検出回路が異常検出信号を出力しているかを容易に、かつ、速やかに特定することを可能にした計算機回路及び障害検査方法を提供することにある。

【課題を解決するための手段】**【0013】**

発明によれば前記目的は、システムボード上に、複数の電子回路と、これらの電子回路に電力を供給する異常検出回路を有する複数のレギュレータとを備えて構成される計算機回路において、前記複数のレギュレータのそれぞれが有する異常検出回路の出力であるFault_N信号のそれぞれを、抵抗を介してワイヤードオアし、該ワイヤードオアにより得られた信号を前記複数のレギュレータに電力を供給する電源装置の電源停止回路に印加し、前記異常検出回路の何れかが異常を示す信号を出力したときに、前記電源停止回路が前記電源装置を停止させることにより達成される。

20

【発明の効果】**【0014】**

本発明によれば、計算機回路が備えている複数の異常検出回路が、電子回路が障害となつたとき、異常検出回路自体が障害となつたとき、あるいは、レギュレータが障害になつたとき、それらを検出して異常検出信号を出力した場合に、どの異常検出回路が異常検出信号を出力しているかを容易に、かつ、速やかに特定することができる。

30

【図面の簡単な説明】**【0015】**

【図1】本発明の第1の実施形態による計算機回路の構成例を示すブロック図である。

【図2】本発明を適用する従来技術による計算機回路の構成例を示すブロック図である。

【図3】本発明の第2の実施形態による計算機回路の構成例を示すブロック図である。

【図4】本発明の実施形態による計算機回路のレイアウトの例を示す図である。

40

【図5】図1、図2に示す計算機回路における出力ピンa1～anと出力ピンa0との電圧値の関係を示す図である。

【発明を実施するための形態】**【0016】**

以下、本発明による計算機回路及び障害検査方法の実施形態を図面により詳細に説明する。

【0017】

図2は本発明を適用する従来技術による計算機回路の構成例を示すブロック図であり、本発明による計算機回路を説明する前に、まず、これについて説明する。

【0018】

本発明を適用する従来技術による計算機回路は、システムボード120上に構成されており、電源装置110と接続されて電力の供給を受けている。電源装置110は、計算機

50

回路へ 12V 電源を供給すると共に、計算機回路からの異常検出信号を出力ピン a0 から受け取ったとき、あるいは、計算機回路内に有するサービスプロセッサ 170 からの出力信号を受け取ったときに、電源装置 110 を停止させて計算機回路への電源の供給を停止する電源停止回路 111 を備えて構成されている。

【0019】

システムボード 120 上に設けられる計算機回路は、電源装置 110 からの 12V 電源が分配されて供給され、12V 出力電源 127～129 として出力する複数のレギュレータ A1(124)～An(126) と、これらの複数のレギュレータ A1(124)～An(126) からの 12V 出力電源 127～129 が入力されて、電子回路に電力を供給する複数のレギュレータ B1(130)～Bn(132) と、これらの複数のレギュレータ B1(130)～Bn(132) から電力の供給を受けて計算機回路の一部としての動作を行う各電源チャネル毎の電子回路 133～135 と、計算機回路全体の監視制御行うサービスプロセッサ 170 とにより構成される。10

【0020】

前述において、複数のレギュレータ A1(124)～An(126) のそれぞれには、その出力側に複数のレギュレータ B が接続されていてよく、また、複数のレギュレータ B1(130)～Bn(132) のそれぞれには、その出力側に複数の電子回路が接続されていてよい。また、複数のレギュレータ A1(124)～An(126) 及びレギュレータ B1(130)～Bn(132) のそれぞれは、その詳細を図示しないが、過電流等の異常を検出する異常検出回路を備えている。この異常検出回路は、過電流等の異常を検出したときに、レギュレータ A1(124)～An(126) に設けられている出力ピン a1(121)～an(123) の電位を 0V とした Fault_N 信号 142 を出力するように動作する。これらの出力ピン a1(121)～an(123) からの Fault_N 信号 142 は、ワイヤードオアされ電源停止回路 111 の制御信号として使用される。20

【0021】

また、レギュレータ B1(130)～Bn(132) が備える異常検出回路からの検出信号である P_good 信号 149～151 は、個々にサービスプロセッサ 170 に接続されており、レギュレータ B1(130)～Bn(132) が備える異常検出回路が障害信号を出力した場合、サービスプロセッサ 170 は、検出信号である P_good 信号 149～151 により、どのレギュレータ B1(130)～Bn(132) が備える異常検出回路が障害信号を出力したかを切り分けることができ、また、信号 171 を発して、電源停止回路 111 を動作させて、電源装置 110 を停止させることができる。30

【0022】

レギュレータ A1(124)～An(126) の出力ピン a1(121)～an(123) から出力されワイヤードオアされた Fault_N 信号 142 は、電源停止回路 111 の制御端子に印加されるが、この制御端子には、正常時、3.3V の電位が 2k Ω の抵抗を介して印加されており、0V の Fault_N 信号 142 が制御端子に印加されると、制御端子の電位が 3.3V から 0V に変化する。これにより、電源停止回路 111 は、電源装置 110 を停止させることができる（閾値 0.7V 以下）。例えば、いま、レギュレータ A1(124)～An(126) の障害等で過電流を発生させたとすると（ここでは、レギュレータ A1(124) が過電流を発生させたものとする）、レギュレータ A1(124) 内の異常検出回路は、レギュレータ A1(124) の異常検出回路の出力ピン a1(121) の出力信号である Fault_N 信号 (142) を 0V とする。これにより、電源停止回路 111 が動作して、電源装置 110 を停止させる。40

【0023】

前述では、異常検出回路を搭載しているレギュレータ回路に障害が発生させたものとしたが、レギュレータ内に設けられる異常検出回路が何等かの異常を検出して Fault_N 信号 または P_good 信号を出力するのは、異常検出回路を搭載しているレギュレータ回路に障害が発生させたときに限らず、電子回路に障害が発生したとき、異常検出回路自身に障害が発生したときである。50

【 0 0 2 4 】

前述で説明した従来技術による計算機回路は、レギュレータA₁(124)～A_n(126)の異常検出回路が出力ピンa₁(121)～a_n(123)から出力するFault_N信号142をワイヤードオアしているため、レギュレータA₁(124)～A_n(126)に搭載されている異常検出回路の何れかがFault_N信号を出力した場合、レギュレータA₁(124)～A_n(126)のどのレギュレータに搭載された異常検出回路が障害信号としてのFault_N信号を出力したか判断することができない。

【 0 0 2 5 】

この場合、どのレギュレータに搭載された異常検出回路が障害信号としてのFault_N信号を出力したかを切り分けるためには、レギュレータA₁(124)～A_n(126)における異常検出回路の出力ピンa₁(121)～a_n(123)でのワイヤードオアの配線を切断して、これらの出力ピンa₁(121)～a_n(123)を個々にプローブで測定するか、レギュレータA₁(124)～A_n(126)の内部を個々にプローブで測定しなければならないことになり、切り分けの効率が悪い。

10

【 0 0 2 6 】

図1は本発明の第1の実施形態による計算機回路の構成例を示すブロック図である。ここに示す本発明の第1の実施形態による計算機回路は、レギュレータA₁(124)～A_n(126)のどのレギュレータに搭載された異常検出回路が障害信号としてのFault_N信号を出力したかを容易に効率よく切り分けることができるようにしたものである。

20

【 0 0 2 7 】

図1に示す本発明の第1の実施形態による計算機回路が図2により説明した従来技術による計算機回路と相違する点は、図2に示して説明した計算機回路が、複数のレギュレータA₁(124)～A_n(126)のそれぞれの有する異常検出回路の出力ピンa₁(121)～a_n(123)からの出力信号を直接ワイヤードオアし、そのワイヤードオアした出力信号を電源停止回路111の制御信号として使用するようにしているのに対して、図1に示す本発明の第1の実施形態による計算機回路が、複数のレギュレータA₁(124)～A_n(126)のそれぞれの有する異常検出回路の出力ピンa₁(121)～a_n(123)の出力信号を低抵抗(22)139～141を介してワイヤードオアし、そのワイヤードオアした出力信号を電源停止回路111の制御信号として使用するようにしている点である。

30

【 0 0 2 8 】

そして、図1に示す本発明の第1の実施形態による計算機回路は、前述した点以外、図2により説明した従来技術による計算機回路と同一に構成されている。このような本発明の第1の実施形態による計算機回路における複数のレギュレータA₁(124)～A_n(126)のそれぞれの有する異常検出回路は、従来技術の場合と同様に、過電流等の異常を検出したときに、出力ピンa₁(121)～a_n(123)の電位を0VとしたFault_N_A1信号136～Fault_N_An信号138を出力する。これらの0VのFault_N_A1信号136～Fault_N_An信号138は、前述したように、低抵抗(22)139～141を介してワイヤードオアされてFault_N信号142として出力され、そのワイヤードオアされた出力信号であるFault_N信号142が電源停止回路111の制御端子に制御信号として印加されて使用される。電源停止回路111の制御端子には、正常時、3.3Vの電位が2kの抵抗を介して印加されており、低抵抗(22)139～141を介してワイヤードオアされた前述のFault_N信号142が制御端子に印加されると、制御端子の電位が3.3Vから0.03Vに変化する。これにより、電源停止回路111は、電源装置110を停止させることができる。

40

【 0 0 2 9 】

前述したように構成される本発明の第1の実施形態による計算機回路は、複数のレギュレータA₁(124)～A_n(126)のそれぞれの有する異常検出回路の何れかが過電流等の異常を検出したときに、出力ピンa₁(121)～a_n(123)から出力されるFault_N_A1信号136～Fault_N_An信号138を低抵抗(22)139～141を介

50

してワイヤードオアしてFault_N信号142として出力しているため、複数のレギュレータA1(124)～An(126)のそれぞれの有する異常検出回路の出力ピンa1(121)～an(123)及びFault_N信号142を電源停止回路に接続するためのシステムボード上の出力ピンa0163を測定し、電位差を調べれば、異常を検出して障害検出信号を発生している異常検出回路を持つレギュレータがどれであるかを特定することができる。

【0030】

図1に示す本発明の第1の実施形態では、前述したような測定を容易に行うことができるようするため、Fault_N_A1信号136～Fault_N_An信号138からの引き出し信号線146～148を追加して測定用ポイント143～145を設けると共に、Fault_N信号142及び接地信号も測定用ポイント161、162を設けてシステムボードの120測定を行いやすい端部に引き出すことにより、障害信号を発生しているレギュレータA1(124)～An(126)の切り分け作業の効率化を図ることができる。
10

【0031】

図5は図1、図2に示して説明した計算機回路における出力ピンa1(121)～an(123)と出力ピンa0(163)との電圧値の関係を示す図であり、次に、この図を参照して、本発明の第1の実施形態による計算機回路が、障害信号を発生しているレギュレータA1(124)～An(126)の切り分けを、従来技術の場合に比較して容易に行うことができるものであることを説明する。

【0032】

図5におけるケース1は、図2に示す従来技術（背景技術）のレギュレータA1(124)～An(126)の異常検出回路が障害検出信号を出力していない場合、すなわち、電子回路、異常検出回路、異常検出回路を有するレギュレータそのものの全てが正常な場合を示すケースで、出力ピンa0(163)とレギュレータの出力ピンa1(121)～an(123)の電位差がそれぞれ0Vとなっている。
20

【0033】

ケース2は、図2に示す従来技術（背景技術）のレギュレータA1(124)が異常検出信号を出力しているケースであるが、この場合も、出力ピンa0(163)とレギュレータの出力ピンa1(121)～an(123)の電位差はそれぞれ0Vとなり、図2に示して説明した従来技術による計算機回路は、どのレギュレータAの異常検出回路が障害出力を発生しているかが判らないことになる。
30

【0034】

ケース3は、図1に示して説明した本発明の第1の実施形態で、低抵抗139～141を出力ピンa1(121)～an(123)に接続した後にワイヤードオアを行っている場合で、レギュレータA1(124)～An(126)の異常検出回路が障害検出信号を出力していない場合、すなわち、電子回路、異常検出回路、異常検出回路を有するレギュレータそのものの全てが正常な場合を示すケースで、出力ピンa0(163)とレギュレータの出力ピンa1(121)～an(123)の電位差がそれぞれ0Vとなっている。

【0035】

ケース4からケース6は、図1に示して説明した本発明の第1の実施形態で、低抵抗139～141を出力ピンa1(121)～an(123)に接続した後にワイヤードオアを行っている場合で、レギュレータA1(124)～An(126)の異常検出回路のいずれかが障害検出信号を出力している場合の例であり、障害検出信号を出力しているレギュレータだけが、その出力ピンa0(163)とレギュレータの出力ピンa1(121)～an(123)との電位差が0.03Vとなっている。
40

【0036】

前述したように、本発明の第1の実施形態による計算機回路は、障害信号を発生しているレギュレータA1(124)～An(126)の切り分けを、レギュレータA1～An(124)～(126)の出力ピンa1(121)～an(123)と出力ピンa0(163)との電位差を測定することにより容易に行うことができる。
50

【0037】

前述した本発明の第1の実施形態は、電源装置110内に電源停止回路111を備え、Fault_N信号142を電源停止回路111の制御端子に入力して、電源装置110を停止させているが、電源装置110の停止方法としては、Fault_N信号142の代わりにサービスプロセッサ170からのサービスプロセッサ出力信号171を電源停止回路111に印加して、電源装置110を停止させることもできる。この場合、Fault_N信号142をサービスプロセッサに接続して、障害検出信号が発生したことを知らせるようにしておけばよい。

【0038】

図3は本発明の第2の実施形態による計算機回路の構成例を示すブロック図であり、次に、これについて説明する。

10

【0039】

図3に示す本発明の第2の実施形態による計算機回路が図1により説明した第1の実施形態による計算機回路と相違する点は、図1に示して説明した計算機回路が、レギュレータB1(130)～Bn(132)が備える異常検出回路からの検出信号であるP_good信号149～151を、個々にサービスプロセッサ170に接続していたのに対して、図3に示す本発明の第2の実施形態による計算機回路が、レギュレータB1(130)～Bn(132)が備える異常検出回路からの検出信号であるP_good信号149～151を低抵抗152～154を介してワイヤードオアし、その出力信号164をサービスプロセッサ170に接続している点である。

20

【0040】

なお、サービスプロセッサ170への出力信号164の入力方法は、電源停止回路に対する場合と同様でよく、また、低抵抗152～154の値、サービスプロセッサ170の入力端子に設けられる抵抗の値は、それぞれ、22、2kであってよい。

【0041】

そして、図3に示す本発明の第3の実施形態による計算機回路は、前述した点以外、図1により説明した従来技術による計算機回路と同一に構成されている。このような本発明の第2の実施形態による計算機回路は、サービスプロセッサがどのレギュレータB1(130)～Bn(132)が備える異常検出回路が障害信号を出力したかを切り分けることができないが、信号171を発して、電源停止回路111を動作させて、電源装置110を停止させることができる。

30

【0042】

また、図3に示す本発明の第3の実施形態による計算機回路は、レギュレータB1(130)～Bn(132)が備える異常検出回路からの検出信号であるP_good信号149～151に、引き出し信号線155～157を追加して測定用ポイント158～160を設け、前述のP_good信号149～151とサービスプロセッサ170との間に挿入した低抵抗152～154のサービスプロセッサ側をワイヤードオアして出力された信号164をサービスプロセッサに接続すると共に、測定用ポイント165として引き出すことにより、サービスプロセッサ170の入力信号の数を減らすことができる。引き出された前述の測定用端子の電位を測定することにより、どのレギュレータB1(130)～Bn(132)が備える異常検出回路が障害信号を出力したかを切り分けることができる。

40

【0043】

図4は本発明の実施形態による計算機回路のレイアウトの例を示す図である。ここに示すレイアウトの例は、前述した本発明の実施形態におけるシステムボード120に対応するシステムボード400上に、複数の電子回路ブロックと複数のレギュレータ420から422とを有する複数の電子回路410～413を搭載し、全体を点線で示すシステム筐体401のカバー402で覆った例である。

【0044】

図4に示す電子計算機回路のレイアウトは、システムボード400上に、電子回路410～413と、電子回路413内に備えたレギュレータA1(420)～An(422)

50

とを実装したものとしてのレイアウトである。通常、システムボード400上の配置は、各電子回路間の信号線のディレイや電源供給パターン等を考慮し実装するため、電子回路410～413及びレギュレータA1(420)～An(422)は必然的に部品の位置が決められる。そして、電子回路410～413は、電源供給パターンの違いにより分けられている。なお、図4には、レギュレータB1～レギュレータBnを記載していないが、レギュレータB1～レギュレータBnが含まれてよいことはいうまでもない。

【0045】

また、出荷前の検査は、出荷形態の状態で検査をしなければならないため、システムボード400をシステム筐体401に組み込んだ状態で検査をする必要がある。システム筐体401内の電子回路410～413の上部には、カバー402が装着されていることと、実装密度の高い場所にあるレギュレータA1(420)～An(422)にプローブ440を当てて直接測定することが難しいためとにより、本発明の実施形態では、レギュレータA1(420)～An(422)の異常検出回路からの出力信号をシステムボード400上の実装密度の低い場所の一箇所に引き出し信号線433～435を介して引き出して、測定用ポイント430～432を設けている。これにより、本発明の実施形態は、プローブ440によりレギュレータA1(420)～An(422)の異常検出回路からの出力信号の測定を容易に実施することができ、測定効率の向上を図ることができる。

10

【0046】

前述したように、本発明の実施形態によれば、レギュレータが有する異常検出回路が障害信号を発生したときに、引き出した測定用ポイントにプローブを当てるだけで、筐体からシステムボードを取り外すことなく、どの異常検出回路が障害信号を発生したかを効率よく特定することが可能となり、障害信号を発生させた異常検出回路の切り分け効率よく行うことができる。

20

【0047】

また、本発明の実施形態によれば、計算機回路の出荷検査において、筐体からシステムボードを取り外す必要がないため、効率的な作業を実施することができ、不具合があった場合でも出荷を遅らせることなく対応することができる。

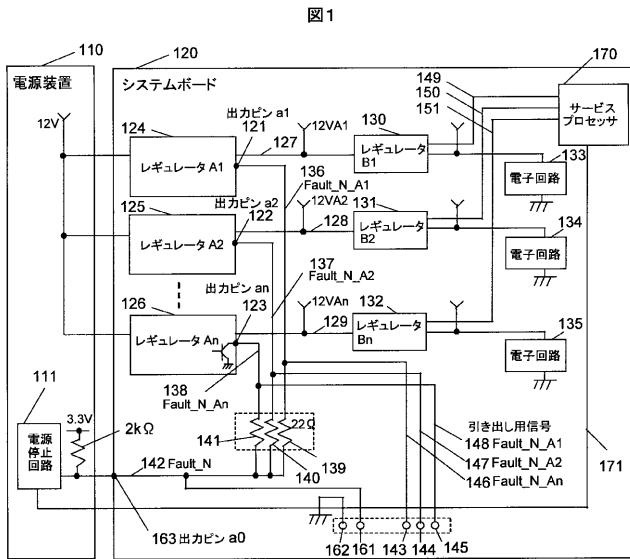
30

【符号の説明】

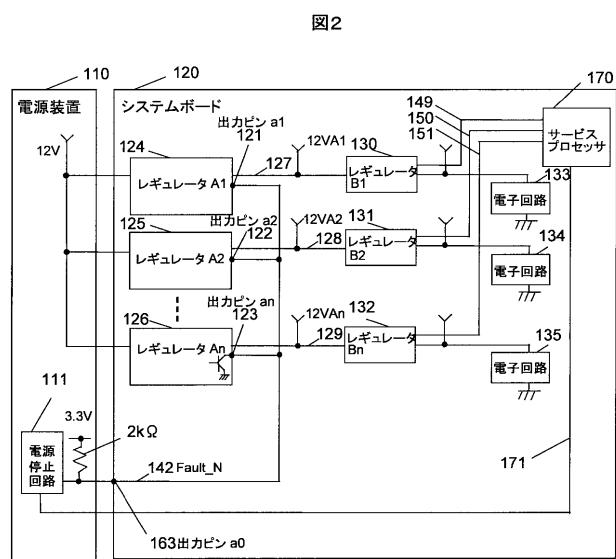
【0048】

110	電源装置	30
111	電源停止回路	
120	システムボード	
121～123	出力ピンa1～an	
124～126	レギュレータA1～An	
127～129	12V出力電源	
130～132	レギュレータB1～Bn	
133～135、410～413	電子回路	
139～141、152～154	低抵抗	
143～145、158～162	測定用ポイント	
158、159、160、161、162	測定用ポイント	40
163	出力ピンa0	
170	サービスプロセッサ	
400	システムボード	
401	システム筐体	
402	カバー	
410、411、412、413	電子回路	
420、421、422	レギュレータA1～An	
430、431、432	測定用ポイント	
440	プローブ	

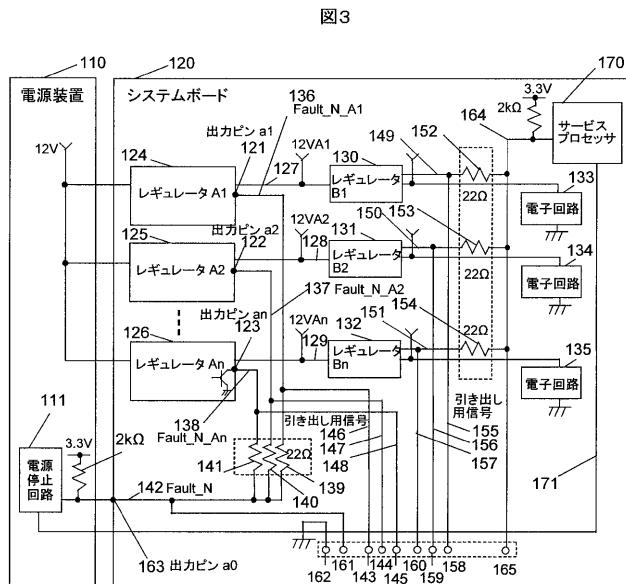
【図1】



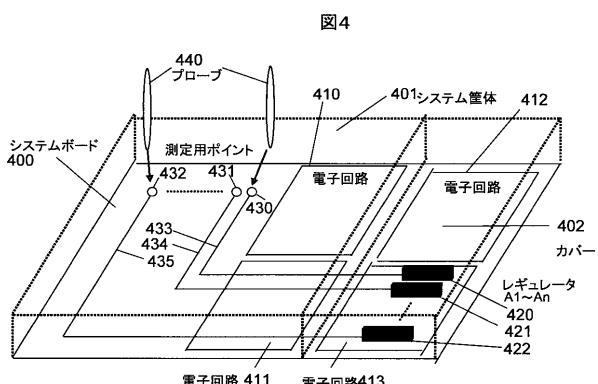
【図2】



【図3】



【図4】



【図5】

図5

	レギュレータ A1~An(124~126)			出力ピン a0(163)との電位差				
	A1(124)	A2(125)	...	An(126)	a1(121)	a2(122)	...	an(123)
ケース 1 背景技術	正常	正常	...	正常	0V	0V	...	0V
ケース 2	異常	正常	...	正常	0V	0V	...	0V
ケース 3 本発明	正常	正常	...	正常	0V	0V	...	0V
ケース 4	異常	正常	...	正常	0.03V	0V	...	0V
ケース 5	正常	異常	...	正常	0V	0.03V	...	0V
ケース 6	正常	正常	...	異常	0V	0V	...	0.03V

フロントページの続き

(72)発明者 長澤 賢雄

神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内

F ターム(参考) 5B011 DB05 GG02 GG16 HH04 HH08 JA12 MB16

5B042 KK15