

(12) 发明专利申请

(10) 申请公布号 CN 102460252 A

(43) 申请公布日 2012. 05. 16

(21) 申请号 201080026024. 4

(74) 专利代理机构 北京安信方达知识产权代理有限公司 11262

(22) 申请日 2010. 06. 07

代理人 周靖 郑霞

(30) 优先权数据

61/186, 693 2009. 06. 12 US

12/781, 471 2010. 05. 17 US

(51) Int. Cl.

G02B 6/26 (2006. 01)

G02F 1/01 (2006. 01)

(85) PCT申请进入国家阶段日

2011. 12. 12

(86) PCT申请的申请数据

PCT/US2010/037591 2010. 06. 07

(87) PCT申请的公布数据

W02010/144346 EN 2010. 12. 16

(71) 申请人 光导束公司

地址 美国宾夕法尼亚州

(72) 发明人 马克·韦伯斯特 拉塞尔·罗马诺

卡尔潘都·夏斯特里

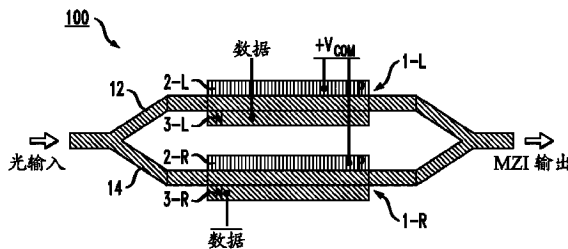
权利要求书 1 页 说明书 7 页 附图 7 页

(54) 发明名称

具有改善的效率和啁啾控制的基于硅的光调制器

(57) 摘要

通过分别地加偏压于调制装置的所选定的第一区域(例如,多晶硅区域,其被定义为共同节点),提供了一种表现出改善的调制效率和“线性调频”(例如,时变光学相位)控制的基于硅的光调制器。具体地,该共同节点被偏置以将基于硅的光调制器的电压摆幅转移到其累积区内,这样表现出作为外加电压的函数的相位的较大改变(较大的OMA)和改善的消光比。在累积区中的响应也相对线性,这允许啁啾更加容易控制。电调制输入信号(以及它的反相信号)作为分开的输入被施加到调制器的每个支路的第二区域(例如,SOI区域)。



1. 一种基于硅的光调制器,包括:

输入光波导分路器,其响应于输入的连续波光信号;

一对光波导支路,每一波导支路耦合至所述输入光波导分路器的分开的输出,并且每一光波导支路包括基于硅的调制装置,所述基于硅的调制装置由具有第一导电类型掺杂物的第一硅区和具有第二导电类型掺杂物的第二硅区组成,电调制数据信号沿每一光波导支路施加到所述基于硅的调制装置以产生调制的光信号;以及

输出光波导组合器,其耦合至所述一对光波导支路的输出上以组合一对分开调制的光信号并产生光调制的输出信号,其中所述调制装置的所述第一硅区被耦合以接收所述电调制数据信号及其互补形式,以及所述基于硅的调制装置的所述第二硅区保持在预定的偏压,所述偏压被选定用来提供所述基于硅的调制装置在累积区内的操作。

2. 如权利要求 1 所述的基于硅的光调制器,其中所述第二硅区保持在相同的预定的偏压。

3. 如权利要求 2 所述的基于硅的光调制器,其中所述预定的偏压可调整以调节所述光调制的输出信号中的啁啾的量。

4. 如权利要求 2 所述的基于硅的光调制器,其中所述预定的偏压可调整以调节所述光调制的输出信号中的光调制幅度。

5. 如权利要求 2 所述的基于硅的光调制器,其中所述预定的偏压可调整以调节所述光调制的输出信号中的消光比。

6. 如权利要求 2 所述的基于硅的光调制器,其中所述调制器还包括旁路电容器,所述旁路电容器被设置在所述预定的偏压和所述电调制数据信号之间以提供其间的去耦。

7. 如权利要求 1 所述的基于硅的光调制器,其中所述第二硅区保持在不同的预定的偏压。

8. 如权利要求 7 所述的基于硅的光调制器,其中施加到所述第二硅区的所述不同的预定的偏压是独立地可调整的。

9. 如权利要求 1 所述的基于硅的光调制器,其中每一基于硅的调制装置包括基于绝缘硅(SOI)的调制器,所述基于绝缘硅的调制器包括设置在覆盖硅衬底的绝缘层上的表面硅波导层(SOI)层、形成在所述 SOI 层的顶面上的薄的栅极电介质层,以及多晶硅层,该多晶硅层设置在所述薄的栅极电介质层的一部分上以和所述 SOI 层形成重叠区域,所述重叠区域限定了所述基于硅的调制装置的作用区以支持对传播的光信号的调制。

10. 如权利要求 9 所述的基于硅的光调制器,其中每一调制装置的多晶硅层被定义为所述第一硅区,以及每一调制装置的 SOI 层被定义为所述第二硅区。

11. 如权利要求 9 所述的基于硅的光调制器,其中每一调制装置的 SOI 层被定义为所述第一硅区,以及每一调制装置的多晶硅层被定义为所述第二硅区。

12. 如权利要求 9 所述的基于硅的光调制器,其中所述薄的栅极电介质层包括选自由二氧化硅,氮化硅,氧化钾,三氧化二铋和氧化铪组成的组的材料。

## 具有改善的效率和啁啾控制的基于硅的光调制器

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2009 年 6 月 12 日提交的第 61/186,693 号美国临时申请的优先权和权益,该美国临时申请在此通过引用并入该申请。

### 技术领域

[0003] 本发明涉及一种基于硅的光调制器,更具体地说,涉及在一种基于硅的调制器中通过分别地加偏压于装置的一个节点(例如,多晶硅区)来将调制器的电压摆幅限制在该基于硅的装置的累积区内以提供改善的调制效率和“啁啾(chirp)”(例如,时变光学相位)控制的功能。

### 背景技术

[0004] 多年来,光调制器都由电光材料制成,例如铌酸锂。光波导在电光材料内形成,且金属接触区域被设置在每一波导支路的表面上。连续波(CW)光信号被输入到波导中,电数据信号输入被施加作为金属接触区域的输入。外加的电信号更改了接触点下面的波导区的折射率,因而改变了沿着波导的传播速度。通过施加在两个支路之间产生  $\pi$  的相位差的电压,形成了非线性(数字)马氏调制器。

[0005] 尽管这种类型的外置调制器被证明为极其有用,但日益期望在基于硅的平台上形成多种光学组件、子系统及系统。还期望将与这种系统相关联的多种电子组件(例如,用于电光调制器的输入电子数据驱动电路)与在同一硅衬底上的光学组件集成在一起。明显地,基于铌酸锂的光学装置在这种情况下的应用不是一种选择。多种其他传统的电光设备均由不能直接地与硅平台相兼容的相似的材料(例如 III-V 族化合物)制成。

[0006] 在基于硅的平台中提供光调制的功能方面已经具有重大进展,如于 2005 年 1 月 18 日授予 R. K. Montgomery 等人的美国专利 6,845,198 中公开的内容,其已转让给本申请的受让人,并在此通过引用将其并入。图 1 图示了 Montgomery 等人的专利中公开的基于硅的调制器装置的示例性布置。在此实例中,基于硅的光调制器 1 包括掺杂的硅层 2(通常地,多晶硅),其与亚微米厚的硅表层 3(通常在本领域中称为 SOI 层)的反向掺杂部分重叠布置。SOI 层 3 被示出为传统的绝缘硅(silicon-on-insulator, SOI)结构 4 的表层,该 SOI 结构还包括硅衬底 5 和埋氧层 6。重要地,相对较薄的电介质层 7(例如,二氧化硅,氮化硅,氧化钾,三氧化二铋,氧化钪,或其他高介电常数的电绝缘材料)沿着 SOI 层 3 和掺杂的多晶硅层 2 之间的重叠区域设置。由多晶硅层 2,电介质层 7 和 SOI 层 3 限定的重叠区域限定了光调制器 1 的“作用区”。在一种实施方式中,多晶硅层 2 可以是 p- 掺杂的,SOI 层 3 可以是 n- 掺杂的;同样可以使用互补的掺杂布置(例如, n- 掺杂的多晶硅层 2 和 p- 掺杂的 SOI 层 3)。

[0007] 图 2 是调制器 1 的作用区的放大视图,其图示了关于穿过该结构(沿垂直于纸张方向)传播的信号的光强,还图示了多晶硅层 2 和 SOI 层 3 之间重叠的宽度 W。在操作中,由于电压施加到 SOI 层 3 和掺杂的多晶硅层 2 的作用,自由载流子将聚积并耗尽在电介质

层 7 的两侧。自由载流子的浓度的调制导致作用区内有效折射率的变化,因而引入沿着由作用区限定的波导传播的光信号的相位调制。在图 2 所示的图中,光信号将沿着垂直于纸张方向的 Y 轴传播。

[0008] 在考虑铌酸锂调制器的当前水平的重大进展时,一般的基于硅的光调制器和尤其图 1 中的示例性配置遭受着因固有的相位响应及调制器的两个支路之间的光损失差异而产生的对啁啾的影响。啁啾是时变光学相位,其能够在光信号传播穿过弥散型纤维时不利于光信号的传播行为。光调制器的啁啾行为通常使用“ $\alpha$  参数”表征, $\alpha$  参数被定义为归一化到由调制器产生的强度调制量的相位调制量。 $\alpha$  参数可以被定义为如下:

$$[0009] \quad \alpha = 2 \frac{\frac{d\phi}{dt}}{\frac{1}{p} \frac{dp'}{dt}}$$

[0010] 可以显示的数值为零,正数或负数。在某些应用中,需要具有较小的负调频量(例如,较小的负  $\alpha$  参数)以延伸在色散限制其传播范围前,信号沿色散介质例如光纤传播的距离。

[0011] 已知传统的基于硅的光调制器因其结构的非线性相位与“外加电压”响应而表现出非零啁啾(甚至配置在对称的驱动布置中的情况下)。增加调制速度或者已调制的光信号行进的距离已被发现仅仅加剧了啁啾问题,因为传输光纤的色散特性将具有更大的影响。

[0012] 图 3 是图 1 中现有技术的装置的基于硅的光调制器的作为外加电压的函数的相位调制图。在使用该特定的现有技术装置的交叉耦合 MZI 布置中,将驱动电压限定为在数值  $-1.3V$  和  $+1.3V$  之间摆动(这些数值与用作调制器的驱动电路的电子装置的具体情况相关联),从调制装置的耗尽区穿进装置的累积区。如图所示,在  $-/+1.3V$  范围内的相位调制变化相对较小,主要是因为装置的耗尽区内的微弱反应。耗尽区内的最小相位变化导致限制了图 1 中现有技术的结构的调制效率。还应理解的是,电压摆幅  $-/+1.3V$  仅是示例性的,其与某些设计参数相关;多种其他的电压范围也可以应用在相似的现有技术的装置中。

[0013] 因此,本领域一直需要一种具有改善的调制效率,消光比和能够控制啁啾参数的基于硅的光调制器。

## 发明内容

[0014] 本发明解决了现有技术中存在的需要,本发明涉及一种基于硅的光调制器,更具体地说,涉及通过将电数据调制信号施加到装置的第一节点(例如,调制器的硅(SOI)区域),同时分别地加偏压于装置的第二节点(例如,调制器的多晶硅区域)来提供改善的调制效率和“啁啾”(例如,时变光学相位)控制的功能。特别地,第二节点(在此后还称为“共同节点”)被偏置以将基于硅的光调制器的电压摆幅转移到操作的累积区内,这样表现出作为外加电压的函数的较大的(更加线性的)相位变化,带来较大的光调制幅度(OMA)和改善的消光比。

[0015] 在依据本发明的一个实施方式中,基于硅的光调制器结构的上覆多晶硅层被定义为共同节点,并保持在一个不同于与调制器关联的供给电压( $V_{dd}$ 、 $V_{ss}$ )的偏压上。在这种

特定的实施方式中,电数据信号(以及它的反相信号)作为分开的输入被施加到调制器的每一支路的 SOI 层。通过将多晶硅层保持在不同的偏压上,调制器的电压摆幅转移到累积区,这表现出更加线性的响应,带来更大的调制效率(作为外加电压的函数的更大的相位变化),更大的消光比,以及对装置的啁啾的控制能力。

[0016] 在选择性实施方式中,SOI 层被定义为“共同节点”,且将负值偏压施加到该 SOI 层中。在此实例中,电数据信号(以及它的反相信号)作为分开的输入被施加到调制器的每一支路的多晶硅层。SOI 层两端的负偏压因此将调制器的操作转移到优选的累积区中,如上所述。

[0017] 在本发明的另一实施方式中,分开的且不同的偏压被施加到调制器(非对称的偏压布置)的每一支路的第二节点上。分开的偏压的使用允许通过改变沿调制器的每一支路产生的相对相位延迟来进行附加的啁啾控制。

[0018] 在任何实施方式中,可以在分开偏置的共同节点和供给电压之间增加附加的电容以增加其间的去耦。

[0019] 本发明的“共同节点”偏置布置的益处是,调制器的调制效率、消光比和啁啾均有所改善并可更好地控制(与现有技术的基于硅的调制器相比较时),而不需要更改与传统的电子驱动器电路相关联的标准供给电压  $V_{dd}$ 、 $V_{ss}$ 。也就是说,与现有技术相比,依据本发明的具有共同节点偏置的基于硅的调制器的性能得到显著的改善,而不需要引入改变或修改到与调制器相关的标准电路中。

[0020] 通过以下讨论并参照附图,本发明的其他实施方式和优势将变得明显。

## 附图说明

[0021] 现在参照附图,其中在多个附图中相同的数字表示相同的部件。

[0022] 图 1 是现有技术中用于提供光信号调制的基于硅的光学装置的侧视图;

[0023] 图 2 是图 1 中装置的放大部分视图,其示出了光调制的重叠布置以及相关的作用区;

[0024] 图 3 是图 1 中装置的作为外加电压的函数的相位调制曲线图;

[0025] 图 4(a) 是现有技术中利用一对如图 1 所示的基于硅的调制装置构成的马赫-泽德干涉仪(MZI)的简图;

[0026] 图 4(b) 是示例性的基于硅的调制装置的重叠的光作用区的简图;

[0027] 图 4(c) 是图 4(b) 中作用区的示意图;

[0028] 图 5 是图 4(a) 中的 MZI 的示意图;

[0029] 图 6 是依据本发明形成的 MZI 的简图,图 6(a) 图示了本发明的使用分开的电压施加到硅调制装置结构的多晶硅层的实施方式,以及图 6(b) 图示了本发明的使用分开的电压施加到硅调制装置结构的 SOI 层的实施方式;

[0030] 图 7(a) 是图 6(a) 中的 MZI 的示意图,及图 7(b) 是图 6(b) 中的 MZI 的示意图;

[0031] 图 8 是现有技术的装置的光调制幅度(OMA)与本发明的装置相比较的曲线图;

[0032] 图 9 是现有技术的装置的消光比与本发明的装置相比较的曲线图;

[0033] 图 10 是图 6(a) 中的实施方式的另一布置的示意图,在此实例中包含位于 MZI 结构的多晶硅层和接地电位之间的旁路电容器;

[0034] 图 11 是本发明的选择性实施方式的简图,在此实例中使用不同的电压源来偏置 MZI 结构的每一支路的共同节点(在此实例中,共同节点为多晶硅区);

[0035] 图 12 是图 11 中实施方式的示意图;以及

[0036] 图 13 是图 11 中的实施方式的另一布置的示意图,在此实例中将旁路电容器包含到布置中。

### 具体实施方式

[0037] 在描述利用“共同节点”偏置以在基于硅的光调制器中获得改善的调制效率和啁啾控制之前,较为详细地提供对现有技术的基于硅的光调制器的操作的理解被认为是必要的。图 4(a) 是示例性的现有技术的马赫-泽德干涉仪 (MZI) 10 的简化图,其中马赫-泽德干涉仪 (MZI) 10 包括分成一对分开的,相互平行的波导支路 12 和 14 的输入波导管部分 9。波导支路 12 和 14 的相对端其后重新结合形成输出波导管部分 11。如所示,波导支路 12 和 14 均包括如以上联系图 1 所述的基于硅的相位调制装置 1。特别地,波导支路 12 包括调制装置 1-L(其含有多晶硅区 2-L 和 SOI 区 3-L),以及波导支路 14 包括调制装置 1-R(其含有多晶硅区 2-R 和 SOI 区 3-R)。调制装置 1-L 和 1-R 均通过施加电数据输入信号来控制,如上所述。在操作中,CW 光信号被引入输入波导管部分 9,并随后沿两个支路 12 和 14 传播,来自支路 12 和 14 的输出信号其后沿着输出波导管部分 11 重新结合。输入到调制装置 1-L 和 1-R 中的电数据信号产生所传播的光信号的相位变化,沿着输出波导管部分 11 产生调制的光输出信号。

[0038] 图 4(b) 示出了示例性调制装置 1 的截面图,并且图 4(c) 示出了其等效电路,此实例中多晶硅层 2 被定义为 p- 掺杂层以及 SOI 层被定义为 n- 掺杂层(明显地,也可以利用互补的掺杂配置)。

[0039] 现有技术的调制器 10 的示例性操作配置如图 5 中示意图所示的(同样参照图 4)“交叉耦合,推挽式”装置。在这种布置中,电数据信号被施加到装置 1-L 的多晶硅区 2-L 中和装置 1-R 的 SOI 区 3-R 中。互补的数据信号被施加到其余的一对区域中,即 SOI 区 3-L 和多晶硅区 2-R。因此,在这种配置中, $V_{dd}-V_{ss}$  的全电压摆幅被施加到每一支路 12 和 14 的两端。因此,如果  $V_{dd} = 1.3V$  和  $V_{ss} = 0.0V$ (这些电压与标准、传统的电子驱动电路的布置相关),则在每一调制装置 1-L 和 1-R 两端的电压将是  $\pm 1.3V$ 。这种交叉耦合的配置提供了相对较低的净等效电容,这对装置的带宽有益。

[0040] 然而,现有技术的交叉耦合的调制器布置不是最适宜的,因为基于硅的调制装置 1-L 和 1-R 在耗尽模式操作( $< 0V$ )的光学相位变化不如装置在累积模式操作(对于这种特别的配置,约大于  $0.9V$ )的光学相位变化大,如参照图 3 的曲线及以上所述。由于大多数商业装置的  $V_{ss}$  电压和  $V_{dd}$  电压通常是固定的,这种调制装置在耗尽模式操作的特定的非线性行为是存在问题的,其产生相对较低的调制效率且啁啾在数值上是固定的。

[0041] 本发明解决了现有技术的交叉耦合的调制器布置的局限性,其分别地加偏压于基于硅的调制器结构中的选定的共同节点,因此将调制器的操作区转移到更加线性的累积区中,这样增加了作为外加电压的函数的相位变化。在一种实施方式中,多晶硅层被定义为共同节点并且被施加偏置正电压以将调制功能转移到所述装置的累积区内。在一选择性实施方式中,SOI 层被定义为共同节点并且被施加偏置负电压,同样将调制功能转移到优选的累

积区内。通过仅在累积区内操作,极大地增加了 OMA 和消光比,同时控制施加给多晶硅区的电压的能力允许控制和调节调制器表现出的啁啾。

[0042] 图 6(a) 图示了依据本发明形成的基于硅的光调制器 100 的第一实施方式,如上述现有技术的布置一样,相同的参照数字用于定义相同的区域。图 7(a) 是图 6(a) 中的布置的等效示意图。参照图 6(a) 和图 7(a),示出了由多晶硅区 2-L 和 2-R 定义的共同节点,多晶硅区 2-L 和 2-R 耦合在一起并保持在预定的(正)电压  $+V_{com}$ 。电数据信号(图中示为“数据”)被施加作为到 SOI 区 3-L 的调制输入,互补信号“数据”被施加作为到 SOI 区 3-R 的调制输入。然后该配置将电压  $(V_{com}-V_{dd})$  和电压  $(V_{com}-V_{ss})$  分别加到光调制器 100(参见图 7(a))的每一支路 12 和 14 的两端。在一示例性布置中,电压可以是  $V_{com} = +2.2V$ ,  $V_{ss} = 0.0$  和  $V_{dd} = +1.3$ ,因而提供到调制装置 1-L 和 1-R 两端的电压为 0.9V 或 2.2V。

[0043] 图 6(b) 示出了该第一实施方式的互补形式,其中 SOI 区 3-L 和 3-R 被定义为共同节点,SOI 区 3-L 和 3-R 耦合在一起并保持在预定的(负)电压  $-V_{com}$ 。在此实例中,调制信号“数据”被施加作为到多晶硅区 2-L 的输入,它的互补信号(数据)耦合至多晶硅区 2-R。图 7(b) 显示了该互补形式的示意形式,施加负偏压于 SOI 区 3-L 和 3-R 中同样将调制功能的操作转移到所述装置的累积区中。在  $V_{com} = -0.9V$ ,以及与所述图 6(a) 中相等的  $V_{dd}$  和  $V_{ss}$  值的情况下,调制装置 1-L 和 1-R 两端的电压摆幅将仍为 0.9V 或 2.2V。

[0044] 明显地,这些具体的电压仅是示例性的,可以使用多种其他的  $V_{dd}$  和  $V_{ss}$  值,作为所采用的特定的电子驱动电路的函数。 $V_{com}$  的大小需要保持在小于调制装置的介电材料(层 7)的击穿电压,但可以根据具体应用进行选择(和修改,如下所述)。在本发明的调制装置中,偏置多晶硅区时  $V_{com}$  使用正电压,而在偏置 SOI 区时  $V_{com}$  使用负电压。

[0045] 图 3 还图示了本发明的装置的操作范围,在此实例中,图示了上述关于图 6(a) 和 6(b) 中的实施方式讨论的示例性数值 0.9V 和 2.2V 之间产生的相位调制。如所示,本发明的共同节点偏置用于将基于硅的光调制器的操作限制在其累积区内。与现有技术的电压布置相比较,本发明的调制器 100 的“共同节点”布置提供了更大的调制效率,以及在相同的供给电压  $V_{dd}$ 、 $V_{ss}$  情况下,累积区内的整个线性响应具有较大的相位调制变化。

[0046] 实际上,与现有技术的配置相比,本发明的装置在同样的电源供给值的情况下提供了更大的光调制幅度(OMA)和消光比。所述 OMA 被定义为当产生光学“1”(被定义为功率水平  $P_1$ )和光学“0”(被定义为功率水平  $P_0$ )时的光功率水平之间的差异,并可以表达为  $P_1-P_0$ 。图 8 是将图 4 中现有技术的布置与图 6(a) 和 6(b) 中所示的本发明的“共同节点”配置的 OMA 值相比较的曲线图。所述 OMA 显示为光调制装置 1 的长度  $l$  的函数。图 8 中显示的数值是示例性的 1550nm 的操作波长所产生的,并且清晰地显示了本发明的布置的 OMA 远远大于现有技术的具有 200-600  $\mu m$  范围内的长度的调制装置,归结于基于硅的光调制装置操作在累积区内。1550nm 的波长仅是为了说明目的,因为本发明的调制装置能够使用具有任何适合的波长(例如,波长大于 1100nm)的输入光信号进行操作;相似地,装置的长度  $l$  可以是任何适合的基于装置的工程参数的数值。

[0047] 与本发明的装置相关的消光比相对于现有技术也得到了改进,如图 9 的曲线图所示。所述消光比可以被定义为上述定义的功率之比,即比率  $P_1/P_0$ ,同样也在图 9 中作为调制装置 1 的长度  $l$  的函数绘出。一般而言期望拥有尽可能大的消光比,以使调制器的误码率(BER)最小。如所示,与本发明的装置相关的消光比对于装置长度  $l$  在 200-700  $\mu m$  范围内

要远远大于现有技术装置的消光比。举例说明,在  $400\ \mu\text{m}$  长度,现有技术的调制器表现出大约为 7dB 的消光比,而本发明的“共同节点”调制器将表现出大约为 13dB 的消光比。增加长度到大约  $500\ \mu\text{m}$ ,允许本发明的布置的消光比增加到 20dB 以上(现有技术在这种长度下具有的消光比大约为 8dB)。消光比上的小小改进可以在维持恒定的 BER 所需要的功率上产生相对较大的差异。

[0048] 尽管图 6 和图 7 中显示的本发明的实施方式仍是对称的、推挽式配置,但是与现有技术相比,它们将表现出减小的啁啾脉冲,因为相位调制行为在 0.92.2V 范围内更加线性(参看图 3)。

[0049] 在图 6 和图 7 的实施方式的另一布置中,电压  $V_{\text{com}}$  是可调节的以调整或控制 OMA、消光比和啁啾行为中的一个或多个。实际上,小于电介质层 7(参见图 1)) 的击穿电压的任何电压可以被用来成功地偏置所述调制装置的共同节点区域,并因此将所述 OMA、消光比或表现的啁啾调整/控制到一个想要的幅值和数值。在这种其他布置的第一种配置中,在制造期间可调整电压  $V_{\text{com}}$  以选择最佳数值,然后设置以保持该数值(举例说明,作为调制装置的具体的物理尺寸的函数)。可选择地,可调节布置的另一种配置允许在调制装置的使用期间连续地调节(调整)电压  $V_{\text{com}}$ ,其中可根据操作条件(例如,光信号波长、整个系统的光链路预算、电源电压水平、环境条件、老化情况等)修改共同节点偏压以对于特定情况提供期望程度的啁啾是可取的。实际上,如上所述,不同的应用可能需要不同量的啁啾(就幅值和符号而言),并且针对每一种应用调节 OMA、消光比和/或啁啾的功能被认为是本发明的优势。

[0050] 通过在电压  $V_{\text{com}}$  和  $V_{\text{ss}}$  之间提供额外的电容,图 6 中的装置可以实现改善的电性能,并在通过切换外加电压,调制器 100 改变状态时减小串联电阻和电感的影响。图 10 是图 6(a) 中实施方式的该配置的示意图,其在电压  $V_{\text{com}}$  和  $V_{\text{ss}}$  之间建立额外的旁路电容 20。优势地,这种电容可以直接建立在所述 SOI 结构中,SOI 结构包含掺杂的多晶硅 2-B 的一部分,电介质 7 和 SOI 层 3-B 的掺杂部分,所述电容被理想地放置在极为接近调制器 100 的 MZI 结构处。可选择地,可以使用其他的材料构成与调制器 100 作为整体结构的旁路电容 20,或者在另一实施方式中,可以使用分立的电容装置。

[0051] 本发明的另一实施方式称为非对称的实施方式,在图 11 中示出,图 12 示出了其示意图。在此实施方式中,多晶硅层被用作“共同节点”,不同的偏压施加到调制器 100 的每一支路 12、14 的多晶硅层中。如所示,电压  $V_{\text{com-L}}$  被施加到沿调制器 100 的支路 12 布置的调制装置 1-L 的多晶硅区 2-L 中。单独的电压  $V_{\text{com-R}}$  被施加到沿调制器 100 的支路 14 设置的调制装置 1-R 的多晶硅区 2-R 中。而电压  $V_{\text{com-L}}$  和电压  $V_{\text{com-R}}$  可以相等,也有可能稍微不同,从而产生非对称的配置。因此,调制器 100 的支路 12 和 14 将具有不同的相位调制效率,这样导致更大的调制器啁啾。因此啁啾的符号和行为可以通过独立地调节电压  $V_{\text{com-L}}$  和  $V_{\text{com-R}}$  来控制,也可以通过从  $+90^\circ$  到  $-90^\circ$  改变调制器的正交偏置点来控制。

[0052] 正如对称的配置,图 11 中的非对称布置可以修改为包含旁路电容,在此实例中,可以使用一对旁路电容 22 和 24,如图 13 中的布置所示(应该理解的是,在这种非对称布置中也可以仅使用一个旁路电容)。此外,电容可以插入每一多晶硅区之间,如图 13 中的装置 26、28 所示。

[0053] 可以理解的是,具有多种其他的基于硅的光调制器布置,其可以通过使用共同节



点偏压控制以提高调制效率,增大消光比和控制啁啾而受益。举例说明,具有包括用于提供调制器的偏压值的“直流调节”(例如,使用热敏元件)的基于硅的光调制器的配置,如于2008年11月4日授权的美国专利7,447,395公开的内容,该专利在此通过引用并入本文。使用波纹状作用区以增加光路径长度(如于2009年5月26日授权的美国专利7,549,358公开的内容,该专利在此通过引用并入本文)或多级信号(如于2009年1月27日授权的美国专利7,483,597公开的内容,该专利在此通过引用并入本文)的配置均同样地被认为获益于使用分开的偏压和控制调制装置结构的多晶硅区。

[0054] 本领域技术人员将想到本发明的其他实施方式,本发明的范围将通过以下权利要求和认可的等同物来限定。举例说明,多晶硅层的p-型掺杂和SOI层的n-型掺杂可以相互交换,以及外加电压可适当反向。就施加的多晶硅偏压的具体数值,和调整这些电压的功能的其他修改而言均被认为落入由所附的权利要求限定的本发明的保护范围内。

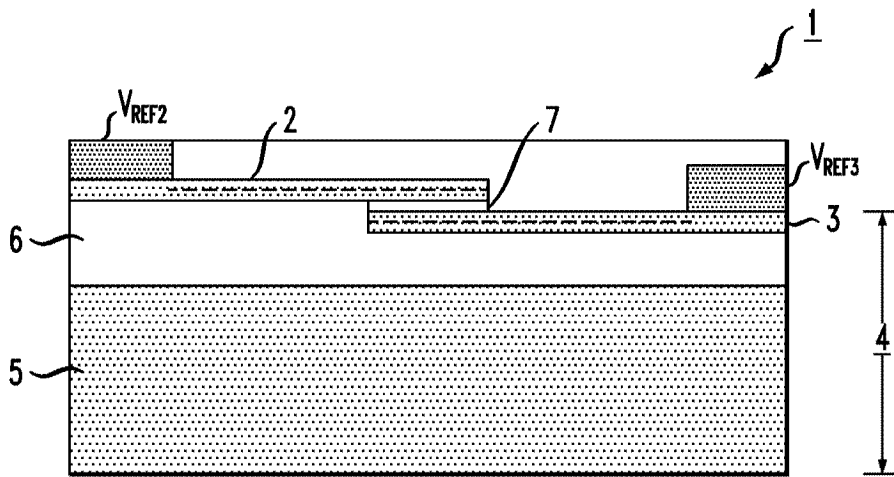


图 1

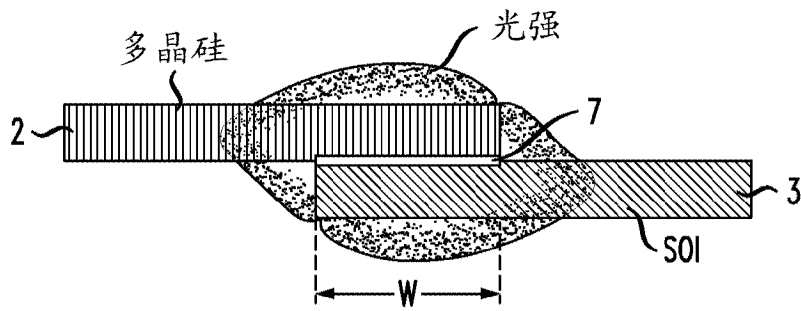


图 2

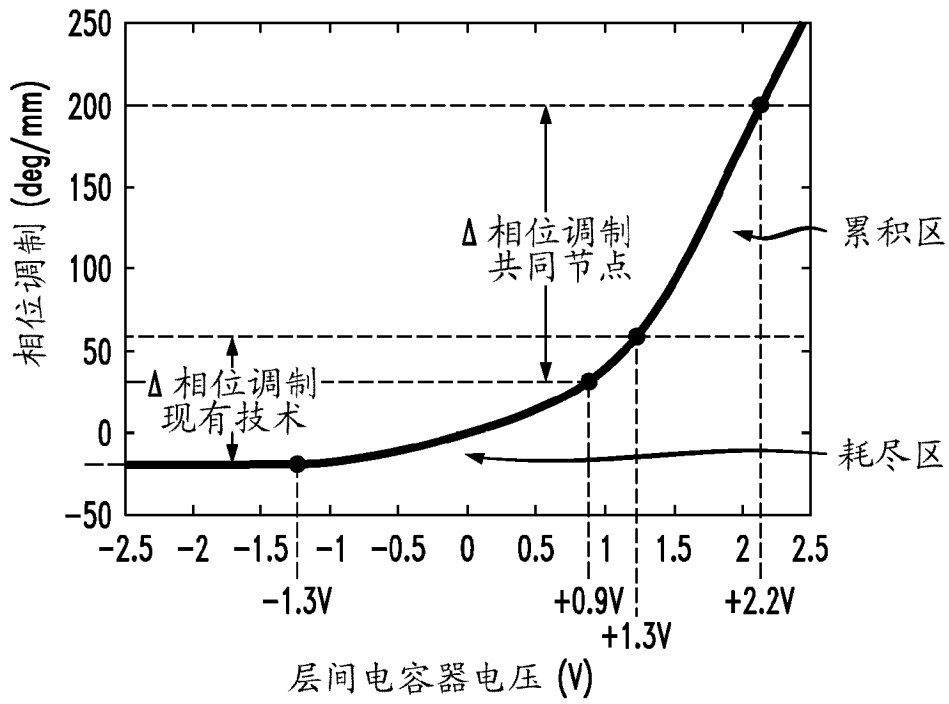


图 3

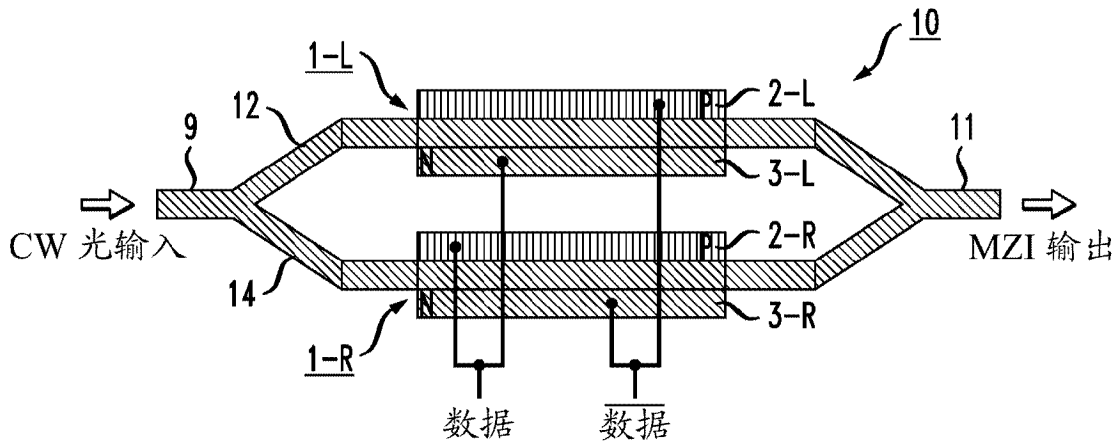


图 4(a)

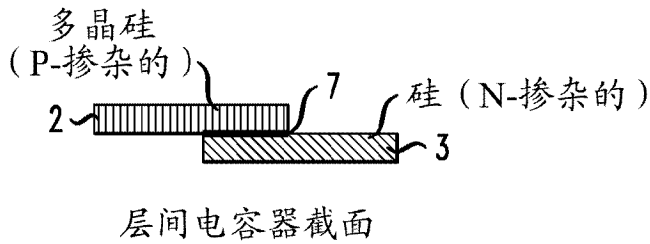
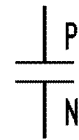


图 4(b)



层间电容器等效电路

图 4(c)

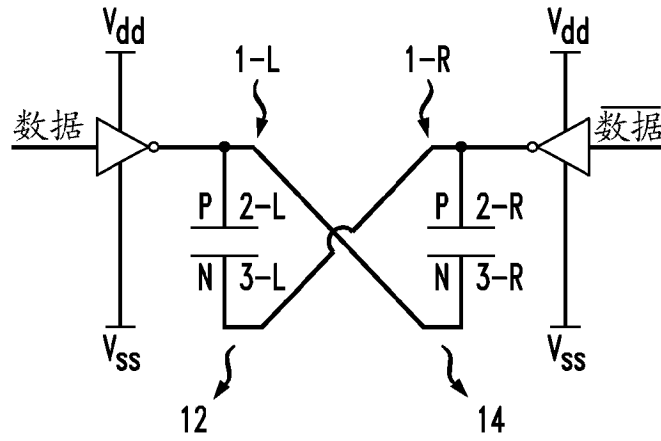


图 5

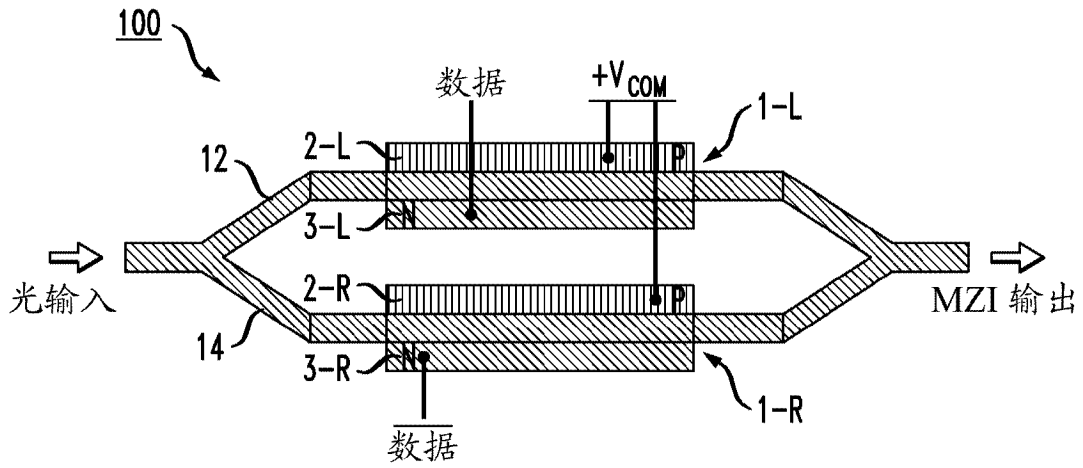


图 6(a)

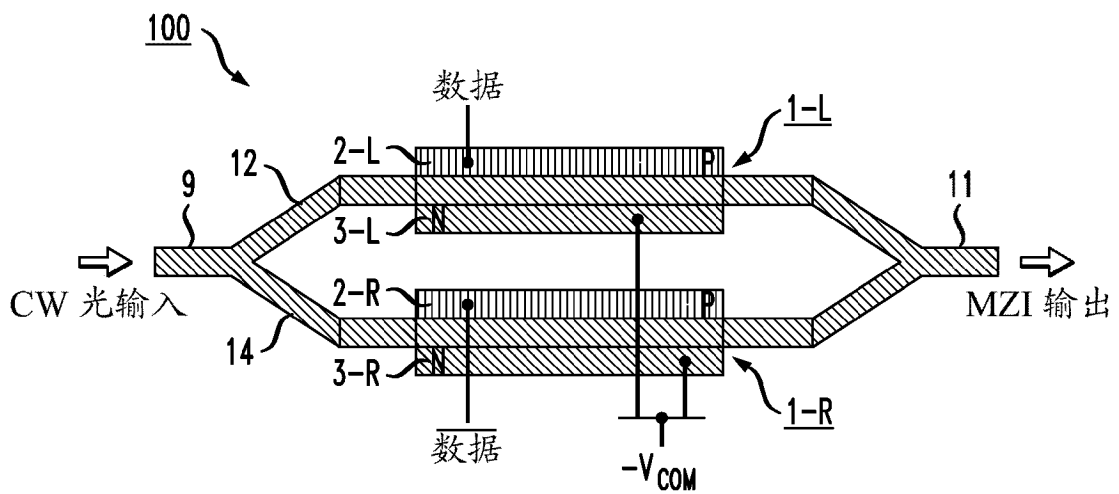


图 6(b)

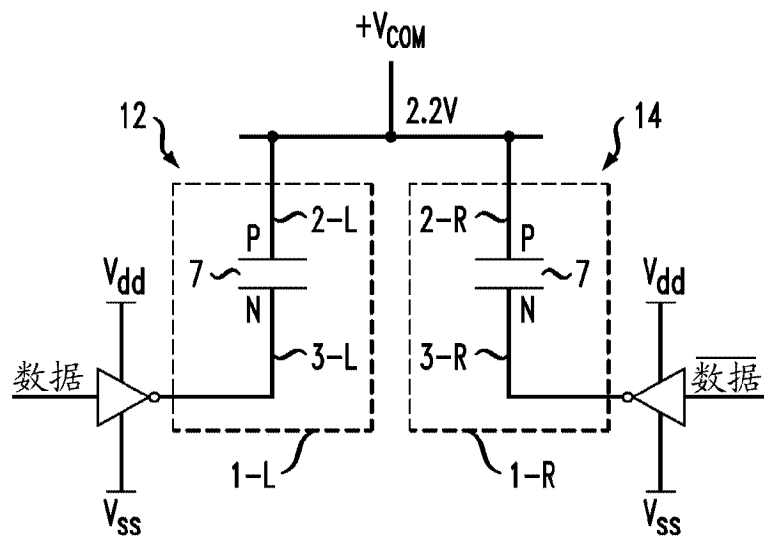


图 7 (a)

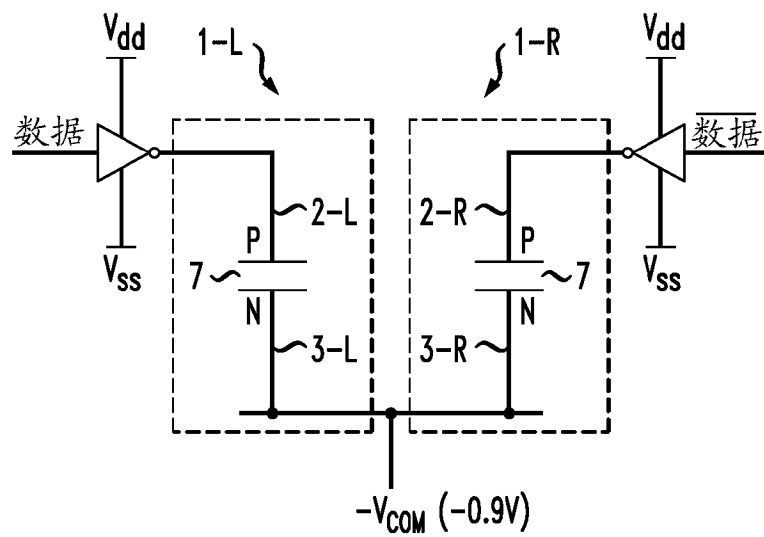


图 7 (b)

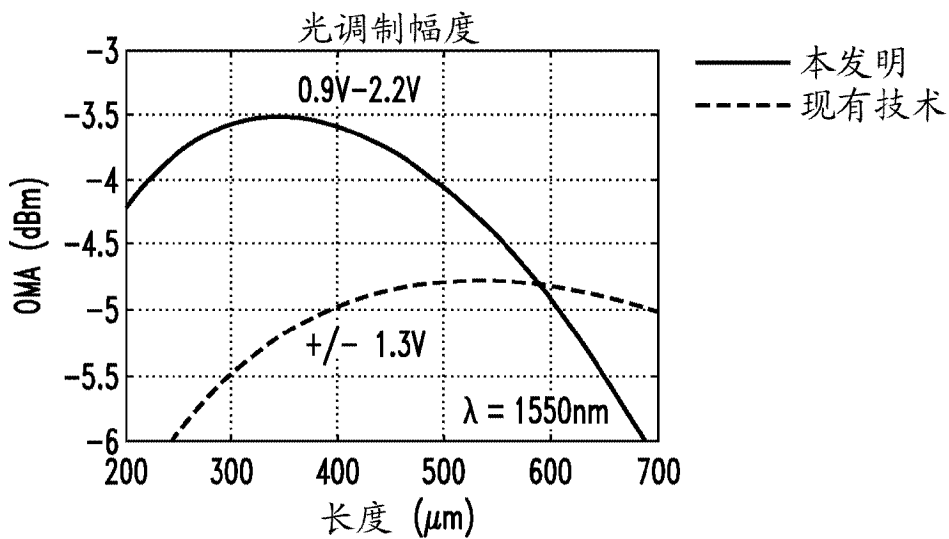


图 8

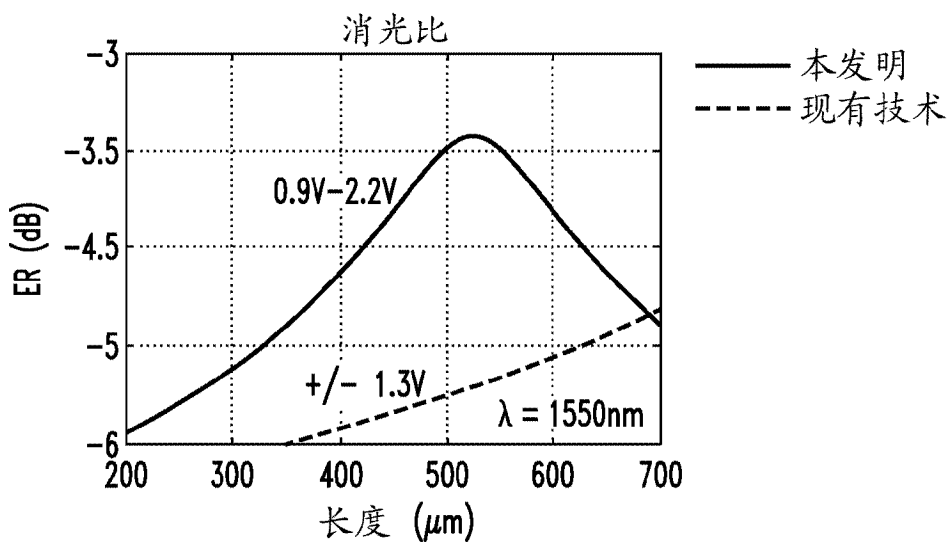


图 9

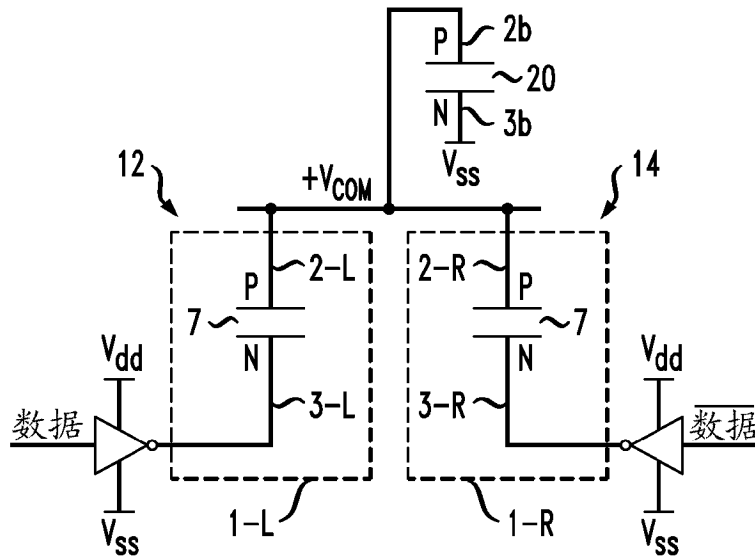


图 10

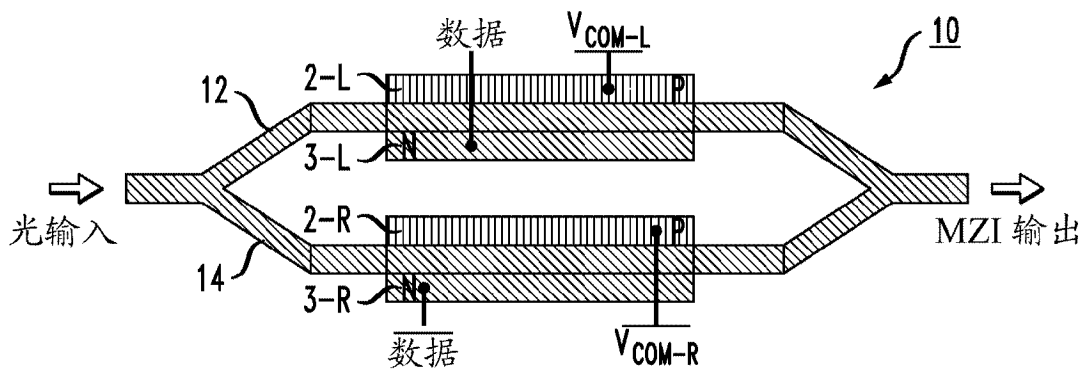


图 11

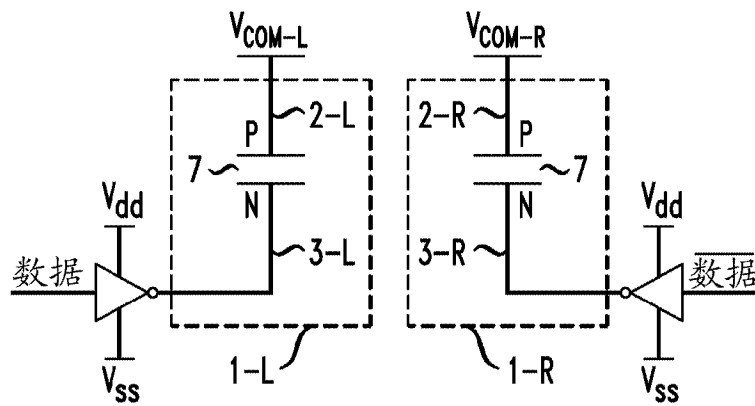


图 12

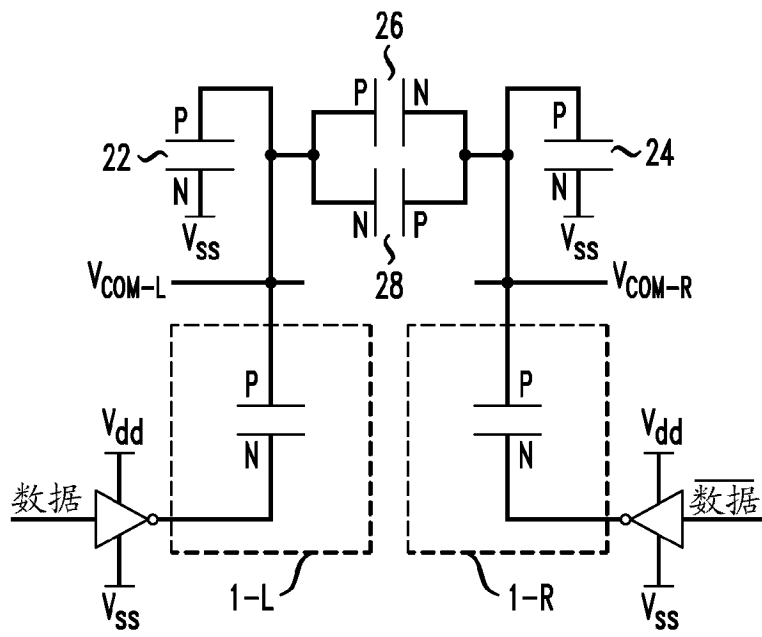


图 13