

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 8 月 2 日 (2007.8.2)

【公開番号】特開 2006-24705 (P2006-24705A)

【公開日】平成 18 年 1 月 26 日 (2006.1.26)

【年通号数】公開・登録公報 2006-004

【出願番号】特願 2004-200913 (P2004-200913)

【国際特許分類】

**H 0 1 L 21/8247 (2006.01)**

**H 0 1 L 27/115 (2006.01)**

**H 0 1 L 27/10 (2006.01)**

**H 0 1 L 29/792 (2006.01)**

**H 0 1 L 29/788 (2006.01)**

**H 0 1 L 21/76 (2006.01)**

**H 0 1 L 29/423 (2006.01)**

**H 0 1 L 29/49 (2006.01)**

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 7 1

H 0 1 L 21/76 L

H 0 1 L 29/58 G

【手続補正書】

【提出日】平成 19 年 6 月 18 日 (2007.6.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルと、該メモリセルに隣接する周辺回路とを有する不揮発性半導体記憶装置の製造方法であって、

基板の活性領域を分離する素子分離であって、その上面が該基板の表面よりも高い素子分離を該基板に形成する工程と、

前記基板上にシリコン酸化膜を形成する工程と、

前記素子分離の間の前記シリコン酸化膜上にポリシリコン膜を自己整合的に形成する工程と、

前記周辺回路を覆う第 1 レジストパターンを形成した後、前記メモリセルにおける前記素子分離を所定の膜厚だけエッチングする工程と、

前記基板全面に多層絶縁膜を形成する工程と、

前記メモリセルを覆う第 2 レジストパターンを形成した後、前記周辺回路における前記多層絶縁膜と前記ポリシリコン膜と前記シリコン酸化膜とを除去する工程と、

前記周辺回路の前記基板上にゲート絶縁膜を形成する工程と、

前記基板の全面に導電膜を形成する工程と、

前記周辺回路及び前記メモリセルにおける前記導電膜をパターニングする工程と、

前記メモリセルにおいて、パターニングされた前記導電膜をマスクとして前記多層絶縁膜及び前記ポリシリコン膜をパターニングする工程とを含むことを特徴とする不揮発性半

導体記憶装置の製造方法。

【請求項 2】

メモリセルと、該メモリセルに隣接する周辺回路とを有する不揮発性半導体記憶装置の製造方法であって、

基板の活性領域を分離する素子分離であって、その上面が該基板の表面よりも高い素子分離を該基板に形成する工程と、

前記基板上にトンネル酸化膜となるシリコン酸化膜を形成する工程と、

前記素子分離の間の前記シリコン酸化膜上にフローティングゲート電極となるポリシリコン膜を自己整合的に形成する工程と、

前記周辺回路を覆う第 1 レジストパターンを形成した後、前記メモリセルにおける前記素子分離を所定の膜厚だけエッチングすることにより、前記メモリセルにおける前記ポリシリコン膜の側面上部を露出させる工程と、

前記第 1 レジストパターンを除去した後、前記基板全面に多層絶縁膜を形成する工程と、

前記メモリセルを覆う第 2 レジストパターンを形成した後、前記周辺回路における前記多層絶縁膜と前記ポリシリコン膜と前記シリコン酸化膜とを除去する工程と、

前記周辺回路における前記シリコン酸化膜を除去した後、周辺回路の前記基板上にゲート絶縁膜を形成する工程と、

前記基板の全面にゲート電極又はコントロールゲート電極となる導電膜を形成する工程と、

前記周辺回路及び前記メモリセルにおける前記導電膜をパターニングすることにより、前記周辺回路の前記ゲート絶縁膜上にゲート電極を形成すると共に、前記メモリセルの前記多層絶縁膜上にコントロールゲート電極を形成する工程と、

前記コントロールゲート電極をマスクとして前記メモリセルの前記多層絶縁膜及び前記ポリシリコン膜をパターニングすることにより、フローティングゲート電極を形成する工程とを含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 3】

請求項 1 又は 2 に記載の不揮発性半導体記憶装置の製造方法において、

前記メモリセルにおける活性領域は、短手方向に複数並んで配置された短冊状の第 1 活性領域と、該第 1 活性領域の端部を相互に接続すると共に前記メモリセルを取り囲むように配置された第 2 活性領域とを有し、

前記第 1 レジストパターンの端部が前記第 2 活性領域に位置するように前記第 1 レジストパターンを形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 4】

請求項 1 から 3 の何れかに記載の不揮発性半導体記憶装置の製造方法において、

前記周辺回路における前記素子分離の上面が前記基板の表面と同等の高さとなるように若しくは該表面よりも高くなるように、前記周辺回路における前記多層絶縁膜と前記ポリシリコン膜と前記シリコン酸化膜とを除去することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 5】

メモリセルと、該メモリセルに隣接する周辺回路とを有する不揮発性半導体記憶装置であって、

基板の活性領域を分離する素子分離と、

前記活性領域に形成された半導体素子とを備え、

前記メモリセルにおける前記活性領域は、短手方向に複数並んで配置された短冊状の第 1 活性領域と、該第 1 活性領域の端部を相互に接続すると共に前記メモリセルを取り囲むように配置された第 2 活性領域とを有し、

前記周辺回路における前記素子分離の上面が、前記基板の表面と同等の高さであるか若しくは該表面よりも高いことを特徴とする不揮発性半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

本発明に係る不揮発性半導体記憶装置の製造方法は、メモリセルと、該メモリセルに隣接する周辺回路とを有する不揮発性半導体記憶装置の製造方法であって、

基板の活性領域を分離する素子分離であって、その上面が該基板の表面よりも高い素子分離を該基板に形成する工程と、

前記基板上にシリコン酸化膜を形成する工程と、

前記素子分離の間の前記シリコン酸化膜上にポリシリコン膜を自己整合的に形成する工程と、

前記周辺回路を覆う第1レジストパターンを形成した後、前記メモリセルにおける前記素子分離を所定の膜厚だけエッチングする工程と、

前記基板全面に多層絶縁膜を形成する工程と、

前記メモリセルを覆う第2レジストパターンを形成した後、前記周辺回路における前記多層絶縁膜と前記ポリシリコン膜と前記シリコン酸化膜とを除去する工程と、

前記周辺回路の前記基板上にゲート絶縁膜を形成する工程と、

前記基板の全面に導電膜を形成する工程と、

前記周辺回路及び前記メモリセルにおける前記導電膜をパターニングする工程と、

前記メモリセルにおいて、パターニングされた前記導電膜をマスクとして前記多層絶縁膜及び前記ポリシリコン膜をパターニングする工程とを含むことを特徴とするものである。