

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-146053

(P2023-146053A)

(43)公開日 令和5年10月12日(2023.10.12)

(51)国際特許分類

H 0 1 L 21/336(2006.01)

F I

H 0 1 L

29/78

3 0 1 X

テーマコード(参考)

5 F 1 4 0

H 0 1 L

29/78

3 0 1 W

H 0 1 L

29/78

3 0 1 B

審査請求 未請求 請求項の数 11 O L (全16頁)

(21)出願番号 特願2022-53039(P2022-53039)

(22)出願日 令和4年3月29日(2022.3.29)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区新宿四丁目1番6号

(74)代理人 100179475

弁理士 仲井 智至

(74)代理人 100216253

弁理士 松岡 宏紀

(74)代理人 100225901

弁理士 今村 真之

(72)発明者 島田 浩行

長野県諏訪市大和3丁目3番5号 セイ

コーエブソン株式会社内

Fターム(参考) 5F140 AA30 AB04 AC23 AC36

BA01 BA02 BA06 BA09

BA16 BB04 BC13 BD11

最終頁に続く

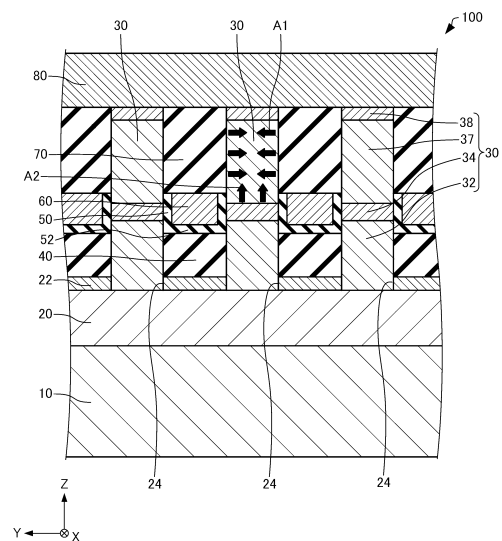
(54)【発明の名称】 半導体装置およびパワーデバイス

(57)【要約】

【課題】オン抵抗を低くすることができる半導体装置を提供する。

【解決手段】互いに同じ導電型であり、第1方向に沿って配置された第1半導体部および第2半導体部と、前記第1半導体部と前記第2半導体部との間に設けられ、前記第1半導体部および前記第2半導体部よりも不純物濃度が低い第3半導体部と、前記第2半導体部と前記第3半導体部との間に設けられ、前記第1半導体部および前記第2半導体部よりも不純物濃度が低い第4半導体部と、前記第3半導体部の前記第1方向と交差する第2方向に設けられたゲート絶縁層およびゲート電極と、前記第4半導体部の前記第2方向に設けられた誘電体部と、を有し、前記誘電体部は、前記第4半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、前記ゲート電極に所定の電圧が印加された場合に、前記第4半導体部に空乏層が形成される、半導体装置。

【選択図】図1



10

20

【特許請求の範囲】

【請求項 1】

互いに同じ導電型であり、第 1 方向に沿って配置された第 1 半導体部および第 2 半導体部と、

前記第 1 半導体部と前記第 2 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 3 半導体部と、

前記第 2 半導体部と前記第 3 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 4 半導体部と、

前記第 3 半導体部の前記第 1 方向と交差する第 2 方向に設けられたゲート絶縁層およびゲート電極と、

前記第 4 半導体部の前記第 2 方向に設けられた誘電体部と、
を有し、

前記誘電体部は、前記第 4 半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、

前記ゲート電極に所定の電圧が印加された場合に、前記第 4 半導体部に空乏層が形成される、半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 半導体部、前記第 3 半導体部、および前記第 4 半導体部は、前記第 1 方向に積層されて柱状部を構成している、半導体装置。

【請求項 3】

請求項 2 において、

前記第 1 方向からみて、前記ゲート絶縁層は、前記第 3 半導体部を囲み、

前記ゲート電極は、前記ゲート絶縁層を囲む、半導体装置。

【請求項 4】

請求項 1 ないし 3 のいずれか 1 項において、

前記第 1 半導体部は、ソース領域を構成し、

前記第 2 半導体部は、ドレイン領域を構成する、半導体装置。

【請求項 5】

請求項 1 ないし 4 のいずれか 1 項において、

前記誘電体部の材質は、遷移金属酸化物である、半導体装置。

【請求項 6】

請求項 1 ないし 5 のいずれか 1 項において、

前記誘電体部の材質は、酸化ハフニウムである、半導体装置。

【請求項 7】

請求項 1 ないし 6 のいずれか 1 項において、

前記ゲート絶縁層は、前記第 3 半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成されている、半導体装置。

【請求項 8】

請求項 1 ないし 7 のいずれか 1 項において、

前記ゲート絶縁層の材質は、遷移金属酸化物である、半導体装置。

【請求項 9】

請求項 1 ないし 8 のいずれか 1 項において、

前記ゲート絶縁層の材質は、酸化ハフニウムである、半導体装置。

【請求項 10】

請求項 1 ないし 9 のいずれか 1 項において、

前記第 2 半導体部の前記第 1 方向に設けられた電極を有し

前記第 2 半導体部は、さらに、前記誘電体部の前記第 1 方向に設けられている、半導体装置。

【請求項 11】

互いに同じ導電型であり、第 1 方向に沿って配置された第 1 半導体部および第 2 半導体部と、

前記第 1 半導体部と前記第 2 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 3 半導体部と、

前記第 2 半導体部と前記第 3 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 4 半導体部と、

前記第 3 半導体部の前記第 1 方向と交差する第 2 方向に設けられたゲート絶縁層およびゲート電極と、

前記第 4 半導体部の前記第 2 方向に設けられた誘電体部と、

を有し、

前記誘電体部は、前記第 4 半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、

前記ゲート電極に所定の電圧が印加された場合に、前記第 4 半導体部に空乏層が形成される、パワーデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびパワーデバイスに関する。

【背景技術】

【0002】

半導体ナノコラムは、次世代ナノデバイスの構成としてトランジスターや光源等の様々な半導体装置への適用に向けて注目されている。例えば、半導体ナノコラムをゲート電極で周方向全体に取り囲んだ G A A (Gate All Around) 構造を採用することによって、半導体ナノコラムのチャネル形成領域をゲート電極で取り囲み、完全に空乏化し、電流制御性を高めることができる。G A A 構造によれば、時間に対して急峻なオンオフの切り替え特性の実現と単位面積あたりの高密度化とを両立することができる。

例えば特許文献 1 には、ナノワイヤーと、ナノワイヤーを取り囲むゲート誘電体と、ゲート誘電体を取り囲むゲート導電体と、を備えたトランジスターデバイスが記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特表 2 0 1 4 - 5 0 3 9 9 8 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記のようなトランジスターデバイスでは、オン抵抗を低くすることが望まれている。

【課題を解決するための手段】

【0005】

本発明に係る半導体装置の一態様は、

互いに同じ導電型であり、第 1 方向に沿って配置された第 1 半導体部および第 2 半導体部と、

前記第 1 半導体部と前記第 2 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 3 半導体部と、

前記第 2 半導体部と前記第 3 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 4 半導体部と、

前記第 3 半導体部の前記第 1 方向と交差する第 2 方向に設けられたゲート絶縁層およびゲート電極と、

前記第 4 半導体部の前記第 2 方向に設けられた誘電体部と、

を有し、

10

20

30

40

50

前記誘電体部は、前記第４半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、

前記ゲート電極に所定の電圧が印加された場合に、前記第４半導体部に空乏層が形成される。

【０００６】

本発明に係るパワーデバイスの一態様は、

互いに同じ導電型であり、第１方向に沿って配置された第１半導体部および第２半導体部と、

前記第１半導体部と前記第２半導体部との間に設けられ、前記第１半導体部および前記第２半導体部よりも不純物濃度が低い第３半導体部と、

前記第２半導体部と前記第３半導体部との間に設けられ、前記第１半導体部および前記第２半導体部よりも不純物濃度が低い第４半導体部と、

前記第３半導体部の前記第１方向と交差する第２方向に設けられたゲート絶縁層およびゲート電極と、

前記第４半導体部の前記第２方向に設けられた誘電体部と、
を有し、

前記誘電体部は、前記第４半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、

前記ゲート電極に所定の電圧が印加された場合に、前記第４半導体部に空乏層が形成される。

【図面の簡単な説明】

【０００７】

【図１】本実施形態に係る半導体装置を模式的に示す断面図。

【図２】本実施形態に係る半導体装置を模式的に示す平面図。

【図３】本実施形態に係る半導体装置の製造工程を模式的に示す断面図。

【図４】本実施形態に係る半導体装置の製造工程を模式的に示す断面図。

【図５】本実施形態に係る半導体装置の製造工程を模式的に示す断面図。

【図６】本実施形態の変形例に係る半導体装置を模式的に示す断面図。

【発明を実施するための形態】

【０００８】

以下、本発明の好適な実施形態について、図面を用いて詳細に説明する。なお、以下に説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また、以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【０００９】

１．半導体装置

まず、本実施形態に係る半導体装置について、図面を参照しながら説明する。図１は、本実施形態に係る半導体装置１００を模式的に示す断面図である。図２は、本実施形態に係る半導体装置１００を模式的に示す平面図である。なお、図１は、図２のⅠ－Ⅰ線断面図である。また、図１および図２では、互いに直交する３軸として、Ｘ軸、Ｙ軸、およびＺ軸を示している。

【００１０】

半導体装置１００は、図１および図２に示すように、基板１０と、バッファ層２０と、マスク層２２と、柱状部３０と、絶縁層４０と、ゲート絶縁層５０と、ゲート電極６０と、誘電体層７０と、ドレイン電極８０と、を有している。半導体装置１００は、例えば、パワーデバイスである。半導体装置１００は、例えば、縦型の金属酸化膜半導体電界効果トランジスタ（ＭＯＳＦＥＴ）である。なお、便宜上、図２では、ドレイン電極８０の図示を省略している。

【００１１】

基板１０は、例えば、Ｓｉ基板、ＧａＮ基板、サファイア基板、ＳｉＣ基板などである

10

20

30

40

50

。

【 0 0 1 2 】

バッファ層 2 0 は、図 1 に示すように、基板 1 0 上に設けられている。バッファ層 2 0 は、例えば、Si がドーブされた n 型の GaN 層や Al GaN 層である。バッファ層 2 0 は、例えば、ソースとして機能する。バッファ層 2 0 は、例えば、図示せぬソースパッドと電氣的に接続されている。ソースパッドは、バッファ層 2 0 を介して、柱状部 3 0 のソース領域 3 2 と電氣的に接続されている。

【 0 0 1 3 】

なお、本明細書では、柱状部 3 0 のチャンネル形成領域 3 4 とドレイン領域 3 8 との積層方向において、チャンネル形成領域 3 4 を基準とした場合、チャンネル形成領域 3 4 からドレイン領域 3 8 に向かう方向を「上」とし、チャンネル形成領域 3 4 からソース領域 3 2 に向かう方向を「下」として説明する。図示の例では、チャンネル形成領域 3 4 とドレイン領域 3 8 との積層方向は、Z 軸方向である。

【 0 0 1 4 】

マスク層 2 2 は、バッファ層 2 0 上に設けられている。マスク層 2 2 は、バッファ層 2 0 と絶縁層 4 0 との間に設けられている。マスク層 2 2 は、例えば、チタン層、酸化シリコン層、酸化チタン層、酸化アルミニウム層などである。マスク層 2 2 には、複数の開口部 2 4 が設けられている。図示の例では、開口部 2 4 は、マスク層 2 2 を Z 軸方向に貫通している。開口部 2 4 には、柱状部 3 0 が位置している。マスク層 2 2 は、柱状部 3 0 を成長させるためのマスクとして機能する。

【 0 0 1 5 】

柱状部 3 0 は、バッファ層 2 0 上に設けられている。柱状部 3 0 は、バッファ層 2 0 を介して、基板 1 0 に設けられている。柱状部 3 0 は、バッファ層 2 0 から上方に突出した柱状の形状を有している。言い換えれば、柱状部 3 0 は、バッファ層 2 0 を介して、基板 1 0 から上方に突出している。柱状部 3 0 は、バッファ層 2 0 とドレイン電極 8 0 との間に設けられている。柱状部 3 0 は、例えば、ナノコラム、ナノワイヤー、ナノロッド、ナノピラーとも呼ばれる。柱状部 3 0 の平面形状は、例えば、六角形などの多角形、円である。図 2 に示す例では、柱状部 3 0 の平面形状は、正六角形である。

【 0 0 1 6 】

柱状部 3 0 の径は、例えば、5 0 nm 以上 5 0 0 nm 以下であり、好ましくは 1 0 0 nm 以上 3 0 0 nm 以下である。柱状部 3 0 の径を 5 0 0 nm 以下とすることによって、高品質な結晶の柱状部 3 0 を得ることができる。

【 0 0 1 7 】

なお、「柱状部 3 0 の径」とは、柱状部 3 0 の平面形状が円の場合は、直径であり、柱状部 3 0 の平面形状が円ではない形状の場合は、最小包含円の直径である。例えば、柱状部 3 0 の径は、柱状部 3 0 の平面形状が多角形の場合、該多角形を内部に含む最小の円の直径であり、柱状部 3 0 の平面形状が楕円の場合、該楕円を内部に含む最小の円の直径である。

【 0 0 1 8 】

柱状部 3 0 は、例えば、複数設けられている。柱状部 3 0 が複数設けられることにより、半導体装置 1 0 0 は、大電流化を図ることができ、パワーデバイスとして、好適に用いられる。複数の柱状部 3 0 は、互いに離隔している。隣り合う柱状部 3 0 の間隔は、例えば、1 0 nm 以上 1 μ m 以下であり、好ましくは、柱状部 3 0 の径の 0.5 倍以上 1.5 倍以下、すなわち 2 5 nm 以上 7 5 0 nm 以下であり、より好ましくは 4 0 0 nm 以上 6 0 0 nm 以下である。複数の柱状部 3 0 は、Z 軸方向からみて、例えば、所定の方法に所定のピッチで配列されている。複数の柱状部 3 0 は、例えば、三角格子状、正方格子状に配列されている。図示の例では、複数の柱状部 3 0 は、例えば、正三角格子状に配列されている。

【 0 0 1 9 】

なお、「柱状部 3 0 のピッチ」とは、所定の方法に隣り合う柱状部 3 0 の中心間の距離

10

20

30

40

50

である。「柱状部 30 の中心」とは、柱状部 30 の平面形状が円の場合は、該円の中心であり、柱状部 30 の平面形状が円ではない形状の場合は、最小包含円の中心である。例えば、柱状部 30 の中心は、柱状部 30 の平面形状が多角形の場合、該多角形を内部に含む最小の円の中心であり、柱状部 30 の平面形状が楕円の場合、該楕円を内部に含む最小の円の中心である。

【0020】

柱状部 30 は、図 1 に示すように、ソース領域 32 と、チャンネル形成領域 34 と、ドリフト領域 37 と、ドレイン領域 38 と、を有している。

【0021】

ソース領域 32 は、バッファ層 20 上に設けられている。ソース領域 32 は、バッファ層 20 とチャンネル形成領域 34 との間に設けられている。ソース領域 32 は、半導体層で構成されている。ソース領域 32 の材質は、例えば、Si がドーピングされた n 型の GaN や AlGaInN である。ソース領域 32 の不純物濃度は、バッファ層 20 の不純物濃度と同じであってもよい。

10

【0022】

チャンネル形成領域 34 は、ソース領域 32 上に設けられている。チャンネル形成領域 34 は、ソース領域 32 とドリフト領域 37 との間に設けられている。チャンネル形成領域 34 は、半導体層で構成されている。チャンネル形成領域 34 の不純物濃度は、ソース領域 32 の不純物濃度およびドレイン領域 38 の不純物濃度よりも低い。ソース領域 32、チャンネル形成領域 34、ドリフト領域 37、およびドレイン領域 38 の不純物濃度は、例えば、アトムプローブ分析法によって測定される。

20

【0023】

チャンネル形成領域 34 の材質は、例えば、不純物が意図的にドーピングされていない UID (unintentionally doped) 型の GaN や AlGaInN である。柱状部 30 の径が小さいため、チャンネル形成領域 34 の導電型が UID 型であっても、チャンネル形成領域 34 を完全に空乏化することができる。チャンネル形成領域 34 には、ゲート電極 60 に所定の電圧が印加されることにより、チャンネルが形成される。チャンネル形成領域 34 には、例えば、N チャンネルが形成される。

【0024】

ドリフト領域 37 は、チャンネル形成領域 34 上に設けられている。ドリフト領域 37 は、チャンネル形成領域 34 とドレイン領域 38 との間に設けられている。ドリフト領域 37 は、半導体層で構成されている。ドリフト領域 37 の導電型は、例えば、ソース領域 32 と同じである。ドリフト領域 37 の材質は、例えば、Si がドーピングされた n 型の GaN や AlGaInN である。

30

【0025】

ドリフト領域 37 の不純物濃度は、ソース領域 32 の不純物濃度およびドレイン領域 38 の不純物濃度よりも低い。また、ドリフト領域 37 の不純物濃度は、チャンネル形成領域 34 の不純物濃度と同じであってもよい。あるいは、ドリフト領域 37 の不純物濃度は、チャンネル形成領域 34 の不純物の濃度より高くてもよい。すなわち、ドリフト領域 37 の不純物濃度は、チャンネル形成領域 34 の不純物濃度とドレイン領域 38 の不純物濃度との間でであってもよい。ドリフト領域 37 を設けることにより、半導体装置 100 のオフ状態の耐圧を向上させることができる。

40

【0026】

ドレイン領域 38 は、ドリフト領域 37 上に設けられている。ドレイン領域 38 は、ドリフト領域 37 とドレイン電極 80 との間に設けられている。ドレイン領域 38 は、半導体層で構成されている。ドレイン領域 38 の導電型は、ソース領域 32 と同じである。ドレイン領域 38 の材質は、例えば、Si がドーピングされた n 型の GaN や AlGaInN である。

【0027】

ドレイン領域 38 の不純物濃度は、ドリフト領域 37 の不純物濃度よりも高い。ドレイ

50

ン領域 38 の不純物濃度は、ソース領域 32 の不純物濃度と同じであってもよい。ソース領域 32、チャネル形成領域 34、ドリフト領域 37、およびドレイン領域 38 は、第 1 方向に沿って配置されている。図示の例では、第 1 方向は、+Z 軸方向である。ソース領域 32、チャネル形成領域 34、ドリフト領域 37、およびドレイン領域 38 は、例えば、+Z 軸方向に積層されて柱状部 30 を構成している。

【0028】

絶縁層 40 は、マスク層 22 上に設けられている。絶縁層 40 は、基板 10 とゲート電極 60 との間に設けられている。絶縁層 40 は、隣り合う柱状部 30 のソース領域 32 の間に設けられている。絶縁層 40 は、Z 軸方向からみて、ソース領域 32 を囲んでいる。絶縁層 40 は、例えば、SOG (spin on glass) 層である。

10

【0029】

ゲート絶縁層 50 は、柱状部 30 のチャネル形成領域 34 の側面に設けられている。チャネル形成領域 34 の側面は、例えば、m 面で構成されている。ゲート絶縁層 50 は、チャネル形成領域 34 の第 1 方向と交差する第 2 方向に設けられている。図示の例では、第 2 方向は、+Y 軸方向であり、+Z 軸方向である第 1 方向と直交している。ゲート絶縁層 50 は、Z 軸方向からみて、チャネル形成領域 34 を囲んでいる。ゲート絶縁層 50 は、チャネル形成領域 34 とゲート電極 60 との間に設けられている。

【0030】

ゲート絶縁層 50 は、例えば、チャネル形成領域 34 を構成する材料よりも、バンドギャップが大きい材料で構成されている。さらに、ゲート絶縁層 50 は、例えば、チャネル形成領域 34 を構成する材料よりも、比誘電率が大きい材料で構成されている。ゲート絶縁層 50 の材質は、例えば、酸化ハフニウム (HfO_2)、酸化タンタル (Ta_2O_5)、酸化イットリウム (Y_2O_3)、酸化ジルコニウム (ZrO_2)、酸化ランタン (La_2O_3) などの遷移金属酸化物であり、好ましくは酸化ハフニウムである。なお、ゲート絶縁層 50 の材質は、酸化シリコン (SiO_2) であってもよい。

20

【0031】

ゲート電極 60 は、ゲート絶縁層 50 に設けられている。ゲート電極 60 は、チャネル形成領域 34 の +Y 軸方向に設けられている。図示の例では、ゲート電極 60 は、Z 軸方向からみて、ゲート絶縁層 50 を囲んでいる。ゲート電極 60 は、例えば、絶縁層 52 を介して、絶縁層 40 に設けられている。絶縁層 52 の材質は、ゲート絶縁層 50 と同じである。ゲート電極 60 は、絶縁層 40 と誘電体層 70 との間に設けられている。ゲート電極 60 は、隣り合う柱状部 30 のチャネル形成領域 34 の間に設けられている。

30

【0032】

ゲート電極 60 の材質は、例えば、リンやボロンなどの不純物がドーピングされたポリシリコン、あるいは金属である。半導体装置 100 は、GAA 構造を有している。ゲート電極 60 は、図示せぬゲートパッドと電氣的に接続されている。

【0033】

誘電体層 70 は、ゲート絶縁層 50 上およびゲート電極 60 上に設けられている。誘電体層 70 は、ゲート絶縁層 50 およびゲート電極 60 と、ドレイン電極 80 と、の間に設けられている。誘電体層 70 は、ドリフト領域 37 の +Y 軸方向に設けられている。図示の例では、誘電体層 70 は、ドリフト領域 37 を囲んでいる。誘電体層 70 は、隣り合う柱状部 30 のドリフト領域 37 の間に設けられている。

40

【0034】

誘電体層 70 は、ドリフト領域 37 を構成する材料よりも、バンドギャップが大きい材料で構成されている。さらに、誘電体層 70 は、ドリフト領域 37 を構成する材料よりも、比誘電率が大きい材料で構成されている。誘電体層 70 の材質は、例えば、酸化ハフニウム、酸化タンタル、酸化イットリウム、酸化ジルコニウム、酸化ランタンなどの遷移金属酸化物であり、好ましくは酸化ハフニウムである。

【0035】

誘電体層 70 が、ドリフト領域 37 を構成する材料よりも、バンドギャップが大きく、

50

かつ比誘電率が大きい材料で構成されていることにより、ゲート電極 60 に所定の電圧が印加された場合に、Dielectric RESURF (Reduced Surface Field) 効果が発現されて、誘電体層 70 で発生した電界によってドリフト領域 37 に空乏層が形成される。半導体装置 100 では、Dielectric RESURF 効果によって、疑似的なスーパージャンクション構造を有することができる。所定の電圧とは、半導体装置 100 をオフ状態にするための電圧である。

【0036】

誘電体層 70 で発生した電界によって形成された空乏層は、図 1 の矢印 A1 で示したように、柱状部 30 のドリフト領域 37 の側面から、柱状部 30 の中心に向けて広がる。さらに、矢印 A2 で示したように、チャンネル形成領域 34 側からドリフト領域 37 側に向けて広がる空乏層も存在する。このように、半導体装置 100 では、縦方向および横方向から空乏層を広げることができるため、Dielectric RESURF 効果を発現する。

10

【0037】

ドレイン電極 80 は、ドレイン領域 38 上および誘電体層 70 上に設けられている。ドレイン電極 80 は、ドレイン領域 38 の +Z 軸方向に設けられている。ドレイン領域 38 は、ドレイン電極 80 とオーミックコンタクトしていてもよい。

【0038】

ドレイン電極 80 の材質は、例えば、リンやボロンなどの不純物がドーピングされたポリシリコン、あるいは金属である。ドレイン電極 80 は、図示せぬドレインパッドと電氣的に接続されている。ドレインパッドは、ドレイン電極 80 を介して、ドレイン領域 38 と電氣的に接続されている。

20

【0039】

半導体装置 100 は、例えば、パワーデバイスとして用いられ、インバーター、充電器、昇圧器、降圧器、DC (Direct Current) / DC コンバーター、電気飛行機、電気自動車などに適用される。なお、半導体装置 100 は、パワーデバイスではなく、ロジックデバイス、高周波デバイスなどとして用いられてもよい。

【0040】

半導体装置 100 は、例えば、以下の作用効果を有する。

【0041】

半導体装置 100 では、互いに同じ導電型であり、+Z 軸方向に沿って配置された第 1 半導体部としてのソース領域 32 および第 2 半導体部としてのドレイン領域 38 と、ソース領域 32 とドレイン領域 38 との間に設けられ、ソース領域 32 およびドレイン領域 38 よりも不純物濃度が低い第 3 半導体部としてのチャンネル形成領域 34 と、チャンネル形成領域 34 とドレイン領域 38 との間に設けられ、ソース領域 32 およびドレイン領域 38 よりも不純物濃度が低い第 4 半導体層としてのドリフト領域 37 と、チャンネル形成領域 34 の +Y 軸方向に設けられたゲート絶縁層 50 およびゲート電極 60 と、ドリフト領域 37 の +Y 軸方向に設けられた誘電体部としての誘電体層 70 と、を有する。誘電体層 70 は、ドリフト領域 37 を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、ゲート電極 60 に所定の電圧が印加された場合に、誘電体層 70 で発生した電界によってドリフト領域 37 に空乏層が形成される。

30

40

【0042】

そのため、半導体装置 100 では、例えば誘電体層の誘電率がドリフト領域の誘電率以下の場合に比べて、上記した矢印 A1 のように、柱状部 30 のドリフト領域 37 の側面から柱状部 30 の中心に向けて空乏層が広がる Dielectric RESURF 効果を大きくすることができる。これにより、耐圧を向上させることができる。その結果、ドリフト領域 37 の不純物濃度を高くすることができ、オン抵抗を低くすることができる。

【0043】

さらに、半導体装置 100 では、例えば誘電体層のバンドギャップがドリフト領域のバンドギャップ以下の場合に比べて、誘電体層 70 の絶縁性を高めることができる。これに

50

より、リーク電流を低減することができる。

【 0 0 4 4 】

さらに、半導体装置 1 0 0 では、チャンネル形成領域 3 4 の不純物濃度は、ソース領域 3 2 およびドレイン領域 3 8 の不純物濃度よりも低いため、チャンネル形成領域 3 4 のキャリアの移動度を大きくすることができる。例えばチャンネル形成領域 3 4 に N チャンネルが形成される場合、チャンネル形成領域 3 4 の電子移動度を大きくすることができる。これにより、オン抵抗を低くすることができる。

【 0 0 4 5 】

さらに、半導体装置 1 0 0 では、誘電体層 7 0 の代わりにソース領域 3 2 およびドレイン領域 3 8 と導電型が異なる p 型半導体層を設ける場合に比べて、容易に半導体装置 1 0 0 を製造することができる。例えば、誘電体層 7 0 の代わりに p 型半導体層を設けてスーパージャンクション構造を形成しようとする、p 型半導体層の不純物濃度を高精度で制御する必要がなり、製造工程が複雑となる。

【 0 0 4 6 】

さらに、半導体装置 1 0 0 では、オフ状態では、ゲート電極 6 0 とドレイン領域 3 8 との間の電位差は、ゲート電極 6 0 とソース領域 3 2 との間の電位差よりも大きい。そのため、ソース領域の + Y 軸方向に誘電体層を設ける場合に比べて、Dielectric RESURF 効果を大きくすることができる。

【 0 0 4 7 】

半導体装置 1 0 0 では、ソース領域 3 2、チャンネル形成領域 3 4、およびドリフト領域 3 7 は、+ Z 軸方向に積層されて柱状部 3 0 を構成している。そのため、半導体装置 1 0 0 では、ソース領域、チャンネル形成領域、およびドリフト領域が柱状部を構成していない場合に比べて、基板 1 0 とバッファ層 2 0 との格子定数差に起因する結晶欠陥がソース領域 3 2 で柱状部 3 0 側面で折れ曲がることにより、チャンネル形成領域 3 4 およびドリフト領域 3 7 に到達する可能性を小さくすることができる。これにより、チャンネル形成領域 3 4 およびドリフト領域 3 7 は、高品質な結晶性を有することができる。図示の例では、ドレイン領域 3 8 も柱状部 3 0 を構成しているため、ドレイン領域 3 8 も高品質な結晶性を有することができる。

【 0 0 4 8 】

半導体装置 1 0 0 では、Z 軸方向からみて、ゲート絶縁層 5 0 は、チャンネル形成領域 3 4 を囲み、ゲート電極 6 0 は、ゲート絶縁層 5 0 を囲む。そのため、半導体装置 1 0 0 では、チャンネル形成領域 3 4 を完全に空乏化することができる。

【 0 0 4 9 】

半導体装置 1 0 0 では、誘電体層 7 0 の材質は、遷移金属酸化物である。そのため、半導体装置 1 0 0 では、ドリフト領域 3 7 よりも、バンドギャップが大きく、かつ比誘電率が大きい誘電体層 7 0 を実現し易い。

【 0 0 5 0 】

半導体装置 1 0 0 では、誘電体層 7 0 の材質は、酸化ハフニウムである。そのため、半導体装置 1 0 0 では、誘電体層 7 0 を A L D (Atomic Layer Deposition) 法で形成することができる。これにより、例えば隣り合う柱状部 3 0 の間でも、ボイドが発生することなく、誘電体層 7 0 を形成することができる。

【 0 0 5 1 】

半導体装置 1 0 0 では、ゲート絶縁層 5 0 は、チャンネル形成領域 3 4 を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成されている。そのため、半導体装置 1 0 0 では、例えばゲート絶縁層の誘電率がチャンネル形成領域の誘電率以下である場合に比べて、閾値電圧の制御性を向上させることができる。さらに例えばゲート絶縁層のバンドギャップがチャンネル形成領域のバンドギャップ以下である場合に比べて、ゲート絶縁層 5 0 の絶縁性を高めることができる。

【 0 0 5 2 】

半導体装置 1 0 0 では、ゲート絶縁層 5 0 の材質は、遷移金属酸化物である。そのため

10

20

30

40

50

、半導体装置 100 では、チャネル形成領域 34 よりも、バンドギャップが大きく、かつ比誘電率が大きいゲート絶縁層 50 を実現し易い。

【0053】

半導体装置 100 では、ゲート絶縁層 50 の材質は、酸化ハフニウムである。そのため、半導体装置 100 では、ゲート絶縁層 50 を ALD 法で形成することができる。これにより、例えば隣り合う柱状部 30 の間でも、ボイドが発生することなく、ゲート絶縁層 50 を形成することができる。

【0054】

2. 半導体装置の製造方法

次に、本実施形態に係る半導体装置 100 の製造方法について、図面を参照しながら説明する。図 3 ~ 図 5 は、本実施形態に係る半導体装置 100 の製造工程を模式的に示す断面図である。

【0055】

図 3 に示すように、基板 10 上に、バッファ層 20 をエピタキシャル成長させる。エピタキシャル成長させる方法としては、例えば、MOCVD (Metal Organic Chemical Vapor Deposition) 法、MBE (Molecular Beam Epitaxy) 法などが挙げられる。バッファ層 20 の成長は、不純物をドーピングしながら行われる。

【0056】

次に、バッファ層 20 上に、マスク層 22 を形成する。マスク層 22 は、例えば、電子ビーム蒸着法やスパッタ法などによって形成される。

【0057】

次に、マスク層 22 をパターニングして、複数の開口部 24 を形成する。パターニングは、例えば、電子線リソグラフィおよびドライエッチングによって行われる。

【0058】

図 4 に示すように、マスク層 22 をマスクとしてバッファ層 20 上に、ソース領域 32、チャネル形成領域 34、ドリフト領域 37、およびドレイン領域 38 を、この順でエピタキシャル成長させる。エピタキシャル成長させる方法としては、例えば、MOCVD 法、MBE 法などが挙げられる。ソース領域 32 の成長およびドレイン領域 38 の成長は、不純物をドーピングしながら行われる。本工程により、複数の柱状部 30 を形成することができる。

【0059】

次に、マスク層 22 上であって、隣り合う柱状部 30 のソース領域 32 の間に絶縁層 40 を形成する。絶縁層 40 は、例えば、ALD 法、CVD (Chemical Vapor Deposition) 法、SOG (spin on glass) 法などによって形成される。

【0060】

図 5 に示すように、絶縁層 40 上であって、柱状部 30 を覆うように、絶縁層 50a を形成する。絶縁層 50a は、例えば、ALD 法、CVD 法などによって形成される。図示の例では、絶縁層 50a は、柱状部 30 の側面および上面に形成されている。

【0061】

次に、絶縁層 50a 上に、ゲート電極 60 を形成する。ゲート電極 60 は、例えば、CVD 法、スパッタ法、真空蒸着法によって形成される。

【0062】

図 1 に示すように、絶縁層 50a 上の一部をエッチングして除去する。これにより、チャネル形成領域 34 とゲート電極 60 との間にゲート絶縁層 50 が形成される。当該エッチングによって、ドレイン領域 38 が露出される。

【0063】

次に、ゲート絶縁層 50 上およびゲート電極 60 上に、誘電体層 70 を形成する。誘電体層 70 は、例えば、ALD 法、CVD 法などによって形成される。

【0064】

次に、ドレイン領域 38 上および誘電体層 70 上に、ドレイン電極 80 を形成する。ド

10

20

30

40

50

レイン電極 80 は、例えば、CVD 法、スパッタ法、真空蒸着法によって形成される。

【0065】

以上の工程により、半導体装置 100 を製造することができる。

【0066】

3. 半導体装置の変形例

次に、本実施形態の変形例に係る半導体装置について、図面を参照しながら説明する。

図 6 は、本実施形態の変形例に係る半導体装置 200 を模式的に示す断面図である。以下、本実施形態の変形例に係る半導体装置 200 において、上述した本実施形態に係る半導体装置 100 の構成部材と同様の機能を有する部材については同一の符号を付し、その詳細な説明を省略する。

10

【0067】

上述した半導体装置 100 では、図 1 に示すように、ド레인領域 38 は、柱状部 30 を構成していた。

【0068】

これに対し、半導体装置 200 では、図 6 に示すように、ド레인領域 38 は、柱状部 30 を構成していない。柱状部 30 は、ソース領域 32、チャネル形成領域 34、およびドリフト領域 37 で構成されている。

【0069】

ド레인領域 38 は、さらに、誘電体層 70 の +Z 軸方向に設けられている。ド레인領域 38 は、ドリフト領域 37 上および誘電体層 70 上に設けられている。ド레인領域 38 は、ドリフト領域 37 および誘電体層 70 と、ド레인電極 80 と、の間に設けられている。ド레인領域 38 は、複数の柱状部 30 にわたって設けられている。積層方向からみて、ド레인領域 38 は、複数の柱状部 30 と重なっている。積層方向からみて、ド레인電極 80 は、複数の柱状部 30 と重なっている。

20

【0070】

半導体装置 200 では、ドリフト領域 37 の +Z 軸方向に設けられたド레인電極 80 を有し、ド레인領域 38 は、さらに、誘電体層 70 の +Z 軸方向に設けられている。そのため、半導体装置 200 では、ド레인領域が誘電体層の +Z 軸方向に設けられない場合に比べて、ド레인領域 38 とド레인電極 80 との接触面積を大きくすることができる。これにより、ド레인領域 38 とド레인電極 80 との接触抵抗を低くすることができる。一般に半導体層と金属電極との間の接触抵抗は高いため、当該接触面積を大きくすることが重要である。

30

【0071】

上述した実施形態および変形例は一例であって、これらに限定されるわけではない。例えば、各実施形態および各変形例を適宜組み合わせることも可能である。

【0072】

本発明は、実施の形態で説明した構成と実質的に同一の構成、例えば、機能、方法および結果が同一の構成、あるいは目的および効果が同一の構成を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成または同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

40

【0073】

上述した実施形態および変形例から以下の内容が導き出される。

【0074】

半導体装置の一態様は、

互いに同じ導電型であり、第 1 方向に沿って配置された第 1 半導体部および第 2 半導体部と、

前記第 1 半導体部と前記第 2 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 3 半導体部と、

50

前記第 2 半導体部と前記第 3 半導体部との間に設けられ、前記第 1 半導体部および前記第 2 半導体部よりも不純物濃度が低い第 4 半導体部と、

前記第 3 半導体部の前記第 1 方向と交差する第 2 方向に設けられたゲート絶縁層およびゲート電極と、

前記第 4 半導体部の前記第 2 方向に設けられた誘電体部と、
を有し、

前記誘電体部は、前記第 4 半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、

前記ゲート電極に所定の電圧が印加された場合に、前記第 4 半導体部に空乏層が形成される。

10

【0075】

このような半導体層によれば、オン抵抗を低くすることができる。

【0076】

半導体装置の一態様において、

前記第 1 半導体部、前記第 3 半導体部、および前記第 4 半導体部は、前記第 1 方向に積層されて柱状部を構成していてもよい。

【0077】

このような半導体層によれば、結晶欠陥が、第 3 半導体部および第 4 半導体部に到達する可能性を小さくすることができる。

【0078】

20

半導体装置の一態様において、

前記第 1 方向からみて、前記ゲート絶縁層は、前記第 3 半導体部を囲み、

前記ゲート電極は、前記ゲート絶縁層を囲んでもよい。

【0079】

このような半導体層によれば、第 3 半導体部を完全に空乏化することができる。

【0080】

半導体装置の一態様において、

前記第 1 半導体部は、ソース領域を構成し、

前記第 2 半導体部は、ドレイン領域を構成してもよい。

【0081】

30

このような半導体層によれば、Dielectric RESURF 効果を大きくすることができる。

【0082】

半導体装置の一態様において、

前記誘電体部の材質は、遷移金属酸化物であってもよい。

【0083】

このような半導体層によれば、第 2 半導体部よりも、バンドギャップが大きく、かつ比誘電率が大きい誘電体部を実現し易い。

【0084】

半導体装置の一態様において、

前記誘電体部の材質は、酸化ハフニウムであってもよい。

40

【0085】

このような半導体層によれば、誘電体部を ALD 法で形成することができる。

【0086】

半導体装置の一態様において、

前記ゲート絶縁層は、前記第 3 半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成されていてもよい。

【0087】

このような半導体層によれば、閾値電圧の制御性を向上させることができる。

【0088】

50

半導体装置の一態様において、

前記ゲート絶縁層の材質は、遷移金属酸化物であってもよい。

【0089】

このような半導体層によれば、第3半導体部よりも、バンドギャップが大きく、かつ比誘電率が大きいゲート絶縁層を実現し易い。

【0090】

半導体装置の一態様において、

前記ゲート絶縁層の材質は、酸化ハフニウムであってもよい。

【0091】

このような半導体層によれば、ゲート絶縁層をALD法で形成することができる。

10

【0092】

半導体装置の一態様において、

前記第2半導体部の前記第1方向に設けられた電極を有し

前記第2半導体部は、さらに、前記誘電体部の前記第1方向に設けられていてもよい。

【0093】

このような半導体層によれば、第2半導体部と電極との接触抵抗を低くすることができる。

【0094】

パワーデバイスの一態様は、

互いに同じ導電型であり、第1方向に沿って配置された第1半導体部および第2半導体部と、

20

前記第1半導体部と前記第2半導体部との間に設けられ、前記第1半導体部および前記第2半導体部よりも不純物濃度が低い第3半導体部と、

前記第3半導体部の前記第1方向と交差する第2方向に設けられたゲート絶縁層およびゲート電極と、

前記第2半導体部の前記第2方向に設けられた誘電体部と、
を有し、

前記誘電体部は、前記第2半導体部を構成する材料よりも、バンドギャップが大きく、かつ比誘電率が大きい材料で構成され、

前記ゲート電極に所定の電圧が印加された場合に、前記誘電体部で発生した電界によって前記第2半導体部に空乏層が形成される。

30

【0095】

このようなパワーデバイスによれば、オン抵抗を低くすることができる。

【符号の説明】

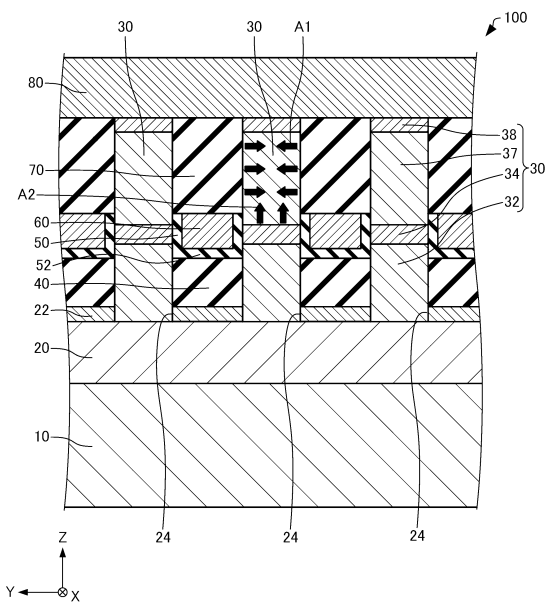
【0096】

10...基板、20...バッファー層、22...マスク層、24...開口部、30...柱状部、32...ソース領域、34...チャネル形成領域、37...ドリフト領域、38...ドレイン領域、40...絶縁層、50...ゲート絶縁層、50a、52...絶縁層、60...ゲート電極、70...誘電体層、80...ドレイン電極、100、200...半導体装置

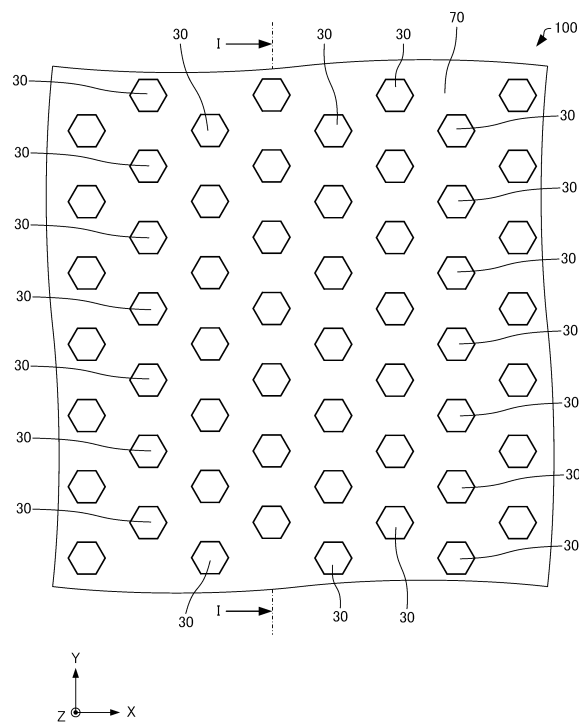
40

【図面】

【図 1】



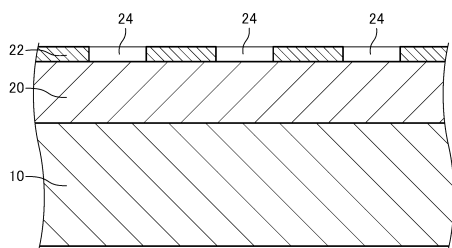
【図 2】



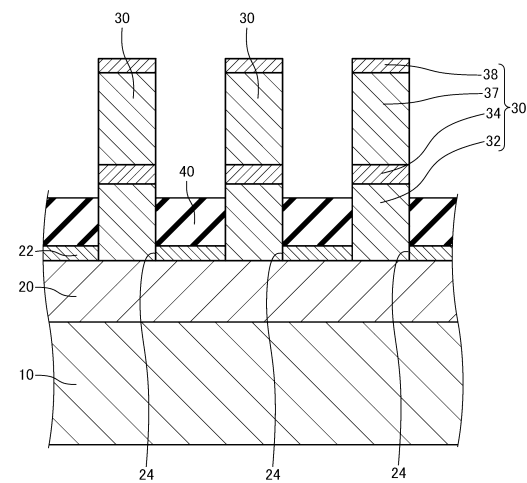
10

20

【図 3】



【図 4】

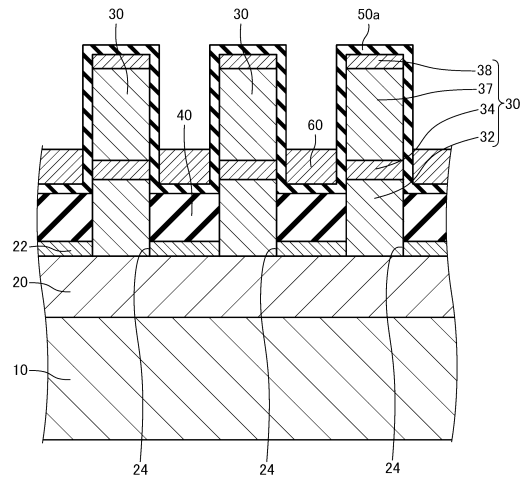


30

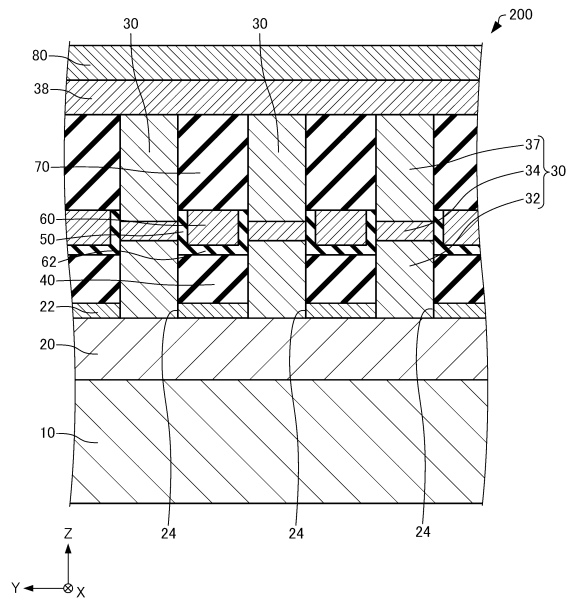
40

50

【 図 5 】



【 図 6 】



10

20

30

40

50

フロントページの続き

F ターム (参考)

BD12 BE09 BE10 BF04 BF05 BF54 BG28 BG30 BH14 BH30
BJ04 BK29 BK30 CC02 CC03 CC11 CC12