

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/302

H01L 21/304



[12] 发明专利说明书

[21] ZL 专利号 98120725.1

[45] 授权公告日 2005 年 7 月 13 日

[11] 授权公告号 CN 1210765C

[22] 申请日 1998.9.25 [21] 申请号 98120725.1

[30] 优先权

[32] 1997.9.30 [33] US [31] 940808

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 卡伊·赫克尔斯 马塞厄斯·伊尔克

审查员 刘天飞

[74] 专利代理机构 北京市柳沈律师事务所

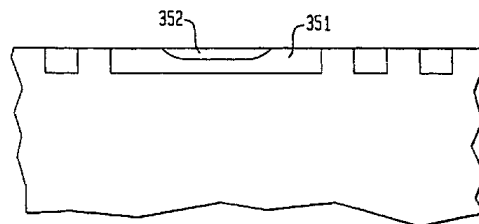
代理人 陶凤波

权利要求书 3 页 说明书 6 页 附图 2 页

[54] 发明名称 用于在抛磨后提供改进的平面表面的方法

[57] 摘要

一种用于在抛磨后提供改进的平面的表面的方法，包括：提供具有拓扑形貌的基片，其中此拓扑形貌包括由窄的空隙与宽的空隙所隔开的图形，其中这些图形的顶表面起到抛磨阻挡层的作用；在基片上方形成第一层，第一层包括掺杂硅酸盐玻璃；加热以回流该掺杂硅酸盐玻璃，以便填充窄的空隙，而不填充宽的空隙，其中，对窄的空隙的填充在窄空隙和由窄空隙分隔开的图形之上产生基本上平面的表面；在基片上方保形地形成第二层，以便填充宽的空隙，其中，第二层比第一层具有较低的抛磨速率；抛磨基片表面，其中第二层减小了在宽的空隙中的碟化凹陷，以与图形顶部形成平面的表面。



ISSN 1008-4274

1. 一种用于在抛磨后提供改进的平面的表面的方法，包括：
提供具有拓扑形貌的基片，其中此拓扑形貌包括由窄的空隙与宽的空隙
5 所隔开的图形，其中这些图形的顶表面起到抛磨阻挡层的作用；
在基片上方保形地形成第一层，第一层包括掺杂硅酸盐玻璃；
加热以回流该掺杂硅酸盐玻璃，以便填充窄的空隙，而不充分填充宽的空隙，其中，对窄的空隙的填充在窄空隙和由窄空隙分隔开的图形之上产生基本上平面的表面；
10 在基片上方保形地形成第二层，以便填充宽的空隙，其中，第二层比第一层具有较低的抛磨速率；
抛磨基片表面，其中第二层减小了在宽的空隙中的碟化凹陷，以与图形顶部形成平面的表面。
2. 根据权利要求 1 所述的方法，其中所述窄空隙设置在多个第一台面
15 之间，所述宽空隙设置在所述第一台面之一和第一第二台面之间，所述第一台面的高度等于所述第二台面的高度，并且所述抛磨步骤为 CMP。
3. 根据权利要求 2 所述的方法，其中所述第一介电层的厚度至少等于所述窄空隙的宽度的 1/2。
4. 根据权利要求 2 所述的方法，其中所述掺杂硅酸盐玻璃包括掺杂硼
20 磷硅酸盐玻璃。
5. 根据权利要求 4 所述的方法，其中所述掺杂硼磷硅酸盐玻璃中的硼和磷的总掺杂浓度小于以重量计 11%。
6. 根据权利要求 4 所述的方法，其中所述第二介电材料为磷掺杂硅酸盐玻璃。
- 25 7. 根据权利要求 2 所述的方法，其中所述第二介电材料和所述第一介电材料的抛磨选择率大致为 3:1。
8. 根据权利要求 2 所述的方法，其中所述第一介电材料为第一掺杂硅酸盐玻璃，第二介电材料为第二掺杂硅酸盐玻璃，其中在第二掺杂硅酸盐玻璃中的掺杂剂浓度小于在所述第一掺杂硅酸盐玻璃中的掺杂剂浓度。
- 30 9. 根据权利要求 2 所述的方法，其中所述宽空隙和所述窄空隙设置在用来构成动态随机存取存储器电路的器件图形之间。

10. 一种利用权利要求 1 中所述的用于在抛磨后提供改进的基片表面的方法来制造动态随机存取存储器的方法。
11. 根据权利要求 10 所述的方法, 其中所述第一介电材料为掺杂硼磷硅酸盐玻璃。
- 5 12. 根据权利要求 10 所述的方法, 其中所述第二介电材料为第二掺杂硅酸盐玻璃, 所述第二掺杂硅酸盐玻璃的掺杂剂浓度小于所述第一介电材料中的掺杂剂浓度。
13. 一种利用权利要求 1 中所述的用于在抛磨后提供改进的平面的表面的方法来制造集成电路的方法。
- 10 14. 根据权利要求 13 所述的方法, 其中所述掺杂硅酸盐玻璃包括掺杂硼硅酸盐玻璃或掺杂硼磷硅酸盐玻璃。
15. 根据权利要求 13 所述的方法, 其中掺杂硅酸盐玻璃具有的掺杂剂浓度使得其填充窄的空隙而不形成结晶。
16. 根据权利要求 15 所述的方法, 其中所述浓度以重量计小于 11%。
- 15 17. 根据权利要求 16 所述的方法, 其中第二层包括第二掺杂硅酸盐玻璃, 其具有比第一层更低的抛磨速率。
18. 根据权利要求 17 所述的方法, 其中第一图形的高度基本上等于第二图形的高度。
19. 根据权利要求 18 所述的方法, 其中第一和第二图形的顶表面包括氮化硅。
- 20 20. 根据权利要求 19 所述的方法, 其中所述集成电路包括存储器集成电路。
21. 根据权利要求 20 所述的方法, 还包括处理以完成所述集成电路; 并将该集成电路结合到消费产品中。
- 25 22. 根据权利要求 16 所述的方法, 其中第二层包括未掺杂硅酸盐玻璃, 其抛磨速率比第一层低。
23. 根据权利要求 22 所述的方法, 其中第一图形的高度基本上等于第二图形的高度。
24. 根据权利要求 23 所述的方法, 还包括处理以完成所述集成电路;
- 30 25. 根据权利要求 13 所述的方法, 其中第二层包括第二掺杂硅酸盐玻

璃，其具有比第一层更低的抛磨速率。

26. 根据权利要求 25 所述的方法，其中第一层包括掺杂硼磷硅酸盐玻璃。

27. 根据权利要求 26 所述的方法，其中第一和第二图形的顶表面包括
5 氮化硅。

28. 根据权利要求 27 所述的方法，还包括处理以完成所述集成电路；
并将该集成电路结合到消费产品中。

29. 根据权利要求 25 所述的方法，其中第一层包括掺杂硼硅酸盐玻璃。

30. 根据权利要求 29 所述的方法，其中第一和第二图形的顶表面包括
10 氮化硅。

31. 根据权利要求 30 所述的方法，还包括处理以完成所述集成电路；
并将该集成电路结合到消费产品中。

32. 根据权利要求 13 所述的方法，其中第二层包括未掺杂硅酸盐玻璃，
其抛磨速率比第一层低。

用于在抛磨后提供改进的平面表面的方法

5 技术领域

本发明的领域一般涉及到半导体制造以及更具体地涉及到减少在平面化时发生的凹陷。特别是涉及一种用于在抛磨后提供改进的平面表面的方法。

背景技术

10 在器件制造中，在基片上形成绝缘层、半导体层以及导体层。各层被构图，以形成图形(feature)与空隙。图形与空隙的特征尺寸(feature size)(F)或最小尺寸取决于光刻系统的分辨能力。图形与空隙被构图，以形成例如晶体管、电容器、以及电阻器等元器件。这些元器件然后互连，以达到所要求的电气功能，形成集成电路(IC)。

15 当由于F越来越小而使图形与空隙也减小时，用例如介质材料来填充图形之间的更小的间隙变得越来越困难。为了增强间隙充填，采用了例如硼磷硅酸盐玻璃(BPSG)一类掺杂硅酸盐玻璃。由于掺杂硅酸盐玻璃的相当低的熔点，当其沉积后可以再流动，所以它可以有效地填充间隙。

传统上，BPSG都是由各种化学气相沉积技术(CVD)来形成的。BPSG是在约400°C的相对低的温度下沉积的。沉积之后，基片再被加热到足够高的温度，使玻璃软化并流动。例如，BPSG退火到800°C时就引起玻璃流动并填充图形之间的间隙。

通常，集成电路不同区域具有不同的图案因子(pattern factor)，从而在元器件层的基片表面上建立复杂的形貌图，图案因子定义为构图的面积与未构图25 的面积之比。例如，在动态随机存取存储器(DRAM)集成电路的阵列区域中的构图密度比在支持或逻辑区域中的构图密度高。正因为如此，在阵列区域中图形之间的间隙比在支持或逻辑区域中的间隙更窄。掺杂硅酸盐玻璃，虽然填充了间隙，但仍是相对保形的。也就是说，下层的基片或元器件层的形貌保留在沉积的掺杂硅酸盐玻璃的形貌中。

30 沉积后，掺杂硅酸盐玻璃例如用化学机械抛磨(CMP)以提供平面化的表面。高度平面化表面形貌是需要的，因为其允许进行附加集成电路元件的沉

积和容许更大的元器件密度。然而，复杂的形貌使得用 CMP 来取得平面化的表面产生困难。特别是，在宽的空隙中会发生掺杂硅酸盐玻璃的碟化凹陷。这种碟化凹陷反过来又影响到表面平整度，减小了下一道光刻操作的聚焦深度。

- 5 从以上讨论可知，就人们需要取得元器件结构的间隙填充，并在 CMP 时具有减小的碟化凹陷。

发明内容

- 10 本发明的任务是提供一种用于在抛磨后提供改进的平面的表面的方法，以便减小碟化凹陷，改进器件的性能。

本发明涉及器件的制造，特别是，本发明提供了抛磨后改进的表面平整度。在一个实施例中，一第一层敷盖在具有复杂形貌的基片上。第一层的沉积厚度足以填充至少窄的间隙。在第一层介电层上再形成第二层，以填充宽的间隙，第二层比第一层更耐受抛磨。通过提供更抗抛磨层的第二层，在抛磨后表面平整度得以改进。

15 根据本发明，提供一种用于在抛磨后提供改进的平面的表面的方法，包括：

提供具有拓扑形貌的基片，其中此拓扑形貌包括由窄的空隙与宽的空隙所隔开的图形，其中这些图形的顶表面起到抛磨阻挡层的作用；

- 20 在基片上方形成第一层，第一层包括掺杂硅酸盐玻璃；

加热以回流该掺杂硅酸盐玻璃，以便填充窄的空隙，而不填充宽的空隙，其中，对窄的空隙的填充在窄空隙和由窄空隙分隔开的图形之上产生基本上平面的表面；

- 25 在基片上方保形地形成第二层，以便填充宽的空隙，其中，第二层比第一层具有较低的抛磨速率；

抛磨基片表面，其中第二层减小了在宽的空隙中的碟化凹陷，以与图形顶部形成平面的表面。

根据本发明，提供一种利用上述用于在抛磨后提供改进的基片表面的方法来制造动态随机存取存储器的方法。

- 30 根据本发明，提供一种利用上述用于在抛磨后提供改进的平面的表面的方法来制造集成电路的方法。

附图说明

图 1 介绍一种说明性的 DRAM 单元;

图 2a - b 显示用掺杂硅酸盐玻璃在元器件层中填充间隙的传统操作, 其在抛磨后会导致凹陷; 以及

图 3a - 3c 显示了根据本发明的实施例减小抛磨后造成凹陷的说明性操作过程。

具体实施方式

10 本发明减小了在半导体制造过程中由于抛磨造成的碟化凹陷(dishing)。为便于本发明的讨论, 以 DRAM 集成电路的形成为内容来予以介绍。但是本发明是有广泛意义的, 也可以用于一般的涉及凹陷问题的半导体制造过程中。在讨论本发明前先对 DRAM 单元以及采用掺杂硅酸盐玻璃作为间隙填充的传统操作过程进行介绍。

15 参阅图 1, 显示的是常用的沟槽电容器 DRAM 单元。这类常用沟槽电容器 DRAM 单元例如在 Nesbit 等人“具有自调准隐埋带(BEST)的 0.6 微米 225 兆位沟槽 DRAM 单元” IEDM93 - 627 中已有介绍, 在本专利的说明中全都引用。特别是, 单元的阵列由字线与位线来互连以形成 DRAM 芯片。

DRAM 单元 100 包括在基片 101 中形成的沟槽电容器 160。沟槽很典型地是用浓 n 型掺杂剂掺杂的多晶硅(Poly)来填充的。多晶硅作为电容器的一个极板, 称之为“存储节点”。在沟槽的下部四周是由 n 型掺杂剂掺杂的隐埋极板 165。在沟槽的上部是用以减小寄生漏泄的颈部 168, 节点介质 163 把电容器的两个极板相隔开。含有 n 型掺杂剂的隐埋井 170 用以连接在阵列中 DRAM 单元的隐埋极板。在隐埋井的上面是 p 井 173, 它用来减小垂直漏泄。

25 DRAM 单元还包括晶体管 110。晶体管包括有含有 n 型掺杂剂的栅极 112、源极 113 和漏极 114 扩散区。晶体管与电容器的连接是通过称之为“节点扩散”的扩散区 125 来达到的。栅极堆栈(叠层)也称作“字线”, 典型地包括多晶硅层 366 与氮化物层 368。可替代的方式是, 层 357 为多晶硅 - 硅化物层, 它包括一层覆于一层多晶硅层之上的硅化物层, 例如硅化钼(MoSi_x)、
30 硅化钽(TaSi_x), 硅化钨(WSi_x), 硅化钛(TiSi_x)或硅化钴(CoSi_x), 以利于减小字线电阻。在一个实施例中, 多晶硅 - 硅化物层包括覆于多晶硅层上部的 WSi_x 。

氮化物衬层 369 覆盖在栅极堆栈与基片上。氮化物 368 与氮化物衬层 369 用作下一道操作时蚀刻或抛磨的停止层。

5 用一个浅沟槽隔离(STI)180 来把 DRAM 单元与其它单元或装置相隔离。如图所示, 字线 120 形成在沟槽之上, 并用 STI 与之隔离。字线 120 也称之为“通过字线”。这类结构也称之为折叠位线结构。

在字线上方形成一层层间介质层 189。在层间介质层之上再形成一层代表位线的导电层。在层间介质层中设有位线接触口 186, 将源 113 与位线 190 接触。

10 图 2a-b 显示了具有减小凹陷的填充间隙的常用操作过程。参阅图 2a, 图示了已部分完成的 IC 结构 100 的剖面图。结构 100 是在半导体基片 101 上形成的, 该基片例如包块一块硅晶片。基片本身就是由结构层一层一层互相堆栈(层叠)而成的。为了讨论, 这种结构通常在这里就称之为基片。

15 为了说明起见, 基片表面包括由空隙 215 与 230 分开的台面 210 与 212。台面例如在图 1 所介绍的, 代表晶体管的栅极堆栈。栅极堆栈例如又是由在基片上形成的栅极堆栈层并用常用的光刻和腐蚀技术来构图形成的。

20 IC 的元件的尺寸大小一般是变化的。通常, 台面或有源区的尺寸大小也会变化。如图所示, 台面 210 是一种窄的图样, 台面 212 是一种宽的图样。此外, 在台面之间的空隙也会随尺寸而变化。如图所示, 空隙 215 是相对为窄的, 而空隙 230 则是相对为宽的。但是有源台面与空隙的实际尺寸不是严格的。当需要制造具有高元件密度的 IC 结构时, 窄的台面与空隙典型地相应

在大约特征尺寸 F 左右, 而宽的图样则相应地大于特征尺寸 F。

掺杂硅酸盐玻璃层 250 例如 BPSG 就在基片表面上沉积, 用以填充空隙。由于 BPSG 的保形性, 在下层基片上的形貌也同时反映在 BPSG 层中。

25 参阅图 2b, 掺杂硅酸盐玻璃层例如由 CMP 平面化。CMP 抛磨硅酸盐玻璃层, 并用台面顶部作为抛磨停止层。结果掺杂硅酸盐玻璃与台面顶部共平面。但是在宽的空隙 230 中可能发生的掺杂硅酸盐玻璃的过度腐蚀或凹陷, 就会在其上形成凹洼 261。

30 根据本发明, 提供了一种具有改进抗凹性的间隙填充层。图 3a-c 显示了本发明的实施例。参阅图 3a, 显示了部分完成的 IC 结构 300 的剖面图。IC 结构例如是随机存取存储器(RAM)IC, 它包括动态随机存取存储器(DRAM), 同步 DRAM(SDRAM), 以及只读存储器(ROM)。其它的 IC 还可

以包括可编程逻辑阵列(PALs), 场可编程门阵列(FPGAs), 专用集成电路(ASICs), 合并 DRAM - 逻辑 IC 或其它类型的 IC。典型地都是把一组 IC 并列地形成在晶片上。完成操作处理以后, 再把晶片切成小片, 把所有 IC 分成单个的芯片。芯片再进行封装, 成为最后的产品, 例如可用于诸如计算机系统, 蜂窝式电话, 个人数字型辅助器(PDA)以及其它电子产品这一类的普通产品。为了便于理解, 本发明是以形成 IC 的内容来进行介绍的。此 IC 可以处于工艺处理的任何阶段。

结构 300 是在半导体基片 101 上形成的。在实施例 10 中, 基片包括硅晶片。也可以采用例如砷化镓、锗、绝缘体上的硅(SOI), 玻璃, 或其它材料的其它基片。基片例如可以用预定导电率的掺杂剂轻度或重度掺杂的, 以得到需要的电特性。

如图所示, 基片包括由窄的和宽的空隙 315 和 330 相隔开的窄的和宽的台面 310 与 312。在基片表面上沉淀了第一介质材料层。第一介质层的厚度足以填充窄的间隙 315。由于窄的间隙典型地等于特征尺寸 F, 在一个实施例 15 中的第一介质层的厚度至少是 $1/2 F$ 。第一介质层的厚度应该使得在宽的空隙 330 中, 它应小于台面的高度 H。

第一介质层包括掺杂硅酸盐玻璃, 例如是 BPSG, 用以提供充分填充的窄的结构。也可以用例如 BSG 等具有良好间隙填充特性的掺杂硅酸盐玻璃。掺杂硅酸盐玻璃比不掺杂硅酸盐的优点是具有低的熔点, 它可以比不掺杂硅酸盐玻璃所能达到的更低的热估值(thermal budget)来填充窄的间隙。采用大家知道的不同的 CVD 工艺来沉积不同型式的掺杂硅酸盐玻璃。典型地用 CVD 沉淀掺杂硅酸盐玻璃并在某温度下退火充分使其流动以填充台面之间的间隙。

掺杂硅酸盐玻璃的掺杂剂浓度影响到它的熔化温度。掺杂剂浓度越高, 玻璃的熔化温度越低, 反之亦然。典型地, 掺杂硅酸盐玻璃的掺杂剂浓度选择在某一给定热估值时能充分地填充窄的间隙。但是, 在过高的掺杂剂浓度时掺杂剂也会沉淀出来并形成大的酸晶体(acid crystal)。

在一个实施例中, 第一掺杂硅酸盐玻璃层包括 BPSG。BPSG 的掺杂剂浓度最好低于导致形成表面结晶的浓度。在一个实施例中, B 与 P 的掺杂剂浓度大约小于 11%(重量)。

在第一介质层上再沉积第二介质层。第二介质层厚度能充分地完全填充

宽的空隙,以使在下一道抛磨程序后在介质层与台面顶面之间形成平整表面。

第二介质层选择比第一介质层具有更低的 CMP 速率。第二介质层比第一介质层具有更充分抗 CMP 能力以减小凹陷的发生。第一和第二介质层之间的抛磨选择率在大于 1:1 时对于减小凹陷是非常有效的。最好选择率大约是 3:1。如果选择率太高,在宽的空隙中也会发生相反的凹陷效果(也就是宽的空隙变高)。在一个实施例中,第二介质层包括例如 TEOS 的不掺杂硅酸盐玻璃。

大家知道, CMP 速率取决于掺杂硅酸盐玻璃层的掺杂剂浓度。降低掺杂硅酸盐玻璃的浓度就减小了它的 CMP 速率。在另一个实施例中,第二介质层包括具有比第一介质层为小的掺杂剂浓度的掺杂硅酸盐玻璃。例如,如果第一介质层包含 BPSG,而 PSG 则用作第二介质层。只要第二介质层比第一介质层更抗凹的话,就可能改进抗凹性。

参阅图 3b,晶片表面例如用 CMP 抛磨。CMP 对台面的顶部表面具有选择性。作为例示,台面顶部例如可盖以氮化物。这时, CMP 对氮化物具有选择性,用它作为抛磨停止层。由于由台面形成的形貌,第二介质层的提高部分 370 首先被 CMP 所侵蚀。结果,在留下覆盖在宽的空隙 330 的第二介质层的同时, CMP 首先在区域 370 中暴露第一介质层。如图所示, CMP 在此操作过程中用第一和第二介质层 351 和 352 的顶部表面形成相对平面的表面。

参阅图 3c,继续 CMP。由于第二介质层比第一介质层具有较低的 CMP 速率,第一介质层就比第二介质层更快地被除去。可以明白,当介质层被抛磨到低于蚀刻停止层(台面顶部)时,更耐 CMP 的第二介质层就用以减小或防止在宽空隙 330 中产生凹陷。

我们参照了各种实施例来对本发明进行了专门的显示与介绍,但本领域的技术人员应该认识到对本发明的任何修改或变动都不会超出本发明的范围。本发明范围不仅包含了上述介绍中所有的内容而且也由权利要求以及它的全部等效的内容所覆盖。

图 1

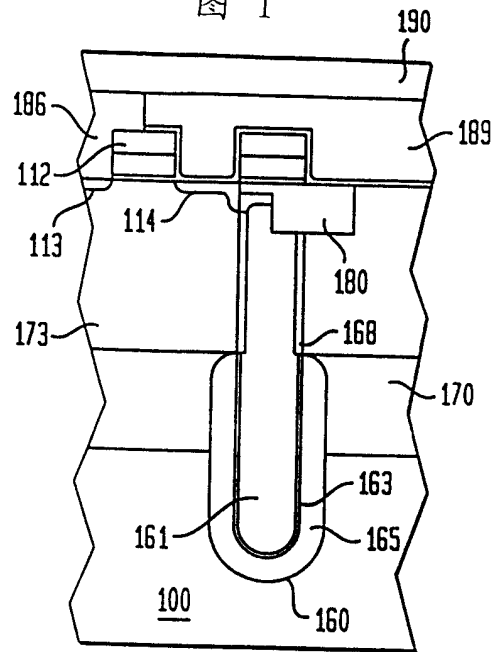


图 2A

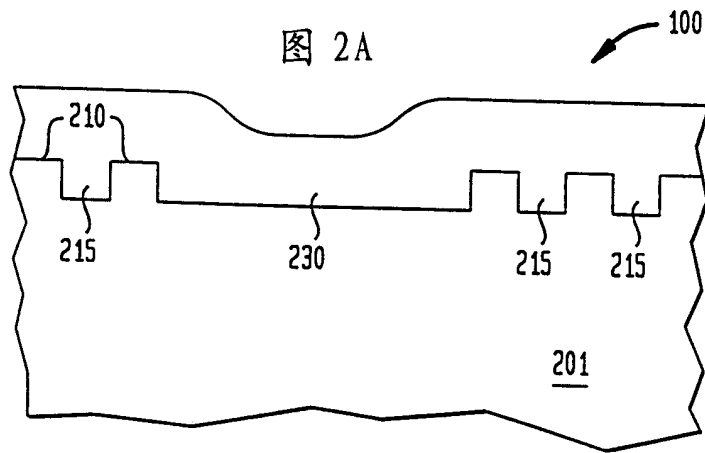


图 2B

