(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0076814
(43) 공개일자 2024년05월30일

(51) 국제특허분류(Int. Cl.)
G06F 12/06 (2006.01) *G06F 11/10* (2006.01)
G06F 12/02 (2018.01) *G06F 3/06* (2006.01)
(52) CPC특허분류
G06F 12/0607 (2013.01)
G06F 11/1048 (2013.01)
(21) 출원번호 10-2024-7014140
(22) 출원일자(국제) 2022년09월20일
심사청구일자 없음
(85) 번역문제출일자 2024년04월26일
(86) 국제출원번호 PCT/US2022/044099
(87) 국제공개번호 WO 2023/055610
국제공개일자 2023년04월06일
(30) 우선권주장
17/487,247 2021년09월28일 미국(US)

(71) 출원인
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드라이브 2485
에이티아이 테크놀로지스 유엘씨
캐나다 온타리오 엘3티 7엑스6 마크햄 커머스 밸리 드라이브 이스트 1
(72) 발명자
그레이트하우스 조셉
미국 캘리포니아 95054 산타 클라라 어거스틴 드라이브 2485
스미스 앨런
미국 캘리포니아 95054 산타 클라라 어거스틴 드라이브 2485
(뒷면에 계속)
(74) 대리인
박장원

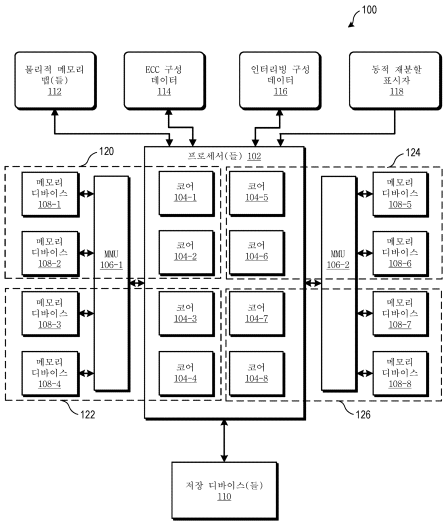
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **메모리 물리적 어드레스 매핑의 동적 재분할**

(57) 요 약

물리적 메모리 어드레스 매핑의 동적 재분할을 위한 시스템 및 방법은 하나 이상의 메모리 디바이스의 하나 이상의 물리적 메모리 위치에 저장된 데이터를 다른 메모리 디바이스 또는 대용량 저장 디바이스에 재배치하고, 하나 이상의 메모리 디바이스의 물리적 메모리 어드레스와 물리적 메모리 위치 사이의 새로운 매핑을 포함하도록 하나 이상의 대응하는 물리적 메모리 맵을 재분할하고, 그 후, 재배치된 데이터를 새로운 물리적 어드레스 매핑에 의해 결정된 물리적 메모리 위치의 하나 이상의 메모리 디바이스에 다시 로딩하는 것을 수반한다. 이러한 물리적 메모리 어드레스 매핑의 동적 재분할은 처리 시스템을 재부팅할 필요가 없으며 처리 시스템의 인터리빙 재구성 및 오류 정정 코드(ECC) 재구성과 관련하여 다양한 응용을 갖는다.

대 표 도 - 도1



(52) CPC특허분류
G06F 12/0284 (2013.01)
G06F 12/0292 (2013.01)
G06F 3/0619 (2013.01)
G06F 3/064 (2013.01)
G06F 3/0644 (2013.01)
G06F 3/0659 (2013.01)
G06F 3/0673 (2013.01)
G06F 2212/1024 (2013.01)
G06F 2212/1032 (2013.01)
(72) 발명자
듀란 프란시스코
미국 캘리포니아 95054 산타 클라라 어거스틴 드라이브 2485
쿠엘링 펠릭스
캐나다 온타리오 엘3티 7엑스6 마크햄 커머스 밸리 드라이브 이스트 1
아사로 앤서니
캐나다 온타리오 엘3티 7엑스6 마크햄 커머스 밸리 드라이브 이스트 1

명 세 서

청구범위

청구항 1

방법에 있어서,

처리 시스템의 제1 메모리 디바이스의 제1 메모리 블록 세트를 식별하는 표시자를 수신하는 것에 응답하여 상기 제1 메모리 디바이스의 상기 제1 메모리 블록 세트로부터의 제1 데이터를 제2 메모리 디바이스 또는 대용량 저장 디바이스 중 선택된 하나로 재배치하는 단계;

상기 제1 메모리 디바이스의 상기 제1 메모리 블록 세트와 연관된 적어도 하나의 물리적 메모리 맵을 재분할하여 제2 메모리 블록 세트로의 상기 제1 데이터의 재배치를 나타내는 적어도 하나의 재분할된 물리적 메모리 맵을 생성하는 단계; 및

상기 적어도 하나의 재분할된 물리적 메모리 맵에 기초하여 상기 제2 메모리 블록 세트에 상기 제1 데이터를 저장하는 단계를 포함하는, 방법.

청구항 2

제1항에 있어서, 상기 적어도 하나의 물리적 메모리 맵을 재분할하는 단계는 상기 처리 시스템의 시스템 구성의 변경과 함께 수행되는, 방법.

청구항 3

제2항에 있어서, 상기 시스템 구성의 변경은 상기 처리 시스템의 오류 정정 코드(ECC) 구성의 변경에 대응하고, 상기 ECC 구성은 ECC 데이터를 저장하기 위해 예약된 ECC 메모리 블록을 식별하는, 방법.

청구항 4

제2항에 있어서, 상기 시스템 구성의 변경은 상기 처리 시스템의 인터리빙 구성의 변경에 대응하고, 상기 인터리빙 구성은 어느 데이터가 적어도 상기 제1 메모리 블록 세트에 저장되는지에 따라 적어도 하나의 인터리빙 패턴을 정의하는, 방법.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 적어도 하나의 물리적 메모리 맵을 재분할하는 단계는,

제1 물리적 어드레스에 대한 상기 적어도 하나의 물리적 메모리 맵에 의해 정의된 매핑을 변경하는 단계를 포함하고, 상기 적어도 하나의 물리적 메모리 맵은 상기 제1 물리적 어드레스를 상기 제1 메모리 블록 세트의 제1 메모리 블록에 매핑하고, 상기 적어도 하나의 재분할된 물리적 메모리 맵은 상기 제1 물리적 어드레스를 상기 제2 메모리 블록 세트의 제2 메모리 블록에 매핑하는, 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 적어도 하나의 물리적 메모리 맵을 재분할하는 단계는 상기 제1 메모리 디바이스를 포함하는 상기 처리 시스템의 재부팅을 요구하지 않고 수행되는, 방법.

청구항 7

처리 시스템에 있어서,

적어도 제1 메모리 디바이스에 결합 가능한 적어도 하나의 프로세서를 포함하고, 상기 프로세서는 명령어를 실행하도록 구성되고, 상기 명령어는 상기 적어도 하나의 프로세서를 조작하여,

제1 메모리 블록 세트를 식별하는 표시자에 응답하여, 상기 제1 메모리 디바이스의 상기 제1 메모리 블록 세트로부터의 제1 데이터를 재배치하고;

상기 제1 메모리 디바이스의 제2 메모리 블록 세트로의 상기 제1 데이터의 재배치를 나타내는 적어도 하나의 재분할된 물리적 메모리 맵을 생성하기 위해, 상기 제1 메모리 디바이스의 상기 제1 메모리 블록 세트와 연관된 적어도 하나의 물리적 메모리 맵을 재분할하고;

상기 적어도 하나의 재분할된 물리적 메모리 맵에 기초하여 복수의 메모리 디바이스의 상기 제2 메모리 블록 세트에 상기 제1 데이터를 저장하는, 처리 시스템.

청구항 8

제7항에 있어서, 상기 명령어는 상기 처리 시스템의 시스템 구성의 변경과 함께 상기 적어도 하나의 물리적 메모리 맵을 재분할하도록 상기 적어도 하나의 프로세서를 조작하는, 처리 시스템.

청구항 9

제8항에 있어서, 상기 시스템 구성의 변경은 상기 처리 시스템의 오류 정정 코드(ECC) 구성의 변경에 대응하고, 상기 ECC 구성은 ECC 데이터를 저장하기 위해 예약된 상기 복수의 메모리 디바이스의 ECC 메모리 블록을 식별하는, 처리 시스템.

청구항 10

제8항에 있어서, 상기 시스템 구성의 변경은 상기 처리 시스템의 인터리빙 구성의 변경에 대응하고, 상기 인터리빙 구성은 어느 데이터가 상기 복수의 메모리 디바이스의 메모리 블록에 저장되는지에 따라 적어도 하나의 인터리빙 패턴을 정의하며, 상기 메모리 블록은 적어도 상기 제1 메모리 블록 세트를 포함하는, 처리 시스템.

청구항 11

제10항에 있어서, 상기 인터리빙 구성의 변경은 제1 인터리빙 패턴을 제2 인터리빙 패턴으로 대체하는 것에 대응하고, 상기 적어도 하나의 재분할된 물리적 메모리 맵은 상기 제2 인터리빙 패턴을 반영하는, 처리 시스템.

청구항 12

제7항 내지 제11항 중 어느 한 항에 있어서, 상기 적어도 하나의 물리적 메모리 맵을 재분할하기 위해, 상기 명령어는 상기 적어도 하나의 프로세서를 조작하여 제1 물리적 어드레스에 대한 상기 적어도 하나의 물리적 메모리 맵에 의해 정의된 매핑을 변경하고, 상기 적어도 하나의 물리적 메모리 맵은 상기 제1 물리적 어드레스를 상기 제1 메모리 블록 세트의 제1 메모리 블록에 매핑하고, 상기 적어도 하나의 재분할된 물리적 메모리 맵은 상기 제1 물리적 어드레스를 상기 제2 메모리 블록 세트의 제2 메모리 블록에 매핑하는, 처리 시스템.

청구항 13

제7항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 메모리 디바이스 및 제2 메모리 디바이스; 및

대용량 저장 디바이스를 더 포함하고, 상기 명령어는 상기 제1 데이터를 상기 복수의 메모리 디바이스 중 제2 메모리 디바이스 또는 상기 대용량 저장 디바이스 중 선택된 하나에 재배치하도록 상기 적어도 하나의 프로세서를 조작하는, 처리 시스템.

청구항 14

제7항 내지 제13항 중 어느 한 항에 있어서, 상기 명령어는 상기 처리 시스템의 재부팅을 요구하지 않고 상기 적어도 하나의 물리적 메모리 맵을 재분할하도록 상기 적어도 하나의 프로세서를 조작하는, 처리 시스템.

청구항 15

시스템에 있어서,

적어도 제1 메모리 디바이스에 결합 가능하고 명령어를 실행하도록 구성된 적어도 하나의 프로세서를 포함하고, 상기 명령어는 상기 적어도 하나의 프로세서를 조작하여,

적어도 제1 메모리 블록을 식별하는 표시자에 응답하여 상기 제1 메모리 디바이스의 상기 제1 메모리 블록으로

부터의 제1 데이터를 전송하고;

상기 시스템의 재부팅을 요구하지 않고 재분할된 물리적 메모리 맵을 생성하도록 상기 제1 메모리 블록과 연관된 물리적 메모리 맵을 재분할하고 - 상기 재분할된 물리적 메모리 맵은 상기 제1 메모리 디바이스의 제2 메모리 블록으로의 상기 제1 데이터의 재배치를 나타냄 -;

상기 재분할된 물리적 메모리 맵을 기초로 상기 제2 메모리 블록에 상기 제1 데이터를 저장하는, 시스템.

청구항 16

제15항에 있어서, 상기 명령어는 상기 시스템의 시스템 구성의 변경과 함께 상기 물리적 메모리 맵을 재분할하도록 상기 적어도 하나의 프로세서를 더 조작하는, 시스템.

청구항 17

제16항에 있어서, 상기 시스템 구성의 변경은 상기 시스템의 오류 정정 코드(ECC: Error Correcting Code) 구성의 변경에 대응하고, 상기 ECC 구성은 ECC 데이터를 저장하기 위해 예약된 복수의 메모리 디바이스의 ECC 메모리 블록을 식별하는, 시스템.

청구항 18

제16항에 있어서, 상기 시스템 구성의 변경은 상기 시스템의 인터리빙 구성의 변경에 대응하고, 상기 인터리빙 구성은 어느 데이터가 상기 제1 메모리 블록 및 상기 제2 메모리 블록을 포함하는 복수의 메모리 블록에 저장되는지에 따라 적어도 하나의 인터리빙 패턴을 정의하는, 시스템.

청구항 19

제15항에 있어서, 상기 물리적 메모리 맵을 재분할하기 위해, 상기 명령어는 상기 적어도 하나의 프로세서를 조작하여 제1 물리적 어드레스에 대한 상기 물리적 메모리 맵에 의해 정의된 매핑을 변경하고, 상기 물리적 메모리 맵은 상기 제1 물리적 어드레스를 상기 제1 메모리 블록과 연관시키고, 상기 재분할된 물리적 메모리 맵은 상기 제1 물리적 어드레스를 상기 제2 메모리 블록과 연관시키는, 시스템.

청구항 20

제15항에 있어서,

상기 제1 메모리 디바이스 및 제2 메모리 디바이스; 및

대용량 저장 디바이스를 더 포함하고, 상기 명령어는 상기 제1 데이터를 상기 제2 메모리 디바이스 또는 상기 대용량 저장 디바이스 중 선택된 하나에 재배치하도록 상기 적어도 하나의 프로세서를 조작하는, 시스템.

발명의 설명

배 경 기 술

[0001] 전반적인 처리 효율을 개선시키기 위해, 처리 시스템은 전형적으로 다중 채널 DRAM(Dynamic Random Access Memory)과 같은 다중 채널 고대역폭 메모리를 사용한다. 예를 들어, 이러한 다중 채널 메모리는 종종 다수의 메모리 다이가 시스템의 호스트 프로세서에 의해 병렬로 액세스 가능하도록 처리 시스템에서 구현된다. 이러한 다중 채널 병렬 액세스는 전형적으로 시스템이 주어진 기간 동안 판독하거나 기록할 수 있는 데이터의 양을 증가시켜 처리 지연을 감소시킬 수 있게 하며, 이는 결국 시스템 성능을 증가시킨다.

[0002] 전형적으로, 데이터가 DRAM과 같은 메모리 디바이스에 기록되는 방식은 물리적 어드레스를 메모리 디바이스의 대응하는 물리적 메모리 블록에 매핑하는 시스템의 물리적 어드레스 매핑에 의해 정의된다. 종래의 시스템에서는 하나 이상의 메모리 디바이스와 연관된 물리적 어드레스 매핑을 변경하려면 시스템을 재부팅해야 한다. 그러나, 재부팅은 전형적으로 시간 소모적이고 부팅 오류나 시스템 모니터링을 위한 대역내 메커니즘 중단의 위험이 있으며, 이는 고성능 처리 시스템에서 특히 중요하다.

발명의 내용

[0003] 다음 예는 개별적으로 또는 조합하여 본 출원에 설명된 실시예 및 구현예에 대한 추가적 맥락을 제공할 수

있다.

[0004] 예 1. 방법에 있어서,

[0005] 처리 시스템의 제1 메모리 디바이스의 제1 메모리 블록 세트를 식별하는 표시자를 수신하는 것에 응답하여 제1 메모리 디바이스의 제1 메모리 블록 세트로부터의 제1 데이터를 제2 메모리 디바이스 또는 대용량 저장 디바이스 중 선택된 하나로 재배치하는 단계;

[0006] 제1 메모리 디바이스의 제1 메모리 블록 세트와 연관된 적어도 하나의 물리적 메모리 맵을 재분할하여 제2 메모리 블록 세트로의 제1 데이터의 재배치를 나타내는 적어도 하나의 재분할된 물리적 메모리 맵을 생성하는 단계; 및

[0007] 적어도 하나의 재분할된 물리적 메모리 맵에 기초하여 제2 메모리 블록 세트에 제1 데이터를 저장하는 단계를 포함한다.

[0008] 예 2. 예 1의 방법에 있어서, 적어도 하나의 물리적 메모리 맵을 재분할하는 단계는 처리 시스템의 시스템 구성의 변경과 함께 수행된다.

[0009] 예 3. 예 2의 방법에 있어서, 시스템 구성의 변경은 처리 시스템의 오류 정정 코드(ECC) 구성의 변경에 대응하고, ECC 구성은 ECC 데이터를 저장하기 위해 예약된 ECC 메모리 블록을 식별한다.

[0010] 예 4. 예 2의 방법에서, 시스템 구성의 변경은 처리 시스템의 인터리빙 구성의 변경에 대응하고, 인터리빙 구성은 어느 데이터가 적어도 제1 메모리 블록 세트에 저장되는지에 따라 적어도 하나의 인터리빙 패턴을 정의한다.

[0011] 예 5. 예 1 내지 예 4 중 어느 하나의 방법에 있어서, 적어도 하나의 물리적 메모리 맵을 재분할하는 단계는,

[0012] 제1 물리적 어드레스에 대한 적어도 하나의 물리적 메모리 맵에 의해 정의된 매핑을 변경하는 단계를 포함하고, 적어도 하나의 물리적 메모리 맵은 제1 물리적 어드레스를 제1 메모리 블록 세트의 제1 메모리 블록에 매핑하고, 적어도 하나의 재분할된 물리적 메모리 맵은 제1 물리적 어드레스를 제2 메모리 블록 세트의 제2 메모리 블록에 매핑한다.

[0013] 예 6. 예 1 내지 예 5 중 어느 하나의 방법에 있어서, 적어도 하나의 물리적 메모리 맵을 재분할하는 것은 제1 메모리 디바이스를 포함하는 처리 시스템의 재부팅을 요구하지 않고 수행된다.

[0014] 예 7. 처리 시스템에 있어서,

[0015] 적어도 제1 메모리 디바이스에 결합 가능한 적어도 하나의 프로세서를 포함하고, 프로세서는 명령어를 실행하도록 구성되고, 명령어는 적어도 하나의 프로세서를 조작하여,

[0016] 제1 메모리 블록 세트를 식별하는 표시자에 응답하여, 제1 메모리 디바이스의 제1 메모리 블록 세트로부터의 제1 데이터를 재배치하고;

[0017] 제1 메모리 디바이스의 제2 메모리 블록 세트로의 제1 데이터의 재배치를 나타내는 적어도 하나의 재분할된 물리적 메모리 맵을 생성하기 위해, 제1 메모리 디바이스의 제1 메모리 블록 세트와 연관된 적어도 하나의 물리적 메모리 맵을 재분할하고;

[0018] 적어도 하나의 재분할된 물리적 메모리 맵에 기초하여 복수의 메모리 디바이스의 제2 메모리 블록 세트에 제1 데이터를 저장한다.

[0019] 예 8. 예 7의 처리 시스템에 있어서, 명령어는 처리 시스템의 시스템 구성의 변경과 함께 적어도 하나의 물리적 메모리 맵을 재분할하도록 적어도 하나의 프로세서를 조작한다.

[0020] 예 9. 예 8의 처리 시스템에 있어서, 시스템 구성의 변경은 처리 시스템의 오류 정정 코드(ECC) 구성의 변경에 대응하고, 여기서, ECC 구성은 ECC 데이터를 저장하기 위해 예약된 복수의 메모리 디바이스의 ECC 메모리 블록을 식별한다.

[0021] 예 10. 예 8의 처리 시스템에 있어서, 시스템 구성의 변경은 처리 시스템의 인터리빙 구성의 변경에 대응하고, 여기서, 인터리빙 구성은 어느 데이터가 복수의 메모리 디바이스의 메모리 블록에 저장되는지에 따라 적어도 하나의 인터리빙 패턴을 정의하며, 메모리 블록은 적어도 제1 메모리 블록 세트를 포함한다.

[0022] 예 11. 예 10의 처리 시스템에서, 인터리빙 구성의 변경은 제1 인터리빙 패턴을 제2 인터리빙 패턴으로 대체하는 것에 대응하고, 적어도 하나의 재분할된 물리적 메모리 맵은 제2 인터리빙 패턴을 반영한다.

[0023] 예 12. 예 7 내지 예 11 중 어느 하나의 처리 시스템에 있어서, 적어도 하나의 물리적 메모리 맵을 재분할하기 위해, 명령어는 적어도 하나의 프로세서를 조작하여 제1 물리적 어드레스에 대한 적어도 하나의 물리적 메모리 맵에 의해 정의된 매핑을 변경하고, 적어도 하나의 물리적 메모리 맵은 제1 물리적 어드레스를 제1 메모리 블록 세트의 제1 메모리 블록에 매핑하고, 적어도 하나의 재분할된 물리적 메모리 맵은 제1 물리적 어드레스를 제2 메모리 블록 세트의 제2 메모리 블록에 매핑한다.

[0024] 예 13. 예 7 내지 11 중 어느 하나의 처리 시스템에 있어서,

[0025] 제1 메모리 디바이스 및 제2 메모리 디바이스; 및

[0026] 대용량 저장 디바이스를 더 포함하고, 명령어는 제1 데이터를 복수의 메모리 디바이스 중 제2 메모리 디바이스 또는 대용량 저장 디바이스 중 선택된 하나에 재배치하도록 적어도 하나의 프로세서를 조작한다.

[0027] 예 14. 예 7 내지 예 13 중 어느 하나의 처리 시스템에 있어서, 명령어는 처리 시스템의 재부팅을 요구하지 않고 적어도 하나의 물리적 메모리 맵을 재분할하도록 적어도 하나의 프로세서를 조작한다.

[0028] 예 15. 시스템에 있어서,

[0029] 적어도 제1 메모리 디바이스에 결합 가능하고 명령어를 실행하도록 구성된 적어도 하나의 프로세서를 포함하고, 명령어는 적어도 하나의 프로세서를 조작하여,

[0030] 적어도 제1 메모리 블록을 식별하는 표시자에 응답하여 제1 메모리 디바이스의 제1 메모리 블록으로부터의 제1 데이터를 전송하고;

[0031] 시스템의 재부팅을 요구하지 않고 재분할된 물리적 메모리 맵을 생성하도록 제1 메모리 블록과 연관된 물리적 메모리 맵을 재분할하고 - 재분할된 물리적 메모리 맵은 제1 메모리 디바이스의 제2 메모리 블록으로의 제1 데이터의 재배치를 나타냄 -;

[0032] 재분할된 물리적 메모리 맵을 기초로 제2 메모리 블록에 제1 데이터를 저장한다.

[0033] 예 16. 예 15의 시스템에 있어서, 명령어는 시스템의 시스템 구성의 변경과 함께 물리적 메모리 맵을 재분할하도록 적어도 하나의 프로세서를 더 조작한다.

[0034] 예 17. 예 16의 시스템에 있어서, 시스템 구성의 변경은 시스템의 오류 정정 코드(ECC) 구성의 변경에 대응하고, 여기서, ECC 구성은 ECC 데이터를 저장하기 위해 예약된 복수의 메모리 디바이스의 ECC 메모리 블록을 식별한다.

[0035] 예 18. 예 16의 시스템에 있어서, 시스템 구성의 변경은 시스템의 인터리빙 구성의 변경에 대응하고, 인터리빙 구성은 어느 데이터가 제1 메모리 블록 및 제2 메모리 블록을 포함하는 복수의 메모리 블록에 저장되는지에 따라 적어도 하나의 인터리빙 패턴을 정의한다.

[0036] 예 19. 예 15의 시스템에 있어서, 물리적 메모리 맵을 재분할하기 위해, 명령어는 제1 물리적 어드레스에 대해 물리적 메모리 맵에 의해 정의된 매핑을 변경하도록 적어도 하나의 프로세서를 조작하고, 물리적 메모리 맵은 제1 물리적 어드레스를 제1 메모리 블록과 연관시키고, 재분할된 물리적 메모리 맵은 제1 물리적 어드레스를 제2 메모리 블록과 연관시킨다.

[0037] 예 20. 예 15의 시스템에 있어서,

[0038] 제1 메모리 디바이스 및 제2 메모리 디바이스; 및

[0039] 대용량 저장 디바이스를 더 포함하고, 명령어는 제1 데이터를 제2 메모리 디바이스 또는 대용량 저장 디바이스 중 선택된 하나에 재배치하도록 적어도 하나의 프로세서를 조작한다.

도면의 간단한 설명

[0040] 첨부 도면을 참조함으로써 본 개시를 더 잘 이해되고, 본 기술 분야의 숙련자는 그 수많은 특징 및 이점을 명백히 알 수 있다. 서로 다른 도면에서 동일한 참조 부호를 사용하는 것은 유사하거나 동일한 항목을 나타낸다.

도 1은 일부 실시예에 따른 동적 물리적 어드레스 맵 재분할 기술을 사용하는 처리 시스템의 블록도이다.

도 2는 일부 실시예에 따른 메모리 물리적 어드레스 매핑을 동적으로 재분할하는 방법을 예시하는 흐름도이다.

도 3은 일부 실시예에 따른 메모리 디바이스에 걸쳐 데이터를 저장하는 데 사용되는 미세-입도 인터리빙 패턴을 나타내는 블록도이다.

도 4는 일부 실시예에 따른 메모리 디바이스에 걸쳐 데이터를 저장하는 데 사용되는 조대-입도 인터리빙 패턴을 예시하는 블록도이다.

도 5는 일부 실시예에 따른 하나 이상의 메모리 디바이스에 대한 메모리 물리적 어드레스 매핑을 동적으로 재분할하고 하나 이상의 메모리 디바이스의 인터리빙 구성을 수정하는 방법을 예시하는 흐름도이다.

도 6은 일부 실시예에 따른 ECC 구성마다 오류 정정 코드(ECC)를 저장하기 위해 예약된 메모리 블록을 갖는 메모리 디바이스를 예시하는 블록도이다.

도 7은 일부 실시예에 따른 하나 이상의 메모리 디바이스에 대한 메모리 물리적 어드레스 매핑을 동적으로 재분할하고 하나 이상의 메모리 디바이스와 연관된 ECC 구성을 수정하는 방법을 예시하는 흐름도이다.

도 8은 일부 실시예에 따른 처리 시스템의 다수의 메모리 디바이스의 미세-입도 기반 동적 재분할을 예시하는 블록도이다.

도 9는 일부 실시예에 따른 주어진 메모리 디바이스 내의 메모리 블록 중 일부에 대해서만 메모리 물리적 어드레스 매핑을 동적으로 재분할하는 방법을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0041] 다중 채널 DRAM과 같은 메모리 디바이스의 물리적 어드레스 매핑을 재분할하는 것은 일반적으로 연관 처리 시스템을 재부팅할 때(즉, "부팅 시간")에만 수행된다. 본 맥락에 관련하여, 부팅 시간에, 하나 이상의 메모리 디바이스의 물리적 어드레스 매핑을 재분할하는 것은 "정적" 재분할이라 지칭된다. 본 개시의 실시예는 시스템의 적어도 일부에 대한 재부팅이 필요하지 않은, 하나 이상의 메모리 디바이스의 물리적 어드레스 매핑의 "동적" 재분할에 관한 것이다. 이러한 동적 재분할은 일부 실시예에서 하나 이상의 메모리 디바이스의 주어진 메모리 블록 또는 메모리 블록 세트에 저장된 데이터의 적어도 일부를 재배치하고, 새로운 분할 방식에 따라 이러한 메모리 블록과 연관된 물리적 어드레스 매핑을 재분할한 다음 재배치된 데이터를 새로운 분할 방식에 일치하는 배열로 메모리 디바이스(들) 상으로 다시 이동시킴으로써 수행된다. 동적 재분할은 처리 시스템을 재부팅할 필요 없이 수행되므로 종래의 정적 재분할에 필요한 재부팅 프로세스로 인해 발생하는 시스템 가동 중지 시간을 감소시키거나 제거한다.

[0042] 예를 들어, 운영 체제(OS) 데이터 및 페이지 테이블 데이터와 같은 "중요한" 데이터는 처리 시스템의 메모리 디바이스에 저장되는 경우가 많기 때문에 처리 시스템을 재부팅하지 않고 이러한 메모리 디바이스를 재분할하려 시도하면 종래의 처리 시스템에서는 오류 또는 기타 불안정성이 발생할 수 있다. 그러나, 본 개시의 실시예에서, 주어진 메모리 디바이스 내의 "중요한" 메모리 위치(예를 들어, 중요한 데이터를 저장하는 것으로 식별된 메모리 위치)가 식별되고 이러한 메모리 위치에 대해 동적 재분할이 비활성화되며, 이는 동적 재분할 동안 중요한 데이터가 손실되지 않는 것을 보장하는 것을 돕는다. 중요한 메모리 위치에 대한 동적 재분할을 비활성화하면 이러한 중요한 데이터 손실 위험이 완화되거나 완전히 방지되기 때문에, 이러한 중요한 데이터를 저장하는 메모리 디바이스는 재부팅을 필요로 하지 않고 동적으로 재분할할 수 있다. 따라서, 본 출원에 설명된 동적 재분할 방식은 메모리 디바이스의 물리적 어드레스 매핑의 재분할을 용이하게 하며, 일부 실시예에서는 작업 부하별로 이러한 재분할을 용이하게 한다.

[0043] 처리 시스템은 전형적으로 다수의 메모리 셀을 포함하는 DRAM과 같은 하나 이상의 메모리 디바이스를 포함하며, 연속된 메모리 셀 그룹은 메모리 블록이라 지칭된다. 전형적으로, 이러한 처리 시스템의 메모리 제어기(예를 들어, 메모리 관리 유닛(MMU))는 물리적 어드레스 맵이 주어진 물리적 어드레스를 처리 시스템의 메모리 디바이스의 특정 물리적 위치와 연관시키도록 처리 시스템의 하나 이상의 메모리 디바이스의 하나 이상의 메모리 블록의 물리적 어드레스와 물리적 위치(예를 들어, 메모리 블록) 사이의 매핑을 정의하는 물리적 어드레스 맵을 유지한다. 처리 시스템 내의 물리적 어드레스와 물리적 메모리 위치 사이의 연관은 때때로 본 출원에서 처리 시스템의 "물리적 어드레스 매핑" 또는 "물리적 메모리 어드레스 매핑"으로 지칭된다. 때때로, 물리적 어드레스 맵을 수정하는 것이 바람직하며, 이러한 수정은 일부 실시예에서 처리 시스템의 재구성과 관련하여 수행된다. 본 출원에는 물리적 어드레스 맵의 수정은 물리적 어드레스 맵의 재분할이라 지칭된다. 다양한 예에 따르면, 주어진 처리 시스템의 하나 이상의 메모리 디바이스에 대한 물리적 어드레스 맵은 메모리 디바이스와 연관된 인터리빙 구성을 수정할 때, 메모리 디바이스와 연관된 오류 정정 코드(ECC) 구성을 수정할 때 또는 처리 시스템에 대한 중

복 모드(예를 들어, 이중 모듈 중복 모드 또는 삼중 모듈 중복 모드)를 활성화하거나 비활성화할 때 재분할된다. 본 출원에 사용될 때, 물리적 어드레스 매핑은 가상 어드레스와 물리적 어드레스 사이의 매핑을 의미하는 것이 아니라, 대신 처리 시스템의 물리적 어드레스와 물리적 메모리 위치 사이의 매핑을 의미한다는 것을 이해하여야 한다.

[0044] 일부 경우에, 주어진 메모리 디바이스에 저장된 "중요한" 데이터(예를 들어, OS 데이터 또는 페이지 테이블 데이터)와 같은 데이터를 처리 시스템의 동작을 방해하지 않고 재배치할 수 없다. 따라서, 본 출원에 설명된 일부 실시예에서, 물리적 어드레스 맵의 동적 재분할은 메모리 디바이스의 메모리 블록 중 적어도 일부에 대해 비활성화되고, 이는 대응하는 메모리 디바이스(들)의 물리적 어드레스 맵의 동적 재분할 동안 이러한 메모리 블록에 저장된 데이터가 재배치되지 않는다는 것을 의미한다. 예를 들어, 처리 시스템의 물리적 어드레스 맵을 동적으로 재분할할 때, 제1 메모리 블록 세트에서 하나 이상의 메모리 디바이스에 저장된 제1 데이터가 다른 메모리 디바이스 또는 저장 디바이스로 재배치에 적합한 것으로 식별된 다음, 일부 실시예에서, 제1 메모리 블록 세트에 대해 동적 재분할이 활성화된 경우 새로운 물리적 어드레스 매핑에 따라 하나 이상의 메모리 디바이스로 다시 로딩된다. 대조적으로, 제2 메모리 블록 세트에 대해 동적 재분할이 비활성화된 경우, 제2 메모리 블록 세트의 하나 이상의 메모리 디바이스에 저장된 제2 데이터는 동적 재분할을 위해 다른 메모리 디바이스 또는 저장 디바이스에 재배치될 수 없다.

[0045] 도 1은 하나 이상의 메모리 디바이스에 대한 물리적 어드레스 매핑의 동적 재분할을 위해 구성된 처리 시스템(100)을 예시한다. 처리 시스템(100)은 코어(104), 하나 이상의 메모리 관리 디바이스(MMU)(106), 메모리 디바이스(108)(예를 들어, DRAM 디바이스, 직접 매핑된 비휘발성 메모리 디바이스, 상 변화 메모리 디바이스, 임의 CXL(Compute Express Link) 부착 메모리 디바이스 등) 및 하나 이상의 대용량 저장 디바이스(110)를 갖는 하나 이상의 프로세서(102)를 포함한다. 도시된 바와 같이, 프로세서(102)는 2개의 MMU(106-1,106-2)를 통해 메모리 디바이스(108)에 통신적으로 결합된다.

[0046] MMU(106) 각각은 프로세서(들)(102)에 의해 제공되는 메모리 액세스 요청을 서비스하여 메모리 디바이스(108)에 대한 판독/기록 액세스를 제공하고, 메모리 액세스 요청에 제공된 물리적 메모리 어드레스를 메모리 디바이스(108)의 하나 이상의 대응하는 메모리 디바이스의 물리적 메모리 위치(예를 들어, 메모리 블록)로 변환한다. 이러한 메모리 액세스 요청에 제공된 물리적 메모리 어드레스를 변환하기 위해, 각각의 MMU(106)는 물리적 메모리 어드레스와 메모리 디바이스(108) 내의 물리적 메모리 위치 사이의 연관을 정의하는 하나 이상의 물리적 메모리 맵(112)을 유지한다. 일부 경우에, 하나 이상의 물리적 메모리 맵(112)은 처리 시스템(100) 구성의 변경을 수용하기 위해 수정되거나 달리 재분할된다.

[0047] 일반적으로, 처리 시스템의 하나 이상의 메모리에 대한 물리적 메모리 맵을 재분할하기 위해서는 부팅 시간에 물리적 메모리 맵을 재분할해야 하며, 따라서, 대응 처리 시스템을 재부팅해야 한다. 그러나, 물리적 메모리 맵이 수정되거나 달리 재분할될 때마다 처리 시스템을 재부팅해야 하는 것은 전형적으로 바람직하지 않으며, 그 이유는 처리 시스템을 재부팅하는 데는 전형적으로 과도한 시간(예를 들어, 서버나 슈퍼컴퓨터와 같은 더 복잡한 처리 시스템에 대해서는 최대 몇 분에 달함)이 소요되고, 이러한 처리 시스템을 모니터링하기 위한 대역내 메커니즘을 방해하거나 오류를 야기할 위험이 있기 때문이다.

[0048] 본 예에서, 처리 시스템(100)은 프로세서(들)(102)가 MMU(106)와 함께 하나 이상의 물리적 메모리 맵(112)이 동적으로, 즉, 시스템 재부팅의 필요성을 피하는 방식으로 재분할되게 하도록 구성된다. 일부 실시예에서, 프로세서(들)(102)는 프로세서(들)(102)가 동적 재분할 표시자(118)를 수신하거나 달리 검출한 것에 응답하여 물리적 메모리 맵(112)이 동적으로 재분할될 수 있게 한다. 예시를 위해, 동적 재분할 표시자(118)가 어서트되어, 물리적 메모리 맵(들)(112)의 동적 재분할에 대한 수동(즉, 사용자 개시) 또는 자동화된 요청에 응답하여 하나 이상의 물리적 메모리 맵(112)의 전부 또는 일부에 대해 동적 재분할이 수행되어야 함을 표시할 수 있다. 예를 들어, 이러한 자동화된 요청은 처리 시스템(100)의 재구성(본 출원에서는 "시스템 재구성"이라고도 지칭됨)이 수행되어야 한다고 결정하는 프로세서(들)(102)에 응답하여 생성되고, 여기서, 재구성은 데이터에 대응하는 물리적 어드레스를 변경하지 않고 하나 이상의 메모리 디바이스(108)의 물리적 위치에 걸쳐 데이터가 저장되는 방식의 재구성을 필요로 한다. 즉, 시스템 재구성은 물리적 메모리 맵(112)에 의해 정의된 기존 물리적 어드레스 매핑을 변경하기 위해 하나 이상의 물리적 메모리 맵(112)의 전부 또는 일부가 수정되는 것을 필요로 한다(본 출원에서는 때때로 물리적 메모리 어드레스 맵(112)의 "재분할"이라고 지칭됨). 본 출원에서, "물리적 어드레스" 및 "물리적 메모리 어드레스"라는 용어는 메모리 디바이스의 특정 물리적 메모리 위치를 가리키거나 달리 이와 연관된 어드레스를 지칭하기 위해 상호교환적으로 사용된다. 예를 들어, 이러한 시스템 재구성은 아래에서 더 구체적으로 설명되는 바와 같이 처리 시스템(100)의 ECC 구성에 대한 변경 및 처리 시스템(100)의 인

터리빙 구성에 대한 변경을 포함한다.

[0049] 하나의 예에서, 처리 시스템(100)은 ECC 구성 데이터(114)(예를 들어, 하나 이상의 대용량 저장 디바이스(110)에 저장됨)를 포함하며, 이는 ECC의 저장을 위해 예약된 메모리 디바이스(108)의 특정 물리적 메모리 위치를 정의한다. 전형적으로, ECC는 다른 데이터의 소프트 오류(전형적으로, 예를 들어, 방사선 충격, 신호 노이즈 등에 의해 발생하는 데이터 손상에 대응함)를 검출되고 일부 경우에는 수정될 수 있게 하기 위해 다른 데이터와 연관되어 저장되는 중복 정보이다. 예를 들어, 리드 솔로몬 코드 또는 해밍 코드와 같은 블록 코드가 메모리 디바이스(108)에 대한 오류 검출 및 정정을 제공하기 위한 ECC로 사용 가능하다. 일부 실시예에서, ECC 구성 데이터(114)는 하나 이상의 메모리 디바이스(108)에 대한 ECC 여부를 정의하며, 이는 메모리 블록이 이들 메모리 디바이스에서 ECC를 위해 예약되어 있는지 여부를 결정한다. 예를 들어, ECC를 활성화 또는 비활성화하거나 메모리 디바이스(108)의 하나 이상의 선택된 메모리 디바이스에 사용되는 ECC 방식을 변경하도록 처리 시스템(100)이 재구성되는 경우, ECC 구성 데이터(114)는 ECC가 선택된 메모리 디바이스에 대해 활성화 또는 비활성화되거나 선택된 메모리 디바이스에 구현된 ECC 방식이 변경될 것임을 나타내기 위해 업데이트되고, ECC 구성이 변경될 선택된 메모리 디바이스를 식별하는 동적 재분할 표시자가 생성된다. 처리 시스템(100)의 ECC 구성의 이러한 변경은 본 출원에서 "ECC 재구성"으로 지칭된다. 그 후, 프로세서(들)(102)는 선택된 메모리 디바이스의 메모리 위치 중 일부 또는 전부에 저장된 데이터가 하나 이상의 다른 메모리 디바이스(즉, 선택된 메모리 디바이스 중 하나가 아님), 하나 이상의 대용량 저장 디바이스(110)(예를 들어, 하나 이상의 하드 디스크 드라이브, 솔리드 스테이트 드라이브, 플래시 메모리 등을 포함함) 또는 둘 모두에 일시적으로 재배치될 수 있게 한다. 일부 실시예에서, 주어진 메모리 디바이스(108)의 메모리 위치의 서브세트만이 ECC 재구성에 의해 영향을 받고, 이용 가능한(즉, 현재 데이터를 저장하지 않고- 사실상 "비어 있음") 다른 메모리 위치가 충분한 경우, 재배치된 데이터는 동일한 메모리 디바이스(108) 상의 다른 이용 가능한 메모리 위치의 서브세트로 이동된다. ECC 재구성에 의해 영향을 받을 메모리 위치로부터의 이러한 데이터 재배치는 물리적 메모리 맵(들)(112)의 동적 재분할의 일부로 고려된다.

[0050] 데이터가 재배치되는 메모리 디바이스(108)의 메모리 위치와 연관된 물리적 어드레스 매핑은 전형적으로 동적 재분할 및 ECC 재구성의 일부로서 재분할된다는 점에 유의해야 한다. 예를 들어, 주어진 메모리 디바이스(108)에 대해 ECC를 활성화하는 경우, 프로세서(들)(102)는 (예를 들어, 업데이트된 ECC 구성 데이터(114), 동적 재분할 표시자 또는 양자 모두에 정의된 바와 같은) ECC 데이터를 저장하기 위해 예약되어 있는 하나 이상의 메모리 위치를 결정하고, 현재 이러한 위치에 저장된 임의의 데이터가 전술한 바와 같이 일시적으로 재배치된다. 다른 예로서, 주어진 메모리 디바이스(108)에 대해 ECC를 비활성화하는 경우, 프로세서(들)(102)는 (예를 들어, 업데이트된 ECC 구성 데이터(114), 동적 재분할 표시자 또는 양자 모두에 정의된 바와 같은) ECC 데이터를 저장하기 위해 현재 예약되어 있지만 ECC 재구성 후에는 ECC 데이터를 저장하는 데 더 이상 사용되지 않을 주어진 메모리 디바이스의 하나 이상의 메모리 위치를 결정하고, 현재 이러한 위치에 저장된 임의의 데이터는 삭제된다.

[0051] 일부 실시예에서, 주어진 메모리 디바이스(108)에 대해 ECC를 비활성화한 후, 메모리 디바이스(108)는 ECC 데이터 삭제로 인해 발생하는 비어 있는 메모리의 "간극"이 함께 그룹화되도록 메모리 디바이스(108)의 물리적 메모리 위치에 저장된 데이터를 재배열하기 위해 조각모음된다. 예로서, 주어진 메모리 디바이스(108)의 논리적으로 인접한 2개의 물리적 메모리 어드레스 세트 A 및 B가 고려되며, 각각의 세트 A 및 B는 8개의 데이터 페이지(각각 물리적 메모리 어드레스 A0, A1, A2, A3, A4, A5, A6, A7 및 B0, B1, B2, B3, B4, B5, B6, B7으로 표시됨) 및 하나의 ECC 페이지(각각 물리적 메모리 어드레스 Aecc 및 Becc로 표시됨)를 포함한다. 본 예에서, 세트 A 및 B의 물리적 메모리 어드레스와 연관된 데이터는 다음 순서로 (예를 들어, 미리 정의된 인터리빙 패턴에 따라) 순차적 메모리 블록 세트에 저장된다: A0, A1, A2, A3, A4, A5, A6, A7, Aecc, B0, B1, B2, B3, B4, B5, B6, B7, Becc. 여기서, Aecc와 Becc는 각각 세트 A와 세트 B에 대한 ECC 데이터를 초기에 저장한다. 본 예에서, 메모리 디바이스(108)에 대한 ECC를 비활성화하기 위해 ECC 재구성을 수행하면, 물리적 메모리 위치 Aecc 및 Becc와 연관된 물리적 메모리 위치(메모리 블록)에 저장된 ECC 데이터가 삭제되고, 메모리 디바이스(108)는 조각모음되고 그 물리적 어드레스 매핑은 본 출원에 설명된 동적 재분할 기술과 함께 수정되며, 따라서, 물리적 메모리 어드레스와 연관된 데이터가 순차적 메모리 블록 세트에 저장되는 순서는 A0, A1, A2, A3, A4, A5, A6, A7, B0, B1, B2, B3, B4, B5, B6, B7, Aecc, Becc이다. 이러한 방식으로, (주어진 메모리(108)에 대해 ECC가 비활성화되어 있기 때문에) 데이터가 삭제된 물리적 메모리 어드레스 Aecc 및 Becc는 ECC를 비활성화할 때 순차적 메모리 블록 세트에서 "간극"(즉, 비어 있는 메모리 블록)의 발생을 감소시키기 위해 순차 메모리 블록 세트의 "끝"에서 인접한 물리적 메모리 위치(메모리 블록)로 그룹화된다. 이러한 방식으로, 다른 물리적 메모리 위치로

이동된 물리적 메모리 어드레스에 저장된 데이터는 전술한 바와 같이 ECC 재구성 중에 일시적으로 재배치된다.

[0052] 또 다른 예로서, 주어진 메모리 디바이스(108)에서 구현된 ECC 방식을 변경하는 경우, ECC 데이터를 저장하기 위해 할당된 메모리 공간의 양은 전형적으로 변경되며, 이는 때때로 주어진 메모리 디바이스(108)의 물리적 어드레스 매핑에 대한 변경을 초래한다. 예를 들어, 메모리 디바이스(108)에 의해 사용되는 ECC 방식을 데이터 8 페이지마다 9번째 페이지의 ECC 데이터를 사용하여 ECC 인코딩되는 8/9 ECC 인코딩으로부터 데이터 128 페이지마다 129번째 및 130번째 페이지의 ECC 데이터를 사용하여 ECC 인코딩되는 128/130 ECC 인코딩 방식으로 변경하기 위해 주어진 메모리 디바이스(108)의 ECC 재구성을 수행할 때, 주어진 메모리 디바이스(108)에 저장된 데이터의 일부 또는 전부가 새로운 ECC 인코딩 방식을 수용하도록 재배열되어, 주어진 메모리 디바이스(108)의 대응하는 메모리 어드레스 및 물리적 메모리 위치에 대한 물리적 메모리 어드레스 매핑의 수정을 초래하고, 이러한 데이터 전술한 바와 같이 ECC 재구성 중에 재배치된다.

[0053] 동적 재분할을 위해 데이터가 재배치되는 메모리 위치를 식별한 후, 프로세서(들)(102)는 새로운 ECC 구성에 따라 물리적 메모리 맵(들)(112)을 재분할한다. 일반적으로, 임의의 유형의 시스템 재구성의 일부로서의 물리적 메모리 맵(들)(112)의 재분할은 처리 시스템(100)의 재부팅을 필요로 할 것이다. 그러나, 본 예에서 물리적 메모리 맵(들)(112)을 동적으로 재분할함으로써, 처리 시스템(100)의 재부팅을 요구하지 않고 ECC 재구성이 수행된다.

[0054] 다른 예에서, 처리 시스템(100)은 인터리빙 구성 데이터(116)(예를 들어, 기본 입력/출력 시스템(BIOS)-유사 구조 또는 테이블의 일부로서 저장된 다음 처리 시스템(100)의 활성 동작 동안 온칩 구성 레지스터에 로딩됨)를 포함하고, 이는 어느 물리적 메모리 어드레스가 메모리 디바이스(108)에 걸쳐 분산되는지에 따라 인터리빙 패턴(예를 들어, 조대-입도 인터리빙 패턴, 미세-입도 인터리빙 패턴, 또는 그 조합)을 정의한다. 이러한 인터리빙 패턴의 예는 도 3, 도 4 및 도 8과 관련하여 아래에서 더 구체적으로 설명된다. 일부 실시예에서, 처리 시스템(100)의 인터리빙 구성은 재분할되고, 따라서, 기존 인터리빙 패턴이 새로운 인터리빙 패턴으로 대체된다. 인터리빙 패턴의 이러한 변경은 때때로 본 출원에서 "인터리빙 재구성"으로 지칭된다.

[0055] 예를 들어, 프로세서(들)(102)는 인터리빙 구성 데이터(116)가 수정되게 하고 대응하는 동적 재분할 표시자(118)가 생성되게 하는 하나 이상의 수동 또는 자동화된 요청에 응답하여 처리 시스템(100)의 인터리빙 재구성을 수행할 것이다. 예를 들어, 메모리 디바이스(108)의 서브세트가 미세-입도 인터리빙 구성으로부터 조대-입도 인터리빙 구성으로 전환되도록 인터리빙 구성을 변경하기 위한 수동 또는 자동화된 요청은 프로세서(들)(102)가 메모리 디바이스(108)의 서브세트를 동적 재분할을 위해 선택되는 것으로 정의하는 대응하는 동적 재분할 표시자(118)를 생성하게 한다. 그 후, 프로세서(들)(102)는 메모리 디바이스(108)의 서브세트에 저장된 데이터가 하나 이상의 다른 메모리 디바이스(108)(즉, 동적 재분할을 위해 선택된 메모리 디바이스의 서브세트에 존재하지 않는 하나 이상의 메모리 디바이스(108)), 대용량 저장 디바이스(들)(110), 또는 이들의 조합에 일시적으로 재배치되게 한다. 그 후, 프로세서(들)(102)는 물리적 메모리 맵(들)(112)에서 식별되고 동적 재분할을 위해 선택된 메모리 디바이스(108)의 서브세트와 연관된 물리적 어드레스가 미세-입도 인터리빙 구성으로부터 재분할된 물리적 메모리 맵(들)(112)에서의 조대-입도 인터리빙 구성으로 재매핑되도록 물리적 메모리 맵(들)(112)을 재분할한다. 본 예에서, 물리적 메모리 맵(들)(112)을 재분할하는 것은 유리하게는 처리 시스템(100)이 재부팅될 것을 요구하지 않는데, 이는 물리적 메모리 맵(들)(112)을 수정하거나 달리 재분할함으로써 전형적으로 영향을 받는 임의의 데이터가 물리적 메모리 맵(들)(112)이 재분할될 때 영향을 받는 메모리 블록 밖으로 이미 재배치되었기 때문이다. 그 다음, 프로세서(들)(102)는 재배치된 데이터를 (이제 재분할된 물리적 메모리 맵(들)(112)의 새로운 물리적 어드레스 매핑으로 표현되는) 조대-입도 인터리빙 구성에 따라 메모리 디바이스(108)에 다시 로딩한다. 프로세서(들)(102)는 또한 메모리 디바이스(108)의 서브세트가 미세-입도 인터리빙 구성이 아닌 조대-입도 인터리빙 구성에 있음을 나타내기 위해 인터리빙 구성 데이터(116)를 수정한다.

[0056] 또한, 일부 실시예에서, 물리적 메모리 맵(들)(112)의 동적 재분할을 수반하는 인터리빙 재구성은 그에 걸쳐 특정 인터리빙 패턴이 적용되는 메모리 디바이스(108)의 수에 의거하여 수행된다. 하나의 예에서, 프로세서(들)(102)는 단일 미세-입도 인터리빙 패턴이 모든 메모리 디바이스(108)에 걸쳐 적용되는 글로벌 미세-입도 인터리빙 패턴으로부터 메모리 디바이스(108)가 도메인(120, 122, 124, 126)과 같은 서로 다른 도메인으로 논리적으로 조직화되고 각각의 미세-입도 인터리빙 패턴이 각각의 도메인 내의 메모리 디바이스(108)에 적용되는 일련의 도메인 레벨 미세-입도 인터리빙 패턴으로 메모리 디바이스(108)가 재구성되게 한다. 이러한 인터리빙 재구성을 수행할 때, 프로세서(들)(102)는 메모리 디바이스(108)에 저장된 데이터가 다른 메모리 디바이스, 하나 이상의 대용량 저장 디바이스(110), 또는 그 조합으로 일시적으로 재배치되게 한 다음, 새로운 도메인 레벨 미세-입도 인터리빙 패턴에 따라 물리적 메모리 맵(들)(112)을 재분할하고, 그 후, 새로운 도메인 레벨 미세-입도 인

터리빙 패턴에 따라, 재배치된 데이터를 메모리 디바이스(108)에 로딩하고 인터리빙 구성 데이터(116)를 업데이트하여 새로운 도메인 레벨의 미세-입도 인터리빙 패턴이 메모리 디바이스(108)에 적용됨을 나타낸다.

[0057] 일부 실시예에서, 글로벌 미세-입도 인터리빙 구성으로부터 일련의 도메인 레벨 미세-입도 인터리빙 구성 세트로 전이하기 위한 인터리빙 재구성은 프로세서(들)(102)가 프로세서(들)(102)의 하나 이상의 코어(104)에 의해 처리될 NUMA(non-uniform memory access)-인식 작업부하를 식별하는 것에 응답하여 프로세서(들)(102)에 의해 실행된다. 예를 들어, 일부 작업부하는 일부 실시예에서 처리 시스템(100)에 의해 사용되는 NUMA 구성을 활용하거나 달리 이를 인식한다. 본 예에서는 이러한 작업부하를 "NUMA 인식" 작업부하라 지칭된다. 이러한 NUMA 인식 작업부하는 전형적으로 데이터가 사용될 예상 빈도와 대응 작업부하를 실행하는 프로세서 코어(들)에 대한 물리적 메모리 위치의 근접도를 기초로 특정 물리적 메모리 위치에 데이터를 배치하도록 최적화된다. 예를 들어, NUMA 인식 작업부하를 실행할 때 더 자주 사용될 것으로 예상되는 데이터는 NUMA 인식 작업부하를 실행하는 프로세서 코어(들)(104)에 물리적으로 더 가까운 메모리 디바이스(108)(즉, 해당 프로세서 코어(들)(104)과 동일한 도메인에 있는 메모리 디바이스(108))에 저장되고, 반면에, NUMA 인식 작업부하를 실행할 때 덜 자주 사용될 것으로 예상되는 데이터는 NUMA 인식 작업부하를 실행하는 프로세서 코어(들)(104)로부터 물리적으로 더 멀리 떨어져 있는 메모리 디바이스(108)(즉, 프로세서 코어(들)(104)의 도메인과 다른 도메인에 있는 메모리 디바이스(108))에 저장된다.

[0058] 일부 실시예에서, 주어진 메모리 디바이스의 하나 이상의 메모리 위치(즉, 메모리 블록)는 처리 시스템(100)의 동작에 중요한 데이터(예를 들어, OS 데이터, 페이지 테이블 데이터 등)를 위해 예약된다. 이러한 메모리 위치는 때때로 본 출원에서 "중요한 메모리 위치" 또는 "중요한 메모리 블록"으로 지칭된다. 일부 실시예에서, 이러한 중요한 메모리 위치에 대해 동적 재분할이 비활성화되며, 그 이유는 그 안에 저장된 데이터를 일시적으로 재배치하면 처리 시스템(100)의 동작이 불안정해질 위험이 있기 때문이다. 예를 들어, 동적 재분할 중에 OS 데이터를 저장하는 중요한 메모리 위치의 데이터가 갑자기 재배치되는 경우 처리 시스템이 예기치 않게 종료되거나 처리 시스템의 기능을 달리 방해할 수 있는 오류를 초래할 수 있으며, 그 이유는 전형적으로 처리 시스템이 대응 OS 소프트웨어를 적절하게 실행하기 위해서는 이러한 OS 데이터가 필요하기 때문이다.

[0059] 또 다른 예로서, 중요한 데이터를 저장하는 하나 이상의 중요한 메모리 위치를 포함하는 메모리 디바이스(108-1)를 고려하며, 여기서, 이러한 중요한 메모리 위치에 대해서는 물리적 메모리 어드레스 매핑의 동적 재분할이 비활성화된다. 메모리 디바이스(108)와 연관된 물리적 메모리 맵(들)(112)의 동적 재분할을 수행할 때, 중요한 메모리 위치가 아닌 메모리 디바이스(108-1)의 메모리 위치 중 제1 서브세트의 메모리 위치(예를 들어, 예를 들어, 사용자 데이터 또는 작업 데이터를 저장함)만이 동적 재분할에 적합한 것으로 식별되고, 그에 저장된 데이터의 대응하는 임시 재배치에 적합한 것으로 식별된다(즉, 동적 재분할이 제1 서브세트의 메모리 위치에 대해 활성화된다). 대조적으로, 중요한 메모리 위치를 포함하는 메모리 디바이스(108-1)의 메모리 위치 중 제2 서브세트의 메모리 위치는 동적 재분할에 적합하지 않은 것으로 식별되고, 그에 저장된 데이터의 대응하는 임시 재배치에 적합하지 않은 것으로 식별된다(즉, 제2 서브세트의 메모리 위치에 대해 동적 재분할이 비활성화된다).

[0060] 이전 예에서 제공된 바와 같이 중요한 메모리 위치에 대한 물리적 메모리 어드레스 매핑의 동적 재분할을 비활성화하고, 이에 의해 처리 시스템(100)의 동작 실패와 연관된 위험이 완화되거나 완전히 방지된다.

[0061] 도 2는 처리 시스템에 대한 물리적 메모리 어드레스 매핑을 동적으로 재분할하는 방법(200)을 예시한다. 예시의 편의를 위해, 방법(200)은 도 1의 처리 시스템(100)과 그 구성 컴포넌트 및 모듈의 예시적인 구현에 관해 설명된다.

[0062] 블록 202에서, 프로세서(들)(102)는 동적 재분할 표시(118)의 실시예와 같은 동적 재분할 표시를 수신한다. 일부 실시예에서, 동적 재분할 표시는 ECC 재구성 또는 인터리빙 재구성과 같은 프로세서(들)(102)에 의해 실행될 더 넓은 시스템 재구성의 일부로서 생성된다. 일부 실시예에서, 동적 재분할 표시는 여기서 201-1로 표시된 메모리 디바이스의 서브세트와 물리적 메모리 맵(들)(112)의 동적 재분할에 수반될 각각의 식별된 메모리 디바이스의 하나 이상의 메모리 블록을 식별한다. 일부 실시예에서, 메모리 디바이스(201-1)의 서브세트는 도 1의 메모리 디바이스(108)의 제1 서브세트의 예시적인 실시예에 대응한다. 식별된 메모리 블록에 저장된 데이터는 동적 재분할 중에 일시적으로 재배치된다.

[0063] 블록 204에서, 동적 재분할 표시에서 식별된 메모리 디바이스(201-1)의 메모리 블록에 저장된 데이터는 다른 메모리 디바이스 또는 대용량 저장 디바이스에 일시적으로 재배치된다. 일부 실시예에서, 이 데이터를 재배치할 때, (예를 들어, 식별된 메모리 블록 각각에 이진 0을 기록함으로써) 메모리 디바이스(201-1)의 식별된 메모리 블록이 삭제된다. 다른 실시예에서, 데이터 재배치는 메모리 디바이스(201-1)의 데이터를 삭제하지 않고 데이터

를 다른 메모리 디바이스 또는 대용량 저장 디바이스에 복사함으로써 수행된다.

[0064] 블록 206에서, 메모리 디바이스(201-1)의 식별된 메모리 블록으로부터 재배치된 데이터는 하나 이상의 대용량 저장 디바이스(110) 또는 여기서 201-2로 표시된 메모리 디바이스의 서브세트에 저장된다. 일부 실시예에서, 메모리 디바이스(201-2)의 서브세트는 메모리 디바이스(201-1)의 서브세트가 대응하는 메모리 디바이스(108)의 제1 서브세트와는 다른 도 1의 메모리 디바이스(108)의 제2 서브세트의 예시적인 실시예에 대응한다. 즉, 일부 실시예에서, 메모리 디바이스(201-2)는 동적 재분할 표시에서 식별되지 않은 하나 이상의 메모리 디바이스(108)에 대응한다.

[0065] 블록 208에서, 프로세서(들)(102)는 처리 시스템(100)이 재구성되게 한다. 다양한 예에 따르면, 시스템 재구성은 ECC 재구성, 인터리빙 재구성, 또는 재분할될 처리 시스템(100)의 물리적 메모리 어드레스 매핑(즉, 물리적 메모리 맵(들)(112)에 정의된 매핑(들))을 필요로 하는 시스템의 다른 재구성 중 하나 이상을 포함한다.

[0066] 블록 210에서, 물리적 메모리 맵(들)(112)에 정의된 하나 이상의 물리적 어드레스 매핑은 시스템 재구성에 따라 재분할된다. 예를 들어, 시스템 재구성이 인터리빙 재구성인 경우, 물리적 어드레스를 물리적 메모리 블록에 매핑하는 데 사용되는 기존 인터리빙 패턴(예컨대, 아래 도 3 및 도 4를 참조하여 설명된 예시적인 미세-입도 및 조대-입도 인터리빙 패턴)은 새로운 인터리빙 패턴(예컨대, 아래 도 3 및 도 4를 참조하여 설명된 예시적인 미세-입도 및 조대-입도 인터리빙 패턴)으로 변경되고, 물리적 메모리 맵(들)(112)에 정의된 하나 이상의 물리적 어드레스 매핑은 새로운 인터리빙 패턴에 대응하도록 수정된다. 예를 들어, 시스템 재구성이 ECC 재구성인 경우, 물리적 메모리 맵(들)(112)에 정의된 하나 이상의 물리적 어드레스 매핑은 활성화 또는 비활성화된 ECC 또는 하나 이상의 메모리 디바이스(201-1)에 대해 변경된 ECC 방식에 대응하도록 수정된다. 블록 210에서 재분할된 물리적 어드레스 매핑은 블록 204에서 그로부터 데이터가 재배치된, 동적 재분할 표시에서 식별된 메모리 블록에 대응한다.

[0067] 블록 212에서, 물리적 메모리 맵(들)(112)에 정의된 물리적 어드레스 매핑이 재분할된 후, 하나 이상의 대용량 저장 디바이스(110) 또는 메모리 디바이스(201-2)에 저장된 재배치된 데이터는 재분할된 물리적 어드레스 매핑에 따라 메모리 디바이스(201-1)에 다시 로딩된다. 일부 실시예에서, 블록 212에서 재배치된 데이터를 메모리 디바이스(201-1)로 다시 이동시키는 대신, 재배치된 데이터는 대신 메모리 디바이스(201-2)에 저장된 상태로 유지되고 메모리 디바이스(201-1)는 새로운 메모리 할당을 제외하고는 비어 있는 상태로 유지된다. 일부 실시예에서, 재배치된 데이터는 재구성 프로세스 동안 대신, 기회적으로 메모리 디바이스(201-2)로부터 메모리 디바이스(201-1)로 다시 이동된다. 본 예에서, 물리적 메모리 맵(들)(112)의 재분할은 유리하게 처리 시스템(100)이 재부팅될 것을 요구하지 않는다. 블록 214에서, 메모리 디바이스(201-1)는 새로운 물리적 어드레스 매핑에 따라 이전에 재배치된 데이터를 저장한다.

[0068] 도 3은 도 1의 처리 시스템(100)과 같은 처리 시스템에서 4개의 메모리 디바이스에 액세스하기 위한 미세-입도 인터리빙 패턴을 예시하는 도면(300)이다. 본 예에서는 메모리 디바이스(108-1,108-2,108-3,108-4)에 미세-입도 인터리빙 패턴이 적용된다. 경로(302)는 미세-입도 인터리빙 패턴에 따라 메모리 디바이스(108-1 내지 108-4)의 메모리 블록(304)과 같은 메모리 블록에 데이터가 기록되는 순서를 나타낸다. 예시된 미세-입도 인터리빙 패턴은 예를 들어 인터리빙 구성 데이터(116)의 실시예에서 정의되는 인터리빙 구성의 하나의 예이다. 일부 실시예에서, 처리 시스템(100)의 물리적 메모리 어드레스 매핑의 동적 재분할은 처리 시스템(100)의 인터리빙 구성을 본 예의 미세-입도 인터리빙 패턴 또는 다른 유사한 미세-입도 인터리빙 패턴으로 또는 그 반대로 변경하는 것과 관련하여 수행된다.

[0069] 예를 들어, 메모리 디바이스(108-1 내지 108-4)에 저장하기 위해 데이터가 발신되는 경우, 데이터는 블록으로 분할되고 연속적인 블록이 메모리 디바이스(108-1 내지 108-4)에 연속적으로 저장된다. 여기서, 데이터의 "연속" 블록은 연속적인 물리적 메모리 어드레스에 저장될 데이터 세트(예를 들어, 파일)의 데이터의 순서화된 어레이 내의 연속적인 데이터 섹션을 의미한다. 예를 들어, 순서화된 데이터 어레이로 배열되고 처리 시스템(100)에 의해 저장될 데이터 파일은 논리적으로 데이터의 블록으로 분할되며, 데이터의 블록은 데이터의 제1 블록이 제1 물리적 메모리 어드레스에 저장되고, 데이터의 제1 블록에 연속된 데이터의 제2 블록이 제1 물리적 메모리 어드레스에 연속된 제2 메모리 어드레스에 저장되도록 연속적인 물리적 메모리 어드레스의 범위에 걸쳐 저장되도록 지정된다. 처리 시스템(100)이 제1 및 제2 물리적 메모리 어드레스에 대해 미세-입도 인터리빙 패턴을 구현하도록 구성되면, 데이터의 제1 블록과 데이터의 제2 블록은 연속적인 데이터 블록임에도 불구하고 그리고 연속적인 물리적 메모리 어드레스에 저장됨에도 불구하고 미세-입도 인터리빙 패턴에 따라 메모리 디바이스(108)의 각각 다른 메모리 디바이스에 저장된다.

[0070] 예를 들어, 5개의 메모리 블록을 채우는 5개의 연속된 데이터 블록이 메모리 디바이스(108-1 내지 108-4)에 저장된다면, 이 5개의 데이터 블록은 메모리 디바이스(108-1)의 제1 메모리 블록, 메모리 디바이스(108-2)의 제1 메모리 블록, 메모리 디바이스(108-3)의 제1 메모리 블록, 메모리 디바이스(108-4)의 제1 메모리 블록 및 메모리 디바이스(108-1)의 제2 메모리 블록에 각각 연속적으로 저장된다. 일반적으로, 미세-입도 인터리빙은 유사한 액세스 속도로 모든 메모리 디바이스(108-1 내지 108-4)에 액세스할 수 있는 프로세서에 의한 메모리 디바이스에 대한 빠른 액세스를 제공한다.

[0071] 도 4는 여기서 도 1의 처리 시스템(100)의 실시예에 대응하는 처리 시스템에서 4개의 메모리 디바이스에 액세스하기 위한 조대-입도 인터리빙 패턴을 예시하는 도면(400)이다. 본 예에서는, 조대-입도 인터리빙 패턴이 메모리 디바이스(108-1,108-2,108-3,108-4)에 적용된다. 경로(402)는 조대-입도 인터리빙 패턴에 따라 메모리 디바이스(108-1 내지 108-4)의 메모리 블록(404)과 같은 메모리 블록에 데이터가 기록되는 순서를 나타낸다. 예시된 조대-입도 인터리빙 패턴은 예를 들어 인터리빙 구성 데이터(116)의 실시예에서 정의되는 인터리빙 구성의 하나의 예이다. 일부 실시예에서, 처리 시스템(100)의 물리적 메모리 어드레스 매핑의 동적 재분할은 처리 시스템(100)의 인터리빙 구성을 본 예의 조대-입도 인터리빙 패턴 또는 다른 유사한 조대-입도 인터리빙 패턴으로 또는 그 반대로 변경하는 것과 관련하여 수행된다.

[0072] 예를 들어, 메모리 디바이스(108-1 내지 108-4)에 저장하기 위해 데이터가 발신되는 경우, 데이터는 블록으로 분할되고 연속적인 블록 각각의 메모리 디바이스(108-1 내지 108-4)를 연속적으로 채우도록 저장된다. 즉, 프로세서(들)(102)는 예를 들어 다음 메모리 디바이스(108-2)에 데이터를 저장하기 전에 주어진 메모리 디바이스(108-1)를 데이터로 완전히 채운다. 전형적으로, 조대-입도 인터리빙은 유사한 액세스 속도로 다수의 메모리 디바이스에 병렬로 액세스할 수 없는 프로세서에 유리하다.

[0073] 도 5는 처리 시스템의 인터리빙 구성을 수정하는 것과 관련하여 처리 시스템에 대한 물리적 메모리 어드레스 매핑을 동적으로 재분할하는 방법(500)을 예시한다. 예시의 편의를 위해, 방법(500)은 도 1의 처리 시스템(100)과 그 구성 컴포넌트 및 모듈의 예시적인 구현에 관해 설명된다.

[0074] 블록 502에서, 프로세서(들)(102)는 동적 재분할 표시(118)의 실시예와 같은 동적 재분할 표시를 수신한다. 본 예에서, 동적 재분할 표시는 프로세서(들)(102)에 의해 실행될 인터리빙 재구성의 일부로서 생성된다. 여기서, 동적 재분할 표시는 메모리 디바이스(108)의 메모리 디바이스의 제1 서브세트와 물리적 메모리 맵(들)(112)의 동적 재분할에 수반될 각각의 식별된 메모리 디바이스의 하나 이상의 메모리 블록을 식별한다. 식별된 메모리 블록에 저장된 데이터는 동적 재분할 중에 일시적으로 재배치된다.

[0075] 블록 504에서, 동적 재분할 표시에서 식별된 메모리 디바이스의 제1 서브세트의 메모리 블록에 저장된 데이터는 대용량 저장 디바이스(110) 중 하나 이상의 대용량 저장 디바이스, 동적 재분할 표시에서 식별되지 않은 메모리 디바이스(108) 중의 메모리 디바이스의 제2 서브세트의 하나 이상의 메모리 디바이스, 또는 이들의 조합으로 일시적으로 재배치된다. 일부 실시예에서, 이 데이터를 재배치할 때, (예를 들어, 식별된 메모리 블록 각각에 이진 0을 기록함으로써) 메모리 디바이스(108)의 제1 서브세트의 식별된 메모리 블록이 삭제된다.

[0076] 블록 506에서, 프로세서(들)(102)는 처리 시스템(100)의 인터리빙 구성이 재구성될 수 있게 한다. 예를 들어, 프로세서(들)(102)는 어느 물리적 메모리 어드레스가 하나 이상의 메모리 디바이스(108)의 메모리 블록에 걸쳐(즉, 본 예에서 동적 재분할 표시자에서 식별된 메모리 디바이스의 제1 서브세트의 식별된 메모리 블록에 걸쳐) 분산되는지에 따라 하나 이상의 인터리빙 패턴을 정의하는 인터리빙 구성 데이터(116)를 업데이트한다.

[0077] 블록 508에서, 물리적 메모리 맵(들)(112)에 정의된 하나 이상의 물리적 어드레스 매핑은 업데이트된 인터리빙 구성에 따라 재분할된다. 일부 실시예에서, 물리적 어드레스를 물리적 메모리 블록에 매핑하는 데 사용되는 기존 인터리빙 패턴은 새로운 인터리빙 패턴으로 변경되고, 물리적 메모리 맵(들)(112)에 정의된 물리적 어드레스 매핑 중 하나 이상이 새로운 인터리빙 패턴에 대응하도록 수정된다. 블록 508에서 재분할된 물리적 어드레스 매핑은 블록 504에서 그로부터 데이터가 재배치된, 동적 재분할 표시에서 식별된 메모리 블록에 대응한다. 본 예에서, 물리적 메모리 맵(들)(112)의 재분할은 유리하게 처리 시스템(100)이 재부팅될 것을 요구하지 않는다.

[0078] 블록 510에서, 물리적 메모리 맵(들)(112)에 정의된 물리적 어드레스 매핑이 재분할된 후, 재배치된 데이터는 재분할된 물리적 어드레스 매핑에 대응하는(즉, 새로운 인터리빙 패턴에 대응하는) 패턴으로 메모리 디바이스(108)의 메모리 디바이스의 제1 서브세트에 다시 로딩된다. 일부 실시예에서, 블록 510에서 재배치된 데이터를 메모리 디바이스의 제1 서브세트로 다시 이동시키는 대신, 재배치된 데이터는 대신 메모리 디바이스의 제2 서브세트에 저장된 상태로 유지되고, 메모리 디바이스의 제1 서브세트는 새로운 메모리 할당을 제외하고는 비어 있

는 상태로 유지된다. 일부 실시예에서, 재배치된 데이터는 재구성 프로세스 동안 대신 기회적으로 메모리 디바이스의 제2 서브세트로부터 메모리 디바이스의 제1 서브세트로 다시 이동된다.

[0079] 도 6은 여기서 도 1의 처리 시스템(100)의 실시예에 대응하는 처리 시스템의 4개의 메모리 디바이스에 대한 ECC 가능 구성을 예시하는 블록도이다. 본 예에서, 처리 시스템(100)의 ECC 구성(ECC 구성 데이터(114)에 지정될 수 있음)은 메모리 디바이스(108-1,108-2,108-3,108-4)가 ECC를 지원할 수 있게 한다. 즉, 메모리 디바이스(108-1 내지 108-4)의 메모리 블록(602)은 사용자 데이터, 작업 데이터, 운영 체제 데이터 등과 같은 데이터를 저장하는 데 이용 가능하고, 반면에, 메모리 디바이스(108-1 내지 108-4)의 메모리 블록(604)은 ECC 데이터를 독점적으로 저장하기 위해 예약되어 있으며, 메모리 블록(602)에 저장된 데이터의 오류를 검출하고 정정하는 데 사용된다. 일부 실시예에서, 처리 시스템(100)의 ECC 재구성은 (예를 들어, 프로세서(들)(102)에 의해) 수행되며, 이는 ECC 데이터를 저장하기 위해 예약된 메모리 디바이스(108-1 내지 108-4)의 메모리 블록의 수를 변경한다. 일부 실시예에서, 이러한 ECC 재구성은 메모리 디바이스(108-1 내지 108-4)에 대한 ECC를 비활성화하여, 메모리 블록(604)이 더 이상 ECC 데이터를 저장하기 위해 예약되지 않고 대신 다른 유형의 데이터를 저장하기 위해 이용 가능해지게 한다. 전술한 바와 같이, 하나 이상의 메모리 디바이스(108)의 ECC 구성을 변경하려면 전형적으로 물리적 메모리 맵(들)(112)이 재분할되어야 한다.

[0080] 도 7은 처리 시스템의 ECC 구성을 수정하는 것과 관련하여 처리 시스템에 대한 물리적 메모리 어드레스 매핑을 동적으로 재분할하는 방법(700)을 도시한다. 방법(700)은 도 1의 처리 시스템(100)과 그 구성 컴포넌트 및 모듈의 예시적인 구현에 관해 설명된다.

[0081] 블록 702에서, 프로세서(들)(102)는 동적 재분할 표시(118)의 실시예와 같은 동적 재분할 표시를 수신한다. 본 예에서, 동적 재분할 표시는 프로세서(들)(102)에 의해 실행될 ECC 재구성의 일부로서 생성된다. 여기서, 동적 재분할 표시는 메모리 디바이스(108)의 메모리 디바이스의 제1 서브세트와 물리적 메모리 맵(들)(112)의 동적 재분할에 수반될 각각의 식별된 메모리 디바이스의 하나 이상의 메모리 블록을 식별한다. 식별된 메모리 블록에 저장된 데이터는 동적 재분할 중에 일시적으로 재배치된다.

[0082] 블록 704에서, 동적 재분할 표시에서 식별된 메모리 디바이스의 제1 서브세트의 메모리 블록에 저장된 데이터는 대용량 저장 디바이스(110) 중 하나 이상의 대용량 저장 디바이스, 동적 재분할 표시에서 식별되지 않은 메모리 디바이스(108) 중의 메모리 디바이스의 제2 서브세트의 하나 이상의 메모리 디바이스, 또는 이들의 조합으로 일시적으로 재배치된다. 일부 실시예에서, 이 데이터를 재배치할 때, (예를 들어, 식별된 메모리 블록 각각에 이진 0을 기록함으로써) 메모리 디바이스(108)의 제1 서브세트의 식별된 메모리 블록이 삭제된다.

[0083] 블록 706에서, 프로세서(들)(102)는 처리 시스템(100)의 ECC 구성이 재구성될 수 있게 한다. 예를 들어, 프로세서(들)(102)는 메모리 디바이스(108)의 어느 메모리 블록이 ECC 데이터를 저장하기 위해 예약되어 있는지 정의하는 ECC 구성 데이터(114)를 업데이트한다. 일부 실시예에서, ECC 구성 데이터(114)에 대한 업데이트는 ECC 데이터를 저장하기 위해 식별된 메모리 디바이스의 제1 세트의 새로운 메모리 블록을 예약하는 것을 수반한다. 일부 실시예에서, ECC 구성 데이터에 대한 업데이트는 식별된 메모리 디바이스의 제1 세트의 메모리 블록의 하나 이상의 기존 예약을 취소하여 이러한 메모리 블록을 ECC 데이터 이외의 데이터를 저장하는 데 이용 가능하게 하는 것을 수반한다.

[0084] 블록 708에서, 물리적 메모리 맵(들)(112)에 정의된 하나 이상의 물리적 어드레스 매핑은 업데이트된 ECC 구성(예를 들어, 위의 예에서 설명한 바와 같이)에 따라 재분할된다. 블록 708에서 재분할된 물리적 어드레스 매핑은 동적 재분할 표시에서 식별된 메모리 블록에 대응하며, 그로부터 데이터는 블록 704에서 재배치된다. 본 예에서, 물리적 메모리 맵(들)(112)의 재분할은 유리하게 처리 시스템(100)이 재부팅될 것을 요구하지 않는다.

[0085] 블록 710에서, 물리적 메모리 맵(들)(112)에 정의된 물리적 어드레스 매핑이 재분할된 후, 재배치된 데이터는 재분할된 물리적 어드레스 매핑에 대응하는(즉, ECC 구성에 대응하는) 패턴으로 메모리 디바이스(108)의 메모리 디바이스의 제1 서브세트에 다시 로딩된다. 일부 실시예에서, 블록 710에서 재배치된 데이터를 메모리 디바이스의 제1 서브세트로 다시 이동시키는 대신, 재배치된 데이터는 대신 메모리 디바이스의 제2 서브세트에 저장된 상태로 유지되고, 메모리 디바이스의 제1 서브세트는 새로운 메모리 할당을 제외하고는 비어 있는 상태로 유지된다. 일부 실시예에서, 재배치된 데이터는 재구성 프로세스 동안 대신 기회적으로 메모리 디바이스의 제2 서브세트로부터 메모리 디바이스의 제1 서브세트로 다시 이동된다.

[0086] 일부 실시예에서, 주어진 메모리 디바이스의 하나 이상의 메모리 블록은 OS 데이터 또는 페이지 테이블 데이터와 같은 중요한 데이터를 위해 예약되며 동적으로 재분할될 수 없다. 도 8은 도 1의 처리 시스템(100)의 예에

대응하는 실시예를 예시하는 블록도이며, 여기서 모든 메모리 디바이스(108)에 대한 물리적 어드레스 매핑은 동적으로 재분할되며, 메모리 디바이스(108) 각각의 메모리 블록의 서브세트는 중요한 데이터 저장을 위해 예약되어 있기 때문에 동적 재분할에서 생략된다.

[0087] 본 예에 도시된 바와 같이, 동적 재분할 이전에, 메모리 디바이스(108)는 제1 인터리빙 구성(801)에 있고, 이러한 데이터는 경로(804)로 표현되는 미세-입도 인터리빙 패턴에 따라 메모리 디바이스(108-1 내지 108-8)의 메모리 블록(802)과 같은 메모리 블록에 저장된다. 여기서, 제1 메모리 블록 세트(823)는 작업 데이터 또는 사용자 데이터와 같은 중요하지 않은 데이터를 저장하도록 지정되고, 반면에, 제2 메모리 블록 세트(824)는 OS 데이터 또는 페이지 테이블 데이터와 같은 중요한 데이터를 저장하도록 지정된다. 따라서, 물리적 메모리 어드레스의 동적 재분할은 제1 메모리 블록 세트(823) 및 이에 대응하는 물리적 메모리 어드레스에 대해 활성화되고, 제2 메모리 블록 세트(824) 및 대응하는 물리적 메모리 어드레스에 대해 비활성화된다.

[0088] 예를 들어, 프로세서(들)(102)가 메모리 디바이스(108)의 인터리빙 구성을 제1 인터리빙 구성(801)에서 제2 인터리빙 구성(806)으로 변경하기 위해 메모리 디바이스(108)에 대해 동적 재분할을 실행할 때, 제1 메모리 블록 세트(823)에 저장된 데이터(예를 들어, 중요하지 않은 데이터)만이 재배치되고, 반면에, 제2 메모리 블록 세트(824)에 저장된 데이터(예를 들어, 중요 데이터)는 재배치되지 않는다. 물리적 메모리 어드레스의 동적 재분할이 제2 메모리 블록 세트(824)에 대해 비활성화되기 때문에, 제2 메모리 블록 세트(824)에 적용되는 인터리빙 패턴은 이러한 동적 재분할 동안 변경되지 않는다.

[0089] 제1 메모리 블록 세트(823)에 저장된 데이터는 (예를 들어, 프로세서(들)(102)에 의해) 하나 이상의 다른 메모리 디바이스, 하나 이상의 대용량 저장 디바이스(110) 또는 이들의 조합으로 재배치된다. 그 후, 프로세서(들)(102)는 물리적 메모리 맵(들)(112)을 재분할하고 제2 인터리빙 구성(806)의 제1 메모리 블록 세트(823)에 적용될 새로운 인터리빙 패턴에 따라 인터리빙 구성 데이터(116)를 수정한다. 본 예에서, 물리적 메모리 맵(들)(112)의 재분할은 유리하게 처리 시스템(100)이 재부팅될 것을 요구하지 않는다. 그 후, 일시적으로 재배치된 데이터는 제2 인터리빙 구성(806)에 따라 제1 메모리 블록 세트(823)에 저장된다.

[0090] 본 예에서, 프로세서(들)는 제1 메모리 블록 세트(823)를 도메인(816, 818,820 및 822)(각각은 예를 들어 도메인 120, 122,124 및 126에 각각 대응함)으로 논리적으로 분할한다. 제2 인터리빙 구성(806)에서, 미세-입도 인터리빙 패턴이 각각의 도메인(816, 818, 820, 822) 내에 적용된다. 즉, 제1 경로(808)에 대응하는 제1 미세-입도 인터리빙 패턴이 제1 메모리 블록 세트(823)에 포함된 메모리 디바이스(108-1,108-2)의 메모리 블록에 적용된다. 제2 경로(810)에 대응하는 제2 미세-입도 인터리빙 패턴이 제1 메모리 블록 세트(823)에 포함된 메모리 디바이스(108-3,108-4)의 메모리 블록에 적용된다. 제3 경로(812)에 대응하는 제3 미세-입도 인터리빙 패턴이 제1 메모리 블록 세트(823)에 포함된 메모리 디바이스(108-5,108-6)의 메모리 블록에 적용된다. 제4 경로(814)에 대응하는 제4 미세-입도 인터리빙 패턴이 제1 메모리 블록 세트(823)에 포함된 메모리 디바이스(108-7,108-8)의 메모리 블록에 적용된다. 제2 메모리 블록 세트(823)은 동적으로 재분할되지 않았으므로, 대응하는 인터리빙 패턴은 제2 인터리빙 구성(806)에서 변경되지 않은 채 유지된다. 이러한 방식으로, 중요한 메모리 블록에 대한 물리적 메모리 어드레스 매핑의 동적 재분할을 비활성화하고, 이에 의해 처리 시스템(100)의 동작 실패와 연관된 위험이 완화되거나 완전히 방지된다.

[0091] 도 9는 주어진 메모리 디바이스 내의 메모리 블록의 일부만이 재배치되는 물리적 메모리 어드레스 매핑을 동적으로 재분할하는 방법(900)을 예시한다. 방법(900)은 도 1의 처리 시스템(100)과 그 구성 컴포넌트 및 모듈의 예시적인 구현에 관해 설명된다.

[0092] 블록 902에서, 프로세서(들)(102)는 동적 재분할 표시(118)의 실시예와 같은 동적 재분할 표시를 수신한다. 본 예에서, 동적 재분할 표시는 프로세서(들)(102)에 의해 실행될 인터리빙 재구성의 일부로서 생성된다. 여기서, 동적 재분할 표시는 물리적 메모리 맵(들)(112)의 동적 재분할에 수반될 메모리 디바이스(108) 중 메모리 디바이스의 제1 메모리 블록 세트에 대응하는 물리적 어드레스 세트를 식별한다. 본 예에서, 메모리 디바이스는 동적 재분할 표시에서 식별되지 않은 제2 메모리 블록 세트를 포함한다. 일부 실시예에서, 제2 메모리 블록 세트의 하나 이상의 메모리 블록은 중요한 데이터를 저장하기 위해 예약되고, 이러한 메모리 블록과 연관된 물리적 메모리 어드레스의 동적 재분할은 비활성화된다. 식별된 물리적 어드레스 세트와 연관된 제1 메모리 블록 세트에 저장된 데이터는 동적 재분할 중에 일시적으로 재배치된다.

[0093] 블록 904에서, 제1 메모리 블록 세트에 저장된 데이터는 대용량 저장 디바이스(110)의 하나 이상의 대용량 저장 디바이스, 메모리 디바이스(108)의 하나 이상의 다른 메모리 디바이스, 또는 이들의 조합으로 일시적으로 재배치된다. 일부 실시예에서, 이 데이터를 재배치할 때, 제1 메모리 블록 세트의 메모리 블록은 (예를 들어, 제1

메모리 블록 세트의 메모리 블록 각각에 이진 0을 기록함으로써) 삭제된다. 제2 메모리 블록 세트에 저장된 데이터는 제2 메모리 블록 세트에 대해 물리적 메모리 어드레스 매핑의 동적 재구성이 수행되지 않기 때문에 블록 904에서 재배치되지 않는다.

[0094] 블록 906에서, 프로세서(들)(102)는 처리 시스템(100)이 재구성되게 한다. 다양한 예에 따르면, 시스템 재구성은 ECC 재구성, 인터리빙 재구성, 또는 재분할될 처리 시스템(100)의 물리적 메모리 어드레스 매핑(즉, 물리적 메모리 맵(들)(112)에 정의된 매핑(들))을 필요로 하는 시스템의 다른 재구성 중 하나 이상을 포함한다.

[0095] 블록 908에서, 물리적 메모리 맵(들)(112)에 정의된 하나 이상의 물리적 어드레스 매핑은 시스템 재구성에 따라 재분할된다. 예를 들어, 시스템 재구성이 인터리빙 재구성인 경우, 물리적 어드레스를 제1 메모리 블록 세트에 매핑하는 데 사용되는 기존 인터리빙 패턴이 새로운 인터리빙 패턴으로 변경되고, 물리적 메모리 맵(들)(112)에 정의된 물리적 어드레스 매핑 중 하나 이상이 새로운 인터리빙 패턴에 대응하도록 수정된다. 예를 들어, 시스템 재구성이 ECC 재구성인 경우, 물리적 메모리 맵(들)(112)에 정의된 하나 이상의 물리적 어드레스 매핑은 활성화 또는 비활성화된 ECC 또는 하나 이상의 제1 메모리 블록 세트에 대해 변경된 ECC 방식에 대응하도록 수정된다. 블록 908에서 재분할된 물리적 어드레스 매핑은 동적 재분할 표시에서 식별된 물리적 어드레스에 대응한다. 본 예에서, 물리적 메모리 맵(들)(112)의 재분할은 유리하게 처리 시스템(100)이 재부팅될 것을 요구하지 않는다. 블록 910에서, 물리적 메모리 맵(들)(112)에 정의된 물리적 어드레스 매핑이 재분할된 후, 재배치된 데이터는 재분할된 물리적 어드레스 매핑에 따라 메모리 디바이스의 제1 메모리 블록 세트에 다시 로딩된다.

[0096] 일부 실시예에서, 전술된 디바이스 및 기술은 도 1을 참조하여 전술된 처리 시스템(100)과 같은 하나 이상의 집적 회로(IC) 디바이스(집적 회로 패키지 또는 마이크로칩이라고도 지칭됨)를 포함하는 시스템에서 구현된다. 이러한 IC 디바이스의 설계 및 제조에는 전자 설계 자동화(EDA) 및 컴퓨터 지원 설계(CAD) 소프트웨어 도구가 사용될 수 있다. 이러한 설계 도구는 전형적으로 하나 이상의 소프트웨어 프로그램으로 표현된다. 하나 이상의 소프트웨어 프로그램은 회로부를 제조하도록 제조 시스템을 설계하거나 적응시키기 위한 프로세스의 적어도 일부를 수행하도록 하나 이상의 IC 디바이스의 회로부를 나타내는 코드에 동작하도록 처리 시스템을 조작하기 위해 처리 시스템에 의해 실행 가능한 코드를 포함한다. 이 코드는 명령어, 데이터 또는 명령어와 데이터의 조합을 포함할 수 있다. 설계 도구 또는 제조 도구를 나타내는 소프트웨어 명령어는 전형적으로 컴퓨팅 시스템에 액세스할 수 있는 컴퓨터 판독 가능 저장 매체에 저장된다. 마찬가지로, IC 디바이스의 설계 또는 제조의 하나 이상의 단계를 나타내는 코드는 동일한 컴퓨터 판독 가능 저장 매체 또는 다른 컴퓨터 판독 가능 저장 매체에 저장되고 액세스될 수 있다.

[0097] 컴퓨터 판독 가능 저장 매체는 처리 시스템에 명령어 및/또는 데이터를 제공하기 위해 사용 동안 처리 시스템에 의해 액세스 가능한 임의의 비일시적 저장 매체 또는 비일시적 저장 매체의 조합을 포함할 수 있다. 이러한 저장 매체는 광학 매체(예를 들어, 콤팩트 디스크(CD), 디지털 다용도 디스크(DVD), Blu-Ray 디스크), 자기 매체(예를 들어, 플로피 디스크, 자기 테이프 또는 자기 하드 드라이브), 휘발성 메모리(예를 들어, RAM(random access memory) 또는 캐시), 비휘발성 메모리(예를 들어, 판독 전용 메모리(ROM) 또는 플래시 메모리) 또는 MEMS(microelectromechanical systems) 기반 저장 매체를 포함할 수 있지만 이에 제한되지 않는다. 컴퓨터 판독 가능 저장 매체는 컴퓨팅 시스템에 내장되거나(예를 들어, 시스템 RAM 또는 ROM), 컴퓨팅 시스템에 고정식으로 부착되거나(예를 들어, 자기 하드 드라이브), 컴퓨팅 시스템에 제거 가능하게 부착되거나(예를 들어, 광학 디스크 또는 범용 직렬 버스(USB) 기반 플래시 메모리) 또는 유선 또는 무선 네트워크(예를 들어, 네트워크 액세스 가능 저장소(NAS))를 통해 처리 시스템에 결합될 수 있다.

[0098] 일부 실시예에서, 전술된 기술의 특정 양태는 소프트웨어를 실행하는 처리 시스템의 하나 이상의 프로세서에 의해 구현될 수 있다. 소프트웨어는 비일시적 컴퓨터 판독 가능 저장 매체에 저장되거나 그렇지 않으면 유형으로 구현되는 하나 이상의 실행 가능한 명령어 세트를 포함한다. 소프트웨어는 하나 이상의 프로세서에 의해 실행될 때 전술된 기술의 하나 이상의 양태를 수행하기 위해 하나 이상의 프로세서를 조작하는 명령어 및 특정 데이터를 포함할 수 있다. 비일시적 컴퓨터 판독 가능 저장 매체는 예를 들어 자기 또는 광학 디스크 저장 디바이스, 플래시 메모리와 같은 솔리드 스테이트 저장 디바이스, 캐시, RAM(random access memory) 또는 다른 비휘발성 메모리 디바이스 또는 디바이스들 등을 포함할 수 있다. 비일시적 컴퓨터 판독 가능 저장 매체에 저장된 실행 가능한 명령어는 소스 코드, 어셈블리 언어 코드, 목적 코드 또는 하나 이상의 프로세서에 의해 해석되거나 다른 방식으로 실행 가능한 다른 명령어 형식일 수 있다.

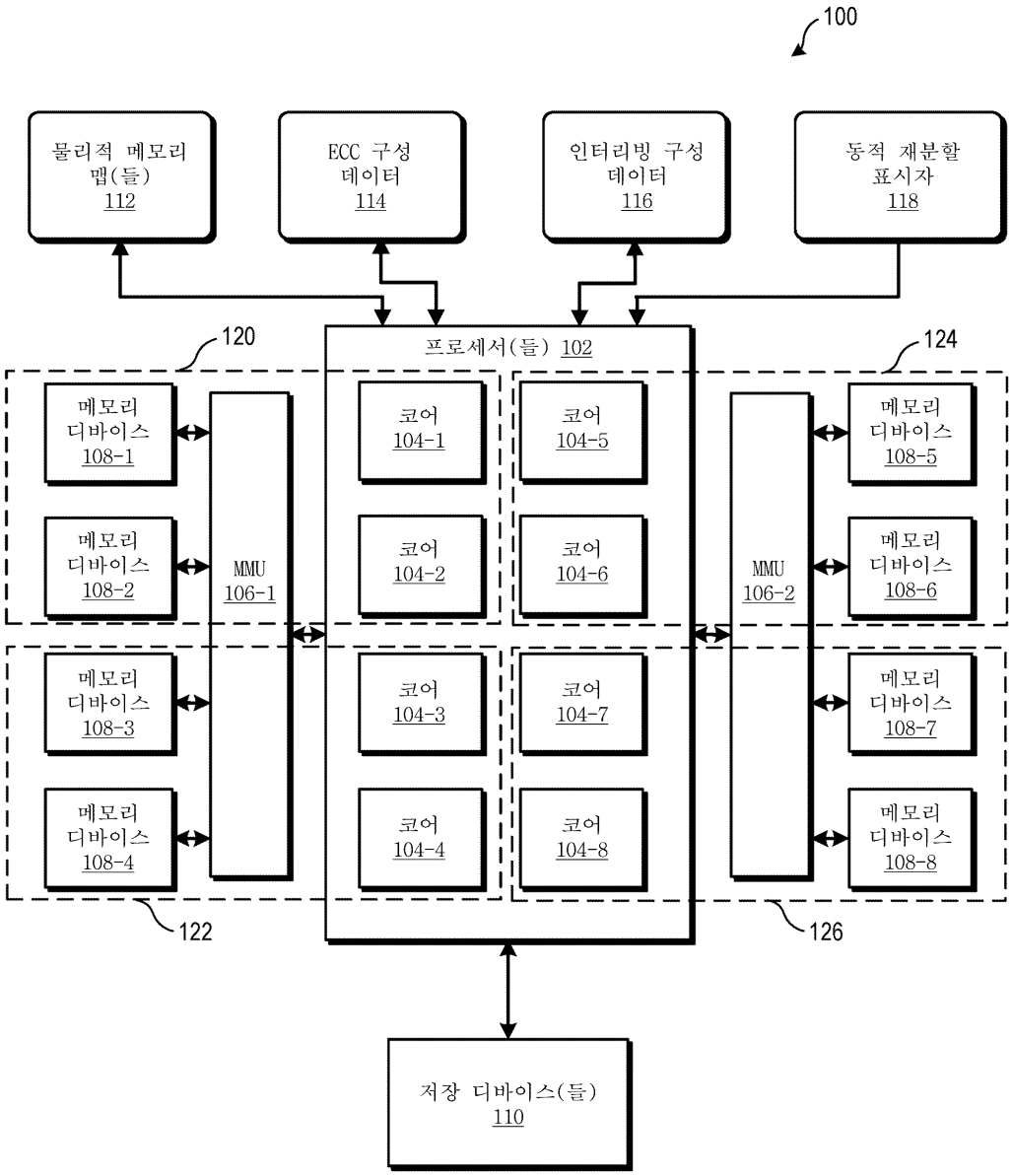
[0099] 일반적인 설명에서 전술한 모든 활동 또는 요소가 필수적인 것은 아니며, 특정 활동 또는 디바이스 중 일부는 필요하지 않을 수 있고, 하나 이상의 추가 활동이 수행될 수 있거나 설명된 것들 이외의 요소가 포함될 수 있다

는 것을 유의해야 한다. 또한, 활동이 나열되는 순서가 반드시 이들이 수행되는 순서인 것은 아니다. 또한, 구체적인 실시예를 참조하여 개념을 설명하였다. 그러나, 본 기술 분야의 숙련자는 아래의 청구범위에 설명된 본 개시의 범위를 벗어나지 않고 다양한 수정 및 변경이 이루어질 수 있음을 인식하고 있다. 따라서, 명세서 및 도면은 제한적인 의미가 아닌 예시적인 의미로 고려되어야 하며, 이러한 모든 수정은 본 개시의 범위 내에 포함되기를 의도한다.

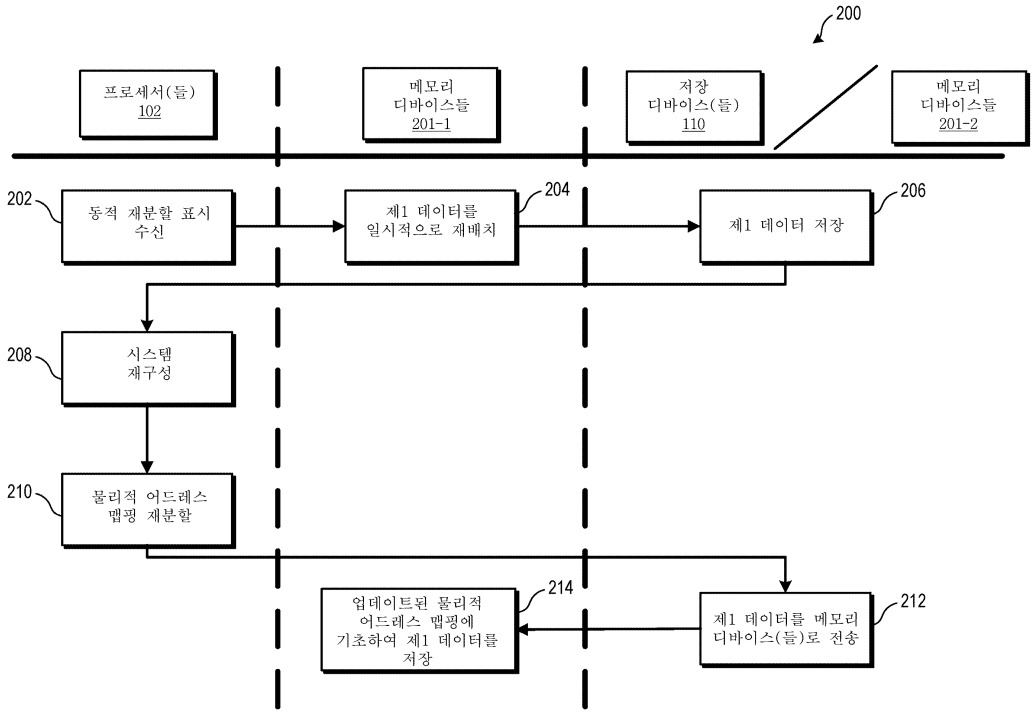
[0100] 이점, 다른 장점 및 문제에 대한 해결책이 구체적인 실시예와 관련하여 전술되었다. 그러나, 이점, 장점, 문제에 대한 해결책 및 임의의 이점, 장점 또는 해결책을 발생시키거나 더 두드러지게 만들 수 있는 임의의 특징(들)은 임의의 또는 모든 청구항의 중요, 필수 또는 본질적 특징인 것으로 해석되지 않아야 한다. 또한, 개시된 주제가 본 출원의 교시의 이점을 갖는 본 기술 분야의 숙련자에게 명백한 상이하지만 동등한 방식으로 수정되고 실시될 수 있기 때문에, 앞서 개시된 특정 실시예는 단지 예시적인 것일 뿐이다. 아래의 청구범위에 설명된 것 이외의 본 출원에 제시되어 있는 구성 또는 설계의 세부사항에 대한 어떠한 제한도 의도하지 않는다. 따라서, 앞서 개시된 특정 실시예는 수정되거나 수정될 수 있으며 이러한 모든 변형은 개시된 주제의 범위 내에서 고려된다는 것이 명백하다. 따라서, 본 출원에 추구하는 보호는 아래 청구범위에 설명된 바와 같다.

도면

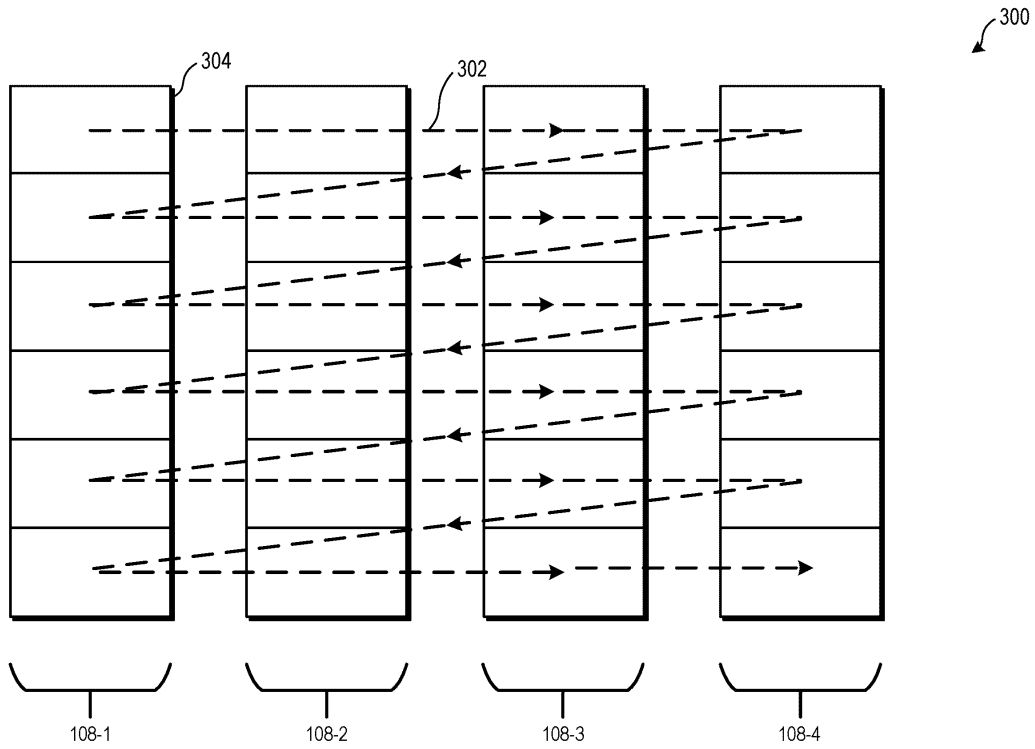
도면1



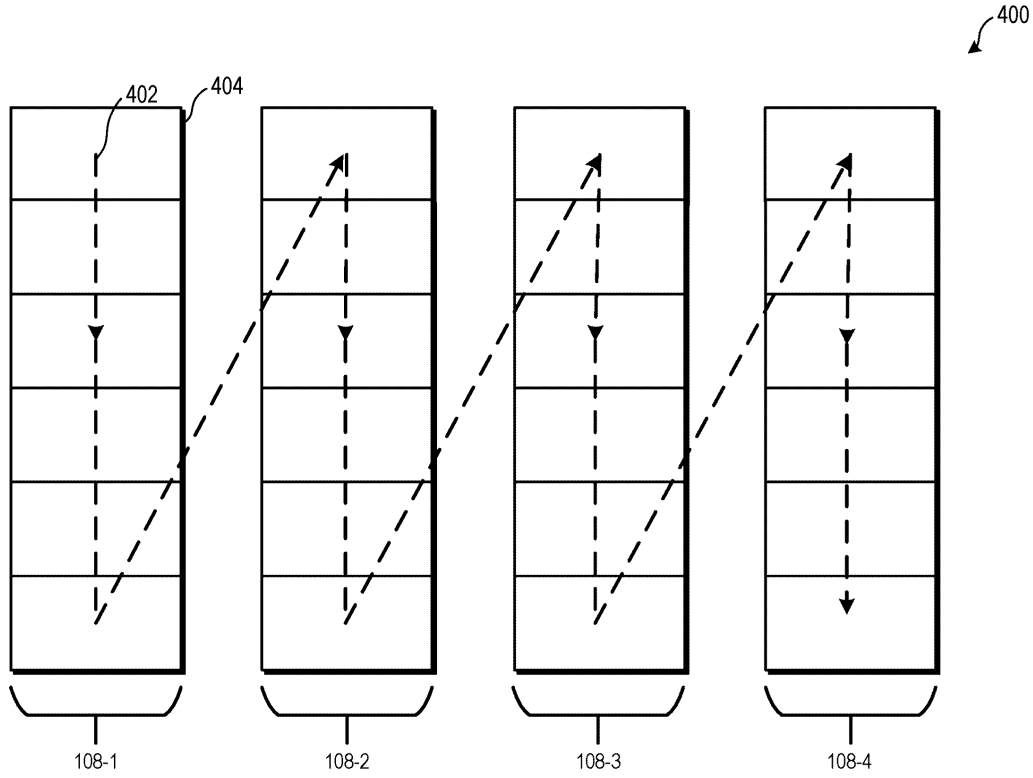
도면2


200
프로세서(들)
102
메모리
디바이스들
201-1
저장
디바이스(들)
110
메모리
디바이스들
201-2
202
동적 재분할 표시
수신
204
제1 데이터를
일시적으로 재배치
206
제1 데이터 저장
208
시스템
재구성
210
물리적 어드레스
맵핑 재분할
214
업데이트된 물리적
어드레스 맵핑에
기초하여 제1 데이터를
저장
212
제1 데이터를 메모리
디바이스(들)로 전송

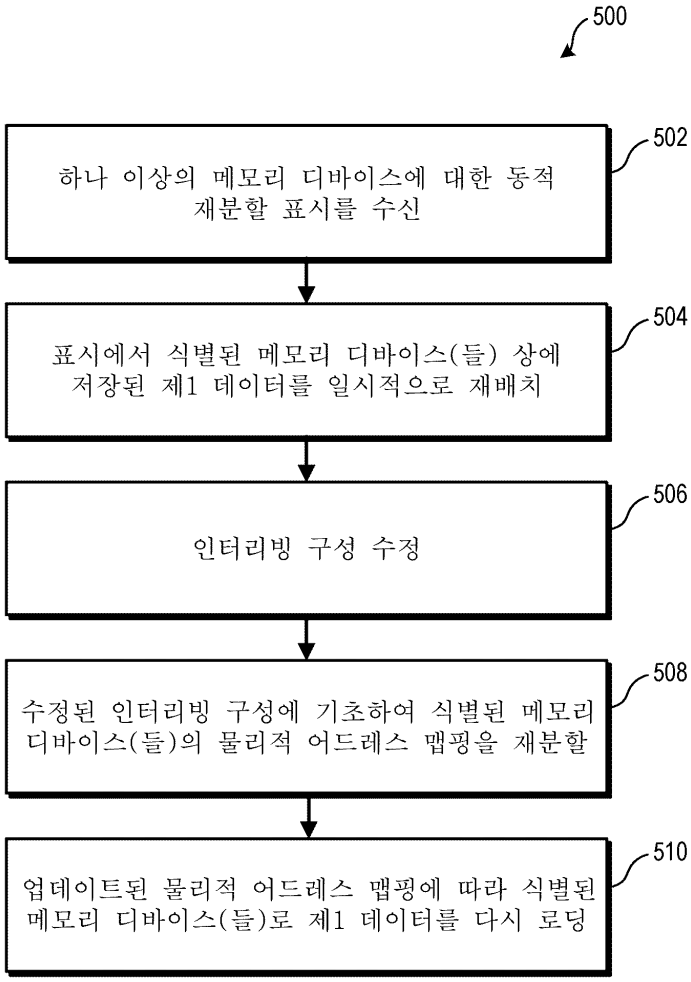
도면3


300
304
302
108-1
108-2
108-3
108-4

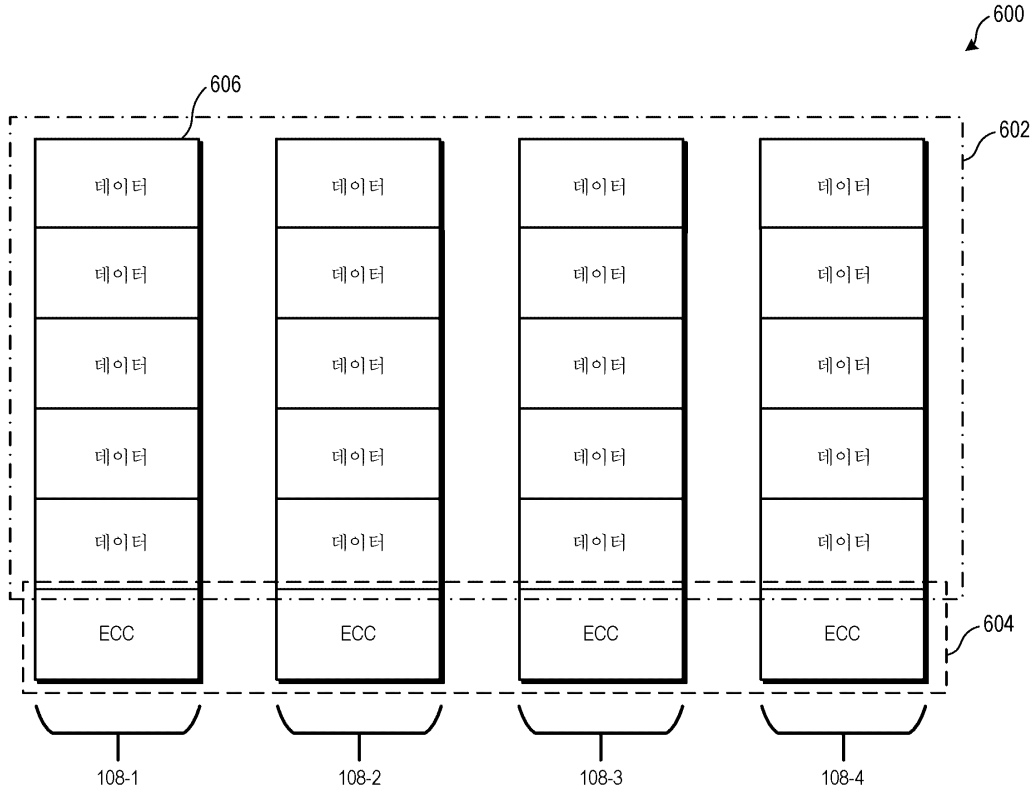
도면4



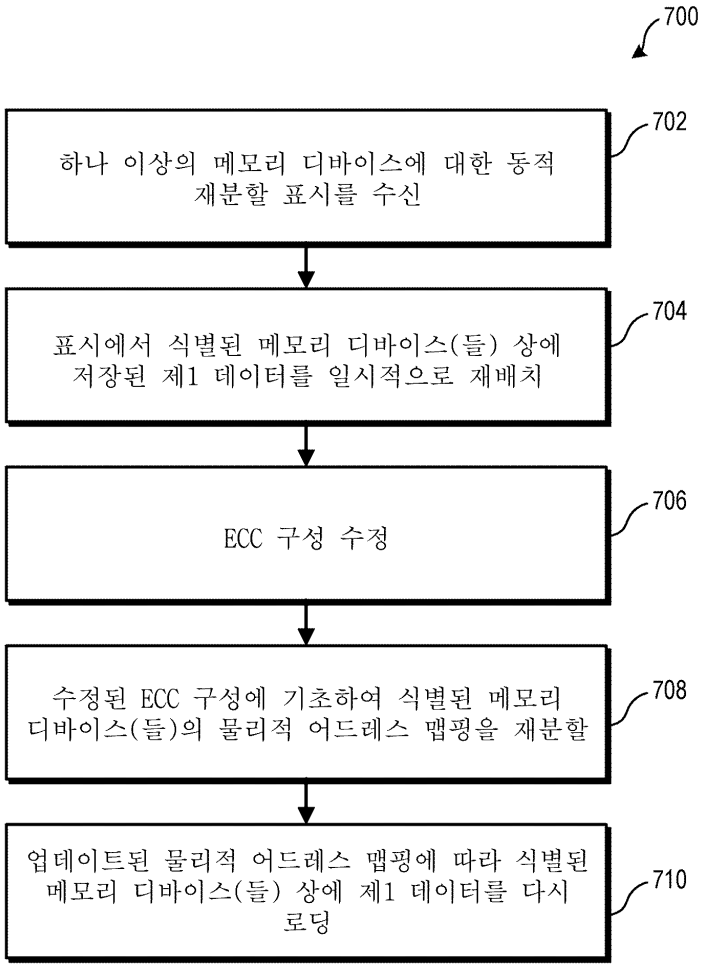
도면5


500
하나 이상의 메모리 디바이스에 대한 동적 재분할 표시를 수신
502
표시에서 식별된 메모리 디바이스(들) 상에 저장된 제1 데이터를 일시적으로 재배치
504
인터리빙 구성 수정
506
수정된 인터리빙 구성에 기초하여 식별된 메모리 디바이스(들)의 물리적 어드레스 맵핑을 재분할
508
업데이트된 물리적 어드레스 맵핑에 따라 식별된 메모리 디바이스(들)로 제1 데이터를 다시 로딩
510

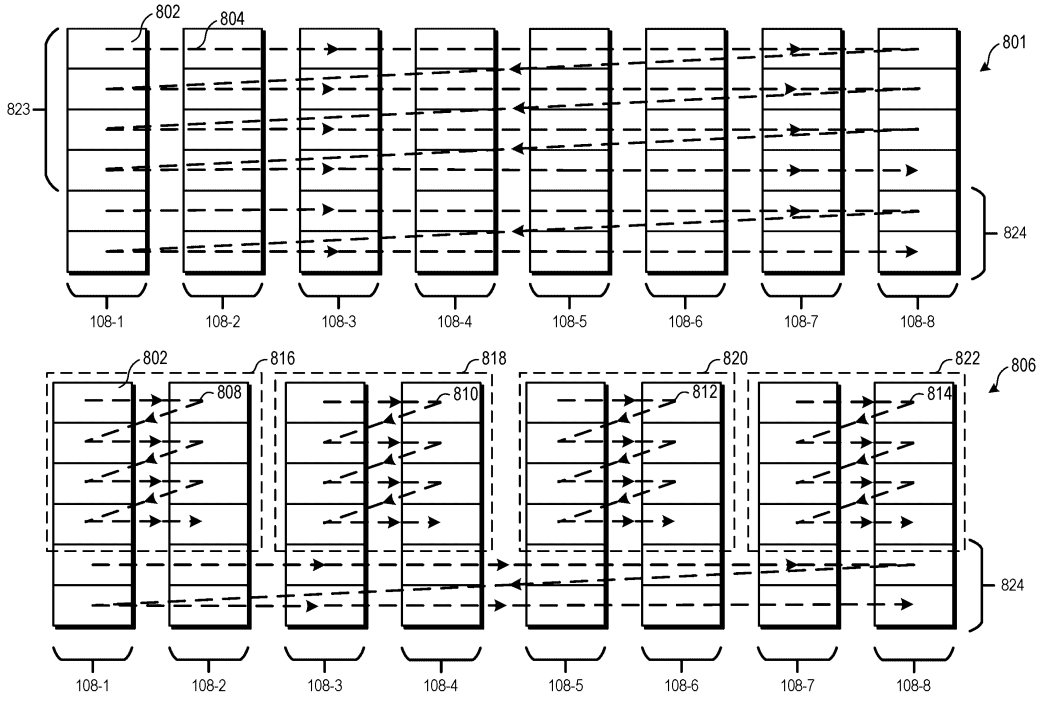
도면6



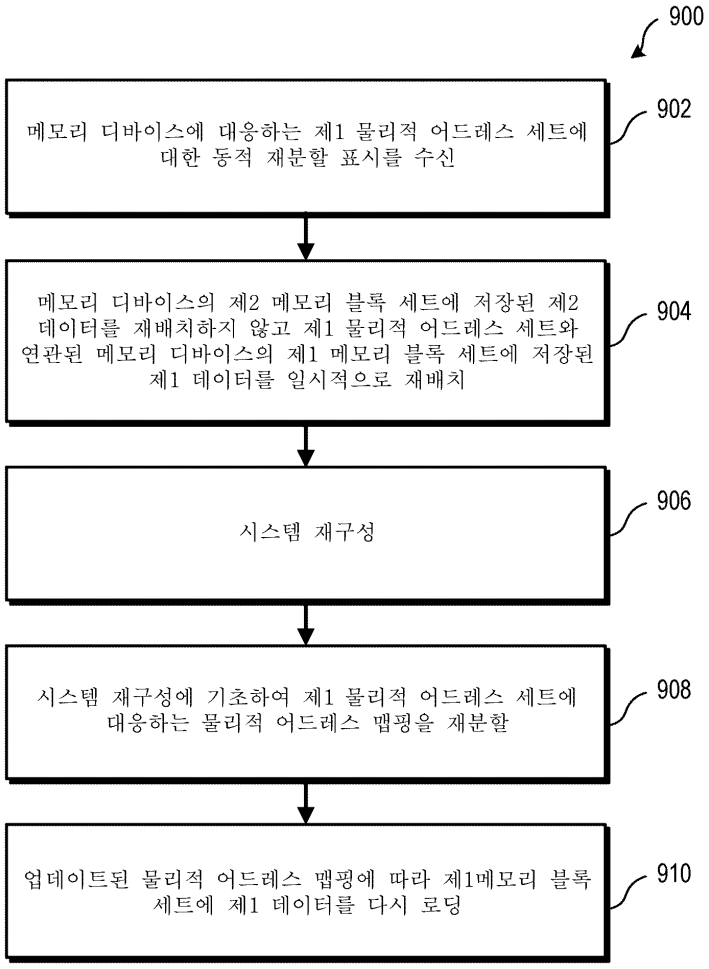
도면7


700
하나 이상의 메모리 디바이스에 대한 동적 재분할 표시를 수신
702
표시에서 식별된 메모리 디바이스(들) 상에 저장된 제1 데이터를 일시적으로 재배치
704
ECC 구성 수정
706
수정된 ECC 구성에 기초하여 식별된 메모리 디바이스(들)의 물리적 어드레스 맵핑을 재분할
708
업데이트된 물리적 어드레스 맵핑에 따라 식별된 메모리 디바이스(들) 상에 제1 데이터를 다시 로딩
710

도면8


802
804
801
823
824
108-1
108-2
108-3
108-4
108-5
108-6
108-7
108-8
802
816
818
820
822
806
808
810
812
814
824
108-1
108-2
108-3
108-4
108-5
108-6
108-7
108-8

도면9


900
메모리 디바이스에 대응하는 제1 물리적 어드레스 세트에 대한 동적 재분할 표시를 수신
902
메모리 디바이스의 제2 메모리 블록 세트에 저장된 제2 데이터를 재배치하지 않고 제1 물리적 어드레스 세트와 연관된 메모리 디바이스의 제1 메모리 블록 세트에 저장된 제1 데이터를 일시적으로 재배치
904
시스템 재구성
906
시스템 재구성에 기초하여 제1 물리적 어드레스 세트에 대응하는 물리적 어드레스 맵핑을 재분할
908
업데이트된 물리적 어드레스 맵핑에 따라 제1메모리 블록 세트에 제1 데이터를 다시 로딩
910