



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I409787B1

(45) 公告日：中華民國 102 (2013) 年 09 月 21 日

(21) 申請案號：098136904

(22) 申請日：中華民國 98 (2009) 年 10 月 30 日

(51) Int. Cl. : G09G3/36 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)  
新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：邱振倫 CHIU, CHEN LUN (TW)；李豪捷 LEE, HAO CHIEH (TW)；廖一遂 LIAO, YI SUEI (TW)；陳建良 CHEN, CHIEN LIANG (TW)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

TW 200407599A

TW 200818086A

TW 200839707A

US 2005/0237289A1

US 2008/0158204A1

審查人員：林明立

申請專利範圍項數：26 項 圖式數：8 共 0 頁

(54) 名稱

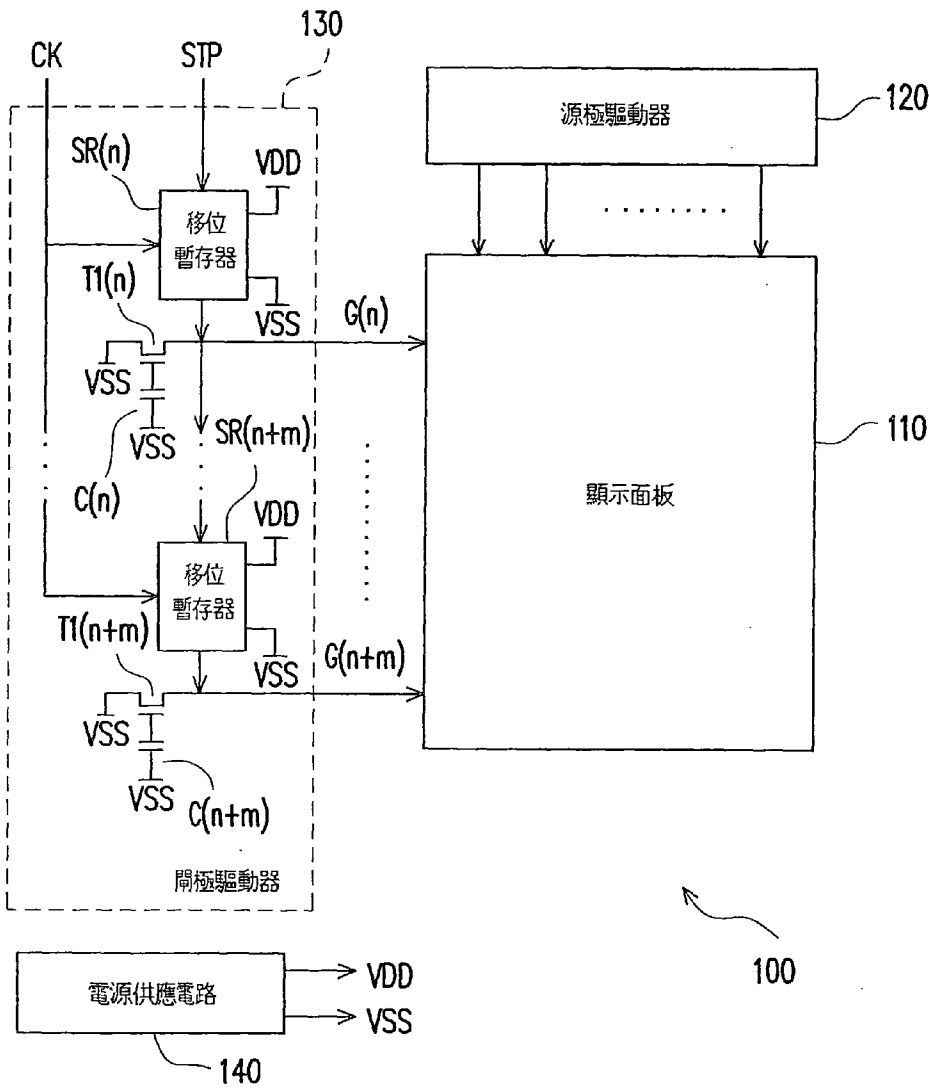
具有克服關機殘影的移位暫存器及消除關機殘影方法

SHIFT REGISTER WITH IMAGE RETENTION RELEASE AND METHOD FOR IMAGE RETENTION RELEASE

(57) 摘要

一種平面顯示器、具有克服關機殘影的移位暫存器以及消除關機殘影方法。移位暫存器的輸出端耦接至顯示面板的閘極線。第一電晶體的第一端耦接至移位暫存器的輸出端。第一電晶體的第二端耦接至系統電壓 VDD 或參考電壓端 VSS。電容的第一端耦接至第一電晶體的控制端。電容的第二端耦接至參考電壓 VSS。在關機期間，參考電壓 VSS 會被拉升，因而導通第一電晶體，進而拉升閘極線的電壓。

A flat panel display, a shift register with image retention release and method for image retention release are provided. An output end of the shift register couples to a gate line of a display panel. A first end of a first transistor couples to the output end of the shift register. A second end of the first transistor couples to a system voltage VDD or a reference voltage VSS. A first end of a capacitor couples to a control end of the first transistor. A second end of the capacitor couples to the reference voltage VSS. The reference voltage VSS is pulled high during a power-off period for turning on the first transistor, therefore the voltage of the gate line is pulled high.



- 100 . . . 平面顯示器
- 110 . . . 顯示面板
- 120 . . . 源極驅動器
- 130 . . . 閘極驅動器
- 140 . . . 電源供應電路
- $C(n)$ 、 $C(n+m)$  . . . 電容
- CK . . . 閘時脈
- $G(n)$ 、 $G(n+m)$  . . . 移位暫存器的輸出端
- $SR(n)$ 、 $SR(n+m)$  . . . 移位暫存器
- STP . . . 垂直起始脈衝
- $T1(n)$ 、 $T1(n+m)$  . . . 電晶體
- VDD . . . 系統電壓
- VSS . . . 參考電壓

圖 1

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98136904

※申請日： 98.10.30

※IPC 分類：

G09G 3/36

(2006.01)

## 一、發明名稱：

具有克服關機殘影的移位暫存器及消除關機殘影方法  
SHIFT REGISTER WITH IMAGE RETENTION  
RELEASE AND METHOD FOR IMAGE RETENTION  
RELEASE

## 二、中文發明摘要：

一種平面顯示器、具有克服關機殘影的移位暫存器以及消除關機殘影方法。移位暫存器的輸出端耦接至顯示面板的閘極線。第一電晶體的第一端耦接至移位暫存器的輸出端。第一電晶體的第二端耦接至系統電壓 VDD 或參考電壓端 VSS。電容的第一端耦接至第一電晶體的控制端。電容的第二端耦接至參考電壓 VSS。在關機期間，參考電壓 VSS 會被拉升，因而導通第一電晶體，進而拉升閘極線的電壓。

### 三、英文發明摘要：

A flat panel display, a shift register with image retention release and method for image retention release are provided. An output end of the shift register couples to a gate line of a display panel. A first end of a first transistor couples to the output end of the shift register. A second end of the first transistor couples to a system voltage VDD or a reference voltage VSS. A first end of a capacitor couples to a control end of the first transistor. A second end of the capacitor couples to the reference voltage VSS. The reference voltage VSS is pulled high during a power-off period for turning on the first transistor, therefore the voltage of the gate line is pulled high.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：平面顯示器

110：顯示面板

120：源極驅動器

130：閘極驅動器

140：電源供應電路

C(n)、C(n+m)：電容

CK：閘時脈

G(n)、G(n+m)：移位暫存器的輸出端

SR(n)、SR(n+m)：移位暫存器

STP：垂直起始脈衝

T1(n)、T1(n+m)：電晶體

VDD：系統電壓

VSS：參考電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種顯示器，且特別是有關於一種消除平面顯示器關機殘影的移位暫存器與消除關機殘影方法。

### 【先前技術】

使用非晶矽(a-Si)製作移位暫存器應用在顯示面板的閘極驅動器與源極驅動器上，是目前薄膜電晶體(thin film transistor, TFT)液晶顯示器(liquid crystal display, LCD)技術上的主流。此 TFT 技術具有(1)節省積體電路(IC)成本、(2)簡化模組段製造流程、(3)增加玻璃基板利用效率等優點。LCD 在顯示過程中，是利用 TFT 內的儲存電容保持畫素電壓，所以相對的如果在關機時沒有將畫素電壓釋放，則會產生所謂的關機殘影現象。一般解決方法是在關機之前利用閘極驅動器將顯示面板的所有閘極線(gate line)電壓由負電壓拉高至高電位，藉此同步開啟所有畫素的 TFT。因此，各畫素內電壓可以在關機之前有效宣洩，避免產生關機殘影的現象。然而，使用 a-Si 製作移位暫存器電路時，傳統移位暫存器的架構無法在關機時將所有閘極線同時由低電壓升至高電壓，所以會有所謂關機殘影問題，這是目前 a-Si 的移位暫存器所遇到的主要問題之一。

**【發明內容】**

本發明提供一種平面顯示器，其具有克服關機殘影的移位暫存器串。此移位暫存器串搭配適當的訊號，可以在關機時開啟所有的閘極線，如此就可解決 a-Si 的移位暫存器具有關機殘影的問題。

本發明提供一種顯示面板的消除關機殘影方法，可以在關機時開啟所有的閘極線，以解決關機殘影的問題。

本發明之一實施例提出一種平面顯示器，包括顯示面板、電源供應電路、移位暫存器串、第一電晶體以及電容。顯示面板具有多條閘極線。電源供應電路具有系統電壓端與參考電壓端，其中該電源供應電路在關機期間拉升參考電壓端的電壓。移位暫存器串由該電源供應電路的系統電壓端與參考電壓端所供電。移位暫存器串包含相互串接的多個移位暫存器，該些移位暫存器的輸出端以一對一方式耦接至該些閘極線。該些第一電晶體的第一端以一對一方式耦接至該些移位暫存器的輸出端。該些第一電晶體的第二端耦接至該電源供應電路的系統電壓端或參考電壓端。電容的第一端耦接至各第一電晶體的控制端。電容的第二端耦接至該電源供應電路的參考電壓端。

本發明之一實施例提出一種移位暫存器串，包括多個第一電晶體、多個電容以及多個移位暫存器。電容的第一端以一對一方式耦接至該些第一電晶體的控制端。該些電容的第二端耦接至一參考電壓。該些移位暫存器相互串接。該些移位暫存器的輸出端以一對一方式耦接至該些第

一電晶體的第一端。該些移位暫存器中的第  $n$  個移位暫存器包括第二電晶體、第三電晶體以及第四電晶體。第二電晶體的第一端耦接至一系統電壓，第二電晶體的控制端耦接至該些移位暫存器中第  $n-1$  個移位暫存器的輸出端。第三電晶體的第一端耦接至第二電晶體的第二端。第三電晶體的第二端耦接至參考電壓。第三電晶體的控制端耦接至該些移位暫存器中第  $n+2$  個移位暫存器。第四電晶體的第一端接收一時脈。第四電晶體的第二端耦接至該些移位暫存器中第  $n+1$  個移位暫存器的輸入端。第四電晶體的控制端耦接至第二電晶體的第二端。

本發明之一實施例提出一種顯示面板的消除關機殘影方法。該顯示面板的閘極線由移位暫存器所驅動。所述消除關機殘影方法包括：配置第一電晶體，其中該第一電晶體的第一端耦接至移位暫存器的輸出端，該第一電晶體的第二端耦接至系統電壓或參考電壓；配置電容，其中該電容的第一端耦接至第一電晶體的控制端，該電容的第二端耦接至參考電壓；以及在一關機期間，拉升該參考電壓。

基於上述，本發明實施例中電源供應電路在關機期間拉升參考電壓端的電壓，使得第一電晶體被導通。因此，第一電晶體可以在關機期間拉高所有的閘極線的電壓，如此就可解決非晶矽(a-Si)的移位暫存器具有關機殘影的問題。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

圖 1 是依照本發明實施例說明一種平面顯示器的電路模塊示意圖。請參照圖 1，平面顯示器 100 包括顯示面板 110、源極驅動器 120、閘極驅動器 130 以及電源供應電路 140。在正常操作期間 NOP，電源供應電路 140 的系統電壓端穩定地提供高準位  $V_{gh}$  的系統電壓  $V_{DD}$ ，而電源供應電路 140 的參考電壓端則穩定地提供低準位  $V_{gl}$  的參考電壓  $V_{SS}$  (例如接地電壓或負電壓)，以提供平面顯示器 100 內部各組件(例如閘極驅動器 130)所需的操作電能。

顯示面板 110 具有多條閘極線(未繪示)。閘極驅動器 130 具有多個移位暫存器、多個第一電晶體以及多個電容。於圖 1 中是以移位暫存器  $SR(n)$  與  $SR(n+m)$  表示多個移位暫存器，而以電晶體  $T1(n)$  與  $T1(n+m)$  表示多個第一電晶體。於本實施例中，電晶體  $T1(n) \sim T1(n+m)$  均為 N 通道金屬氧化物半導體(N-channel metal oxide semiconductor, NMOS)電晶體。

於圖 1 中是以電容  $C(n)$  與  $C(n+m)$  表示多個電容。其中，雖然圖 1 繪示了多個電容  $C(n) \sim C(n+m)$ ，然而電容  $C(n) \sim C(n+m)$  可以由單一電容所置換。也就是說，將此單一電容的第一端耦接至這些第一電晶體  $T1(n) \sim T1(n+m)$  的控制端，而此單一電容的第二端耦接至電源供應電路 140 的參考電壓  $V_{SS}$ ，其效果等同於電容  $C(n) \sim C(n+m)$ 。

應用本實施例者可以視其設計需求而以任何方式實現移位暫存器  $SR(n) \sim SR(n+m)$ 。例如，移位暫存器  $SR(n) \sim$

SR(n+m)可以是正反器(flip-flop)或閃鎖器(latch)。移位暫存器 SR(n)~SR(n+m)相互串接而形成移位暫存器串，其由電源供應電路 140 的系統電壓 VDD 與參考電壓 VSS 所供電。移位暫存器 SR(n)~SR(n+m)的輸出端 G(n)~G(n+m)以一對一方式耦接至顯示面板 110 的閘極線(未繪示)。第一電晶體 T1(n)~T1(n+m)的第一端以一對一方式耦接至移位暫存器 SR(n)~SR(n+m)的輸出端。第一電晶體 T1(n)~T1(n+m)的第二端耦接至電源供應電路 140 的參考電壓 VSS。

圖 2 是依照本發明實施例說明圖 1 中多個電壓的波形變化示意圖。請參照圖 1 與圖 2，在正常操作期間 NOP，電源供應電路 140 會穩定地輸出高準位 Vgh 的系統電壓 VDD，以及穩定地輸出低準位 Vgl 的參考電壓 VSS。在關機期間 POP 初期，電源供應電路 140 會短暫性地拉升其參考電壓端的參考電壓 VSS，直到其系統電壓端的系統電壓 VDD 下降，參考電壓 VSS 亦隨之下降。應用本實施例者可以依其設計需求而決定參考電壓 VSS 在關機期間 POP 被拉升的準位。於本實施例中，電源供應電路 140 在關機期間 POP 將其參考電壓端的參考電壓 VSS 拉升至與系統電壓 VDD 相同電位(即高準位 Vgh)。在電源供應電路 140 內部所儲存的電能被釋放殆盡後，系統電壓 VDD 與參考電壓 VSS 隨之下降。

在參考電壓 VSS 被拉升的期間，閘時脈(gate clock) CK 與垂直起始脈衝(vertical start pulse) STP 亦同步地被拉

升。在參考電壓  $VSS$  被拉升時，透過電容  $C(n) \sim C(n+m)$  的耦合，第一電晶體  $T1(n) \sim T1(n+m)$  的控制端電壓亦被拉升。當第一電晶體  $T1(n) \sim T1(n+m)$  的控制端電壓被拉升到大於臨界電壓(threshold voltage)時，第一電晶體  $T1(n) \sim T1(n+m)$  會被導通(turn on)，使得被拉升至高準位  $Vgh$  的參考電壓  $VSS$  會經由第一電晶體  $T1(n) \sim T1(n+m)$  而傳送至移位暫存器  $SR(n) \sim SR(n+m)$  的輸出端  $G(n) \sim G(n+m)$ ，進而傳送至顯示面板 110 的所有閘極線。因此，閘極驅動器 130 可以在關機期間拉高顯示面板 110 所有的閘極線的電壓，藉此同步開啟顯示面板 110 所有畫素的薄膜電晶體 (TFT，未繪示)。儲存在各畫素內電壓可以在關機之前有效宣洩，如此就可解決非晶矽(a-Si)的移位暫存器具有關機殘影的問題。

上述第一電晶體  $T1(n) \sim T1(n+m)$  的第二端耦接至電源供應電路 140 的參考電壓  $VSS$ ，然而本實施例不應因此受限。例如，在其他實施例中，第一電晶體  $T1(n) \sim T1(n+m)$  的第二端可以耦接至電源供應電路 140 的系統電壓  $VDD$  (參照圖 5 所示)。

圖 1 中移位暫存器  $SR(n) \sim SR(n+m)$  的實現方式可以是相同的。以下將以其中第  $n$  級移位暫存器  $SR(n)$  作為說明範例，其餘移位暫存器的實現方式可以參照移位暫存器  $SR(n)$  的相關說明。

圖 3 是依照本發明實施例說明圖 1 閘極驅動器 130 中移位暫存器  $SR(n) \sim SR(n+3)$  的電路圖。第  $n$  級移位暫存器

SR(n)包括第二電晶體 T2(n)、第三電晶體 T3(n)以及第四電晶體 T4(n)。於本實施例中，電晶體 T2(n)、T3(n)以及 T4(n)均為 NMOS 電晶體。第二電晶體 T2(n)的控制端可以耦接至移位暫存器 SR(n) ~ SR(n+m)中第 n-1 級移位暫存器的輸出端(也就是前一級移位暫存器的輸出端)。若移位暫存器 SR(n)是移位暫存器串的第一級移位暫存器，則第二電晶體 T2(n)的控制端可以接收垂直起始脈衝 STP。第二電晶體 T2(n)的第一端耦接至系統電壓 VDD。在其他實施例中，第二電晶體 T2(n)的第一端可以耦接至前一級移位暫存器 SR(n-1)的輸出端(或垂直起始脈衝 STP)。

第 n 級移位暫存器 SR(n)中第三電晶體 T3(n)的第一端耦接至第二電晶體 T2(n)的第二端。第三電晶體 T3(n)的第二端接收電源供應電路 140 所供應的參考電壓 VSS，而第三電晶體 T3(n)的控制端耦接至下兩級移位暫存器的輸出端，在此為移位暫存器 SR(n) ~ SR(n+m)中第 n+2 級移位暫存器 SR(n+2)的輸出端 G(n+2)。在其他實施例中，第 n 級移位暫存器 SR(n)中第三電晶體 T3(n)的控制端是耦接至第 n+2 級移位暫存器 SR(n+2)中第二電晶體 T2(n+2)的第二端，以接收移位暫存器 SR(n+2)的內部電壓 B(n+2)。

第 n 級移位暫存器 SR(n)中第四電晶體 T4(n)的控制端耦接至第二電晶體 T2(n)的第二端，以接收移位暫存器 SR(n)的內部電壓 B(n)。第四電晶體 T4(n)的第二端耦接至下一級移位暫存器的輸入端，在此為移位暫存器 SR(n) ~ SR(n+m)中第 n+1 級移位暫存器 SR(n+1)的輸入端。第四電

晶體  $T4(n)$  的第一端接收時脈  $CK$ 。於本實施例中，時脈  $CK$  包含第一時脈  $CK1$  與第二時脈  $CK2$ ，二者互為反相(如圖 4 所示)。

圖 4 是依照本發明實施例說明圖 3 中多個電壓的波形變化示意圖。請參照圖 3 與圖 4，第一時脈  $CK1$  被提供給移位暫存器  $SR(n)$ 、 $SR(n+2)$ 、... 等，而第二時脈  $CK2$  被提供給移位暫存器  $SR(n+1)$ 、 $SR(n+3)$ 、... 等。於正常操作期間  $NOP$ ，當垂直起始脈衝  $STP$  被傳送至第二電晶體  $T2(n)$  的控制端時，第二電晶體  $T2(n)$  會被導通，使得移位暫存器  $SR(n)$  的內部電壓  $B(n)$  會被拉升至接近系統電壓  $VDD$  的準位，此時內部電壓  $B(n)$  會被儲存於移位暫存器  $SR(n)$  內部的寄生電容。隨著內部電壓  $B(n)$  的拉升，第四電晶體  $T4(n)$  將會被導通。當垂直起始脈衝  $STP$  結束時，第二電晶體  $T2(n)$  會被截止(turn off)，然而移位暫存器  $SR(n)$  內部的寄生電容會保持(hold)高準位  $V_{gh}$  的內部電壓  $B(n)$ ，使得第四電晶體  $T4(n)$  保持導通。

第一時脈  $CK1$  的脈衝被傳送至第四電晶體  $T4(n)$  的第一端，此脈衝會藉由第四電晶體  $T4(n)$  閘源極之間寄生電容的耦合而將內部電壓  $B(n)$  拉升至接近兩倍系統電壓  $VDD$  的準位(即  $2VDD$ )。同時，由於第四電晶體  $T4(n)$  已被導通，因此第一時脈  $CK1$  的脈衝可以通過第四電晶體  $T4(n)$ 、輸出端  $G(n)$  而輸出給下一級移位暫存器  $SR(n+1)$ 。

上述移位暫存器  $SR(n)$  的操作過程同樣地會發生在其他移位暫存器  $SR(n+1) \sim SR(n+m)$ 。當第  $n+2$  級移位暫存

器 SR(n+2)的輸出端 G(n+2)輸出脈衝時，此脈衝除了被傳送至顯示面板 110 其中一條對應的閘極線外，還會被傳送至移位暫存器 SR(n)中第三電晶體 T3(n)的控制端。在移位暫存器 SR(n+2)的輸出端 G(n+2)電壓被拉伸時，第三電晶體 T3(n)會被導通，使得移位暫存器 SR(n)的內部電壓 B(n)會被拉降至接近參考電壓 VSS 的準位。因此，第四電晶體 T4(n)會被截止。其他移位暫存器 SR(n+1) ~ SR(n+3)中第三電晶體 T3(n+1) ~ T3(n+3)的操作過程類似於第三電晶體 T3(n)，故不再贅述。

應用本實施例者可以依據其設計需求而改變本實施例。例如，圖 5 是依照本發明另一實施例說明圖 1 閘極驅動器 130 中移位暫存器 SR(n) ~ SR(n+3)的電路圖。圖 5 所繪示的實施例相似於圖 3，二者不同之處在於第一電晶體 T1(n) ~ T1(n+3)的第二端是耦接至電源供應電路 140 的系統電壓 VDD。在關機期間 POP，電源供應電路 140 拉升參考電壓 VSS，使得第一電晶體 T1(n) ~ T1(n+3)會被導通。因此，在關機期間 POP 系統電壓 VDD 會經由第一電晶體 T1(n) ~ T1(n+3)而傳送至輸出端 G(n) ~ G(n+3)，進而傳送至顯示面板 110 的閘極線，如此就可解決顯示面板 110 關機殘影的問題。

圖 5 與圖 3 二者另一不同之處，在於圖 5 所示實施例中，時脈 CK 包含第一時脈 CK1、第二時脈 CK2 與第三時脈 CK3，如圖 6 所示。圖 6 是依照本發明實施例說明圖 5 中多個電壓的波形變化示意圖。請參照圖 5 與圖 6，第一

時脈 CK1 被提供給移位暫存器 SR(n)、SR(n+3)、...等，第二時脈 CK2 被提供給移位暫存器 SR(n+1)等，而第三時脈 CK3 被提供給移位暫存器 SR(n+2)等。圖 5 所示移位暫存器 SR(n)~SR(n+3)的操作過程類似於圖 3 所示移位暫存器 SR(n)~SR(n+3)，故不再贅述。

圖 7 是依照本發明另一實施例說明圖 1 開極驅動器 130 中移位暫存器 SR(n)的電路圖，其餘移位暫存器的實現方式可以參照移位暫存器 SR(n)的相關說明。圖 7 所繪示的移位暫存器 SR(n)相似於圖 3，故相同的部份不再贅述。二者不同之處在於移位暫存器 SR(n)更包括第一下拉開關 SW1(n)、第二下拉開關 SW2(n)以及開關控制單元 CU(n)。第一下拉開關 SW1(n)的二端分別耦接至第二電晶體 T2(n)的第二端與電源供應電路 140 所提供的參考電壓 VSS。第二下拉開關 SW2(n)的二端分別耦接至第四電晶體 T4(n)的第二端與電源供應電路 140 所提供的參考電壓 VSS。開關控制單元 CU(n)控制下拉開關 SW1(n)與 SW2(n)。當第二電晶體 T2(n)的第二端的電位為邏輯高準位時，開關控制單元 CU(n)使下拉開關 SW1(n)與 SW2(n)截止，否則使下拉開關 SW1(n)與 SW2(n)導通。因此，當開關控制單元 CU(n)偵測到內部電壓 B(n)為邏輯低準位時，開關控制單元 CU(n)會藉由導通下拉開關 SW1(n)，而確保第四電晶體 T4(n)處於截止狀態。另外，開關控制單元 CU(n)亦可以藉由導通下拉開關 SW2(n)，而確保內部電壓 B(n)為邏輯低準位時，輸出端 G(n)的電壓被下拉至接近參考電壓 VSS 的準位。

應用本實施例者可以依據其設計需求而以任何方式實現開關控制單元  $CU(n)$ 。例如，開關控制單元  $CU(n)$  可以包括上拉電阻  $R(n)$  與第八電晶體  $T8(n)$ 。上拉電阻  $R(n)$  的第一端耦接至系統電壓  $VDD$ ，而上拉電阻  $R(n)$  的第二端耦接至下拉開關  $SW1(n)$  與  $SW2(n)$  的控制端。第八電晶體  $T8(n)$  的控制端耦接至第二電晶體  $T2(n)$  的第二端。第八電晶體  $T8(n)$  的第一端耦接至下拉開關  $SW1(n)$  與  $SW2(n)$  的控制端，而第八電晶體  $T8(n)$  的第二端則耦接至電源供應電路 140 的參考電壓端以接收參考電壓  $VSS$ 。

圖 8 是依照本發明又一實施例說明圖 1 中移位暫存器  $SR(n)$  的電路圖。圖 8 所繪示的實施例相似於圖 7，二者不同之處在於開關控制單元  $CU(n)$  更包括第五電晶體  $T5(n)$ 、第六電晶體  $T6(n)$  以及第七電晶體  $T7(n)$ 。第五電晶體  $T5(n)$  的第一端與控制端接收控制信號  $C1$ 。第六電晶體  $T6(n)$  的第一端接收控制信號  $C1$ 。第六電晶體  $T6(n)$  的控制端耦接至第五電晶體  $T5(n)$  的第二端，而第六電晶體  $T6(n)$  的第二端則耦接至下拉開關  $SW1(n)$  與  $SW2(n)$  的控制端，以控制下拉開關  $SW1(n)$  與  $SW2(n)$ 。第七電晶體  $T7(n)$  的第一端與第二端分別耦接至第五電晶體  $T5(n)$  的第二端與電源供應電路 140 的參考電壓端。第七電晶體  $T7(n)$  的控制端耦接至第二電晶體  $T2(n)$  的第二端，以接收內部電壓  $B(n)$ 。

控制信號  $C1$  可以由外部控制器提供，以決定是否致能此開關控制單元  $CU(n)$ 。應用本實施例者可以依據其設

計需求而決定何時致能此開關控制單元  $CU(n)$ 。例如，於連續 100 個畫面(frame)期間致能此開關控制單元  $CU(n)$ ，然後於接下來的 100 個畫面期間禁能此開關控制單元  $CU(n)$ 。依此類堆，外部控制器可以透過控制信號  $C1$  週而復始地致能/禁能此開關控制單元  $CU(n)$ 。

當控制信號  $C1$  為邏輯高準位，且內部電壓  $B(n)$  為邏輯低準位時，電晶體  $T5(n)$  與  $T6(n)$  為導通，而電晶體  $T7(n)$  與  $T8(n)$  為截止。因此，邏輯高準位的控制信號  $C1$  會使下拉開關  $SW1(n)$  與  $SW2(n)$  導通，因而確保內部電壓  $B(n)$  與輸出端  $G(n)$  的電壓被下拉至接近參考電壓  $VSS$  的準位。當控制信號  $C1$  與內部電壓  $B(n)$  均為邏輯高準位時，電晶體  $T5(n)$ 、 $T7(n)$  與  $T8(n)$  為導通，而電晶體  $T6(n)$  為截止。因此，下拉開關  $SW1(n)$  與  $SW2(n)$  的控制端電壓被拉下(pull low)，使得下拉開關  $SW1(n)$  與  $SW2(n)$  被截止。

當控制信號  $C1$  為邏輯低準位時，由於開關控制單元  $CU(n)$  的輸出端  $K(n)$  缺乏拉上(pull high)的電能，使得不論內部電壓  $B(n)$  的準位為何，開關控制單元  $CU(n)$  均無法使下拉開關  $SW1(n)$  與  $SW2(n)$  導通。

應用本實施例者可以依據其設計需求而任意修改圖 8 所示的開關控制單元  $CU(n)$ 。例如，可以在開關控制單元  $CU(n)$  增加第九電晶體  $T9(n)$  以及第十電晶體  $T10(n)$ 。第九電晶體  $T9(n)$  的第一端與第二端分別耦接至第五電晶體  $T5(n)$  的第二端與電源供應電路 140 的參考電壓端。第十電晶體  $T10(n)$  的第一端與第二端分別耦接至第六電晶體  $T6(n)$

的第二端與電源供應電路 140 的參考電壓端。第九電晶體 T9(n)與第十電晶體 T10(n)的控制端耦接至下一級移位暫存器(在此為第 n+1 級移位暫存器 SR(n+1))中第二電晶體 T2(n+1)的第二端，以接收移位暫存器 SR(n+1)的內部電壓 B(n+1)。

又例如，可以在移位暫存器 SR(n)內部增加第三下拉開關 SW3(n)與第四下拉開關 SW4(n)。第三下拉開關 SW3(n)的二端分別耦接至第二電晶體 T2(n)的第二端與電源供應電路 140 的參考電壓端。第四下拉開關 SW4(n)的二端分別耦接至第四電晶體 T4(n)的第二端與電源供應電路 140 的參考電壓端。下拉開關 SW3(n)與 SW4(n)受控於第 n+1 個級移位暫存器 SR(n+1)中開關控制單元 CU(n+1)的輸出端 K(n+1)。

以下說明顯示面板 110 之消除關機殘影方法的實施例。所述消除關機殘影方法包括：配置第一電晶體 T1(n)，以及配置電容 C(n)。第一電晶體 T1(n)的第一端耦接至移位暫存器 SR(n)的輸出端 G(n)。第一電晶體 T1(n)的第二端耦接至系統電壓 VDD 或參考電壓 VSS (例如是接地電壓或是負電壓)。電容 C(n)的第一端耦接至第一電晶體 T1(n)的控制端。電容 C(n)的第二端耦接至參考電壓 VSS。在關機期間 POP，拉升參考電壓 VSS (例如拉升至與系統電壓 VDD 同準位)，直到電源供應電路 140 內部所儲存的電能被釋放殆盡。

基於上述，上述諸實施例中電源供應電路 140 在關機期間 POP 拉升參考電壓端的電壓 VSS，使得第一電晶體 T1(n) 被導通。因此，第一電晶體 T1(n) 可以在關機期間 POP 拉高顯示面板 110 之對應閘極線的電壓，藉此釋放該閘極線上所有畫素的儲存電壓。其它第一電晶體 T1(n+1) ~ T1(n+m) 可類推之。如此，上述諸實施例可解決非晶矽(a-Si) 的移位暫存器的關機殘影問題。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 是依照本發明實施例說明一種平面顯示器的電路模塊示意圖。

圖 2 是依照本發明實施例說明圖 1 中多個電壓的波形變化示意圖。

圖 3 是依照本發明實施例說明圖 1 閘極驅動器中移位暫存器的電路圖。

圖 4 是依照本發明實施例說明圖 3 中多個電壓的波形變化示意圖。

圖 5 是依照本發明另一實施例說明圖 1 閘極驅動器中移位暫存器的電路圖。

圖 6 是依照本發明實施例說明圖 5 中多個電壓的波形變化示意圖。

圖 7 是依照本發明另一實施例說明圖 1 閘極驅動器中移位暫存器的電路圖。

圖 8 是依照本發明又一實施例說明圖 1 中移位暫存器的電路圖。

#### 【主要元件符號說明】

100：平面顯示器

110：顯示面板

120：源極驅動器

130：閘極驅動器

140：電源供應電路

C(n)、C(n+m)：電容

CK、CK1、CK2、CK3：閘時脈

G(n)、G(n+1)、G(n+2)、G(n+3)、G(n+m)：移位暫存器的輸出端

NOP：正常操作期間

R(n)：上拉電阻

SR(n)、SR(n+1)、SR(n+2)、SR(n+3)、SR(n+m)：移位暫存器

STP：垂直起始脈衝

SW1(n)、SW2(n)、SW3(n)、SW4(n)：下拉開關

T1(n)、T1(n+1)、T1(n+2)、T1(n+3)、T1(n+m)、T2(n)、  
T2(n+1)、T2(n+2)、T3(n)、T3(n+1)、T3(n+2)、T4(n)、T5(n)、  
T6(n)、T7(n)、T8(n)、T9(n)、T10(n)：電晶體

VDD：系統電壓

VSS：參考電壓

## 七、申請專利範圍：

1. 一種平面顯示器，包括：

一顯示面板，具有多條閘極線；

一電源供應電路，具有一系統電壓端與一參考電壓端，其中該電源供應電路在一關機期間，拉升該參考電壓端的電壓；

一移位暫存器串，其由該電源供應電路的該系統電壓端與該參考電壓端所供電，其中該移位暫存器串包含相互串接的多個移位暫存器，該些移位暫存器的輸出端以一對一方式耦接至該些閘極線；

多個第一電晶體，其第一端以一對一方式耦接至該些移位暫存器的輸出端，該些第一電晶體的第二端耦接至該電源供應電路；以及

一電容，其第一端耦接至該些第一電晶體的控制端，該電容的第二端耦接至該電源供應電路的該參考電壓端。

2. 如申請專利範圍第 1 項所述之平面顯示器，其中該參考電壓端在一正常操作期間提供接地電壓。

3. 如申請專利範圍第 1 項所述之平面顯示器，其中在該關機期間，該電源供應電路將該參考電壓端的電壓拉升至一系統電壓。

4. 如申請專利範圍第 1 項所述之平面顯示器，其中該些第一電晶體的第二端耦接至該電源供應電路的參考電壓端。

5. 如申請專利範圍第 1 項所述之平面顯示器，其中該些第一電晶體的第二端耦接至該電源供應電路的系統電壓端。

6. 如申請專利範圍第 1 項所述之平面顯示器，其中該些移位暫存器為一正反器或一閃鎖器。

7. 如申請專利範圍第 1 項所述之平面顯示器，其中該些移位暫存器中的第  $n$  個移位暫存器包括：

一第二電晶體，該第二電晶體的控制端耦接至該些移位暫存器中第  $n-1$  個移位暫存器的輸出端，其中  $n$  為整數；

一第三電晶體，其第一端耦接至該第二電晶體的第二端，該第三電晶體的第二端耦接至該電源供應電路的該參考電壓端，而該第三電晶體的控制端耦接至該些移位暫存器中第  $n+2$  個移位暫存器；以及

一第四電晶體，其第一端接收一時脈，該第四電晶體的第二端耦接至該些移位暫存器中第  $n+1$  個移位暫存器的輸入端，而該第四電晶體的控制端耦接至該第二電晶體的第二端。

8. 如申請專利範圍第 7 項所述之平面顯示器，其中該第  $n$  個移位暫存器中該第三電晶體的控制端耦接至該第  $n+2$  個移位暫存器的輸出端。

9. 如申請專利範圍第 7 項所述之平面顯示器，其中該第  $n$  個移位暫存器中該第三電晶體的控制端是耦接至該第  $n+2$  個移位暫存器中一第二電晶體的第二端。

10. 如申請專利範圍第 7 項所述之平面顯示器，其中該第  $n$  個移位暫存器更包括：

一第一下拉開關，其二端分別耦接至該第二電晶體的  
第二端與該電源供應電路的該參考電壓端；

一第二下拉開關，其二端分別耦接至該第四電晶體的  
第二端與該電源供應電路的該參考電壓端；以及

一開關控制單元，其控制該第一與該第二下拉開關，  
其中當該第二電晶體的第二端的電位為邏輯高準位時，該  
開關控制單元使該第一與該第二下拉開關截止，否則使該  
第一與該第二下拉開關導通。

11. 如申請專利範圍第 10 項所述之平面顯示器，其中  
該開關控制單元包括：

一第五電晶體，其第一端與控制端接收一控制信號；

一第六電晶體，其第一端接收該控制信號，該第六電  
晶體的控制端耦接至該第五電晶體的第二端，而該第六電  
晶體的第二端控制該第一與該第二下拉開關；

一第七電晶體，其第一端與第二端分別耦接至該第五  
電晶體的第二端與該電源供應電路的該參考電壓端，而該  
第七電晶體的控制端耦接至該第二電晶體的第二端；以及

一第八電晶體，其第一端與第二端分別耦接至該第六  
電晶體的第二端與該電源供應電路的該參考電壓端，而該  
第八電晶體的控制端耦接至該第二電晶體的第二端。

12. 如申請專利範圍第 11 項所述之平面顯示器，其中  
該開關控制單元更包括：

一第九電晶體，其第一端與第二端分別耦接至該第五  
電晶體的第二端與該電源供應電路的該參考電壓端，而該

第九電晶體的控制端耦接至該第  $n+1$  個移位暫存器中一第二電晶體的第二端；以及

一第十電晶體，其第一端與第二端分別耦接至該第六電晶體的第二端與該電源供應電路的該參考電壓端，而該第十電晶體的控制端耦接至該第  $n+1$  個移位暫存器中該第二電晶體的第二端。

13. 如申請專利範圍第 10 項所述之平面顯示器，其中該第  $n$  個移位暫存器更包括：

一第三下拉開關，其二端分別耦接至該第二電晶體的第二端與該電源供應電路的該參考電壓端；以及

一第四下拉開關，其二端分別耦接至該第四電晶體的第二端與該電源供應電路的該參考電壓端；

其中該第三與該第四下拉開關受控於該第  $n+1$  個移位暫存器中的一開關控制單元。

14. 一種移位暫存器串，包括：

多個第一電晶體；

多個電容，其第一端以一對一方式耦接至該些第一電晶體的控制端，該些電容的第二端耦接至一參考電壓；以及

多個移位暫存器，該些移位暫存器相互串接，該些移位暫存器的輸出端以一對一方式耦接至該些第一電晶體的第一端，其中該些移位暫存器中的第  $n$  個移位暫存器包括：

一第二電晶體，其第一端耦接至一系統電壓，該第二電晶體的控制端耦接至該些移位暫存器中第  $n-1$  個移位暫存器的輸出端，其中  $n$  為整數；

一第三電晶體，其第一端耦接至該第二電晶體的第二端，該第三電晶體的第二端耦接至該參考電壓，而該第三電晶體的控制端耦接至該些移位暫存器中第  $n+2$  個移位暫存器；以及

一第四電晶體，其第一端接收一時脈，該第四電晶體的第二端耦接至該些移位暫存器中第  $n+1$  個移位暫存器的輸入端，而該第四電晶體的控制端耦接至該第二電晶體的第二端。

15. 如申請專利範圍第 14 項所述之移位暫存器串，其中在一正常操作期間該參考電壓為接地電壓。

16. 如申請專利範圍第 14 項所述之移位暫存器串，其中該些第一電晶體的第二端耦接至該參考電壓。

17. 如申請專利範圍第 14 項所述之移位暫存器串，其中該些第一電晶體的第二端耦接至該系統電壓。

18. 如申請專利範圍第 14 項所述之移位暫存器串，其中該第  $n$  個移位暫存器中該第三電晶體的控制端耦接至該第  $n+2$  個移位暫存器的輸出端。

19. 如申請專利範圍第 14 項所述之移位暫存器串，其中該第  $n$  個移位暫存器中該第三電晶體的控制端是耦接至該第  $n+2$  個移位暫存器中一第二電晶體的第二端。

20. 如申請專利範圍第 14 項所述之移位暫存器串，其中該第  $n$  個移位暫存器更包括：

一第一下拉開關，其二端分別耦接至該第二電晶體的第二端與該參考電壓；

一第二下拉開關，其二端分別耦接至該第四電晶體的第二端與該參考電壓；以及

一開關控制單元，其控制該第一與該第二下拉開關，其中當該第二電晶體的第二端的電位為邏輯高準位時，該開關控制單元使該第一與該第二下拉開關截止，否則使該第一與該第二下拉開關導通。

21. 如申請專利範圍第 20 項所述之移位暫存器串，其中該開關控制單元包括：

一第五電晶體，其第一端與控制端接收一控制信號；

一第六電晶體，其第一端接收該控制信號，該第六電晶體的控制端耦接至該第五電晶體的第二端，而該第六電晶體的第二端控制該第一與該第二下拉開關；

一第七電晶體，其第一端與第二端分別耦接至該第五電晶體的第二端與該參考電壓，而該第七電晶體的控制端耦接至該第二電晶體的第二端；以及

一第八電晶體，其第一端與第二端分別耦接至該第六電晶體的第二端與該參考電壓，而該第八電晶體的控制端耦接至該第二電晶體的第二端。

22. 如申請專利範圍第 21 項所述之移位暫存器串，其中該開關控制單元更包括：

一第九電晶體，其第一端與第二端分別耦接至該第五電晶體的第二端與該參考電壓，而該第九電晶體的控制端耦接至該第  $n+1$  個移位暫存器中一第二電晶體的第二端；以及

一第十電晶體，其第一端與第二端分別耦接至該第六電晶體的第二端與該參考電壓，而該第十電晶體的控制端耦接至該第  $n+1$  個移位暫存器中該第二電晶體的第二端。

23. 如申請專利範圍第 20 項所述之移位暫存器串，其中該第  $n$  個移位暫存器更包括：

一第三下拉開關，其二端分別耦接至該第二電晶體的第二端與該參考電壓；以及

一第四下拉開關，其二端分別耦接至該第四電晶體的第二端與該參考電壓；

其中該第三與該第四下拉開關受控於該第  $n+1$  個移位暫存器中的一開關控制單元。

24. 一種顯示面板的消除關機殘影方法，該顯示面板的一閘極線由一移位暫存器所驅動，所述消除關機殘影方法包括：

配置一第一電晶體，其中該第一電晶體的第一端耦接至該移位暫存器的輸出端，該第一電晶體的第二端耦接至一系統電壓或一參考電壓；

配置一電容，其中該電容的第一端耦接至該第一電晶體的控制端，該電容的第二端耦接至該參考電壓；以及

在一關機期間，拉升該參考電壓。

25. 如申請專利範圍第 24 項所述之消除關機殘影方法，其中在非該關機期間，該參考電壓為接地電壓。

26. 如申請專利範圍第 24 項所述之消除關機殘影方法，其中在該關機期間，該參考電壓被拉升至該系統電壓。

八、圖式：

31955TW\_I

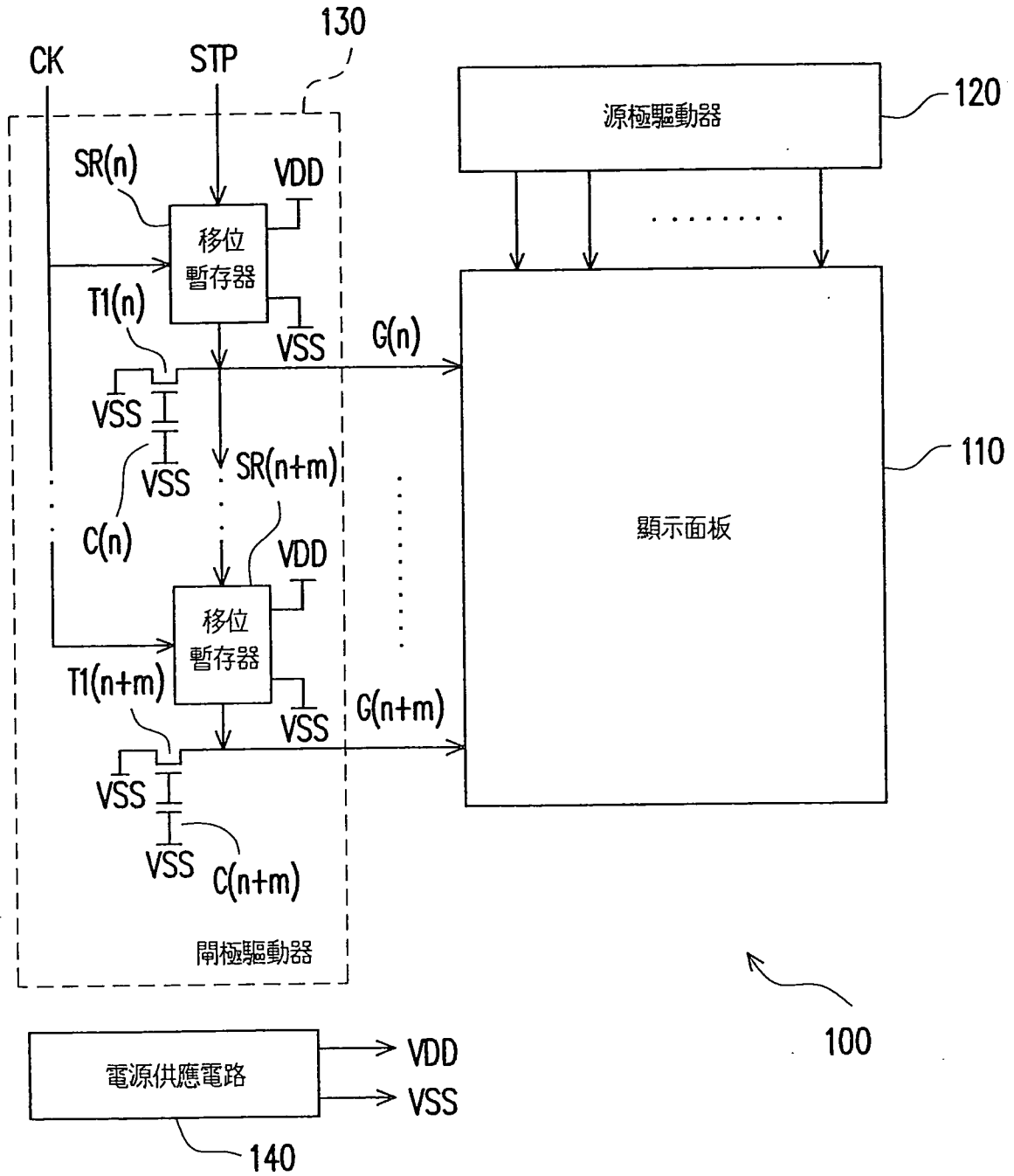


圖 1

31955TW\_I

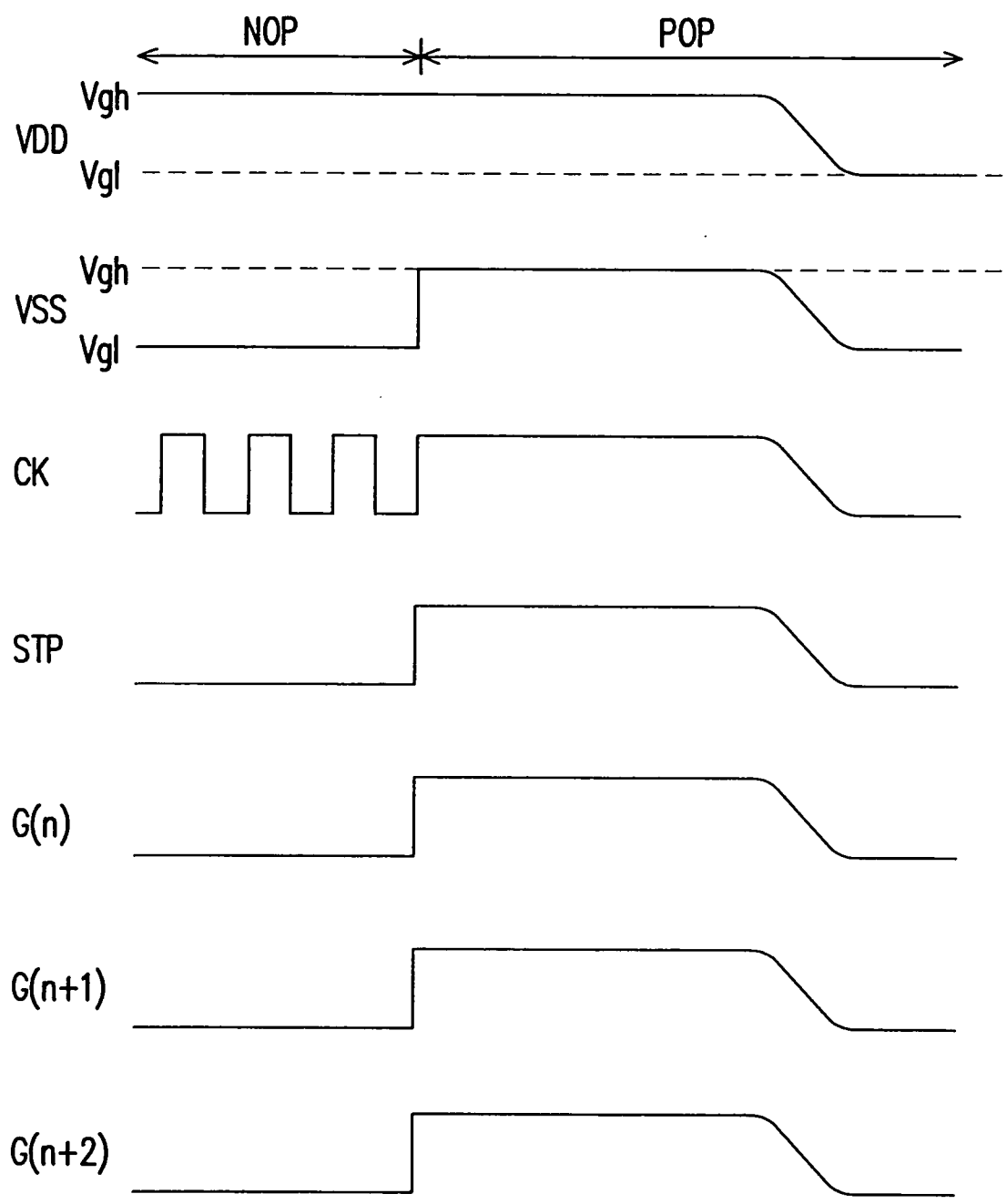


圖 2

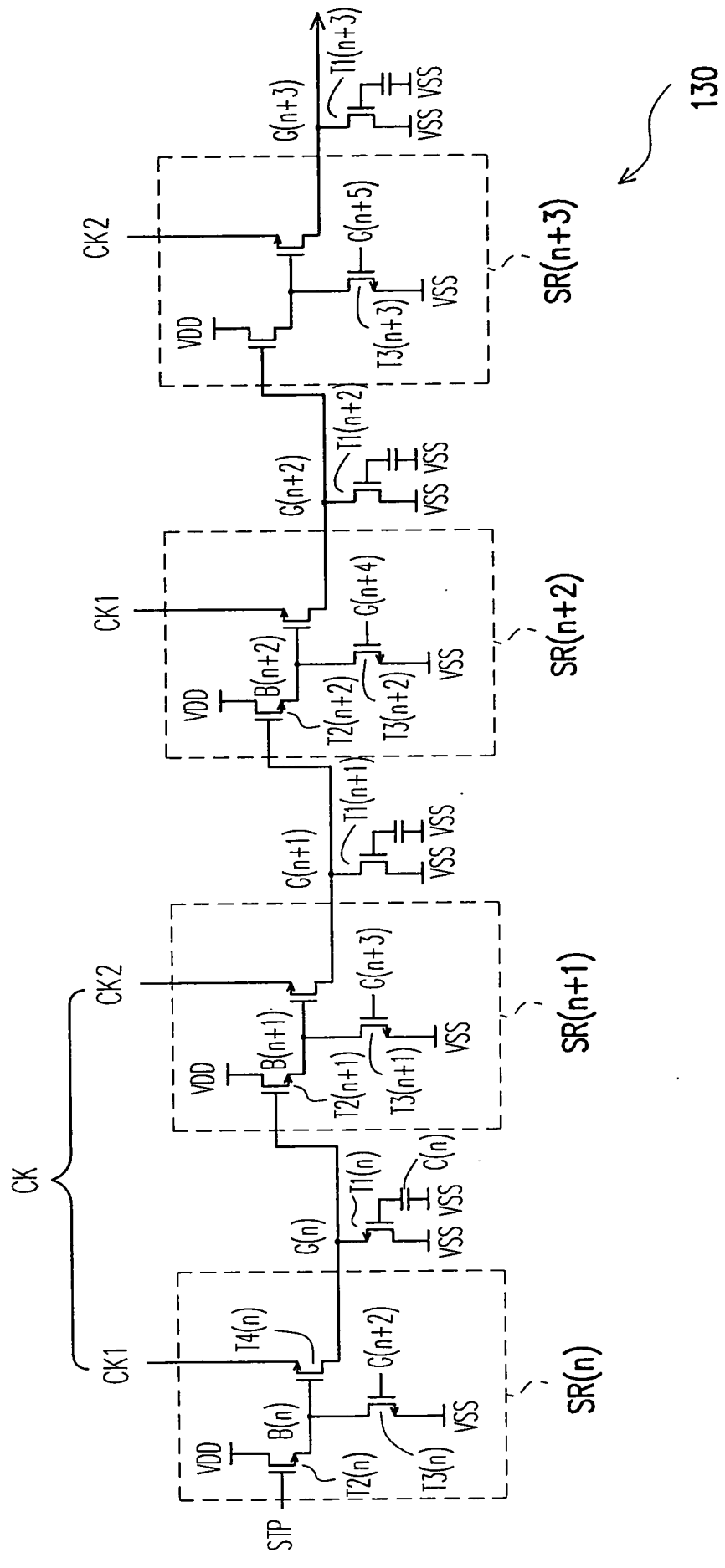


圖 3

31955TW\_1

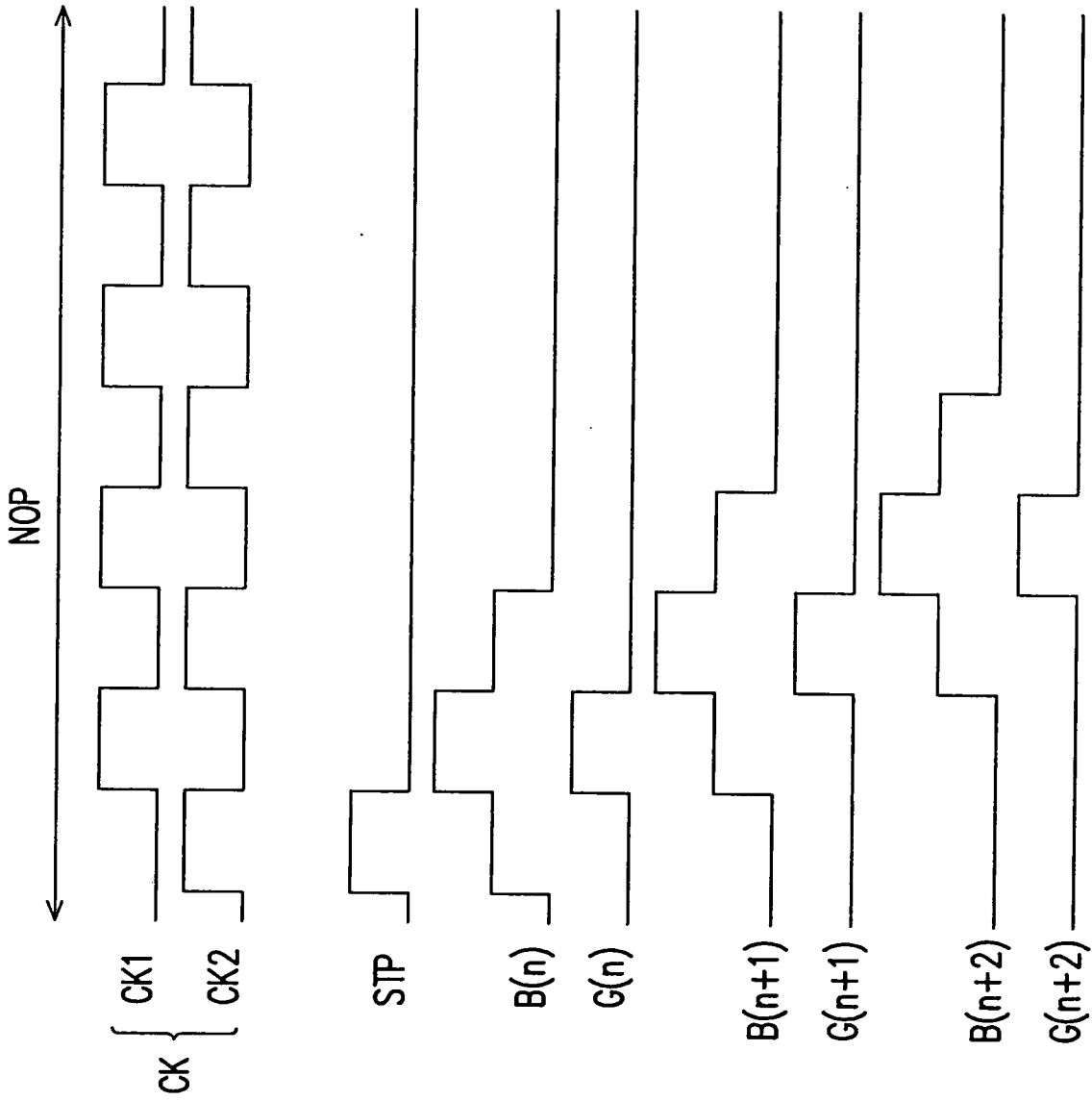


圖 4

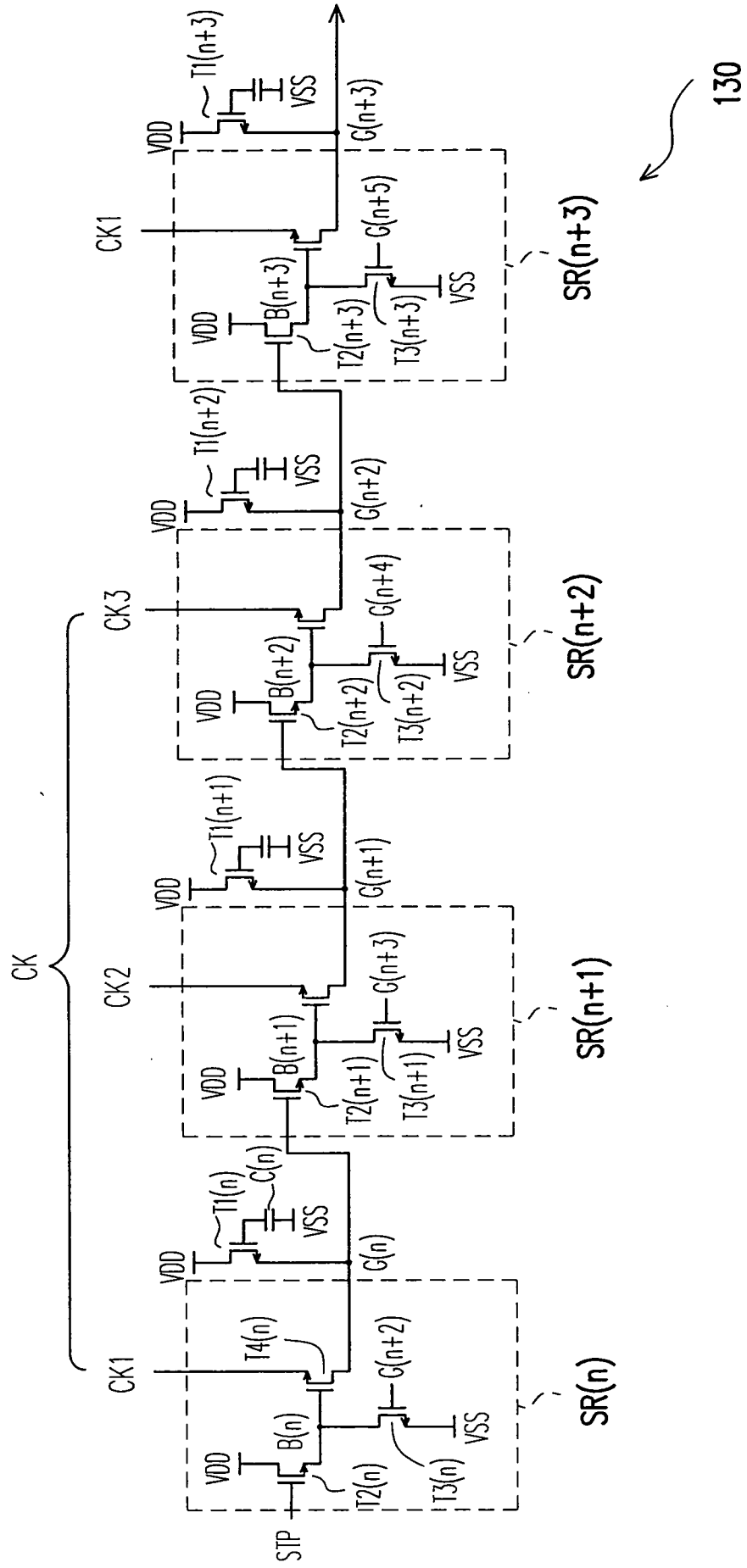


圖 5

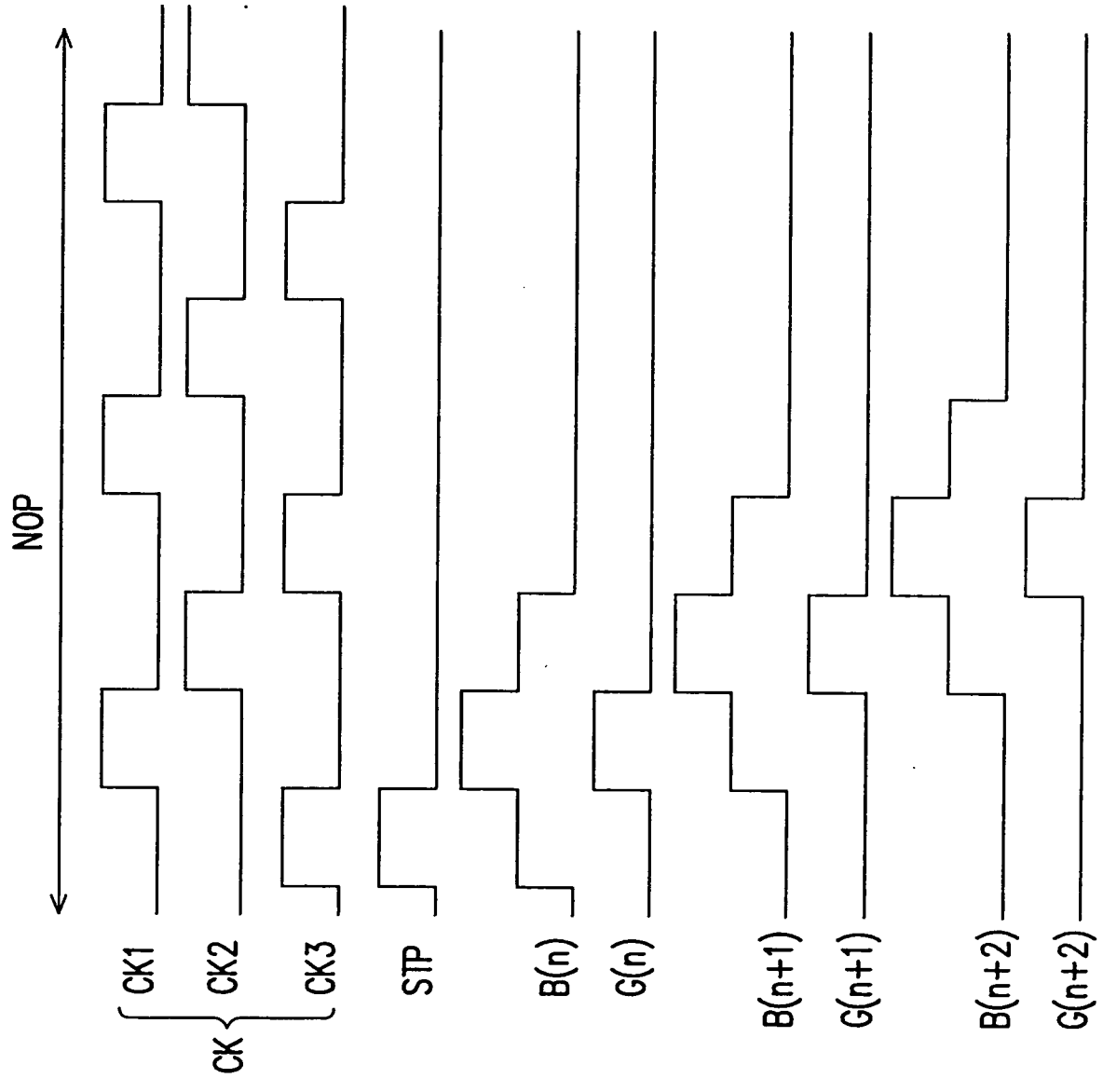


圖 6

6.0.0.0

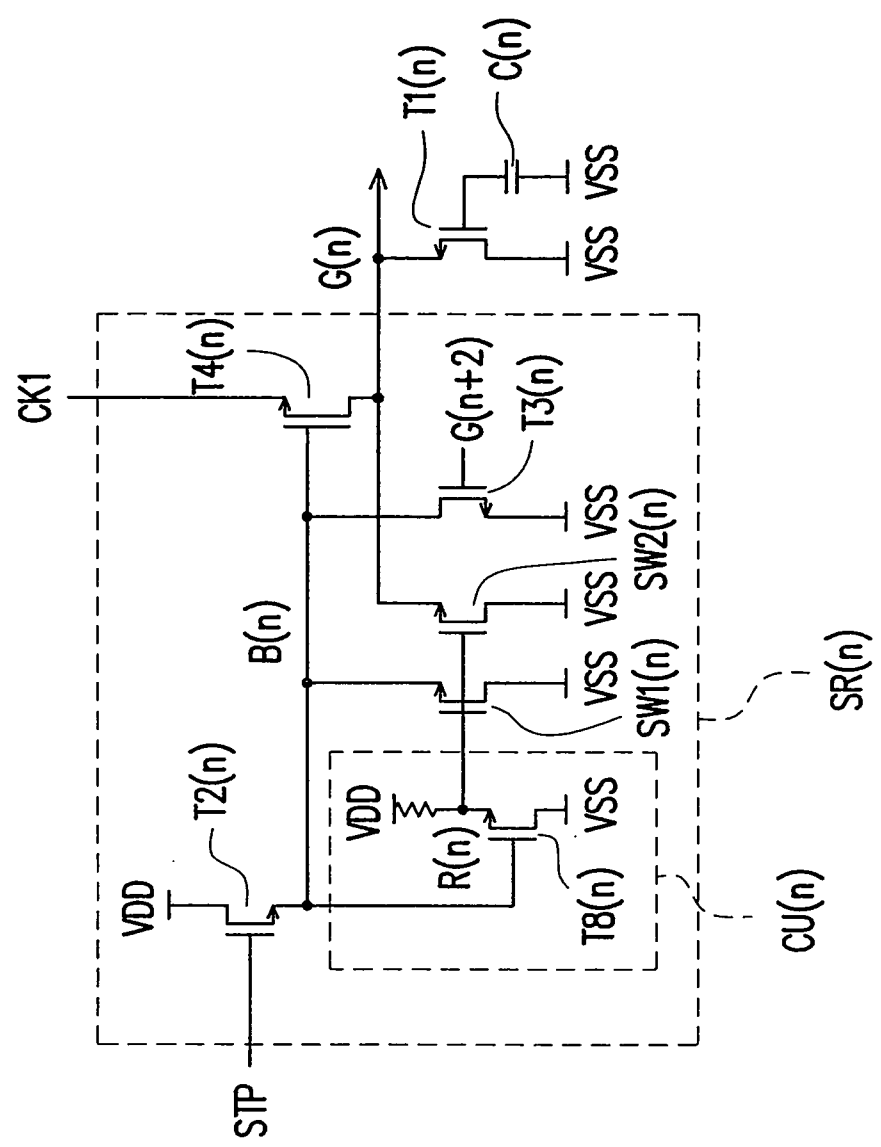


圖 7

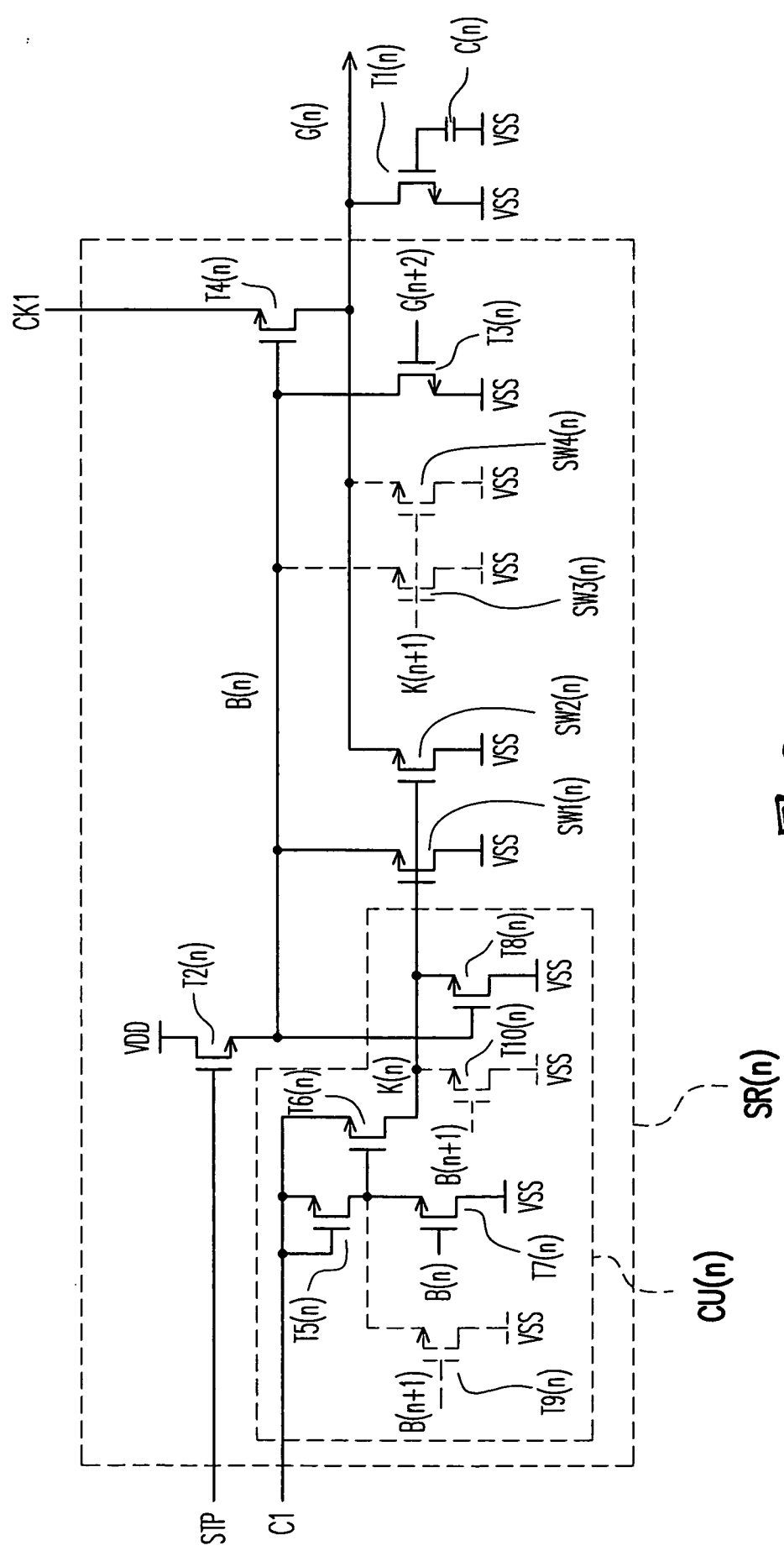


圖 8